(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년11월24일
(11) 등록번호 10-2182381
(24) 등록일자 2020년11월18일

(51) 국제특허분류(Int. Cl.)
*G11C 11/406* (2006.01) *G11C 11/401* (2006.01)
*G11C 11/408* (2006.01)
(21) 출원번호 10-2013-0154058
(22) 출원일자 2013년12월11일
심사청구일자 2018년11월14일
(65) 공개번호 10-2015-0068164
(43) 공개일자 2015년06월19일
(56) 선행기술조사문헌
KR1020070011618 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
**에스케이하이닉스 주식회사**
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
**송청기**
경기 용인시 처인구 한터로152번길 62, 307동 803호 (고림동, 피렌체아파트)
**장지은**
경기 이천시 부발읍 신아로92번길 74-25, 705동 1302호 (아미리7차현대아파트)
**윤석철**
충북 음성군 금왕읍 무극로286번길 10, 가동 204호 (풍산아파트)
(74) 대리인
**신성특허법인(유한)**

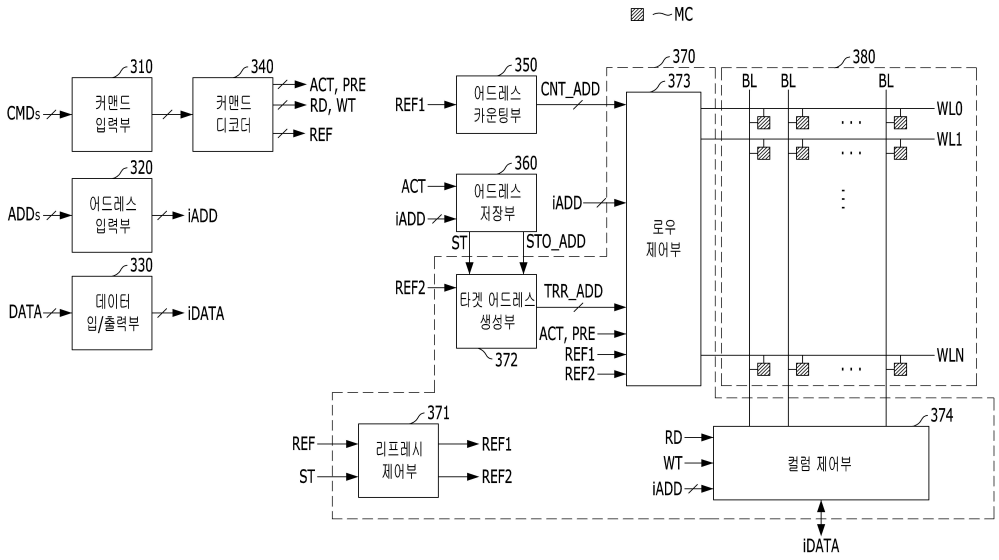
전체 청구항 수 : 총 4 항 심사관 : 손윤식

(54) 발명의 명칭 **어드레스 저장회로, 메모리 및 이를 포함하는 메모리 시스템**

## (57) 요 약

메모리는 하나 이상의 메모리 셀이 연결된 다수의 워드라인; 랜덤한 시점에 외부에서 입력되는 제1외부신호에 대응하는 입력 어드레스를 저장하는 어드레스 저장부; 및 액티브 커맨드에 응답하여 상기 다수의 워드라인 중 상기 입력 어드레스에 대응하는 워드라인을 액티브하고, 리프레시 동작시 상기 어드레스 저장부에 저장된 어드레스를 이용하여 선택되는 하나 이상의 타겟 워드라인을 리프레시하는 제어부를 포함할 수 있다.

## 대 표 도



# 명 세 서

## 청구범위

### 청구항 1

하나 이상의 메모리 셀이 연결된 다수의 워드라인;

랜덤한 시점에 외부에서 입력되는 제1외부신호에 대응하는 입력 어드레스를 저장하는 어드레스 저장부; 및

액티브 커맨드에 응답하여 상기 다수의 워드라인 중 상기 입력 어드레스에 대응하는 워드라인을 액티브하고, 리프레시 동작시 상기 어드레스 저장부에 저장된 어드레스를 이용하여 선택되는 하나 이상의 타겟 워드라인을 리프레시하는 제어부를 포함하고,

상기 제1외부신호는 상기 액티브 커맨드이고,

상기 어드레스 저장부는

설정된 주기로 토글하는 주기신호와 외부로부터 입력되는 제2외부신호를 이용하여 상기 입력 어드레스를 저장하는 시점을 결정하는

메모리.

### 청구항 2

◈청구항 2은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

상기 하나 이상의 타겟 워드라인은

상기 어드레스 저장부에 저장된 어드레스에 대응하는 워드라인 및 상기 어드레스 저장부에 저장된 어드레스에 대응하는 워드라인에 인접한 하나 이상의 워드라인 중 하나 이상의 워드라인을 포함하는 메모리.

### 청구항 3

삭제

### 청구항 4

◈청구항 4은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

상기 어드레스 저장부는

상기 주기신호가 제1레벨인 상태에서 상기 제2외부신호가 제1설정 횟수 이상 입력되면 인에이블 신호를 활성화하고, 상기 주기신호가 제2레벨인 상태에서 상기 제2외부신호가 제2설정 횟수 이상 입력되면 상기 인에이블 신호를 비활성화하고,

상기 인에이블 신호가 활성화된 경우 상기 액티브 커맨드가 입력되면 상기 입력 어드레스를 저장하는 메모리.

### 청구항 5

◈청구항 5은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

상기 제2외부신호는

액티브 커맨드, 프리차지 커맨드, 라이트 커맨드, 리드 커맨드, 리프레시 커맨드, 어드레스 및 데이터 중 하나 이상의 신호를 포함하는 메모리.

**청구항 6**

◈청구항 6은(는) 설정등록료 납부시 포기되었습니다.◈

제 4항에 있어서,

상기 어드레스 저장부는

제1카운팅 신호 - 상기 제1카운팅 신호는 액티브 커맨드, 프리차지 커맨드, 라이트 커맨드, 리드 커맨드, 리프레시 커맨드, 어드레스, 데이터 및 설정된 주기로 토글하는 제1주기신호 중 하나 이상의 신호를 포함함 - 에 응답하여 카운팅을 수행한 결과에 대응하는 제1카운팅 정보 및 제2카운팅 신호 - 상기 제2카운팅 신호는 상기 액티브 커맨드, 상기 프리차지 커맨드, 상기 라이트 커맨드, 상기 리드 커맨드, 상기 리프레시 커맨드, 상기 어드레스, 상기 데이터 및 설정된 주기로 토글하는 제2주기신호 중 하나 이상의 신호를 포함함 - 에 응답하여 카운팅을 수행한 결과에 대응하는 제2카운팅 정보가 서로 대응하는 값을 가지는 경우 상기 액티브 커맨드가 입력되면 상기 입력 어드레스를 저장하는 메모리.

**청구항 7**

◈청구항 7은(는) 설정등록료 납부시 포기되었습니다.◈

제 6항에 있어서,

상기 어드레스 저장부는

상기 제1카운팅 정보가 오프셋 값을 가지거나 또는 상기 제1카운팅 정보의 다수의 비트 중 일부의 비트가 고정된 값을 가지도록 하고,

상기 입력 어드레스를 저장하면 상기 제2카운팅 정보를 초기값으로 초기화하는메모리.

**청구항 8**

◈청구항 8은(는) 설정등록료 납부시 포기되었습니다.◈

제 6항에 있어서,

상기 메모리는

상기 리프레시 커맨드에 응답하여 변경되는 카운팅 어드레스를 생성하는 어드레스 카운팅부를 포함하고,

상기 어드레스 저장부는

상기 카운팅 어드레스를 이용하여 상기 제1카운팅 정보를 생성하고, 상기 액티브 커맨드에 응답하여 상기 제2카운팅 정보를 생성하고,

상기 제어부는

상기 리프레시 커맨드에 응답하여 상기 카운팅 어드레스에 대응하는 워드라인을 리프레시하는 메모리.

**청구항 9**

◈청구항 9은(는) 설정등록료 납부시 포기되었습니다.◈

제 4항에 있어서,

상기 어드레스 저장부는

상기 액티브 커맨드에 응답하여 난수를 생성하는 난수 발생부; 및

상기 난수 발생부에서 생성된 난수와 설정된 값이 동일한 경우 상기 액티브 커맨드에 응답하여 상기 입력 어드레스를 저장하는 저장부

를 포함하는 메모리.

**청구항 10**

◈청구항 10은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

상기 제어부는

상기 어드레스 저장부에 저장된 어드레스를 이용하여 상기 어드레스 저장부에 저장된 어드레스에 대응하는 워드라인에 인접한 하나 이상의 워드라인의 어드레스를 생성하는 메모리.

**청구항 11**

◈청구항 11은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

상기 제어부는

주기적으로 입력되는 리프레시 커맨드에 응답하여 상기 다수의 워드라인을 차례로 리프레시하되, 상기 리프레시 커맨드가 설정된 횟수만큼 입력되면 상기 하나 이상의 타겟 워드라인을 리프레시하는 메모리.

**청구항 12**

◈청구항 12은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

상기 제어부는

주기적으로 입력되는 리프레시 커맨드에 응답하여 상기 다수의 워드라인을 차례로 리프레시하되, 상기 어드레스 저장부에 상기 입력 어드레스가 저장된 후 상기 리프레시 커맨드가 입력되면 상기 하나 이상의 타겟 워드라인을 리프레시하는 메모리.

**청구항 13**

◈청구항 13은(는) 설정등록료 납부시 포기되었습니다.◈

제 1항에 있어서,

상기 제어부는

주기적으로 입력되는 리프레시 커맨드에 응답하여 상기 다수의 워드라인을 차례로 리프레시하되, 타겟 리프레시 커맨드가 입력되면 상기 하나 이상의 타겟 워드라인을 리프레시하는 메모리.

**청구항 14**

메모리로 입력된 어드레스를 저장하는 어드레스 저장회로로서,

설정된 주기로 토글하는 주기신호를 생성하는 주기신호 생성부;

상기 주기신호가 제1레벨인 상태에서 상기 메모리의 외부로부터 입력되는 외부신호가 제1설정 횟수 이상 입력되면 인에이블 신호를 활성화하고, 상기 주기신호가 제2레벨인 상태에서 상기 외부신호가 제2설정 횟수 이상 입력되면 상기 인에이블 신호를 비활성화하는 인에이블 신호 생성부; 및

상기 인에이블 신호가 활성화된 경우 상기 메모리에 액티브 커맨드가 입력되면, 상기 액티브 커맨드에 대응하는 어드레스를 저장하는 저장부

를 포함하는 어드레스 저장회로.

**청구항 15**

◈청구항 15은(는) 설정등록료 납부시 포기되었습니다.◈

제 14항에 있어서,

상기 외부신호는

액티브 커맨드, 프리차지 커맨드, 라이트 커맨드, 리드 커맨드, 리프레시 커맨드, 어드레스 및 데이터 중 하나 이상의 신호를 포함하는 어드레스 저장회로.

**청구항 16**

◈청구항 16은(는) 설정등록료 납부시 포기되었습니다.◈

제 14항에 있어서,

상기 주기신호 생성부는

오실레이터인 어드레스 저장회로.

**청구항 17**

◈청구항 17은(는) 설정등록료 납부시 포기되었습니다.◈

제 14항에 있어서,

상기 인에이블 신호 생성부는

상기 주기신호 및 상기 외부신호를 입력받아 프리 인에이블 신호를 생성하는 제1신호 생성부; 및

상기 외부신호가 입력되면 상기 프리 인에이블 신호를 쉬프팅하여 상기 인에이블 신호를 생성하는 제2신호 생성부

를 포함하는 어드레스 저장회로.

**청구항 18**

메모리로 입력된 어드레스를 저장하는 어드레스 저장회로로서,

제1카운팅 신호에 응답하여 카운팅을 수행한 결과에 대응하는 제1카운팅 정보를 생성하는 제1카운팅 정보 생성부;

제2카운팅 신호에 응답하여 카운팅을 수행한 결과에 대응하는 제2카운팅 정보를 생성하는 제2카운팅 정보 생성

부; 및

상기 제1카운팅 정보 및 상기 제2카운팅 정보가 서로 대응하는 값을 가지는 경우 액티브 커맨드가 입력되면, 상기 액티브 커맨드에 대응하는 어드레스를 저장하는 저장부를 포함하고,

상기 제1카운팅 신호 및 상기 제2카운팅 신호는 액티브 커맨드, 프리차지 커맨드, 라이트 커맨드, 리드 커맨드, 리프레시 커맨드, 어드레스, 데이터 및 설정된 주기로 토글하는 주기신호 중 하나 이상의 신호를 포함하는 어드레스 저장회로.

**청구항 19**

◈청구항 19은(는) 설정등록료 납부시 포기되었습니다.◈

제 18항에 있어서,

상기 제1카운팅 정보 생성부는

상기 제1카운팅 정보가 오프셋 값을 가지거나 또는 상기 제1카운팅 정보의 다수의 비트 중 일부의 비트가 고정된 값을 가지도록 하는 어드레스 저장회로.

**청구항 20**

◈청구항 20은(는) 설정등록료 납부시 포기되었습니다.◈

제 18항에 있어서,

상기 제1카운팅 정보 생성부는

상기 제1카운팅 정보가 설정된 값을 가지는 경우 상기 제1카운팅 정보를 초기값으로 초기화하고,

상기 제2카운팅 정보 생성부는

상기 저장부가 상기 액티브 커맨드에 대응하는 어드레스를 저장하면 상기 제2카운팅 정보를 초기값으로 초기화하는 어드레스 저장회로.

**청구항 21**

◈청구항 21은(는) 설정등록료 납부시 포기되었습니다.◈

제 18항에 있어서,

상기 제1카운팅 신호는 상기 리프레시 커맨드이고, 상기 제2카운팅 신호는 상기 액티브 커맨드인 어드레스 저장회로.

**청구항 22**

하나 이상의 메모리 셀이 연결된 다수의 워드라인 및 랜덤한 시점에 액티브 커맨드에 대응하는 입력 어드레스를 저장하는 어드레스 저장부를 포함하고, 상기 액티브 커맨드에 응답하여 상기 다수의 워드라인 중 상기 입력 어드레스에 대응하는 워드라인을 액티브하고, 리프레시 동작시 상기 어드레스 저장부에 저장된 어드레스를 이용하여 선택된 하나 이상의 타겟 워드라인을 리프레시하는 메모리; 및

상기 메모리로 상기 메모리의 동작을 제어하기 위한 다수의 제어신호 - 상기 제어신호는 액티브 커맨드, 프리차지 커맨드, 라이트 커맨드, 리드 커맨드, 리프레시 커맨드, 어드레스 및 데이터를 포함함 - 를 인가하는 메모리 컨트롤러를 포함하고,

상기 어드레스 저장부는

제1카운팅 신호 - 상기 다수의 제어신호 및 설정된 주기로 토글하는 주기신호 중 하나 이상의 신호를 포함함 - 에 응답하여 카운팅을 수행한 결과에 대응하는 제1카운팅 정보 및 제2카운팅 신호 - 상기 제2카운팅 신호는 상기 다수의 제어신호 및 설정된 주기로 토글하는 주기신호 중 하나 이상의 신호를 포함함 - 에 응답하여 카운팅을 수행한 결과에 대응하는 제2카운팅 정보가 서로 대응하는 값을 가지는 경우 상기 액티브 커맨드가 입력되면 상기 입력 어드레스를 저장하는

메모리 시스템.

**청구항 23**

◈청구항 23은(는) 설정등록료 납부시 포기되었습니다.◈

제 22항에 있어서,

상기 어드레스 저장부는

설정된 주기로 토글하는 주기신호와 상기 메모리 컨트롤러로부터 입력되는 다수의 제어신호 중 하나 이상의 신호를 이용하여 상기 입력 어드레스를 저장하는 시점을 결정하는 메모리 시스템.

**청구항 24**

삭제

**청구항 25**

◈청구항 25은(는) 설정등록료 납부시 포기되었습니다.◈

제 22항에 있어서,

상기 메모리는

주기적으로 입력되는 상기 리프레시 커맨드에 응답하여 상기 다수의 워드라인을 차례로 리프레시하되, 상기 리프레시 커맨드가 설정된 횟수만큼 입력되면 상기 하나 이상의 타겟 워드라인을 리프레시하는 메모리 시스템.

**청구항 26**

◈청구항 26은(는) 설정등록료 납부시 포기되었습니다.◈

제 22항에 있어서,

상기 메모리는

주기적으로 입력되는 상기 리프레시 커맨드에 응답하여 상기 다수의 워드라인을 차례로 리프레시하되, 상기 어드레스 저장부에 어드레스가 저장된 후 상기 리프레시 커맨드가 입력되면 상기 하나 이상의 타겟 워드라인을 리프레시하는 메모리 시스템.

**청구항 27**

◈청구항 27은(는) 설정등록료 납부시 포기되었습니다.◈

제 22항에 있어서,

상기 메모리 컨트롤러는

상기 메모리로 타겟 리프레시 커맨드를 입력하고,

상기 메모리는

주기적으로 입력되는 상기 리프레시 커맨드에 응답하여 상기 다수의 워드라인을 차례로 리프레시하되, 상기 타겟 리프레시 커맨드가 입력되면 상기 하나 이상의 타겟 워드라인을 리프레시하는 메모리 시스템.

**청구항 28**

◈청구항 28은(는) 설정등록료 납부시 포기되었습니다.◈

제 22항에 있어서,

상기 하나 이상의 타겟 워드라인은

상기 어드레스 저장부에 저장된 어드레스에 대응하는 워드라인 및 상기 어드레스 저장부에 저장된 어드레스에 대응하는 워드라인에 인접한 하나 이상의 워드라인 중 하나 이상의 워드라인을 포함하는 메모리 시스템.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 특허문서는 메모리, 어드레스 저장회로 및 메모리 시스템에 관한 것이다.

### *배 경 기 술*

[0002] 메모리의 메모리셀은 스위치역할을 하는 트랜지스터와 전하(데이터)를 저장하는 캐패시터로 구성되어 있다. 메모리 셀 내의 캐패시터에 전하가 있는가 없는가에 따라, 즉 캐패시터의 단자 전압이 높은가 낮은가에 따라 데이터의 '하이'(논리 1), '로우'(논리 0)를 구분한다.

[0003] 데이터의 보관은 캐패시터에 전하가 축적된 형태로 되어 있는 것이므로 원리적으로는 전력의 소비가 없다. 그러나 MOS트랜지스터의 PN결합 등에 의한 누설 전류가 있어서 캐패시터에 저장된 초기의 전하량이 소멸 되므로 데이터가 소실될 수 있다. 이를 방지하기 위해서 데이터를 잃어버리기 전에 메모리 셀 내의 데이터를 읽어서 그 읽어낸 정보에 맞추어 다시금 정상적인 전하량을 재충전해 주어야 한다. 이러한 동작은 주기적으로 반복되어야만 데이터의 기억이 유지되는데, 이러한 셀 전하의 재충전 과정을 리프레시efresh) 동작이라 한다.

[0004] 도 1은 워드라인 디스터번스 현상을 설명하기 위해 메모리에 포함된 셀 어레이의 일부를 나타낸 도면이다. 'BL'은 비트라인이다.

[0005] 도 1에서 셀 어레이 내에서 'WLK-1', 'WLK', 'WLK+1'은 나란히 배치된 3개 워드라인이다. 'HIGH_ACT'가 표시된 'WLK'는 액티브 횟수가 많거나 액티브 빈도가 높은 워드라인이고, 'WLK-1' 및 'WLK+1'은 'WLK'와 인접하게 배치된 워드라인이다. 'CELL_K-1', 'CELL_K', 'CELL_K+1'은 각각 'WLK-1', 'WLK', 'WLK+1'에 연결된 메모리 셀이다. 메모리 셀(CELL_K-1, CELL_K, CELL_K+1)은 셀 트랜지스터(TR_K-1, TR_K, TR_K+1) 및 셀 캐패시터(CAP_K-1, CAP_K, CAP_K+1)를 포함한다.

[0006] 도 1에서 'WLK'가 액티브 및 프리차지(디액티브)되면 'WLK'와 'WLK-1' 및 'WLK+1' 사이에 발생하는 커플링 현상으로 인해 'WLK-1' 및 'WLK+1'의 전압이 상승 및 하강하면서 셀 캐패시터(CAP_K-1,CAP_K+1)에 저장된 전하량에도 영향을 미친다. 따라서 'WLK'가 많이 액티브-프리차지되어 'WLK'이 액티브 상태와 프리차지 상태에서 토글하는 경우 'CAP_K-1', 'CAP_K+1'에 저장된 전하량의 변화로 인해 'CELL_K-1', ' CELL_K+1'에 저장된 데이터가 손상될 수 있다.

[0007] 또한 워드라인이 액티브 상태와 프리차지 상태를 토글하면서 발생한 전자기파가 인접 워드라인에 연결된 메모리 셀에 포함된 셀 캐패시터의 전자를 유입/유출시킴으로서 메모리 셀의 데이터가 손상될 수 있다.

## *발명의 내용*

### 해결하려는 과제

[0008] 본 발명의 일 실시예는 액티브된 워드라인의 어드레스를 랜덤하게 저장하고, 저장된 어드레스에 대응하는 워드라인에 인접한 워드라인을 리프레시하여 이러한 워드라인에 연결된 메모리 셀의 데이터가 손상되는 것을 방지하는 메모리 및 메모리 시스템을 제공한다.

### 과제의 해결 수단

[0009] 일 실시예에 따른 메모리는 하나 이상의 메모리 셀이 연결된 다수의 워드라인; 랜덤한 시점에 외부에서 입력되는 제1외부신호에 대응하는 입력 어드레스를 저장하는 어드레스 저장부; 및 액티브 커맨드에 응답하여 상기 다수의 워드라인 중 상기 입력 어드레스에 대응하는 워드라인을 액티브하고, 리프레시 동작시 상기 어드레스 저장부에 저장된 어드레스를 이용하여 선택되는 하나 이상의 타겟 워드라인을 리프레시하는 제어부를 포함할 수 있다.

[0010] 메모리는 상기 리프레시 커맨드에 응답하여 변경되는 카운팅 어드레스를 생성하는 어드레스 카운팅부를 포함할 수 있다.

[0011] 상기 어드레스 저장부는 상기 액티브 커맨드에 응답하여 난수를 생성하는 난수 발생부; 및 상기 난수 발생부에서 생성된 난수와 설정된 값이 동일한 경우 상기 액티브 커맨드에 응답하여 상기 입력 어드레스를 저장하는 저장부를 포함할 수 있다.

[0012] 메모리로 입력된 어드레스를 저장하는 어드레스 저장회로로서, 일 실시예에 따른 어드레스 저장회로는 설정된 주기로 토글하는 주기신호를 생성하는 주기신호 생성부; 상기 주기신호가 제1레벨인 상태에서 상기 메모리의 외부로부터 입력되는 외부신호가 제1설정 횟수 이상 입력되면 인에이블 신호를 활성화하고, 상기 주기신호가 제2레벨인 상태에서 상기 외부신호가 제2설정 횟수 이상 입력되면 상기 인에이블 신호를 비활성화하는 인에이블 신호 생성부; 및 상기 인에이블 신호가 활성화된 경우 상기 메모리에 상기 액티브 커맨드가 입력되면, 상기 액티브 커맨드에 대응하는 어드레스를 저장하는 저장부를 포함할 수 있다.

[0013] 상기 인에이블 신호 생성부는 상기 주기신호 및 상기 외부신호를 입력받아 프리 인에이블 신호를 생성하는 제1신호 생성부; 및 상기 외부신호가 입력되면 상기 프리 인에이블 신호를 쉬프팅하여 상기 인에이블 신호를 생성하는 제2신호 생성부를 포함할 수 있다.

[0014] 메모리로 입력된 어드레스를 저장하는 어드레스 저장회로로서, 일 실시예에 따른 어드레스 저장회로는 제1카운팅 신호에 응답하여 카운팅을 수행한 결과에 대응하는 제1카운팅 정보를 생성하는 제1카운팅 정보 생성부; 제2카운팅 신호에 응답하여 카운팅을 수행한 결과에 대응하는 제2카운팅 정보를 생성하는 제2카운팅 정보 생성부; 및 상기 제1카운팅 정보 및 상기 제2카운팅 정보가 서로 대응하는 값을 가지는 경우 상기 액티브 커맨드가 입력되면, 상기 액티브 커맨드에 대응하는 어드레스를 저장하는 저장부를 포함하고, 상기 제1카운팅 신호 및 상기 제2카운팅 신호는 액티브 커맨드, 프리차지 커맨드, 라이트 커맨드, 리드 커맨드, 리프레시 커맨드, 어드레스, 데이터 및 설정된 주기로 토글하는 주기신호 중 하나 이상의 신호를 포함할 수 있다.

[0015] 일 실시예에 따른 메모리 시스템은 하나 이상의 메모리 셀이 연결된 다수의 워드라인 및 랜덤한 시점에 액티브 커맨드에 대응하는 입력 어드레스를 저장하는 어드레스 저장부를 포함하고, 상기 액티브 커맨드에 응답하여 상기 다수의 워드라인 중 상기 입력 어드레스에 대응하는 워드라인을 액티브하고, 리프레시 동작시 상기 어드레스 저장부에 저장된 어드레스를 이용하여 선택되는 하나 이상의 타겟 워드라인을 리프레시하는 메모리; 및 상기 메모리로 상기 메모리의 동작을 제어하기 위한 다수의 제어신호 - 상기 제어신호는 액티브 커맨드, 프리차지 커맨드, 라이트 커맨드, 리드 커맨드, 리프레시 커맨드, 어드레스 및 데이터를 포함함 - 를 인가하는 메모리 컨트롤러를 포함할 수 있다.

### 발명의 효과

[0016] 본 기술은 액티브된 워드라인의 어드레스를 랜덤한 시점에 저장하고, 저장된 어드레스에 대응하는 워드라인에 인접한 워드라인을 리프레시하여 이러한 워드라인에 연결된 메모리 셀의 데이터가 손상되는 것을 방지할 수 있다.

[0017] 또한 이를 통해 액티브 횟수 또는 액티브 빈도가 높은 워드라인에 인접한 워드라인에 연결된 메모리 셀의 데이터가 워드라인 디스터번스로인해 열화되는 것을 방지할 수 있다.

## 도면의 간단한 설명

[0018] 도 1은 워드라인 디스터번스 현상을 설명하기 위해 메모리에 포함된 셀 어레이의 일부를 나타낸 도면,

도 2는 타겟 리프레시 동작를 설명하기 위해 메모리의 일부를 나타낸 도면,

도 3은 일 실시예에 따른 메모리의 구성도,

도 4는 다른 일 실시예에 따른 메모리의 구성도,

도 5는 일 실시예에 따른 어드레스 저장부(360)의 구성도,

도 6은 도 5의 어드레스 저장부(360)의 동작을 설명하기 위한 파형도,

도 7은 다른 일 실시예에 따른 어드레스 저장부(360)의 구성도,

도 8은 다른 일 실시예에 따른 어드레스 저장부(360)의 구성도,

도 9은 일 실시예에 다른 메모리 시스템의 구성도.

## 발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0020] 도 2는 타겟 리프레시 동작를 설명하기 위해 메모리의 일부를 나타낸 도면이다. 타겟 리프레시는 다수의 워드라인(WL0 - WLN)을 차례로, 반복적으로 리프레시하는 노멀 리프레시와 달리 다수의 워드라인 중 타겟으로 지정된 특정 워드라인에 대해서만 수행하는 리프레시를 나타낼 수 있다. 이러한 타겟 리프레시를 통해 상술한 워드라인 디스터번스 현상을 방지할 수 있다.

[0021] 도 2에 도시된 바와 같이, 메모리는 어드레스 카운팅부(210), 어드레스 검출부(220), 타겟 어드레스 생성부(230), 리프레시 제어부(240), 로우 제어부(250) 및 셀 어레이(260)를 포함할 수 있다. 셀 어레이(250)는 하나 이상의 메모리 셀(MC)이 연결된 다수의 워드라인(WL0 - WLN)을 포함할 수 있다.

[0022] 리프레시 제어부(240)는 리프레시 커맨드(REF)가 입력되면 제1리프레시 신호(REF1)를 활성화하고, 리프레시 커맨드(REF)가 설정된 횟수만큼 입력될 때마다 제2리프레시 신호(REF2)를 활성화할 수 있다. 예를 들어 리프레시 제어부(240)는 리프레시 커맨드(REF)가 입력되면 제1리프레시 신호(REF1)를 활성화하고, 리프레시 커맨드(REF)가 입력된 횟수를 카운팅하여 리프레시 커맨드(REF)가 4회 입력될 때마다 제2리프레시 신호(REF2)를 활성화할 수 있다.

[0023] 어드레스 카운팅부(210)는 카운팅 어드레스(CNT_ADD)를 생성하되, 제1리프레시 신호(REF1)가 활성화될 때마다 카운팅 어드레스(CNT_ADD)의 값을 변경할 수 있다. 예를 들어 어드레스 카운팅부(210)는 제1리프레시 신호(REF1)가 활성화될 때마다 카운팅 어드레스(CNT_ADD)의 값을 1씩 증가시킬 수 있다. 여기서 어드레스의 값을 1씩 증가시킨다는 것은 이전에 K번 워드라인(WLK)이 선택되었다면 다음번에는 K+1번 워드라인(WLK+1)이 선택되도록 어드레스를 변화시킨다는 것을 의미한다.

[0024] 어드레스 검출부(220)는 다수의 워드라인(WL0 - WLN)이 액티브된 횟수를 카운팅하거나, 메모리의 액티브 히스토리를 참조하여 하이 액티브 워드라인을 검출하고, 그 어드레스(HIGH_ADD)이하 하이 액티브 어드레스)를 출력하고 검출신호(DET)를 활성화할 수 있다. 하이 액티브 워드라인은 설정된 구간에서 액티브 횟수가 기준횟수 이상인 경우 및 액티브 빈도가 기준빈도 이상인 경우 중 하나 이상의 조건을 만족하는 워드라인을 나타낼 수 있다. 어드레스 검출부(220)는 액티브 커맨드(ACT) 및 입력 어드레스(iADD)를 입력받아 하이 액티브 워드라인을 검출할 수도 있고, 셀 어레이(260)로부터 직접 각 워드라인의 액티브 정보를 입력받아 하이 액티브 워드라인을 검출할 수도 있다. 참고로 액티브 히스토리는 메모리의 각 액티브 동작에서 어떤 워드라인이 액티브되었는지를 나타내는 정보일 수 있다.

[0025] 타겟 어드레스 생성부(230)는 검출신호(DET)가 활성화되면, 하이 액티브 어드레스(HIGH_ADD)를 저장하고, 제2리프레시 신호(REF2)가 활성화되면 저장된 어드레스를 이용해 타겟 어드레스(TAR_ADD)를 생성할 수 있다. 타겟 어드레스(TAR_ADD)는 하이 액티브 워드라인에 인접한 워드라인에 대응하는 어드레스로 하이 액티브 어드레스(HIGH_ADD)에서 1을 더하거나 빼준 값을 가질 수 있다.

[0026] 로우 제어부(250)는 제1리프레시 신호(REF1)가 활성화된 경우 카운팅 어드레스(CNT_ADD)에 대응하는 워드라인을 리프레시하고, 제2리프레시 신호(REF2)가 활성화된 경우 타겟 어드레스(TAR_ADD)에 대응하는 워드라인을 리프레시할 수 있다.

[0027] 메모리는 리프레시 커맨드(REF)가 입력되면 다수의 워드라인(WL0 ~ WLN)을 차례로 리프레시 하되(노멀 리프레시), 리프레시 커맨드(REF)가 설정된 횟수 만큼 입력될 때마다 타겟 어드레스(TAR_ADD)에 대응하는 워드라인을 리프레시할 수 있다(타겟 리프레시). 한편, 어드레스 검출부(220)는 하이 액티브 워드라인을 검출하기 위해 각 워드라인의 액티브 횟수를 카운팅하고, 카운팅 값을 저장하거나 메모리의 액티브 히스토리를 저장해야 한다. 이를 위해 수천개가 넘는 워드라인에 대응하는 카운터를 구비하거나 수천 ~ 수만번의 액티브 동작에서 액티브된 워드라인의 어드레스를 저장하기 위한 회로를 구비해야 한다. 즉 하이 액티브 워드라인을 검출하기 위해 필요한 회로의 사이즈가 매우 크다.

[0028] 도 3은 일 실시예에 따른 메모리의 구성도이다.

[0029] 도 3에 도시된 바와 같이, 메모리는 커맨드 입력부(310), 어드레스 입력부(320), 데이터 입출력부(330), 커맨드 디코더(340), 어드레스 카운팅부(350), 어드레스 저장부(360), 제어부(370) 및 셀 어레이(380)를 포함할 수 있다. 셀 어레이(380)는 하나 이상의 메모리 셀(MC)이 연결된 다수의 워드라인(WL0 ~ WLN)을 포함할 수 있다. 또한 셀 어레이(380)는 하나 이상의 메모리 셀(MC)이 연결된 다수의 비트라인(BL)을 포함할 수 있다.

[0030] 도 3을 참조하여 메모리에 대해 설명한다.

[0031] 커맨드 입력부(310)는 커맨드(CMDs)를 입력받고, 어드레스 입력부(320)는 어드레스(ADDs)를 입력받을 수 있다. 데이터 입출력부(330)는 메모리 외부로부터 데이터(DATA)를 입력받고, 메모리 내부의 데이터(iDATA)를 출력할 수 있다. 커맨드(CMDs), 어드레스(ADDs) 및 데이터(DATA) 각각은 멀티 비트의 신호들을 포함할 수 있다.

[0032] 커맨드 디코더(340)는 커맨드 입력부(310)를 통해 입력된 커맨드 신호들(CMDs)을 디코딩해 액티브 커맨드(ACT), 리프레시 커맨드(REF), 프리차지 커맨드(PRE), 라이트 커맨드(WT) 및 리드 커맨드(RD)를 생성할 수 있다. 커맨드 디코더(330)는 액티브 커맨드(ACT), 리프레시 커맨드(REF), 프리차지 커맨드(PRE), 라이트 커맨드(WT) 및 리드 커맨드(RD) 중 입력된 커맨드 신호들(CMDs)의 조합이 나타내는 커맨드를 활성화할 수 있다.

[0033] 어드레스 카운팅부(350)는 워드라인(WL0 ~ WLN)이 리프레시될 때마다 그 값이 변경되는 카운팅 어드레스(CNT_ADD)를 생성할 수 있다. 어드레스 카운팅부(350)는 제1리프레시 신호(REF1)가 활성화될 때마다 카운팅 어드레스(CNT_ADD)의 값을 1씩 증가시킬 수 있다. 카운팅 어드레스(CNT_ADD)는 노멀 리프레시 동작에서 리프레시를 수행할 워드라인을 선택하는 어드레스로 사용될 수 있다. 카운팅 어드레스(CNT_ADD)의 값을 1씩 증가시킨다는 것은 이전에 K번 워드라인(WLK)이 선택되었다면 다음번에는 K+1번 워드라인(WLK+1)이 선택되도록 카운팅 어드레스(CNT_ADD)를 변화시킨다는 것을 의미한다.

[0034] 어드레스 저장부(360)는 랜덤한 시점에 액티브 커맨드(ACT)에 대응하는 입력 어드레스(iADD)를 저장할 수 있다. 액티브 커맨드(ACT)에 대응하는 입력 어드레스(iADD)는 액티브 커맨드(ACT)에 응답하여 이미 액티브된 워드라인 또는 액티브 커맨드(ACT)에 응답하여 액티브되어야 할 워드라인(이하 액티브 워드라인이라 함)의 어드레스를 나타낼 수 있다. 즉, 어드레스 저장부(360)는 랜덤한 시점에 액티브 워드라인의 어드레스를 저장할 수 있다. 어드레스 저장부(360)는 어드레스가 저장되면 저장신호(ST)를 활성화하고, 저장된 어드레스를 출력(STO_ADD)할 수 있다.

[0035] 랜덤한 시점에 액티브 워드라인의 어드레스를 저장하고, 저장된 어드레스에 대응하는 워드라인 및 이러한 워드라인에 인접한 워드라인을 타겟 리프레시하면, 모든 워드라인의 액티브 횟수를 카운팅할 필요가 없으므로 카운터를 빼서 메모리의 사이즈를 줄이면서, 소정의 확률로 워드라인 디스터번스 현상을 막을 수 있다.

[0036] 제어부(370)는 커맨드들(ACT, PRE, REF, RD, WT) 및 입력 어드레스(iADD)를 입력받아 셀 어레이(380)를 액세스할 수 있다. 제어부(370)는 액티브 커맨드(ACT)에 응답하여 입력 어드레스(iADD)에 대응하는 워드라인을 액티브할 수 있다. 제어부(370)는 리드 커맨드(RD)에 응답하여 액티브된 워드라인에 연결된 메모리 셀(MC)들 중 입력

어드레스(iADD)에 대응하는 메모리 셀들(MC)의 데이터를 리드하거나, 라이트 커맨드(WT)에 응답하여 액티브된 워드라인에 연결된 메모리 셀(MC)들 중 입력 어드레스(iADD)에 대응하는 메모리 셀들(MC)에 데이터를 라이트할 수 있다. 제어부(370)는 프리차지 커맨드(PRE)에 응답하여 액티브된 워드라인을 프리차지할 수 있다. 제어부(370)는 리프레시 커맨드(REF)에 응답하여 노멀 리프레시 또는 타겟 리프레시를 수행할 수 있다.

[0037] 이러한 동작을 위해 제어부(370)는 리프레시 제어부(371), 타겟 어드레스 생성부(372), 로우 제어부(372) 및 컬럼 제어부(373)를 포함할 수 있다. 리프레시 제어부(371)는 노멀 리프레시 동작을 위해 리프레시 커맨드(REF)에 응답하여 제1리프레시 신호(REF1)를 활성화하고, 타겟 리프레시 동작을 위해 리프레시 커맨드(REF)에 응답하여 제2리프레시 신호(REF2)를 활성화할 수 있다.

[0038] 리프레시 제어부(371)는 리프레시 커맨드(REF)가 설정된 횟수만큼 입력되면 제2리프레시 신호(REF2)를 활성화할 수 있다. 이 경우 메모리는 리프레시 커맨드(REF)가 설정된 횟수만큼 입력될 때마다 타겟 리프레시를 수행할 수 있다. 예를 들어 리프레시 커맨드(REF)가 4회 입력될 때마다 제2리프레시 신호(REF2)를 활성화함으로써, 리프레시 커맨드(REF)가 4회 활성화될 때마다 타겟 리프레시를 수행할 수 있다. 또는 리프레시 제어부(371)는 어드레스 저장부(360)에 어드레스가 저장된 후(저장신호(ST)가 활성화됨) 리프레시 커맨드(REF)가 입력되면 제2리프레시 신호(REF2)를 활성화할 수 있다. 이 경우 메모리는 저장신호(ST)가 활성화된 후 리프레시 커맨드가 입력되면 타겟 리프레시를 수행할 수 있다. 상술한 방법 외에도, 메모리는 리프레시 제어부(371)의 설계에 따라 리프레시 커맨드(REF)에 응답하여 다양한 방법으로 타겟 리프레시를 수행할 수 있다.

[0039] 타겟 어드레스 생성부(372)는 제2리프레시 신호(REF2)가 활성화되면 어드레스 저장부(360)에 저장된 어드레스(STO_ADD)를 이용해 타겟 어드레스(TAR_ADD)를 생성할 수 있다. 타겟 어드레스(TAR)는 타겟 리프레시 동작시 리프레시하는 하나 이상의 타겟 워드라인의 어드레스일 수 있다. 타겟 워드라인은 어드레스 저장부(360)에 저장된 어드레스(STO_ADD)에 대응하는 워드라인이거나, 어드레스 저장부(360)에 저장된 어드레스(STO_ADD)에 대응하는 워드라인에 인접한 워드라인일 수 있다. 타겟 어드레스 생성부(372)는 어드레스 저장부(360)에 저장된 어드레스(STO_ADD)를 그대로 출력하거나, 어드레스 저장부(360)에 저장된 어드레스(STO_ADD)에서 1을 더하거나 빼준 값을 출력하여 타겟 어드레스(TAR_ADD)를 생성할 수 있다.

[0040] 로우 제어부(373)는 액티브 커맨드(ACT)가 활성화되면 입력 어드레스(iADD)에 대응하는 워드라인을 액티브하고, 프리차지 커맨드(PRE)가 활성화되면 액티브된 워드라인을 프리차지할 수 있다. 로우 제어부(373)는 제1리프레시 신호(REF1)가 활성화되면 카운팅 어드레스(CNT_ADD)에 대응하는 워드라인을 리프레시하고, 제2리프레시 신호(REF2)가 활성화되면 타겟 어드레스(TAR_ADD)에 대응하는 워드라인을 리프레시할 수 있다.

[0041] 컬럼 제어부(373)는 리드 커맨드(RD)가 활성화되면 액티브된 워드라인에 연결된 메모리 셀(MC)들 중 입력 어드레스(iADD)에 대응하는 메모리 셀(MC)들의 데이터를 내부 데이터(iDATA)로 출력하고, 라이트 커맨드(WT)가 활성화되면 입력된 내부 데이터(iDATA)를 액티브된 워드라인에 연결된 메모리 셀(MC)들 중 입력 어드레스(iADD)에 대응하는 메모리 셀(MC)들로 입력할 수 있다. 컬럼 제어부(373)는 리드 동작시 입력 어드레스(iADD)에 대응하는 비트라인(BL)들을 통해 병렬로 전달된 데이터를 병-직렬 변환하여 내부 데이터(iDATA)로 출력하고, 라이트 동작시 직렬로 입력된 내부 데이터(iDATA)를 직-병렬 변환하여 입력 어드레스(iADD)에 대응하는 비트라인(BL)들에 전달할 수 있다.

[0042] 메모리는 랜덤한 시점에 액티브 워드라인의 어드레스를 저장하고, 저장된 어드레스를 이용하여 타겟 리프레시를 수행하므로써 워드라인 디스터번스가 발생할 가능성을 줄이면서, 메모리의 사이즈를 최소화할 수 있다. 또한 리프레시 커맨드(REF)를 입력받아 내부적으로 타겟 리프레시를 수행할 수 있다.

[0043] 도 4는 다른 일 실시예에 따른 메모리의 구성도이다.

[0044] 도 4에 도시된 바와 같이, 메모리는 커맨드 입력부(410), 어드레스 입력부(420), 데이터 입출력부(430), 커맨드 디코더(440), 어드레스 카운팅부(450), 어드레스 저장부(460), 제어부(470) 및 셀 어레이(480)를 포함할 수 있다. 셀 어레이(480)는 하나 이상의 메모리 셀(MC)이 연결된 다수의 워드라인(WL0 - WLN)을 포함할 수 있다. 또한 셀 어레이(380)는 하나 이상의 메모리 셀(MC)이 연결된 다수의 비트라인(BL)을 포함할 수 있다.

[0045] 도 4의 메모리는 도 3의 메모리와 달리 외부로부터 커맨드를 입력받아 타겟 리프레시를 수행할 수 있다. 이하에서는 도 4의 메모리와 도 3의 메모리의 차이점을 중심으로 도 4의 메모리에 대해 설명한다.

[0046] 커맨드 디코드(440)는 도 3에서 상술한 커맨드(ACT, PRE, REF, WT, RD) 외에 커맨드 입력부(410)를 통해 입력된

커맨드(CMDs)들이 타겟 리프레시 커맨드(TRR)를 나타내는 경우 타겟 리프레시 커맨드(TRR)를 활성화할 수 있다. 이때 타겟 리프레시 커맨드(TRR)는 새롭게 정의되는 커맨드일 수 있다. 타겟 리프레시 커맨드(TRR)는 메모리를 제어하는 외부장치(예를 들면, 메모리 컨트롤러)로부터 주기적으로 메모리에 입력될 수도 있고, 어드레스 저장부(460)에 어드레스가 저장된 후 저장 신호(ST)가 데이터 입출력부(430)등을 통해 출력되어 외부장치로 전달되면, 그 후에 메모리로 입력될 수도 있다.

[0047] 리프레시 제어부(471)는 리프레시 커맨드(REF)에 응답하여 제1리프레시 신호(REF1)를 활성화하고, 타겟 리프레시 커맨드(TRR)에 응답하여 제2리프레시 신호(REF2)를 활성화할 수 있다.

[0048] 이 경우 메모리는 주기적으로 입력되는 리프레시 커맨드(REF)에 응답하여 다수의 워드라인(WL0 - WLN)을 차례로 리프레시(노멀 리프레시)하되, 타겟 리프레시 커맨드(TRR)에 응답하여 타겟 리프레시를 수행할 수 있다. 상술한 설명에서 언급하지 않은 메모리의 구성 및 동작은 도 3의 설명에서 상술한 바와 동일하다.

[0049] 도 4의 메모리는 도 3의 메모리와 같이 랜덤한 시점에 액티브 워드라인의 어드레스를 저장하고, 저장된 어드레스를 이용하여 타겟 리프레시를 수행하므로써 워드라인 디스터번스가 발생할 가능성을 줄이면서, 메모리의 사이즈를 최소화할 수 있다. 또한 외부로부터 커맨드를 입력받아 타겟 리프레시를 수행할 수 있다.

[0050] 도 5는 일 실시예에 따른 어드레스 저장부(360)의 구성도이다.

[0051] 도 5에 도시된 바와 같이, 어드레스 저장부(360)는 주기신호 생성부(510), 인에이블 신호 생성부(520) 및 저장부(530)를 포함할 수 있다. 도 5의 어드레스 저장부(360)는 설정된 주기로 토글하는 주기신호(OSC)와 메모리 외부로부터 입력되는 외부신호를 이용하여 입력 어드레스(iADD)를 저장하는 시점을 결정할 수 있다.

[0052] 도 5를 참조하여 어드레스 저장부(360)에 대해 설명한다.

[0053] 주기신호 생성부(510)는 설정된 주기로 토글하는 주기신호(OSC)를 생성할 수 있다. 주기신호(OSC)의 주기는 설계에 따라 다양하게 설정(예를 들면 수 ns에 수백 μs까지 다양하며, 그 이외의 범위도 가능함)될 수 있다. 어드레스 저장부(360)가 어드레스(iADD)를 저장하는 빈도는 주기신호(OSC)의 주기에 따라 조절될 수 있다. 즉, 어드레스 저장부(360)가 어드레스(iADD)를 저장하는 빈도는 주기신호(OSC)의 주기가 짧아질수록 높아지고, 주기신호(OSC)의 주기가 길어질수록 낮아질 수 있다. 주기신호 생성부(510)는 진동하는 신호를 생성하는 오실레이터(Oscillator)일 수 있다.

[0054] 인에이블 신호 생성부(520)는 주기신호(OSC)가 제1레벨(예를 들어 '하이')인 상태에서 외부신호(EXS)가 제1설정 횟수 이상 입력되면 인에이블 신호(ST_EN)를 활성화하고, 주기신호(OSC)가 제2레벨(예를 들어 '로우')인 상태에서 외부신호(EXS)가 제2설정 횟수 이상 입력되면 인에이블 신호(ST_EN)를 비활성화할 수 있다. 제1설정 횟수와 제2설정 횟수는 동일할 수 있다. 이러한 동작을 위해 인에이블 신호 생성부(520)는 주기신호(OSC) 및 외부신호(EXS)를 입력받아 프리 인에이블 신호(PRE_EN)를 생성하는 제1신호 생성부(521) 및 외부신호(EXS)가 입력되면 프리 인에이블 신호(PRE_EN)를 쉬프팅하여 인에이블 신호(ST_EN)를 생성하는 제2신호 생성부(522)를 포함할 수 있다.

[0055] 제1신호 생성부(521)는 주기신호(OSC)가 제1레벨인 경우 외부신호(EXS)가 입력되면 프리 인에이블 신호(PRE_EN)를 활성화하고, 주기신호(OSC)가 제2레벨인 경우 외부신호(EXS)가 입력되면 프리 인에이블 신호(PRE_EN)를 비활성화할 수 있다. 제2신호 생성부(521)는 외부신호(EXS)가 입력될 때마다 프리 인에이블 신호(PRE_EN)를 쉬프팅하여, 주기신호(OSC)가 제1레벨인 경우 외부신호(EXS)가 제1설정 횟수만큼 입력되면 활성화된 프리 인에이블 신호(PRE_EN)를 인에이블 신호(ST_EN)로 전달하여 인에이블 신호(ST_EN)를 활성화하고, 주기신호(OSC)가 제2레벨인 경우 외부신호(EXS)가 제2설정 횟수만큼 입력되면 비활성화된 프리 인에이블 신호(PRE_EN)를 인에이블 신호(ST_EN)로 전달하여 인에이블 신호(ST_EN)를 비활성화할 수 있다.

[0056] 저장부(530)는 인에이블 신호(ST_EN)가 활성화된 상태에서 메모리에 액티브 커맨드(ACT)가 입력되면 액티브 커맨드(ACT)에 대응하는 어드레스(iADD)를 저장할 수 있다. 이때 저장부(530)는 인에이블 신호(ST_EN)가 활성화된 상태에서 액티브 커맨드(ACT)가 활성화될 때마다 입력되는 모든 어드레스(iADD)를 저장할 수도 있고, 이러한 어드레스들 중 일부를 저장할 수 있다. 예를 들어 저장부(530)가 어드레스를 1개만 저장할 수 있는 경우, 인에이블 신호(ST_EN)가 활성화된 상태에서 처음으로 액티브 커맨드(ACT)가 활성화된 경우에만 어드레스(iADD)를 저장하고 그 후에는 어드레스를 저장하지 않거나, 이전에 저장된 어드레스를 현재 입력되는 어드레스(iADD)로 갱신함으로써 인에이블 신호(ST_EN)가 활성화된 상태에서 마지막으로 입력되는 액티브 커맨드(ACT)에 대응하는 어드

레스(iADD)만 저장할 수도 있다. 저장부(530)는 어드레스가 저장되면 저장신호(ST)를 활성화하고, 저장된 어드레스를 출력(STO_ADD)할 수 있다.

[0057] 여기서 외부신호(EXS)는 메모리의 외부에서 메모리를 제어하는 외부장치(예를 들어 메모리 컨트롤러 또는 테스트 장비 등)로부터 입력되는 신호로써 메모리로 입력되는 시점, 빈도, 펄스폭 등이 주기신호(OSC)의 주기와 전혀 무관한 신호일 수 있다. 외부신호(EXS)는 액티브 커맨드(ACT), 프리차지 커맨드(PRE), 라이트 커맨드(WT), 리드 커맨드(RD), 리프레시 커맨드(REF), 어드레스(ADDs) 및 데이터(DATA) 중 하나 이상의 신호를 포함할 수 있다. 메모리는 커맨드(CMDs), 어드레스(ADDs), 데이터(DATA)를 주기신호(OSC)와 관계없이 입력받아 동작을 수행할 수 있다.

[0058] 즉, 주기신호(OSC)의 주기와 외부신호(EXS)가 인가되는 시점, 빈도 등은 전혀 무관하고, 외부에서 봤을 때 예측불가능하므로 주기신호(OSC)와 외부신호(EXS)가 설정된 조건으로 만나는 시점에 어드레스를 저장함으로써 랜덤한 시점에 액티브 워드라의 어드레스를 저장할 수 있다.

[0059] 도 6은 도 5의 어드레스 저장부(360)의 동작을 설명하기 위한 파형도이다. 도 6에 도시된 예에서, 외부신호(EXS)는 리드 커맨드(RD)이고, 제1설정 횟수 및 제2설정 횟수 는 2회라고 하자.

[0060] 먼저 주기신호(OSC)가 임의의 시점에 하이레벨이 된 후 리드 동작을 위해 커맨드(ACT, RD, PRE)들이 입력된다. 주기신호(OSC)가 하이레벨인 상태에서 리드 커맨드(RD)가 입력되면 프리 인에이블 신호(PRE_EN)가 활성화되고, 리드 커맨드(RD)가 2회 입력되면 인에이블 신호(ST_EN)가 활성화된다. 인에이블 신호(ST_EN)가 활성화된 상태에서 액티브 커맨드(ACT)가 입력되면 어드레스(iADD)가 저장된다(A). 주기신호(OSC)가 로우레벨로 천이한 뒤 리드 커맨드(RD)가 입력되면 프리 인에이블 신호(PRE_EN)가 비활성화되고, 리드 커맨드(RD)가 2회 입력되면 인에이블 신호(ST_EN)가 비활성화된다.

[0061] 도 6에는 어드레스가 저장되는 상황을 도시하기 위해 리드 커맨드(RD)와 주기신호(OSC)의 하이레벨 및 로우레벨이 만나는 부분만을 도시하였으나 실제 메모리의 동작시 리드 커맨드(RD)는 주기신호(OSC)의 주기와 전혀 관계없이 인가되므로 실제 인에이블 신호(ST_EN)가 활성화 및 비활성화되는 시점은 예측할 수 없는 랜덤한 시점일 수 있다.

[0062] 도 5에서는 어드레스 저장부(360)가 주기신호(OSC)를 내부적으로 생성하는 경우에 대해서 도시하였으나, 주기신호(OSC)는 메모리의 외부로부터 입력된 것일 수도 있다. 다만 주기신호(OSC)의 주기는 다른 외부신호들이 입력되는 시점, 빈도 등과는 전혀 관계가 없을 수 있다. 도 6에서는 외부신호(EXS)가 리드 커맨드(RD)인 경우에 대해서 도시하였으나 상술한 바와 같이 다른 커맨드(ACT, PRE, REF, WT) 또는 어드레스(ADDs) 및 데이터(DATA) 중 1비트일 수도 있으며, 위 신호들을 소정의 값만큼 지연시킨 신호일 수도 있다. 위와 같이 전혀 관계없는 신호를 조합하되, 액티브 커맨드(ACT)에 응답하여 어드레스를 저장함으로써 어드레스 저장부(360)는 랜덤한 시점에 액티브 워드라인의 어드레스를 저장할 수 있다.

[0063] 도 5 및 도 6에서는 1개의 특정 외부신호(리드 커맨드(RD)등)가 특정횟수(2회) 활성화된 경우 저장 인에이블 신호(ST_EN)가 활성화되는 경우를 설명하였으나, 저장 인에이블 신호(ST_EN)가 활성화되기 위해 입력되어야 하는 외부신호의 개수, 해당 외부신호들의 입력횟수들은 설계에 따라 달라질 수 있다. 예를 들어 저장 인에이블 신호(ST_EN)는 프리차지 커맨드(PRE)가 2회 활성화된 후 라이트 커맨드(WT)가 3회 활성화되면 활성화될 수 있다.

[0064] 도 7은 다른 일 실시예에 따른 어드레스 저장부(360)의 구성도이다.

[0065] 도 7에 도시된 바와 같이, 어드레스 저장부(360)는 제1카운팅 정보 생성부(710), 제2카운팅 정보 생성부(720) 및 저장부(730)를 포함할 수 있다. 도 5의 어드레스 저장부(360)는 서로 관계없는 2개의 신호를 카운팅한 값을 이용하여 입력 어드레스(iADD)를 저장하는 시점을 결정할 수 있다.

[0066] 도 7을 참조하여 어드레스 저장부(360)에 대해 설명한다.

[0067] 제1카운팅 정보 생성부(710)는 제1카운팅 신호(CNT1)에 응답하여 카운팅을 수행하고, 그 결과에 대응하는 제1카운팅 정보(CNT_INF1)를 생성할 수 있다. 제1카운팅 정보 생성부(710)는 제1카운팅 정보(CNT_INF1)가 오프셋(offset) 값을 가지거나 또는 제1카운팅 정보(CNT_INF1)의 다수의 비트 중 일부 비트가 고정된 값을 가지도록 할 수 있다. 제1카운팅 정보 생성부(710)는 제1카운팅 정보(CNT_INF1)가 설정된 값에 도달한 경우 제1카운팅 정보(CNT_INF1)를 초기값으로 초기화하고, 제1카운팅 신호(CNT1)를 처음부터 카운팅할 수 있다. 제1카운팅 정보(CNT_INF1)가 오프셋 값을 가진다는 것은 예를 들어 제1카운팅 정보(CNT_INF1)가 7비트의 신호이고, 제1카운팅

신호(CNT1)가 활성화될 때마다 1씩 증가한다고 할 때, 초기값이 '0000000'이 아닌 '0001000'과 같이 설정된 값인 것을 나타낼 수 있다. 또한  제1카운팅 정보(CNT_INF1)의 일부 비트가 고정된 값을 가진다는 것은 예를 들어, 제1카운팅 정보(CNT_INF1)가 7비트의 신호이고 위에서 3번째 비트가 '1'값으로 고정된 상태에서 카운팅을 통해 나머지 비트들을 변화시키는 것을 나타낼 수 있다('0010000' - 밑줄친 비트는 항상 '1'이고 나머지 비트들이 카운팅에 의해 변화됨).

[0068] 제2카운팅 정보 생성부(720)는 제2카운팅 신호(CNT2)에 응답하여 카운팅을 수행하고, 그 결과에 대응하는 제2카운팅 정보(CNT_INF2)를 생성할 수 있다. 제2카운팅 정보 생성부(720)는 저장부(730)에 어드레스(iADD)가 저장되면(저장신호(ST)가 활성화됨) 제2카운팅 정보(CNT_INF2)의 값을 초기값으로 초기화하고, 처음부터 제2카운팅 신호(CNT2)를 카운팅할 수 있다. 참고로 어떤 신호를 카운팅하는 것은 그 신호가 활성화 레벨(또는 비활성화 레벨)을 가질 때마다 카운팅을 수행하는 동작을 나타낼 수 있다.

[0069] 저장부(730)는 제1카운팅 정보(CNT_INF1) 및 제2카운팅 정보(CNT_INF2)를 입력받아 2개의 정보가 서로 대응하는 값을 가지는 경우 액티브 커맨드(ACT)가 입력되면 액티브 커맨드(ACT)에 대응하는 어드레스(iADD)를 저장할 수 있다. 저장부(730)는 어드레스가 저장되면 저장신호(ST)를 활성화하고, 저장된 어드레스(STO_ADD)를 출력할 수 있다. 제1카운팅 정보(CNT_INF1) 및 제2카운팅 정보(CNT_INF2)가 서로 대응하는 값을 가지는 경우란 설정된 규칙에 따라 제1카운팅 정보(CNT_INF1) 및 제2카운팅 정보(CNT_INF2)가 특정한 관계를 가지는 값을 가지는 경우를 나타낼 수 있다. 예를 들어 제1카운팅 정보(CNT_INF1) 및 제2카운팅 정보(CNT_INF2)의 각 비트들이 모두 같은 값을 가지거나, 제1카운팅 정보(CNT_INF1)의 일부 또는 전부의 비트들과 각 비트 및 제2카운팅 정보(CNT_INF2)의 일부 또는 전부의 비트들이 같은 값을 가지는 경우일 수 있다.

[0070] 여기서 카운팅 신호(CNT1, CNT2)들은 액티브 커맨드(ACT), 프리차지 커맨드(PRE), 라이트 커맨드(WT), 리드 커맨드(RD), 리프레시 커맨드(REF), 어드레스(ADDs), 데이터(DATA) 및 설정된 주기를 가지는 주기신호 중 서로 다른 신호일수 있다. 카운팅 신호(CNT1, CNT2)가 어드레스(ADDs) 또는 데이터(DATA)인 경우 어드레스(ADDs) 및 데이터(DATA)에 포함된 다수의 비트들 중 하나의 비트일 수 있다.

[0071] 예를 들어 제1카운팅 신호(CNT1)는 리프레시 커맨드(REF)(또는 제1리프레시 신호(REF1))이고, 제2카운팅 신호(CNT2)는 액티브 커맨드(ACT)일 수 있다. 이러한 경우 어드레스 카운팅부(350)를 이용하여 제1카운팅 정보(CNT_INF1)를 생성할 수 있다. 제2카운팅 신호 생성부(720)는 액티브 커맨드(ACT)가 활성화될 때마다 카운팅을 수행하여 제2카운팅 정보(CNT_INF2)를 생성할 수 있다.

[0072] 이하에서는 제1카운팅 신호(CNT1)가 제1리프레시 신호(REF1)이고, 제2카운팅 신호(CNT2)는 액티브 신호(ACT)이고, 카운팅 정보들(CNT1, CNT2)은 각각 9비트의 신호이고, 제1카운팅 정보(CNT_INF1)의 위에서 5번째 비트는 '1'로 고정되고, 제1카운팅 정보(CNT_INF1)는 모든 비트가 '1'이 되면 그 후 초기화되고, 제1카운팅 정보(CNT_INF1)와 제2카운팅 정보(CNT_INF2)의 모든 비트가 동일한 경우 어드레스 저장부(360)가 어드레스를 저장한다고 가정하자.

[0073] 먼저 제1카운팅 정보(CNT_INF1)가 '000010000'인 상태에서 액티브 커맨드(ACT)가 32회 입력되면 제2카운팅 정보(CNT_INF2)가 '000010000'이 되므로, 어드레스 저장부(360)는 어드레스를 저장할 수 있다. 그 후 제2카운팅 정보(CNT_INF2)는 '000000000'로 초기화될 수 있다. 다음으로 액티브 커맨드(ACT)가 입력되는 동안 제1리프레시 신호(REF1)가 3회 활성화되어 제1카운팅 정보(CNT_INF1)가 '0000010011'이 되었다고 하자. 이 경우 이전에 어드레스를 저장한 시점부터 액티브 커맨드(ACT)가 35회 입력되면 어드레스가 저장될 수 있다. 제1카운팅 정보(CNT_INF1)가 '111111111'인 경우 액티브 커맨드(ACT)가 1023회 입력되어야 어드레스가 저장되며, 그 후 제1리프레시 신호(REF1)가 활성화되면 제1카운팅 정보(CNT_INF1)가 '000010000'로 초기화될 수 있다. 이와 같이, 제2카운팅 정보의 값(CNT2)이 증가하는 동안 제1카운팅 정보(CNT_INF1)의 값이 계속 변하기 때문에 어드레스 저장부(360)가 어드레스를 저장하는 시점 및 빈도는 계속 변하고, 따라서 메모리는 외부에서 예측할 수 없는 랜덤한 시점에 액티브 워드라인의 어드레스를 저장할 수 있다.

[0074] 제2카운팅 신호(CNT2)가 주기신호인 경우에도 주기신호가 특정 레벨을 가질 때마다 카운팅을 수행하여 제1카운팅 정보(CNT_INF1)와 제2카운팅 신호(CNT2)가 대응되는 값을 가질 때 어드레스를 저장함으로써 어드레스가 저장되는 시점 및 빈도를 계속 변화시킬 수 있다(즉 외부에서 보기에 랜덤한 시점, 예측할 수 없는 시점에 어드레스를 저장할 수 있음). 이때 제2카운팅 신호(CNT2)가 활성화되는 간격이 좁아질수록 어드레스 저장부(360)가 어드레스를 저장하는 빈도가 높아지고, 제2카운팅 신호(CNT2)가 활성화되는 간격이 넓어질수록 어드레스 저장부(360)가 어드레스를 저장하는 빈도가 낮아질 수 있다.

[0075] 도 8은 다른 일 실시예에 따른 어드레스 저장부(360)의 구성도이다.

[0076] 도 8에 도시된 바와 같이, 어드레스 저장부(360)는 난수 발생부(810) 및 저장부(820)를 포함할 수 있다. 난수 발생부(810)는 액티브 커맨드(ACT)가 활성화되면 난수(RAN_NUM)를 발생시키는 난수 발생 회로일 수 있다. 난수 발생 회로는 설정된 개수의 정수를 가지는 수의 집합에 포함된 정수들 중 하나를 랜덤하게 발생시킬 수 있다. 이때 난수는 주기적으로 발생하지 않고, 이전에 생성된 난수와는 독립적으로 발생하는 것일 수 있다.

[0077] 저장부(820)는 난수 발생부(810)에서 생성된 난수(RAN_NUM)와 설정된 값(SET_NUM)이 동일하면, 액티브 커맨드(ACT)에 응답하여 입력 어드레스(iADD)를 저장할 수 있다. 저장부(820)는 어드레스가 저장되면 저장신호(ST)를 활성화하고, 저장된 어드레스(STO_ADD)를 출력할 수 있다. 난수 발생부(810)에서 생성된 난수(RAN_NUM)는 랜덤한 값을 가지므로 난수(RAN_NUM)와 설정된 값(SET_NUM)이 동일해지는 시점도 랜덤하다고 할 수 있다. 따라서 메모리는 외부에서 예측할 수 없는 랜덤한 시점에 액티브 워드라인의 어드레스를 저장할 수 있다. 이때 난수(RAN_NUM)를 발생시키는 수의 집합에 포함된 수의 개수가 적을수록 어드레스 저장부(360)가 어드레스를 저장하는 빈도가 높아지고, 많을수록 어드레스 저장부(360)가 어드레스를 저장하는 빈도가 낮아질 수 있다.

[0078] 도 9는 일 실시예에 다른 메모리 시스템의 구성도이다.

[0079] 도 9에 도시된 바와 같이, 메모리 시스템은 메모리(910) 및 메모리 컨트롤러(920)를 포함할 수 있다.

[0080] 메모리 컨트롤러(920)는 메모리(910)에 커맨드(CMDs)와 어드레스(ADDs)를 인가하는 것에 의해 메모리(910)의 동작을 제어하고, 리드 및 라이트 동작시에 메모리(910)와 데이터(DATA)를 주고 받는다. 메모리 컨트롤러(920)는 커맨드 신호들(CMDs)을 전송함으로써 메모리(910)로 액티브 커맨드(ACT), 프리차지 커맨드(PRE), 리드 커맨드(RD), 라이트 커맨드(WT) 또는 리프레시 커맨드(REF)를 입력할 수 있다. 메모리 컨트롤러(920)는 액티브 커맨드(ACT)를 입력하는 경우 메모리(910)에서 셀블록 및 액티브할 워드라인을 선택하기 위한 어드레스(ADDs)를 전송할 수 있다. 메모리 컨트롤러(920)는 메모리(910)에 주기적으로 리프레시 커맨드(REF)를 전송할 수 있다.

[0081] 메모리(910)는 도 3, 4의 설명에서 상술한 메모리들 중 하나일 수 있다. 메모리(910)가 도 3의 메모리인 경우 메모리(910)는 랜덤한 시점에 액티브 커맨드(ACT)에 대응하는 워드라인의 어드레스를 저장하고, 리프레시 커맨드(REF)에 응답하여 타겟 리프레시를 수행할 수 있다. 메모리(910)가 도 3의 메모리인 경우 메모리(910)는 랜덤한 시점에 액티브 커맨드(ACT)에 대응하는 워드라인의 어드레스를 저장하고, 타겟 리프레시 커맨드(TRR)에 응답하여 타겟 리프레시를 수행할 수 있다. 후자의 경우 메모리(910)는 메모리 컨트롤러(920)가 타겟 리프레시 커맨드(TRR)를 인가할 수 있도록, 어드레스 저장부(460)에 어드레스가 저장되었음을 나타내는 정보를 데이터 입출력부(430)를 통해 메모리 컨트롤러(920)로 전달할 수 있다.

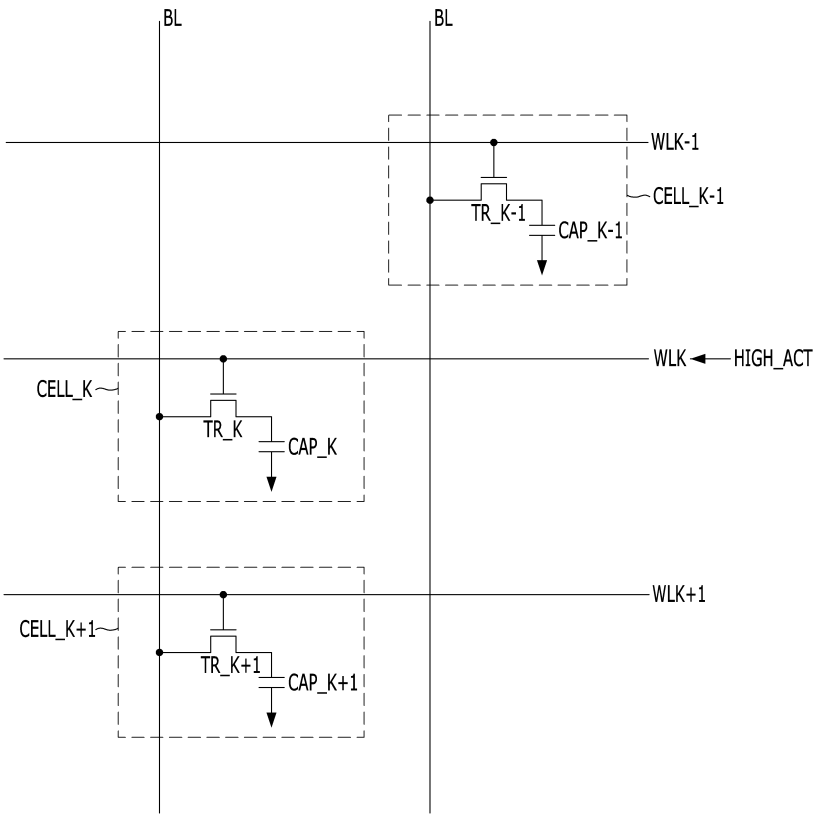
[0082] 도 3의 메모리는 리프레시 커맨드(REF)에 응답하여 노멀 리프레시를 수행하되, 리프레시 커맨드(REF)가 설정된 횟수만큼 입력되거나, 어드레스 저장부(360)에 어드레스가 저장된 후 리프레시 커맨드(REF)가 입력되면 어드레스 저장부(360)에 저장된 어드레스를 이용하여 타겟 리프레시를 수행할 수 있다. 참고로 메모리(910)가 위 리프레시 동작들을 수행하기 위한 구성 및 동작은 도 3 내지 도 7의 설명에서 상술한 바와 동일하다.

[0083] 메모리 시스템은 액티브 워드라인의 어드레스를 저장하고, 타겟 리프레시를 함으로써 워드라인 디스터번스가 발생할 가능성을 줄일 수 있다. 이때 메모리(910)는 하이 액티브 워드라인을 검출하기 위한 구성을 필요로 하지 않으므로 사이즈를 크게 줄일 수 있다.

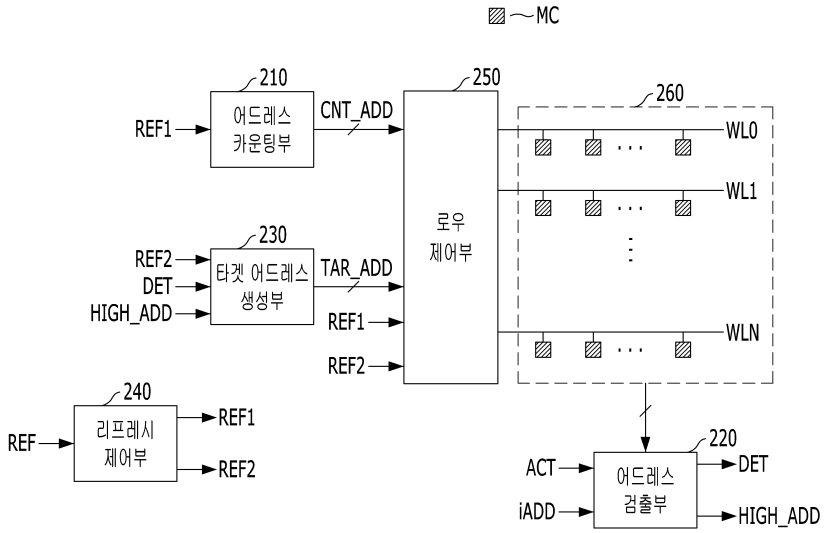
[0084] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

## 도면

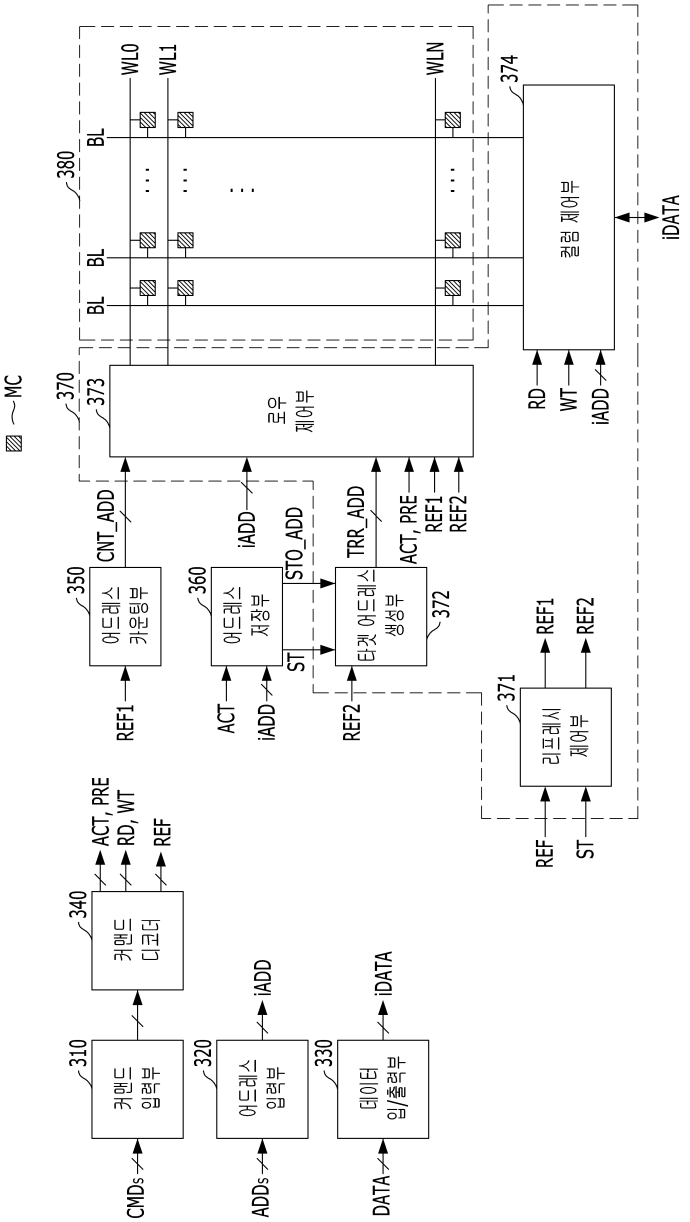
### 도면1


BL
BL
WLK-1
CELL_K-1
TR_K-1
CAP_K-1
WLK
HIGH_ACT
CELL_K
TR_K
CAP_K
WLK+1
CELL_K+1
TR_K+1
CAP_K+1

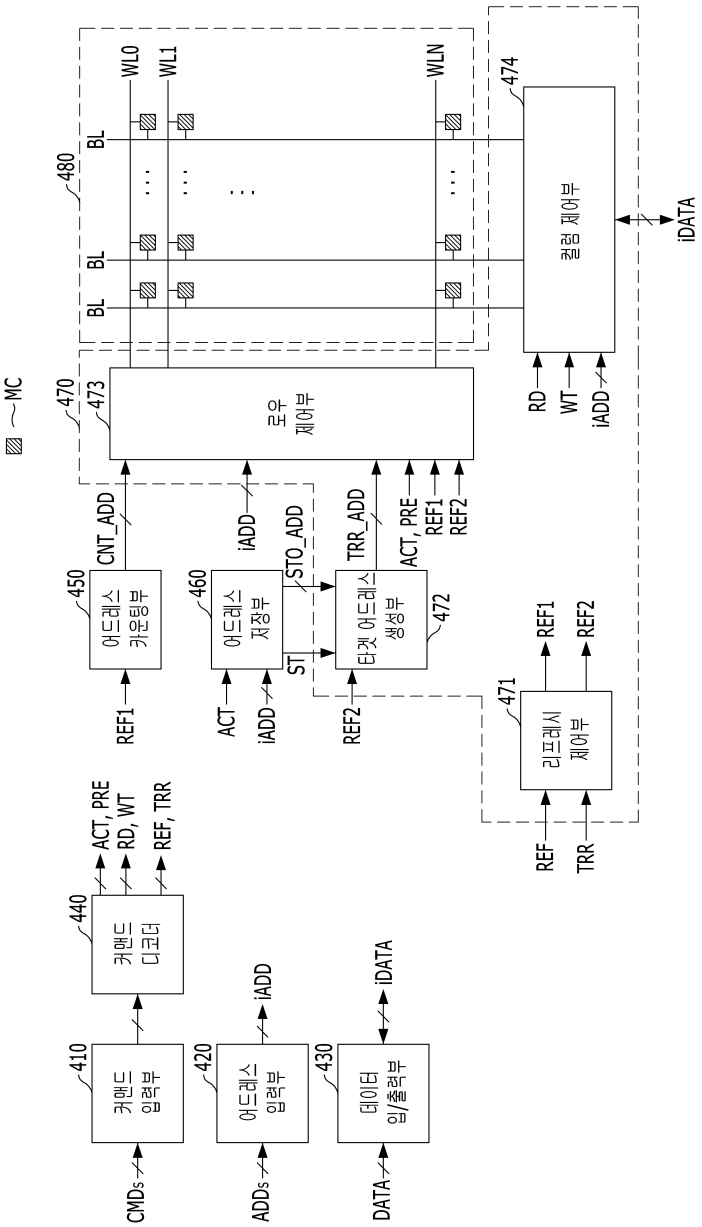
### 도면2


MC
210
어드레스
카운팅부
REF1
CNT_ADD
250
로우
제어부
260
WL0
WL1
WLN
230
타겟 어드레스
생성부
REF2
DET
HIGH_ADD
TAR_ADD
REF1
REF2
240
리프레시
제어부
REF
REF1
REF2
220
어드레스
검출부
ACT
iADD
DET
HIGH_ADD

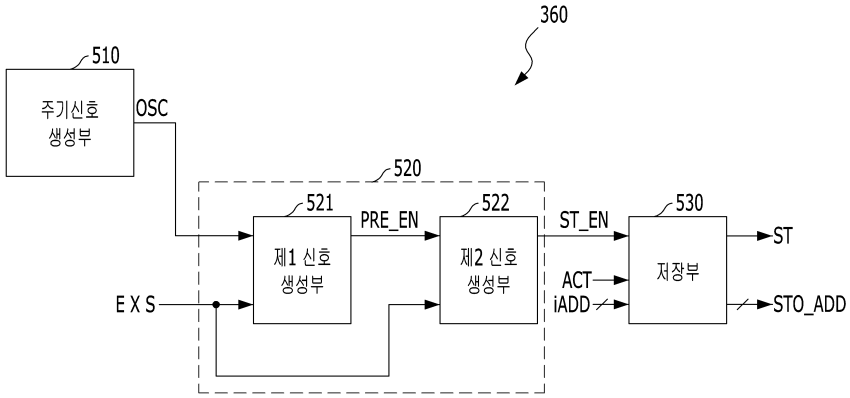
도면3


MC
380
WL0
WL1
WLN
BL
374
컬럼 제어부
iDATA
370
373
로우 제어부
RD
WT
iADD
CNT_ADD
iADD
STO_ADD
TRR_ADD
ACT, PRE
REF1
REF2
350
어드레스 카운팅부
360
어드레스 저장부
372
타겟 어드레스 생성부
ST
371
리프레시 제어부
REF1
REF2
REF1
ACT
iADD
REF2
REF
ST
ACT, PRE
RD, WT
REF
340
커맨드 디코더
310
커맨드 입력부
320
어드레스 입력부
iADD
330
데이터 입/출력부
iDATA
CMDs
ADDs
DATA

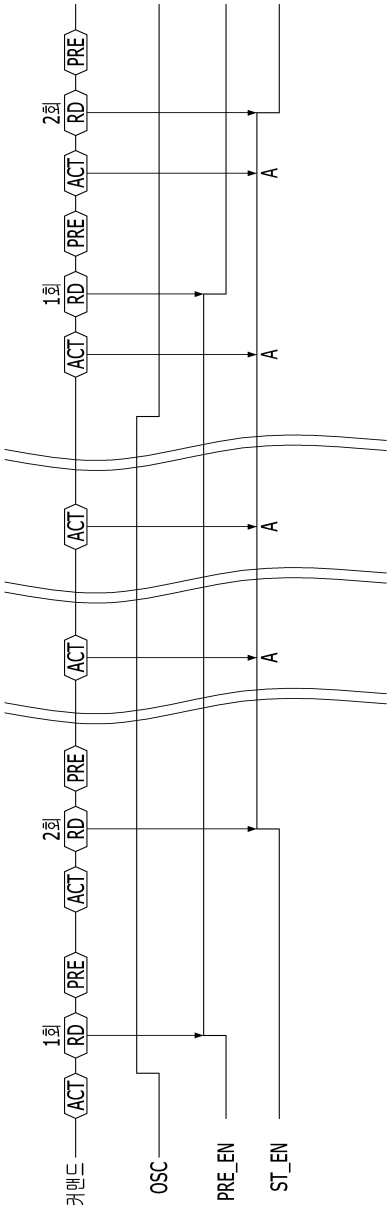
도면4


MC
480
WL0
WL1
WLN
BL
BL
BL
474
컬럼 제어부
iDATA
470
473
로우 제어부
RD
WT
iADD
CNT_ADD
iADD
STO_ADD
TRR_ADD
ACT, PRE
REF1
REF2
450
어드레스 카운팅부
460
어드레스 저장부
ST
타겟 어드레스 생성부
472
REF1
REF2
471
리프레시 제어부
REF
TRR
ACT, PRE
RD, WT
REF, TRR
440
커맨드 디코더
410
커맨드 입력부
420
어드레스 입력부
iADD
430
데이터 입/출력부
iDATA
CMDs
ADDs
DATA
REF1
ACT
iADD
REF2

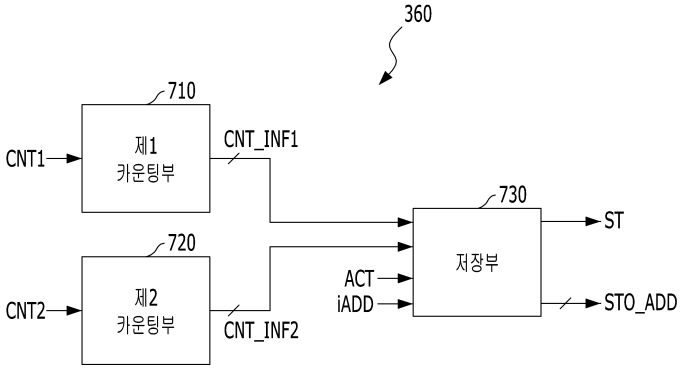
도면5


360
510
주기신호
생성부
OSC
520
521
제1 신호
생성부
PRE_EN
522
제2 신호
생성부
ST_EN
530
저장부
ST
ACT
iADD
STO_ADD
E X S

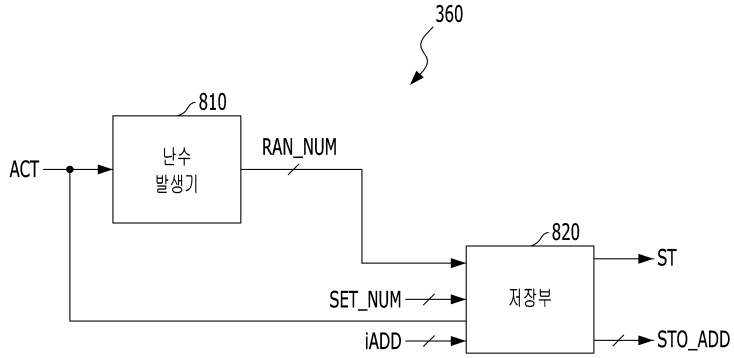
도면6


PRE
2회
RD
ACT
A
PRE
1회
RD
ACT
A
ACT
A
ACT
A
PRE
2회
RD
ACT
PRE
1회
RD
ACT
커맨드
OSC
PRE_EN
ST_EN

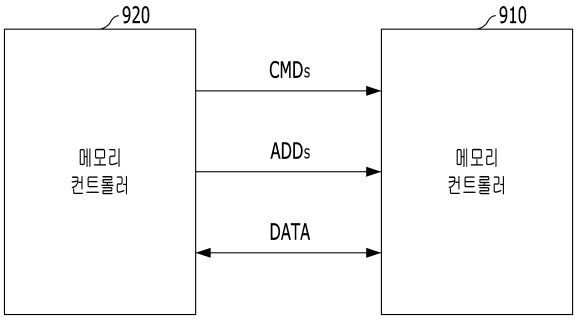
도면7


360
710
제1
카운팅부
CNT1
CNT_INF1
730
ST
720
제2
카운팅부
CNT2
CNT_INF2
ACT
iADD
저장부
STO_ADD

도면8


360
810
난수
발생기
ACT
RAN_NUM
820
ST
SET_NUM
저장부
iADD
STO_ADD

도면9


920
910
CMDs
ADDs
DATA
메모리
컨트롤러
메모리
컨트롤러