



# (12)实用新型专利

(10)授权公告号 CN 209543815 U

(45)授权公告日 2019.10.25

(21)申请号 201920382625.7

(22)申请日 2019.03.25

(73)专利权人 上海安路信息科技有限公司  
地址 200082 上海市浦东新区郭守敬路498号浦东软件园9号楼501-504室

(72)发明人 文华武 徐国 陈序

(74)专利代理机构 上海恒锐佳知识产权代理事务所(普通合伙) 31286  
代理人 黄海霞

(51)Int.Cl.  
G09F 9/33(2006.01)  
G09G 3/32(2016.01)

权利要求书1页 说明书6页 附图3页

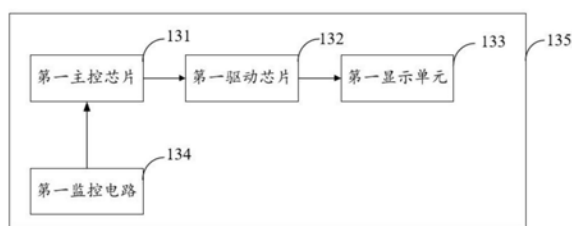
## (54)实用新型名称

应用于发光二极管显示屏的显示模组及显示系统

## (57)摘要

本实用新型提供了一种应用于发光二极管显示屏的显示模组,设置在发送卡的后端,所述显示模组的主控芯片、驱动芯片、监控电路和显示单元设置在同一块印刷电路板表面,且所述主控芯片集成有现场可编程门阵列、至少两个双向收发模块、处理模块和存储模块,有利于将所述显示模组在后续的工艺过程中加工得更薄,以减小体积,进一步提高LED显示屏的集成度。另外,所述处理模块通过所述监控电路监测所述状态参数,以及通过所述现场可编程门阵列与具有所述高速收发接口的所述双向收发模块进行数据传输,能够更有效地对所述显示模组进行监测控制。本实用新型还提供了设置有所述显示模组的显示系统。

13



1. 一种显示模组,应用于发光二极管显示屏,且设置在发送卡的后端,其特征在于,所述显示模组包括设置于同一块印刷电路板表面的主控芯片、驱动芯片、监控电路、显示单元和存储模块,所述主控芯片至少集成有现场可编程门阵列、处理模块和至少两个双向收发模块;

所述主控芯片通过至少两个所述双向收发模块与所述发送卡之间采用低电压差分信号进行数据传输;

所述双向收发模块的接口速率为100兆比特-1024兆比特,用于将所述发送卡输出的串行数据包输出为并行数据包,以及将所述现场可编程门阵列发送的监控数据包输出为串行数据包;

所述现场可编程门阵列用于对所述并行数据包进行初步解析或变换处理以输出显示数据和部分解析命令数据,接收控制数据以控制所述驱动芯片进行恒流驱动,以及接收并输出所述监控数据包;

所述处理模块用于对所述部分解析命令数据进行解析处理以输出所述控制数据,以及将状态参数打包为监控数据包并输出;

所述驱动芯片用于接收显示数据,进行所述恒流驱动以使所述显示单元完成图像显示,所述监控电路用于采集所述显示单元的状态参数,所述存储模块的容量为16兆-64兆,用于缓存所述显示数据和所述控制数据。

2. 根据权利要求1所述的显示模组,其特征在于,所述主控芯片为片上系统现场可编程门阵列主控芯片或专门集成电路芯片。

3. 根据权利要求1所述的显示模组,其特征在于,所述存储模块集成在所述主控芯片内。

4. 根据权利要求1所述的显示模组,其特征在于,所述双向收发模块集成在所述现场可编程门阵列内。

5. 根据权利要求4所述的显示模组,其特征在于,所述双向收发模块具有基于低电压差分信号技术的串行器解串器硬核,以进行异步传输。

6. 根据权利要求1所述的显示模组,其特征在于,所述处理模块设置有异步收发传输器和串行外设接口,以与所述监控电路进行数据传输。

7. 根据权利要求1所述的显示模组,其特征在于,所述存储模块为假静态随机存储器、单倍数据同步动态随机存取存储器或双倍速率同步动态随机存取存储器。

8. 根据权利要求1所述的显示模组,其特征在于,所述驱动芯片为脉冲宽度调制型恒流驱动芯片或移位输出芯片。

9. 一种显示系统,其特征在于,包括主机、发送卡以及至少一组级联显示模组,所述级联显示模组由N个根据权利要求1-8中任一项所述的显示模组之间通过双绞线级联连接组成,所述N为大于等于2的自然数;

所述发送卡设置有至少M个高速收发接口,所述高速收发接口的接口速率为100兆比特-1024兆比特,所述发送卡与所述级联显示模组之间通过所述双绞线连接,以利于低电压差分信号的传输,所述M为大于等于2的自然数。

10. 根据权利要求9所述的显示系统,其特征在于,当所述M为大于2的自然数,所述发送卡与至少两组所述级联显示模组之间以环形拓扑结构连接。

## 应用于发光二极管显示屏的显示模组及显示系统

### 技术领域

[0001] 本实用新型涉及显示技术领域,尤其涉及一种应用于发光二极管显示屏的显示模组及显示系统。

### 背景技术

[0002] 现有技术的发光二极管(Light Emitting Diode,LED)显示屏的控制系统主要由主机、数据发送卡和模组控制卡组成。随着小间距LED显示屏的发展,需要模组控制卡带载的点数越来越多,同时也对模组控制卡体积提出了更小更薄的要求。

[0003] 公开号为CN106652897A的中国发明专利申请揭示了一种LED显示屏控制系统,包括设置有图像显示控制芯片和输入输出电路的扫描卡以及设置有串转并芯片组和驱动芯片组的LED灯板模组,扫描卡和LED灯板模组之间以低电压差分信号(Low-Voltage Differential Signaling,LVDS)组进行数据传输。然而,CN106652897A的技术方案中,扫描卡和LED灯板模组设置在不同的电路板上,且LED灯板模组与组成LED屏的显示单元是分开设置的;另外,图像显示控制芯片需要配以输入输出电路对信号进行整形增强。因而,CN106652897A的技术方案增加了扫描卡的体积,限制了LED显示屏的集成度。

[0004] 因此,有必要开发一种新型的显示模组以克服现有技术中存在的上述问题。

### 实用新型内容

[0005] 本实用新型的目的之一在于提供一种应用于LED显示屏的显示模组,以减小体积,避免现有技术中存在的LED显示屏集成度不高的问题,同时能够更有效地对所述显示模组进行监测控制。

[0006] 本实用新型的目的之二在于提供设置有所述显示模组的显示系统,以提高集成度和数据传输的可靠性,降低电磁干扰(Electro Magnetic Interference,EMI)。

[0007] 为实现上述目的,本实用新型的所述显示模组,设置在发送卡的后端,所述显示模组包括设置于同一块印刷电路板表面的主控芯片、驱动芯片、监控电路显示单元和存储模块,所述主控芯片至少集成有现场可编程门阵列、处理模块以及至少两个双向收发模块;所述主控芯片通过至少两个所述双向收发模块与所述发送卡之间采用低电压差分信号进行数据传输;所述双向收发模块的接口速率为100兆比特-1024兆比特,用于将所述发送卡输出的串行数据包输出为并行数据包,以及将所述现场可编程门阵列发送的监控数据包输出为串行数据包;所述现场可编程门阵列用于对所述并行数据包进行初步解析或变换处理以输出显示数据和部分解析命令数据,接收控制数据以控制所述驱动芯片进行恒流驱动,以及接收并输出所述监控数据包;所述处理模块用于对所述部分解析命令数据进行解析处理以输出所述控制数据,以及将状态参数打包为监控数据包并输出;所述驱动芯片用于接收显示数据,进行所述恒流驱动以使所述显示单元完成图像显示,所述监控电路用于采集所述显示单元的状态参数,所述存储模块的容量为16兆-64兆,用于缓存所述显示数据和所述控制数据。

[0008] 本实用新型的所述显示模组的有益效果在于:所述主控芯片、所述驱动芯片、所述监控电路、所述显示单元以及所述存储模块设置在同一块所述印刷电路板表面,且所述主控芯片至少集成有所述现场可编程门阵列、至少两个所述双向收发模块和所述处理模块,结合所述双向收发模块的接口速率为100兆比特-1024兆比特以及所述存储模块的容量为16兆-64兆,有利于将所述显示模组在后续的工艺过程中加工得更薄,以减小体积,进一步提高LED显示屏的集成度;另外,所述处理模块通过所述监控电路监测所述状态参数,以及通过所述现场可编程门阵列与具有所述高速收发接口的所述双向收发模块进行数据传输,能够更有效地对所述显示模组进行监测控制。

[0009] 优选的,所述主控芯片为片上系统现场可编程门阵列主控芯片或专门集成电路芯片。其有益效果在于:有利于提高所述显示模组的集成度。

[0010] 优选的,所述存储模块集成在所述主控芯片内。其有益效果在于:有利于提高所述显示模组的集成度。

[0011] 优选的,所述双向收发模块集成在所述现场可编程门阵列内。其有益效果在于:有利于进一步缩小所述主控芯片的体积,提高集成度。

[0012] 进一步优选的,所述双向收发模块具有基于低电压差分信号技术的串行器解串器硬核,以进行异步传输。

[0013] 优选的,所述处理模块设置有异步收发传输器和串行外设接口,以与所述监控电路进行数据传输。其有益效果在于:有利于对所述显示单元进行更有效的检测控制。

[0014] 优选的,所述存储模块为假静态随机存储器、单倍数据同步动态随机存取存储器或双倍速率同步动态随机存取存储器。其有益效果在于:有利于进一步提高集成度。

[0015] 优选的,所述驱动芯片为脉冲宽度调制型恒流驱动芯片或移位输出芯片。其有益效果在于:有利于对所述显示单元进行恒流驱动,使所述显示单元保持稳定的工作状态。

[0016] 本实用新型提供的所述显示系统,包括主机、发送卡以及至少一组级联显示模组,所述级联显示模组由N个所述显示模组之间通过双绞线级联连接组成,所述N为大于等于2的自然数;所述发送卡设置有至少M个高速收发接口,所述高速收发接口的接口速率为100兆比特-1024兆比特,所述发送卡与所述级联显示模组之间通过所述双绞线连接,以利于低电压差分信号的传输,所述M为大于等于2的自然数。

[0017] 本实用新型的所述显示系统的有益效果在于:一方面,所述显示系统采用N个所述显示模组进行级联连接构成所述级联显示模组,结合所述高速收发接口的接口速率为100兆比特-1024兆比特,提高了所述显示系统的集成度;另一方面,所述发送卡和所述级联显示模组之间以及级联连接的所述显示模组之间均以所述双绞线连接,避免了多芯排线的使用,有利于低电压差分信号的传输,提高了所述显示系统的可靠性,降低EMI。

[0018] 优选的,当所述M为大于2的自然数,所述发送卡与至少两组所述级联显示模组之间以环形拓扑结构连接。其有益效果在于:有利于对所述级联显示模组进行重新配置,方便对故障的诊断和隔离。

## 附图说明

[0019] 图1为本实用新型实施例1的显示系统的结构框图;

[0020] 图2为图1所示的发送卡的接口情况示意图;

- [0021] 图3为图1所示的第一显示模组的结构框图；  
[0022] 图4为图2所示的第一主控芯片的结构示意图；  
[0023] 图5为本实用新型实施例2的第四显示模组的结构框图；  
[0024] 图6为图5所示的第四主控芯片的结构示意图。

### 具体实施方式

[0025] 为使本实用新型的目的、技术方案和优点更加清楚，下面将结合本实用新型的附图，对本实用新型实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本实用新型的一部分实施例，而不是全部的实施例。基于本实用新型中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本实用新型保护的范围。除非另外定义，此处使用的技术术语或者科学术语应当为本实用新型所属领域内具有一般技能的人士所理解的通常意义。本文中使用的“包括”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。

[0026] 针对现有技术存在的问题，本实用新型的实施例提供了一种显示系统，所述显示系统具有主机、发送卡和至少一组级联显示模组。所述级联显示模组由N个相互级联的显示模组组成，所述N为大于等于2的自然数。所述显示模组具有设置在同一块印刷电路板(Printed CircuitBoard,PCB)的表面的主控芯片、驱动芯片、监控电路和显示单元。所述显示模组应用于发光二极管(Light Emitting Diode,LED)显示屏。

[0027] 以下通过具体的实施例对所述显示系统和所述显示模组进行详细叙述。

[0028] 实施例1

[0029] 图1为实施例1的显示系统的结构框图。

[0030] 参照图1，显示系统1具有主机11、发送卡12以及具有相同结构的第一显示模组13、第二显示模组14和第三显示模组15。所述第一显示模组13的第一主控芯片(图中未标示)、所述第二显示模组14的第二主控芯片(图中未标示)和所述第三显示模组15的第三主控芯片(图中未标示)之间通过屏蔽双绞线(Shielded TwistedPair,STP)实现级联连接，以组成级联显示模组(图中未标示)。所述发送卡12与所述第一显示模组13之间以及所述发送卡12与所述第三显示模组之间通过STP连接。

[0031] 本实用新型的一些实施例中，所述第一显示模组13、所述第二显示模组14和所述第三显示模组15之间通过非屏蔽双绞线(Unshielded TwistedPaired,UTP)实现级联连接。

[0032] 本实用新型的一些实施例中，所述发送卡12与所述第一显示模组13之间以及所述发送卡12与所述第三显示模组之间通过UTP连接。

[0033] 本实用新型的一些实施例中，所述发送卡12设置有至少两个高速收发接口，所述高速收发接口的接口速率为100兆比特-1024兆比特，当所述高速收发接口的数目大于2，所述发送卡12支持环形拓扑结构的连接。

[0034] 参照图1，所述发送卡12通过串口与所述主机11进行数据传输；所述发送卡12接收所述主机11输出的原始显示数据，将所述原始显示数据打包后进行格式转换，然后向所述第一显示模组13输出为串行显示数据包。

[0035] 图2为图1所示的发送卡的接口情况示意图。参照图1和图2，所述发送卡12具有第

一接口121、第二接口122、第三接口123和第四接口124,所述第三接口123和所述第四接口124均为所述高速收发接口。所述主机11通过所述第一接口121发送所述原始显示数据,所述发送卡12通过所述第三接口123输出所述串行显示数据包。

[0036] 本实用新型的一些具体的实施例中,所述第一接口121为数字视频接口(Digital Visual Interface,DVI),所述第三接口123和所述第四接口124均为异步串行接口(Asynchronous Serial Interface,ASI)。

[0037] 图3为图1所示的第一显示模组的结构框图。参照图3,所述第一显示模组13具有第一主控芯片131、第一驱动芯片132、第一显示单元133和第一监控电路134。所述第一驱动芯片132设置在所述第一主控芯片131和所述第一显示单元133之间,所述第一主控芯片131设置在所述第一驱动芯片132和所述第一监控电路134之间。所述第一主控芯片131、所述第一驱动芯片132、所述第一显示单元133和所述第一监控电路134设置在第一印刷电路板135的表面。

[0038] 参照图2和图3,所述发送卡12通过所述第三接口123向所述第一主控芯片131发送低电压差分信号(Low-Voltage Differential Signaling,LVDS),所述第一主控芯片131发送的LVDS信号通过所述第四接口124反馈至所述发送卡12。

[0039] 参照图1至图3,所述发送卡12根据所述第一主控芯片131发送的LVDS信号,通过所述第二接口122与所述主机11进行数据传输。所述第二接口为USB接口。

[0040] 图4为图2所示的第一主控芯片的结构示意图。参照图4,所述第一主控芯片131具有第一现场可编程门阵列1311、第一收发模块1312、第二收发模块1313、第一处理模块1314和第一存储模块1315。所述第一收发模块1312和所述第二收发模块1313均集成在所述第一现场可编程门阵列1311内,所述第一处理模块1314和所述第一存储模块1315均靠近所述第一现场可编程门阵列1311的同一侧设置。所述第一现场可编程门阵列1311、所述第一收发模块1312、所述第二收发模块1313、所述第一处理模块1314和所述第一存储模块1315设置在第二印刷电路板1316的表面。

[0041] 实施例1中,所述第一主控芯片131为片上系统现场可编程门阵列(System On Chip Field-Programmable Gate Array,SOC FPGA)主控芯片。所述第一收发模块1312和所述第二收发模块1313均为基于低电压差分信号(Low-Voltage Differential Signaling,LVDS)技术的串行器解串器(Serializer-Deserializer,SerDes)硬核,在所述发送卡12和所述第一现场可编程门阵列1311之间进行数据的双向异步传输。本实用新型的一些实施例中,所述第一主控芯片131为专用集成电路(Application Specific Integrated Circuits,ASIC)芯片。

[0042] 实施例1中,所述第一收发模块1312和所述第二收发模块1313构成双向收发模块,且接口速率均为100兆比特-1024兆比特。

[0043] 参照图1和图4,所述第一收发模块1312从所述发送卡12发送的所述串行显示数据包中截取本级串行显示数据,然后将所述串行显示数据包通过所述第二收发模块1313发送给所述第二显示模组14的主控芯片(图中未标示)。

[0044] 参照图3和图4,所述第一收发模块1312对所述本级串行显示数据依次进行过采样处理、位对齐处理、解码处理和字节对齐处理,以将所述本级串行显示数据转换为并行显示数据包,然后输出给所述第一现场可编程门阵列1311。所述第一现场可编程门阵列1311首

先对所述并行显示数据包进行初步解析以形成解析显示数据,然后对所述解析显示数据包进行变换处理以生成显示数据,再将所述显示数据缓存至所述第一存储模块1315,最后将所述显示数据发送给所述第一驱动芯片132。所述解码处理基于8B10B解码技术。

[0045] 实施例1中,所述第一存储模块1315的容量为16兆-64兆。

[0046] 本实用新型一些实施例中,所述第一存储模块1315为假静态随机存储器(Pseudo Static Random Access Memory,PSRAM)、单倍数据同步动态随机存取存储器(Single Data Rate Synchronous Dynamic Random Access Memory,SDR-SDRAM)和双倍速率同步动态随机存取存储器(Double Data Rate Synchronous Dynamic Random Access Memory,DDRSDRAM)中的任意一种。

[0047] 本实用新型的一些具体的实施例中,所述PSRAM的型号为APS408L,所述PSRAM的容量为64兆。

[0048] 参照图1和图3,所述第一收发模块1312和所述第二收发模块1313同时接收所述发送卡12发送的串行命令包,然后对所述串行命令包依次进行过采样处理、位对齐处理、解码处理和字节对齐处理,以向所述第一现场可编程门阵列1311发送并行命令包。所述第一现场可编程门阵列1311对所述并行命令包进行初步解析,然后将形成的部分解析命令数据发送给所述第一处理模块1314。所述第一处理模块1314对所述部分解析命令数据进行进一步解析后,将形成的控制数据回传给所述第一现场可编程门阵列1311。所述第一存储模块1315缓存所述控制数据。

[0049] 实施例1中,参照图3和图4,所述第一处理模块1314为单片机,所述单片机设置有模数转换器(Analog to Digital Converter,ADC)。所述第一驱动芯片132为脉冲宽度调制(Pulse Width Modulation,PWM)型恒流驱动芯片。所述PWM型恒流驱动芯片接收所述第一主控芯片131发送的显示数据组和控制数据组,并存储在所述PWM型恒流驱动芯片的内部。所述PWM型恒流驱动芯片周期性输出所述控制数据组和所述显示数据组,以使所述第一显示单元133完成图像显示。

[0050] 本实用新型一些具体的实施例中,所述PWM型恒流驱动芯片的型号为MBI5153和ICN2053中的任意一种。

[0051] 本实用新型的一些实施例中,参照图3和图4,所述第一驱动芯片132为移位输出芯片。所述移位输出芯片在所述第一主控芯片131的时序控制下输出所述控制数据组和所述显示数据组,以使所述第一显示单元133完成图像显示。

[0052] 本实用新型一些具体的实施例中,所述移位输出芯片的型号为MBI5024和SUM2117中的任意一种。

[0053] 实施例1中,所述第一显示单元133为LED点阵,所述LED点阵具有至少1个LED。

[0054] 参照图3和图4,所述第一处理模块1314通过所述第一监控电路134监控所述第一显示单元133的状态参数,所述状态参数至少具有电压参数、温度参数和湿度参数。所述第一处理模块1314将所述状态参数打包生成监控数据包,回传给所述第一现场可编程门阵列1311。具体的,所述第一处理模块1314设置有异步收发传输器(Universal Asynchronous Receiver/Transmitter,UART)和串行外设接口(Serial Peripheral Interface,SPI),所述第一处理模块1314通过UART或SPI与所述第一监控电路134进行数据传输。

[0055] 参照图1和图4,所述第一现场可编程门阵列1311将所述监控数据包发送给所述第

一收发模块1312,所述第一收发模块1312对所述监控数据包进行编码处理和并行转串行的转换处理后,向所述发送卡12发送串行监控数据。所述编码处理基于8B10B编码技术。

[0056] 实施例2

[0057] 图5为实施例2的第四显示模组的结构框图。图6为图5所示的第四主控芯片的结构示意图。

[0058] 参照图5,第四显示模组4具有设置在所述第一印刷电路板135表面的第四主控芯片41、第四存储模块42、所述第一驱动芯片132、所述第一显示单元133和所述第一监控电路134。具体的,参照图5,所述第四主控芯片4具有设置在所述第二印刷电路板1316表面的所述第一现场可编程门阵列1311、所述第一收发模块1312、所述第二收发模块1313和第一处理模块1314。

[0059] 参照图2、图5和图6,所述第四显示模组4与所述第一显示模组13的区别在于:所述第四显示模组4的所述第四存储模块42设置在所述第一印刷电路板135的表面,且靠近所述第四主控芯片41设置。

[0060] 实施例2中,所述第四存储模块42与所述第一存储模块1315具有相同的结构。

[0061] 虽然在上文中详细说明了本实用新型的实施方式,但是对于本领域的技术人员来说显而易见的是,能够对这些实施方式进行各种修改和变化。但是,应理解,这种修改和变化都属于权利要求书中所述的本实用新型的范围和精神之内。而且,在此说明的本实用新型可有其它的实施方式,并且可通过多种方式实施或实现。



1

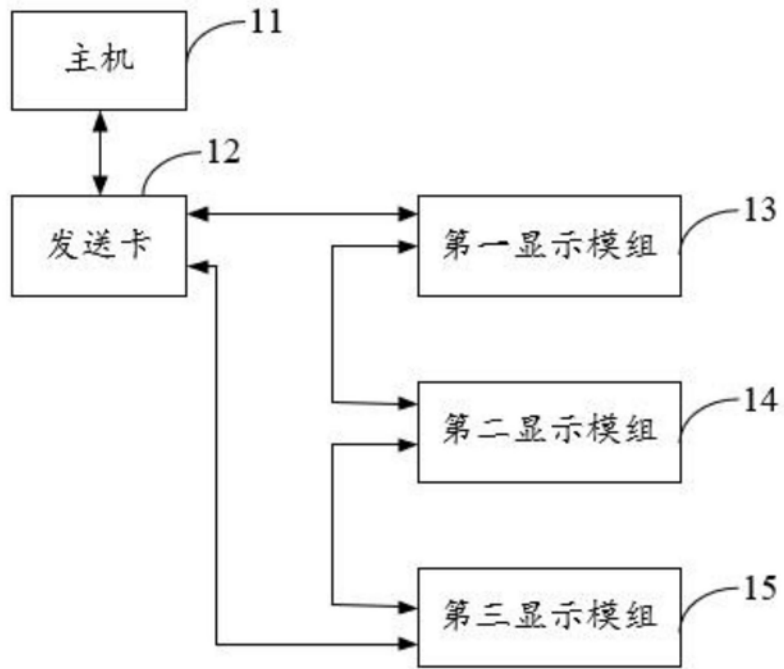


图1

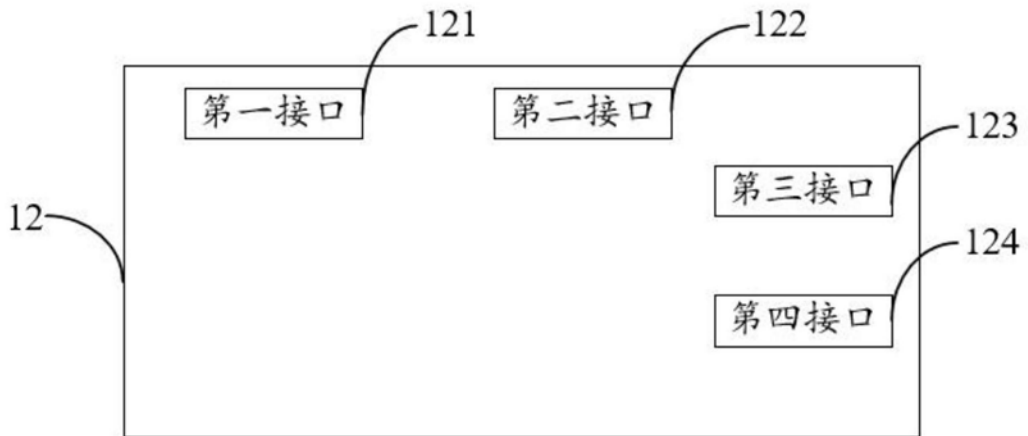


图2

13

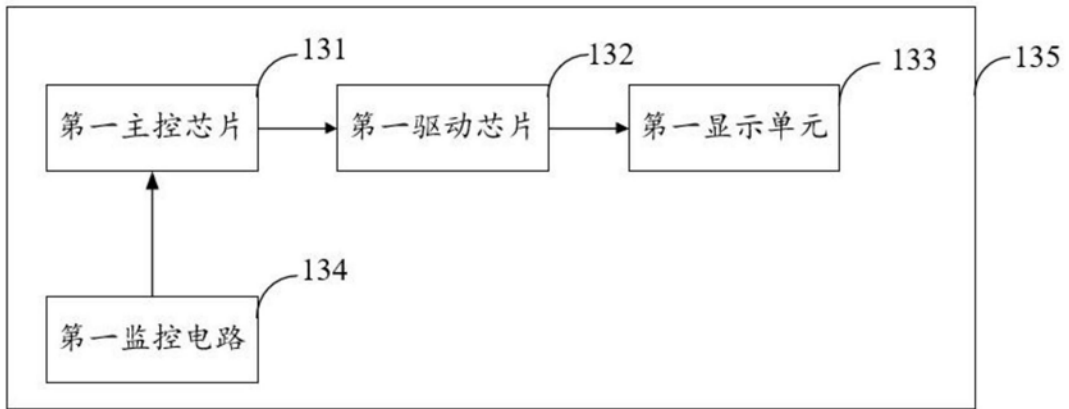


图3

131

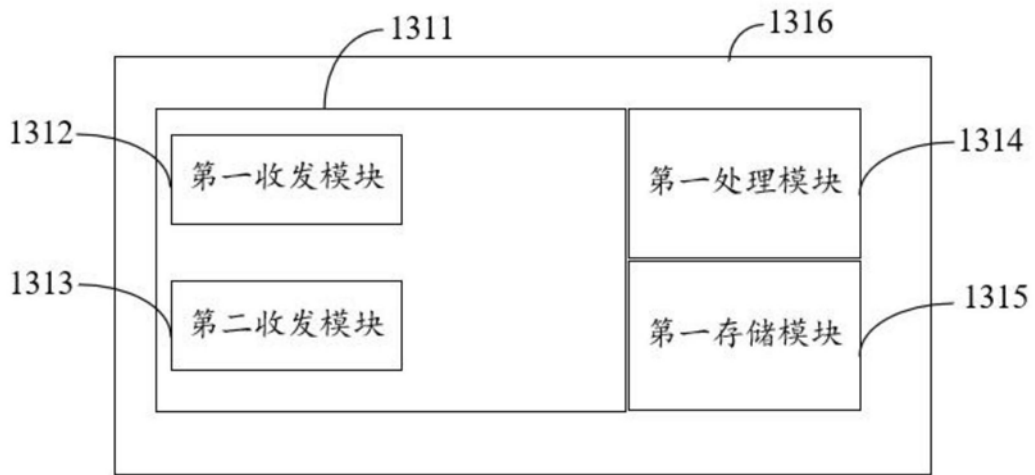


图4

4

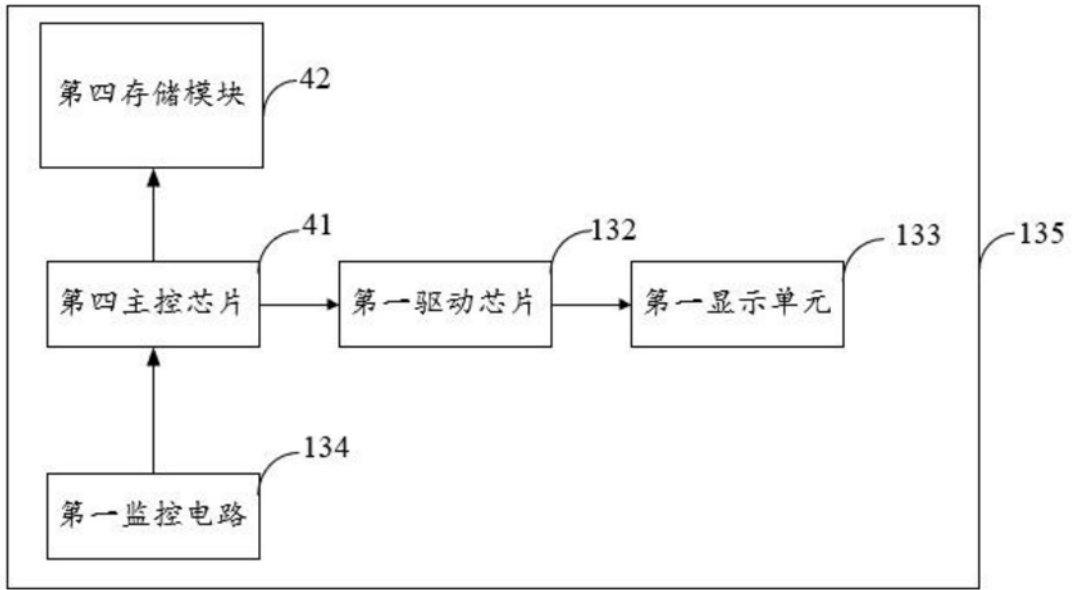


图5

41

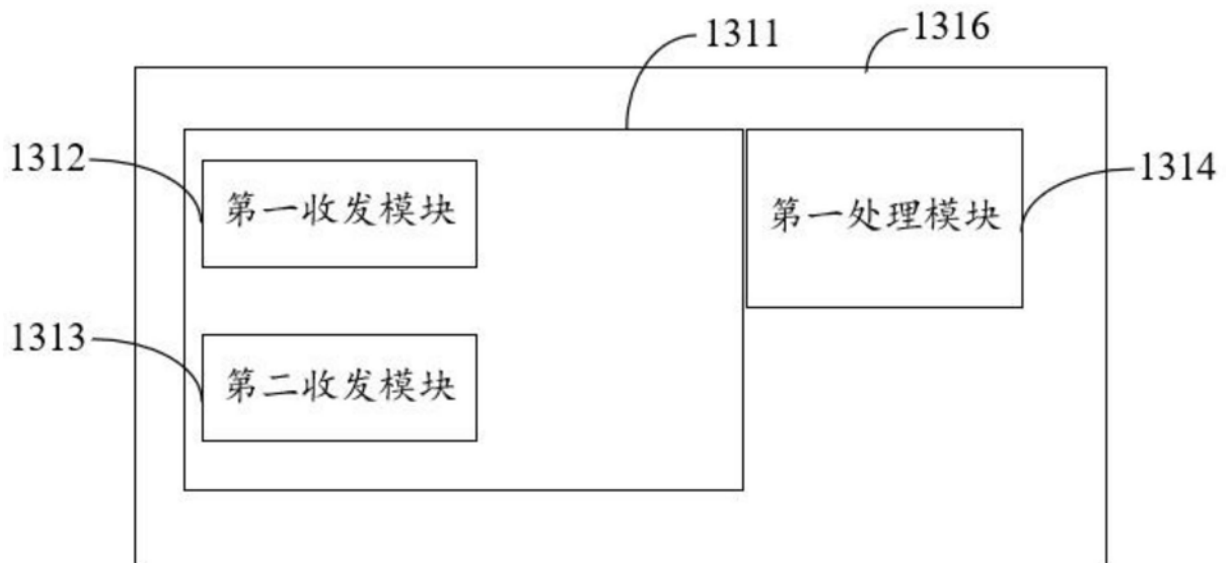


图6