(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/28

(11) 공개번호 특2001-0063474
(43) 공개일자 2001년07월09일

(21) 출원번호 10-1999-0060558
(22) 출원일자 1999년12월22일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이기정
서울특별시송파구석촌동270-2호
김동준
경기도이천시증포동신한아파트104-402

(74) 대리인 최승민
신영무

심사청구 : 없음

(54) 반도체 소자의 캐패시터 제조 방법

요약

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 질화막-산화막(N0) 구조보다 유전 상수 값이 크고 탄탈륨 산화막(Ta_2O_5)보다 막질이 우수한 Ta 성분의 화학 증기와 Ti 성분의 화학 증기를 사용하여 형성된 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 유전체막으로 사용한 반도체 소자의 캐패시터 제조 방법에 관해 제시된다.

대표도

도 1

색인어

유전체막, 비정질 (Ta2O5)1-x-(TiO2)x막

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

11 : 반도체 기판12 : 층간 절연막

13 : 제1 도전체막14 : 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 막

15 : 제 2 도전체막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 질화막-산화막(NO) 구조보다 유전 상수 값이 크고 탄탈륨 산화막(Ta_2O_5)보다 막질이 우수한 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 막을 유전체막으로 사용한 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

최근 미세화된 반도체 공정 기술의 발달로 메모리 제품의 고집적화가 가속됨에 따라 단위 셀 면적이 크게 감소하고 있으며, 동작 전압의 저전압화가 이루어지고 있다. 그러나 기억 소자의 동작에 필요한 정전 용량은 셀 면적의 감소에도 불구하고 소프트 에러(soft error)의 발생과 리프레쉬 시간(refresh time)의 단축을 방지하기 위해 25fF/cell 이상의 충분한 용량이 요구되고 있다. 따라서 현재 질화막-산화막(NO) 구조를 유전체막으로 사용하고 있는 DRAM용 캐패시터의 경우 표면적이 큰 반구형 구조의 전극 표면을 갖는 3차원 형태의 전하저장전극을 사용하고 있고, 그 높이도 증가하고 있다. 한편, 캐패시터의 높이가 증가하게 되면 셀 지역과 주변 회로 지역간에 생기는 높이 차이로 인해 후속 노광 고정시 초점심도(depth of forcus)가 확보되지 않아 배선 공정 이후 집적 공정에 악영향을 미치게 된다. 따라서 종래의 NO를 유전체막으로 사용하는 캐패시터로는 256M 이상의 차세대 DRAM 제품에 필요한 정전 용량을 확보하는데 그 한계를 보이고 있다.

이와 같은 NO 구조를 유전체막으로 사용하는 캐패시터의 한계를 극보하고자 탄탈륨 산화막을 유전체막으로 사용하는 캐패시터의 개발이 본격적으로 이루어지고 있다. 그러나 탄탈륨 산화막은 불안정한 화학양론비(stoichiometry)를 갖고 있기 때문에 탄탈륨(Ta)과 산소(O)의 조성비 차이에 기인한 치환형 탄탈륨 원자(vacancy Ta atom)가 박막내에 존재하게 된다.

탄탈륨 산화막은 물질 자체의 불안정한 화학적 조성 때문에 그 박막내에는 산소 공공(oxygen vacancy) 상태의 치환형 탄탈륨 원자가 항시 국부적으로 존재할 수 밖에 없다. 이같은 탄탈륨 산화막의 산소 공공의 수는 성분들의 함량과 결합 정도에 따라 다소의 차이가 있을 수 있지만 완전하게 제거할 수 있는 방법은 아직까지 없다. 결과적으로 탄탈륨 산화막 고유의 불안정한 화학양론비를 안정화시켜 누설 전류를 방지하려는 목적으로 박막내에 잔존해 있는 탄탈륨 원자를 산화시키려는 별도의 산화 공정이 필요하다. 특히 탄탈륨 산화막은 상하부 전극으로 사용하고 있는 폴리실리콘(산화막계 전극) 또는 티타늄나이트라이드(금속계 전극)와의 산화 반응성이 크기 때문에 박막내에 존재하는 산소가 계면으로 이동하여 저유전 산화층을 형성함과 동시에 계면의 균일성이 크게 떨어진다. 그리고 박막 형성시 탄탈륨 산화막의 전구체인 $Ta(OC_2H_5)_5$의 유기물과 O_2 (또는 N_2O) 가스의 반응으로 인하여 불순물인 탄소 원자와 탄소 화합물(C, CH_4, C_2H_4 등) 및 물(H_2O)도 함께 존재하게 된다. 결국 탄탈륨 산화막내에 불순물로 존재하는 탄소 원자, 이온과 라디칼(radical)로 인하여 캐패시터의 누설 전류가 증가하게 되고, 유전 특성이 열화되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 NO 구조 및 탄탈륨 산화막을 유전체막으로 사용한 캐패시터의 문제점을 해결할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명은 소정의 구조가 형성된 반도체 기판 상부에 하부 전극을 형성하는 단계와, 전체 구조 상부에 Ta 성분의 화학 증기와 Ti 성분의 화학 증기를 사용하여 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 형성하는 단계와, 전체 구조 상부에 상부 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

발명의 구성 및 작용

첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

도 1(a)를 참조하면, 소정의 공정을 실시하여 게이트, 소오스, 드레인 및 비트라인 등이 형성된 반도체 기판(11) 상부에 이들과 상부층을 절연하기 위한 층간 절연막(12)을 형성한다. 층간 절연막(12)의 선택된 영역을 식각하여 반도체 기판(11)의 소정 영역을 노출시키는 콘택 홀을 형성하고, 콘택 홀이 매립되도록 전체 구조 상부에 제 1 도전체막(13)을 형성한 후 패터닝하여 하부 전극을 형성한다. 제 1 도전체막(13)은 예를 들어 도프트 폴리실리콘막으로 형성한다.

도 1(b)는 전체 구조 상부에 화학기상증착(LPCVD) 방법을 통해 유기 금속화합물인 $Ta(OC_2H_5)_5$(탄탈륨 에틸레이트; tantalum ethylate) 전구체(precursor)와 $Ti[OCH(CH_3)_2]_4$(티타늄 이소프로필레이트; titanum isopropylate) 전구체를 사용하여 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막($0 \le x \le 0.5$)(14)을 유전체막으로 형성한 상태의 단면도이다. 여기서, 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막(14)을 형성하기 전에 제 1 도전체막(13) 표면에 불균일하게 형성된 자연 산화막 또는 이물질을 제거하기 위해 HF 용액을 사용하여 습식 세정을 실시하거나 인-시투 또는 익스-시투로 HF 증기를 이용하여 건식 세정을 실시한다. 또한, HF를 이용한 세정 공정에서 NH_4OH 용액 또는 H_2SO_4 용액 등의 화합물을 함께 사용하면 균일성을 향상시킬 수 있다.

비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막(14)은 웨이퍼상에서 일어나는 표면 화학 반응 (surface chemical reaction)을 통해 형성하는데, 300 600℃의 LPCVD 챔버에서 기상 반응을 억제시키면서 Ta 성분의 화학 증기와 Ti 성분의 화학 증기를 사용하여 100Å 이하의 두께로 증착시킨다.

Ta 성분의 화학 증기는 MFC(Mass Flow Controller)와 같은 유량 조절기를 통해 150℃ 이상을 유지하는 증발기 또는 증발관으로 $Ta(OC_2H_5)_5$ 용액을 300mg/min 이하로 정량 공급한 후 150 250℃ 온도 범위내에서 증발시켜 얻으며, Ti 성분의 화학증기는 $Ti[OCH(CH_3)_2]_4$, $TiCl_4$(티타늄 테트라클로라이드; titanum tetrachloride), 테트라키스-디메틸아미도-티타늄(terakis-dimethylamido-Ti; TDMAT), 테트라키스-디메틸아모도-티타늄(terakis-dimethylamodo-Ti; TDEAT) 같은 Ti 화합물을 유량 조절기를 통해 150℃ 이상을 유지하는 증발기로 300mg/min 이하로 정량 공급한 후 200 300℃ 온도 범위에서 증발시켜 얻는다. 이때 오리피스(orifice) 또는 노즐(nozzle)을 포함한 증발기는 물론이고, Ta 증기의 유로(flow path)가 되는 공급관은 Ta 증기와 Ti 증기의 응축을 방지하기 위해 150 300℃ 온도 범위를 항상 유지시킨다.

이와 같은 방법을 통해 얻어진 화학 증기를 Ti/Ta="0.01 1.0의" 몰비(mole rate)로 반응 가스와 함께 LPCVD 챔버내에서 표면 반응시키면 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 얻을 수 있다. 이때, 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막(14)내에 존재할 수 있는 탄소 불순물을 제거하고 치환형 Ta 원자 또는 Ti 원자를 제거하여 막질을 개선할 목적으로 O_2 또는 N_2O 가스를 5 500sccm의 양으로 Ta 화학 증기 및 Ti 화학 증기와 함께 LPCVD 챔버에 주입하면서 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막(14)을 형성한다. 또한, 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막(14)의 막질을 개선하고 박막 자체의 핀홀 또는 마이크로 크랙을 제거할 목적으로 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막(14)을 증착한 후 5 500sccm 의 O_2 또는 N_2O 분위기에서 600℃ 이하의 저온 열처리 공정을 실시한다. 한편, 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막(14)을 증착한 후 박막내에 미량 존재하는 치환형 Ta 원자 또는 Ti 원자, 그리고 탄소 불순물을 효과적으로 산화시키고 결합력을 강화시킬 목적으로 300 600℃의 온도에서 UV-O_3 또는 O_3를 사용하거나 N_2O 또는 O_2 플라즈마를 사용하여 저온 열처리 공정을 실시한다.

도 1(c)는 전체 구조 상부에 제 2 도전체막(15)을 형성하여 상부 전극을 형성한 상태의 단면도이다. 제 2 도전체막(15)으로는 도프트 폴리실리콘막, TiN막 또는 금속계 물질을 사용한다. 금속계 물질로는 TaN, W, WN, WSi, Ru, RuO_2, Ir, IrO_2, Pt 등이 사용한다. 또한, TiN막과 도프트 폴리실리콘막의 이중막으로 상부 전극을 형성할 수 있다.

발명의 효과

상술한 바와 같이 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막(ε ="30 50)을" 캐패시터의 유전체막으로 사용하면 유전율이 종래의 NO막(ε ="4 5)보다" 훨씬 높고, 화학적 결합 구조도 종래의 탄탈륨 산화막(ε ="25 27)보다" 안정된 정방정계(tetragonal system)의 격자 구조를 가지고 있는 티타늄 산화막이 공유 결합되어 있기 때문에 탄탈륨 산화막 자체로 존재하는 경우에 비해 기계적 전기적 강도가 우수하고, 구조적으로도 안정되어 있어 외부로부터 인가되는 전기적 충격에도 강해 탄탈륨 산화막을 유전체막으로 사용하는 캐패시터보다 우수한 전기적 특성을 얻을 수 있다. 또한, 종래의 탄탈륨 산화막을 유전체막으로 사용한 캐패시터처럼 유전체막의 불안정한 화학양론비(Ta_xO_y) 때문에 발생하는 산소 공공과 탄소 불순물로 인해서 발생하는 누설 전류 문제를 해결할 수 있다.

결과적으로 캐패시터의 등가 산화막 두께(Tox)를 20Å 미만으로 제어할 수 있기 때문에 고집적화에 따른 셀 면적 감소에도 불구하고 256M급 이상의 DRAM 동작에 필요한 25fF/cell 이상의 정전 용량 값을 충분히 얻을 수 있다. 따라서, 전하저장전극의 면적을 증가시키기 위해 이중 또는 삼중 구조의 복잡한 캐패시터 모듈이 필요하지 않다.

특히 본 발명에서와 같이 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 유전체막으로 캐패시터 제조 공정에 이용하게 되면 탄탈륨 산화막을 유전체막으로 사용한 캐패시터 제조 공정에서와 같이 탄탈륨 산화막 증착 직전에 실시하고 있는 익스-시투 RTN 공정과 증착 이후의 저온 산화 공정 및 고온 열처리 공정이 전혀 필요없다. 따라서 종래의 탄탈륨 산화막 캐패시터 제조 공정에 비해 단위 공정수가 적고 단위 공정시간이 짧아 생산 원가를 30% 이상 절감할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 소자의 캐패시터 제조 방법에 있어서,

소정의 구조가 형성된 반도체 기판 상부에 하부 전극을 형성하는 단계와,

전체 구조 상부에 Ta 성분의 화학 증기와 Ti 성분의 화학 증기를 사용하여 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 형성하는 단계와,

전체 구조 상부에 상부 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 2.

제 1 항에 있어서, 상기 하부 전극은 도프트 폴리실리콘막으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 3.

제 1 항에 있어서, 상기 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 형성하기 전에 상기 하부 전극에 HF 용액을 사용한 습식 세정 공정을 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 4.

제 1 항에 있어서, 상기 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 형성하기 전에 상기 하부 전극에 인-시투 또는 익스-시투로 HF 증기를 이용한 건식 세정 공정을 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 5.

제 3 항 및 제 4 항에 있어서, 상기 HF를 이용한 세정 공정에서 NH_4OH 용액 또는 H_2SO_4 용액 등의 화합물을 혼합하여 사용하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 6.

제 1 항에 있어서, 상기 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 막은 300 내지 600℃의 LPCVD 챔버에서 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 7.

제 1 항에 있어서, 상기 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 막은 10 내지 100Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 8.

제 1 항에 있어서, 상기 Ta 성분의 화학 증기는 150℃ 이상을 유지하는 증발기 또는 증발관으로 $Ta(OC_2H_5)_5$ 용액을 300mg/min 이하로 정량 공급한 후 150 내지 250℃ 온도 범위에서 증발시켜 얻는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 9.

제 1 항에 있어서, 상기 Ti 성분의 화학증기는 $Ti[OCH(CH_3)_2]_4$ 을 150℃ 이상을 유지하는 증발기로 300mg/min 이하로 정량 공급한 후 200 내지 300℃ 온도 범위에서 증발시켜 얻는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 10.

제 9 항에 있어서, 상기 $Ti[OCH(CH_3)_2]_4$ 대신에 $TiCl_4$, TDMAT 또는 TDEAT를 사용하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 11.

제 1 항에 있어서, 상기 Ta 성분의 화학 증기 및 Ti 성분의 화학 증기의 몰비는 Ti/Ta="0.01" 내지 1.0인 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 12.

제 1 항에 있어서, 상기 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$ 막은 Ta 성분의 화학 증기와 Ti 성분의 화학 증기를 O_2 또는 N_2O 가스와 동시에 LPCVD 챔버에 주입하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 13.

제 12 항에 있어서, 상기 O_2 또는 N_2O 가스는 5 내지 500sccm의 양으로 주입하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 14.

제 1 항에 있어서, 상기 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 형성한 후 O_2 또는 N_2O 분위기에서 600℃ 이하의 열처리 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 15.

제 14 항에 있어서, 상기 O_2 또는 N_2O 가스는 5 내지 500sccm의 양으로 주입하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 16.

제 1 항에 있어서, 상기 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 형성한 후 300 내지 600℃의 온도에서 UV-O_3 또는 O_3를 사용하여 열처리 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 17.

제 1 항에 있어서, 상기 비정질 $(Ta_2O_5)_{1-x}-(TiO_2)_x$막을 형성한 후 300 내지 600℃의 온도에서 N_2O 또는 O_2 플라즈마를 열처리 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 18.

제 1 항에 있어서, 상기 상부 전극은 도프트 폴리실리콘막, TiN막 또는 금속계 물질을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 19.

제 18 항에 있어서, 상기 금속계 물질은 TaN, W, WN, WSi, Ru, RuO_2, Ir, IrO_2, Pt중 어느 하나인 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

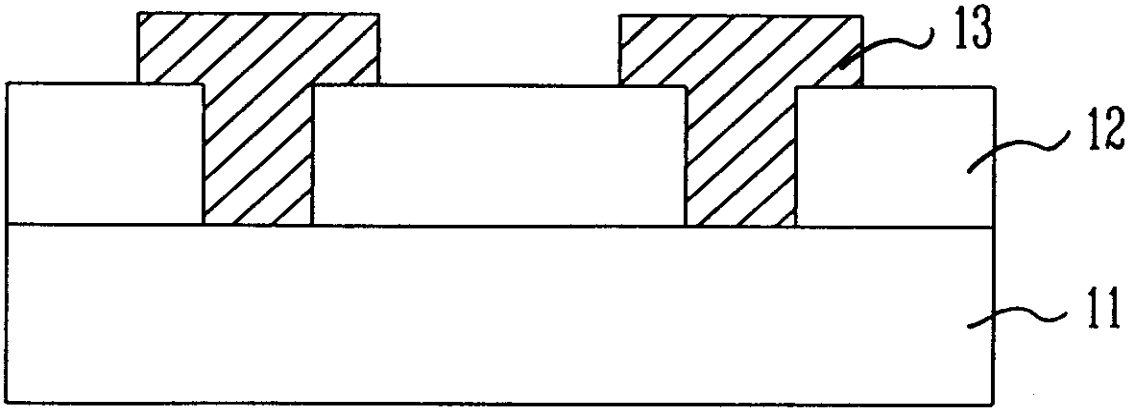
청구항 20.

제 1 항에 있어서, 상기 상부 전극은 TiN막과 도프트 폴리실리콘막의 이중막으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

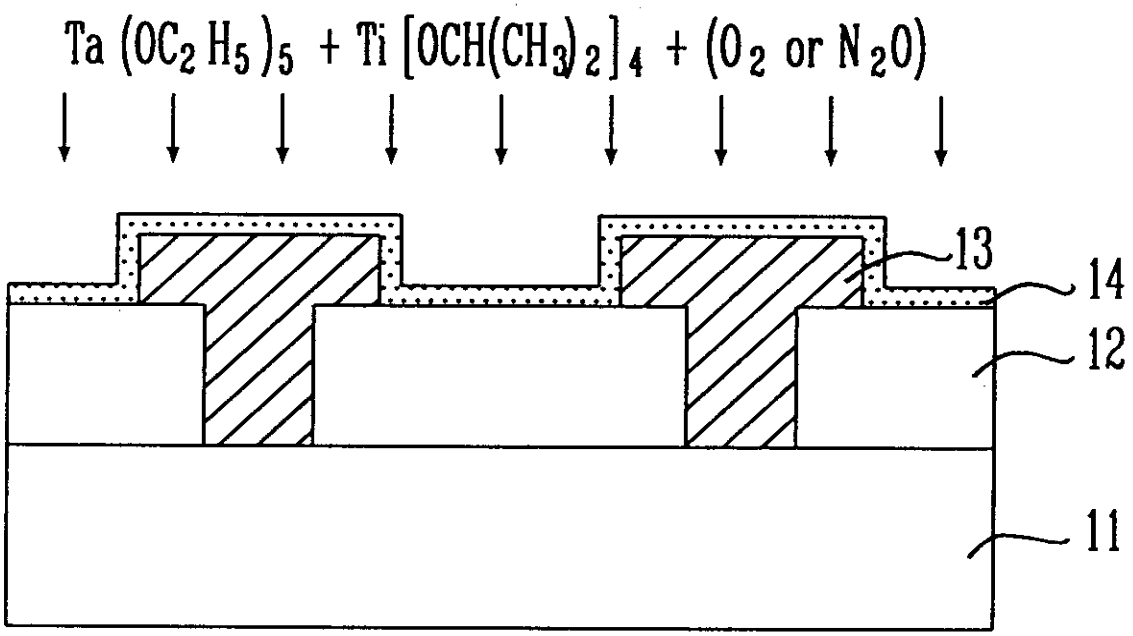
도면

도면 1

(a)



(b)



(c)