

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 27/108 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월28일 10-0538391 2005년12월16일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-1998-0011128 1998년03월31일	(65) 공개번호 (43) 공개일자	10-1998-0080904 1998년11월25일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 08/829,371 1997년03월31일 미국(US)

(73) 특허권자 지멘스 악티엔게젤샤프트
독일 뮌헨 80333 비텔스파허프라썸 2

(72) 발명자 갈, 마르틴
미국 05403 버몬트 사우쓰 벌링턴 듀보이스 드라이브 21

알스마이어, 요한
미국 12590 뉴욕 와핑거스 폴스 마린 드라이브 4

(74) 대리인 남상선

심사관 : 조지은

(54) 비대칭채널도펀트프로파일을갖는장치

요약

본 발명은 채널 영역의 도핑 프로파일을 향상시킨 DRAM 어레이 장치의 비트라인 접합을 제조하기 위한 방법에 관한 것이다. 상기 방법은 공정 중에 장치내에 형성된 비트라인 접촉 개구부를 통과한 이온 주입에 의한 콘트라도핑을 포함한다. 이러한 특정 도핑 방법은 매몰 스트랩 측에서는 해당 도펀트의 증가 없이, 어레이의 비트라인측 상의 채널 영역에서의 도펀트의 농도를 증가시킨다. 이같은 도핑 프로파일은 장치의 오프 전류 작용을 향상시킨다. 접촉 개구부의 중형비에 의존하여 이온 주입에 대한 경사각을 부여하는 것이 가능하며, 상기 경사각은 최대 오프 전류 효율에 대해 조정될 수 있다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 종래의 256MB DRAM 셀의 부분 단면도.

도 2는 본 발명의 일 실시예에 따른 256MB DRAM셀의 부분 단면도.

도 3a 내지 도 3e는 본 발명의 일 실시예에 따라 DRAM 셀을 형성하기 위한 과정을 도시한 도면.

도 4는 채널 도펀트 프로파일을 상세하게 도시한 도면.

도 5a는 종래의 도핑 기술을 사용한 256MB DRAM 셀에서 관측되는 도핑 농도에 대한 단면도.

도 5b는 기판 표면 아래로 약 0.01mm의 수평 선을 따르는 도 5a의 종래 기술의 256MB DRAM 셀의 도핑 프로파일을 도시한 도면.

도 6a는 본 발명의 방법의 수직의 콘트라 도핑 처리를 사용한 256MB DRAM 셀에서 관측되는 도핑 농도의 단면도.

도 6b는 기판 표면 아래로 약 0.01mm의 수평 선을 따르는 도 6a의 256MB DRAM 셀의 도핑 프로파일을 도시한 도면.

도 7a는 본 발명의 방법의 경사 콘트라도핑을 사용한 256MB DRAM 셀에서 관측되는 도핑 농도의 단면도.

도 7b는 기판 표면 아래로 약 0.01mm의 수평 선을 따르는 도 7a의 256MB DRAM 셀의 도펀트 프로파일을 도시한 도면.

도면의 주요부분에 대한 부호의 설명

48, 148, 248 : 매몰 스트랩 영역 54, 154, 254 : 비트라인 집합 영역

56, 156, 256 : 보론 도핑 영역 58, 158, 258 : 인 도핑 영역

101 : 기판 151, 251 : 소스 영역

152, 252 : 드레인 영역 159, 259 : 매몰 스트랩

175, 275 : 폴리 스티드 210 : 트랜치 커패시터

375 : 콘택트 개구부

150, 160, 170, 250, 270, 370 : 게이트 스택

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명의 분야는 장치 및 장치의 제조 방법에 관한 것이다. 보다 구체적으로 본 발명은 오프 진류 특성을 향상시키는 비대칭 채널 도펀트 프로파일을 갖는 장치 및 이러한 장치의 제조에 관한 것이다.

최근 집적 회로(IC)의 제조는 트랜지스터와 커패시터와 같은 장치를 구성하는 피처(feature)의 형성과 바람직한 전기적 기능을 달성하기 위한 이러한 장치의 상호 접속의 형성에 관계된다. IC 제조 비용이 웨이퍼당 IC의 수에 반비례하기 때문에, 웨이퍼당 증가된 IC의 수를 생성하도록 요구가 계속된다. 새로운 포토리소그래피 기술의 진보와 함께, 점차적으로 작게 치수 설정된 피처를 제조하는 것이 가능하게 되었으며 이에 따라, 장치의 밀도가 증가하여 웨이퍼당 IC의 수를 증가시킨다.

특히, 다이내믹 랜덤 액세스 메모리(DRAM)와 같은 랜덤 액세스 메모리(RAM)의 제조는 향상된 장치 밀도에 있어서의 중요한 진전을 촉진시킨다. 통상적으로 DRAM은 정보를 저장할 제공하기 위해, 행(워드 라인) 및 열(비트라인)로 형성된 메모리 셀로 구성된다. 메모리 셀은 예를 들어 “노드” 또는 “저장 노드”로 언급되는 저장 커패시터(storage capacitor)에 접속된 패스 트랜지스터(pass transistor)를 포함한다. 상기 패스 트랜지스터는 소스, 드레인 및 게이트로 구성된다. 트랜지스터의 소스, 게이트 아래에 위치한 채널 및 드레인을 형성하기 위하여, 다양한 농도를 가지며 역으로 충전된 도펀트가 반도체 기판 내부로 이온 주입 또는 확산된다. 이러한 역으로 충전된 다양한 도핑 영역은 당해 기술 분야에서 레트로그레이

드(retrograde) 또는 콘트라 도핑(contradoped) 웰로 언급될 수 있다. 일반적으로 DRAM 셀에 있어서, 소스는 비트라인에 해당하고, 게이트는 워드라인에 해당하며, 드레인은 상기 노드에 결합된다. 행 및 열 어드레스 디코더, 드라이버 및 감지 증폭기와 같은 주변 회로는 셀의 어레이내의 요구된 셀 또는 셀들을 활성화시키는데 사용된다. 셀이 활성화될 때, 트랜지스터는 데이터가 판독되도록 하거나 노드 내로 기록되도록 한다.

패스 트랜지스터의 설계시 중요한 고려점은, 오프 전류(I_{off}) 특성이다. 상기 오프전류(I_{off})는 저장 노드의 누설전류와 직접적으로 관련된다. 따라서, 상기 오프전류(I_{off})는 상기 저장 노드의 유지 시간에 영향을 미친다. 오프 전류(I_{off})는 채널내의 도펀트 프로파일에 의해 결정된다. 이러한 도펀트 프로파일은 게이트 임계 전압(V_t)을 제어한다. 트랜지스터의 치수가 작아짐에 따라, 적절한 오프 전류(I_{off}) 특성을 얻기 위하여 임계 전압(V_t) 주입에 대한 도펀트 농도는 증가되어야 하며, 이로써 저장 노드의 적합한 유지 시간이 성취되는 것이다.

그러나, 오프 전류(I_{off})를 줄이기 위한 채널의 도펀트 농도 증가에 의하여 채널의 노드 측에서 높은 전계가 생성된다. 이와 같은 높은 전계는 상기 노드로부터 누설 전류를 증가시키고 증가된 임계 전압(V_t)의 효과에 반하게 된다.

발명이 이루고자 하는 기술적 과제

상술한 설명으로부터, 과하지 않은 오프 전류(I_{off})와 낮은 누설 전류를 갖는 장치를 제공하기 위한 필요성이 존재하게 된다. 이는 명백하다.

본 발명은 상기한 문제점을 해결하기 위한 것으로, 채널 영역에서의 도핑 프로파일을 개선한 DRAM 어레이 장치에서의 비트라인 접합(junction)을 제조하기 위한 방법을 제공한다.

발명의 구성 및 작용

본 발명은 채널 영역에서의 도핑 프로파일을 개선한 DRAM 어레이 장치에서의 비트라인 접합을 제조하기 위한 방법을 제공한다. 상기 방법은, 제조중 장치내에 형성된 비트라인 콘택트 개구부를 통한 이온 주입에 의한 콘트라도핑을 포함한다. 이러한 특정한 도핑 방법은 매몰 스트랩측에서의 해당 도핑 증가 없이, 어레이의 비트라인 측의 채널 영역에서의 도핑 농도를 증가시킨다. 이러한 도핑 프로파일은 장치의 오프 전류 특성의 향상을 야기한다. 콘택트 개구부의 종횡비에 의존하여, 이온 주입 경사각(tilt angle)을 부여하는 것이 가능하고 상기 경사각은 최대의 오프 전류 효율을 위해 조절가능하다.

본 발명의 용이한 이해를 위해, 첨부된 도면과 함께 아래의 상세한 설명이 참조될 수 있다.

본 발명은 접속된 장치로부터 감소된 누설 전류를 갖는 적절한 오프 전류(I_{off}) 특성을 가지는 장치에 관한 것이다. 설명을 목적으로 본 발명은 트랜치 커패시터를 사용한 DRAM 셀을 예로 설명된다. 그러나, 본 발명은 수용가능한 오프 전류(I_{off}) 및 감소된 누설 전류를 갖는 장치까지 확대 및 넓혀질 수 있다. 본 발명의 설명을 용이하게 하기 위하여, 종래의 트랜치 커패시터 DRAM 셀에 대한 설명이 제시되었다.

도 1은 DRAM 셀(105)을 도시한다. 이러한 DRAM 셀은 예를 들어 본 명세서에서 참조문으로 인용한 Nesbit 등에 의한 “자기정렬된 매몰 스트랩(BEST)을 갖는 $A0.6\mu m^2$ 256Mb 트랜치 DRAM 셀“ IEDM 93-627,에서 개시된다. 통상적으로 DRAM 셀 어레이는 DRAM 셀 칩을 형성하기 위해 워드라인 및 비트라인에 의해 상호 접속된다.

도시된 바와 같이, DRAM 셀은 데이터를 저장하기 위한 트랜치 커패시터(110)를 포함한다. 이러한 트랜치는 예를 들어 보론(B)과 같은 p타입의 도펀트로 저도핑 기판(101)내에 형성된다. 트랜치는 대체적으로 고 도핑된 n타입 폴리실리콘(poly, 120)으로 충전된다. 게이트 스택(150), 소스(151) 및 드레인(152)을 포함하는 패스 트랜지스터(150)가 상기 트랜치에 접속된다. 드레인 및 소스는, 예를 들어 인(B) 도펀트를 주입함으로써 형성된다. B 도펀트가 게이트 아래에 제공되어 채널을 형성한다. 일반적으로, 게이트와 소스는 DRAM 어레이에서 각각 워드라인과 비트라인을 나타낸다. 게이트 스택(160)이 트랜치(110)의 상부에 제공된다. 전송 워드라인으로 언급되는 게이트 스택(160)은 얇은 트랜치 절연막(STI,130)에 의해 트랜치로부터 절연된다. 상기 STI는 또한 DRAM 셀을 어레이내의 다른 DRAM 셀들로부터 절연시킨다.

도시된 바와 같이, 트랜지스터의 소스는 예를 들어 폴리 스테르드(175)에 의해 비트라인(180)과 결합된다. 비트라인 및 게이트는, 예를 들어 BPSG를 포함하는 유전층(184)에 의해 서로 절연된다. 소스(비트라인)와 게이트(워드라인)에 적절한 전압을 제공함으로써 트랜지스터가 활성화되면 데이터가 기록되거나 트랜치 커패시터로부터 판독된다.

DRAM 셀(105)을 제조하는 데 있어서, 우선 트랜치(110)가 B를 사용하여 저도핑된 기판내에 형성된다. 상기 기판은 평탄화되어 기판과 함께 STI 평면의 상부 표면을 남긴다. 트랜지스터(150)의 채널이 위치한 기판의 일부는 B를 사용하여 주입된다. 이러한 주입(implant)은 패스트 트랜지스터의 V_t 를 조정하기 위하여 사용되며, 이것은 오프 전류(I_{off})를 결정한다. V_t 주입은 기판의 도전성과 동일한 도전성을 갖는 도펀트를 포함하기 때문에, 통상적으로 레트로그레이드 주입(retrograde implant)으로 언급된다.

기판의 채널 영역으로 이온을 선택적으로 주입하기 위하여, 예를 들어 레지스트로 이루어진 마스크가 기판의 표면상에 종래의 리소그래픽 기술에 의해 형성 및 패터닝된다. 채널 아래의 결과적인 도핑 프로파일은 대칭 또는 균등하다. 즉 전체 채널을 통한 도펀트의 농도는 점선(155)으로 도시된 것과 같이, 실질적으로 일정하다.

게이트 산화물과 함께 게이트 스택(150,160)은 V_t 주입 이후에 형성된다. 소스(151) 및 드레인(152)을 형성하기 위하여, 게이트 스택이 마스크로 사용되어 P 도펀트가 주입 된다. P 도펀트가 B 도핑된 기판에 비해 반대형의 도전성을 갖기 때문에, 소스 및 드레인 주입은 콘트라 도핑 주입으로서 언급된다. DRAM 셀을 형성하는 열 처리 동안에, 도핑된 트랜치 폴리로부터의 도펀트는 형성된 매몰 스트랩(159)으로 확산한다.

유전층(184)이 트랜지스터와 기판의 상부 표면에 걸쳐 형성된다. 콘택트 개구부가 소스 영역 상부의 유전층 내에 형성되어 n형 고도핑 폴리로 충전된다. 알루미늄과 같은 금속이 상기 유전층 상부에 증착되어 비트라인을 형성한다. 비트라인은 폴리 스테르드에 의해 제공된 소스와 비트라인 사이의 도전 경로를 제외하고 유전층에 의해 트랜지스터로부터 절연된다.

이상이 설명을 목적으로 한 DRAM 셀 및 제조 과정과 관련된 제조 시퀀스의 간략화된 설명이다. 물론 실제 DRAM 셀 및 제조 시퀀스는 추가적인 엘리먼트와 단계를 수반할 수 있다. 이러한 추가적인 엘리먼트와 단계는, 예를 들어 본 명세서에서 참조문으로 인용한 Nesbit 등에 의한 “자기정렬된 매몰 스트랩(BEST)을 갖는 $A0.6\mu m^2$ 256Mb 트랜치 DRAM 셀” IEDM 93-627에서 공지 및 개시된다.

앞서 설명한 바와 같이, 채널 길이의 계속된 축소는 적당한 I_{off} 를 얻기 위하여 높은 V_t 를 요구한다. V_t 를 증가시키기 위하여, 채널내의 B 도펀트 농도가 증가된다. 상술한 설명으로부터 종래의 DRAM 제조 방법에 의해서는 채널을 통하여 실질적으로 동일한 도펀트 농도를 발생한다. 이와 같이, 채널 내에서의 도펀트 농도를 증가시키는 것은 채널과 드레인 사이의 P/N 접합에서 도펀트 농도의 증가를 야기한다. 그러나, 채널/드레인 접합에서의 B 농도를 증가시키는 것은 증가된 접합 전계에 기인하여 이러한 접합의 완전성(integrity)에 불리하게 영향을 미친다. 예를 들어 낮은 접합 완전성은 누설 전류를 증가시킨다. 저장 커패시터가 드레인에 연결되기 때문에, 드레인/채널 접합을 통과한 커패시터로부터의 누설 전류가 발생하며 커패시터의 유지 시간의 감소를 야기시킨다.

본 발명에 따라, 채널/드레인 접합에서의 적당한 I_{off} 가 제공된다. 상기 장치는 채널내에 비대칭의 도펀트 프로파일을 포함한다. 채널/드레인 접합의 완전성에 불리하게 충격을 주지않고 비대칭 도펀트 프로파일이 형성된다.

도 2는 DRAM 셀(205) 내에 구현된 본 발명의 실시예를 도시한 것이다. DRAM 셀의 윤곽이 점선(202,203)으로 표시되었다. 도시된 바와 같이, DRAM 셀은 예를 들어 제 1 도전성을 갖는 도펀트로 저도핑된 기판(201)내에 형성된 트랜치 커패시터(210)를 포함한다. 이같은 트랜치 커패시터는, 본 발명에서 참조문으로 인용된 Nesbit 등에 의한 “자기정렬된 매몰 스트랩(BEST)을 갖는 $A0.6\mu m^2$ 256Mb 트랜치 DRAM 셀” IEDM 93-627,에서 개시된다. 상기 트랜치는 대체적으로 제 2 도전성을 가진 도펀트로 고도핑된 폴리실리콘(poly, 220)으로 충전된다. 폴리는 커패시터의 한 플레이트로서 작용한다. 커패시터의 다른 플레이트는 역시 제 2 도전성을 갖는 매몰 플레이트(215)에 의해 형성된다. 유전층(217)은 상기 두 플레이트를 분리한다. 유전층의 질을 향상시키기 위하여, 상기 트랜치 측벽 및 측벽 상에 형성된 질화물 및 그 상부에 형성된 산화물 층을 포함한다.

제 2 도전성을 갖는 매립형 웰(buried well)(223)이 기판 표면 아래에 트랜치의 대략 중간 부분에 제공된다. 이러한 웰내의 도펀트의 피크 농도는 칼라(225)의 바닥 근처에 위치된다. 칼라는 예를 들어 매몰 플레이트에 대한 노드의 펀치-쓰루를

방지하기에 충분한 두께의 산화물을 포함한다. 대체적으로 웰은 저도핑된다. 매립형 웰은 어레이내의 DRAM 셀의 매몰 플레이트들을 서로 접속하여 공통 플레이트를 형성한다. 매립형 웰은 기준 전위(도시되지 않음)에 결합된다. 일 실시예에 있어서 기준 전위는 약 V_{dd}의 절반(V_{dd}/2)으로 설정된다.

DRAM 셀은 또한 트랜지스터(250)를 포함한다. 트랜지스터는 게이트 스택(225), 소스 영역(251) 및 드레인 영역(252)을 포함한다. 드레인 및 소스 영역은 영역 내부에 주입된 제 2 도전성의 도펀트를 포함한다. 게이트 아래의 채널 영역(258)은 제 1 도전성의 도펀트를 포함한다. 기판이 이미 제 1 도전성의 도펀트를 포함할지라도, 트랜지스터의 V_t를 알맞게 설정하기 위하여 추가적인 제 1 도전성의 도펀트를 포함하는 추가적인 주입이 요구된다.

게이트 스택은 대체적으로 게이트 산화물(도시되지 않음)의 상부에 형성된 폴리(poly)와 같은 도전층(256)을 포함한다. 소정의 응용예에 있어서, 실리사이드의 층(도시되지 않음)이 혼합 게이트 스택을 형성하기 위하여 사용된다. 몰리브덴(MoSi_x), 탄탈륨(TaSi_x), 텅스텐(WSi_x), 티타늄 실리사이드(TiSi_x), 또는 코발트 실리사이드(CoSi_x)를 포함한 다양한 실리사이드가 층(114)을 형성하기 위하여 사용된다. 대안적으로 텅스텐과 몰리브덴과 같은 알루미늄 또는 내화성 금속이 단독으로 또는 실리사이드 또는 폴리와 혼합하여 사용될 수 있다. 혼합 게이트는 그들의 사용이 게이트의 평면 저항을 감소시킴에 따라 바람직하게 되며, 이에 의해 그 주변을 따라 루트가 형성된 신호의 RC 지연을 감소시킨다.

도전 층(256) 상부에 나이트라이드 층(255)이 형성된다. 상기 층(255)은 이어지는 처리 단계의 에칭 정지층으로 동작한다. (도시되지 않은) 스페이서가 선택적으로 게이트의 측벽 상에 형성되어 소스와 드레인 영역의 게이트 영역과의 부분적으로 겹쳐진(underlap) 확산을 한정하며, 이것은 겹침 커패시턴스를 감소시킨다.

기판 영역의 효율적인 사용을 위하여, STI에 의해 셀로부터 절연된 게이트 스택(180)이 트랜치(210)의 상부에 형성된다. 이러한 게이트 스택은 DRAM셀 어레이의 전송 워드라인을 나타낸다. 인접한 트랜치(도시되지 않음)에 결합된 트랜지스터(270)의 게이트 스택은 도 1에서도 도시되었다. 도시된 바와 같이, 트랜지스터(270)는 트랜지스터(250)와 공통 소스를 공유한다. 이같은 DRAM 구조는 폴딩된 비트라인(folded bitline) 구조로서 공지되었다. 개방 및 개방-폴딩된(open-folded) 구조를 포함한 다른 구조도 역시 유용하다. 이러한 구조는 예를 들어 본 발명에서 참조문으로 인용한 Takashima 등에 의한 IEEE "Soild-State Circuits: Vol 29, no4, 539-542 쪽에 게시되었다.

나이트라이드 층(283)은 기판의 표면에 증착되어 기판 표면과 트랜지스터를 커버링한다. 상기 질화물 층은 에칭 정지층으로 작용한다. 유전층(도시되지 않음)이 상기 질화물 층(283) 상부에 형성되어 트랜지스터와 비트라인(280) 사이에 절연을 제공한다. 상기 유전층은 예를 들어 포스포실리케이트 글래스(PSG) 또는 BPSG와 같은 인 도핑된 실리콘 이산화물을 포함한다.

콘택트 스텐드(275)는 소스(251)를 비트라인에 접속한다. 도시된 바와 같이, 상기 콘택트는, 예를 들어 동일한 도전성을 갖는 도펀트를 사용하여 도핑된 폴리로 이루어진 보더리스 콘택트(boarderless contact)이다. 대안적으로 보더형 콘택트 스텐드(boardered contact stud) 또는 다른 콘택트 스텐드도 역시 이용가능하다. 또한, 텅스텐 또는 다른 도전 재료를 포함하는 콘택트 스텐드도 역시 이용가능하다.

본 발명에 따라, 채널 내에서의 도펀트 프로파일은 점선으로 표시된 바와 같이 비대칭적이다. 특히 도펀트의 피크 농도는 채널의 소스측 근처에 위치하고 스트랩(259)에 의해 커패시터(210)로 접속되는 드레인 측을 향하여 감소한다. 이러한 피크의 정확한 위치는 중요하지 않다. 경사진 프로파일이 발생한다는 사실이 중요하다. 즉, 프로파일의 피크는 접합의 비트라인 측 근처에 위치되며 접합의 드레인 측을 향하여 점차적으로 감소된다. 이같은 프로파일은 장치를 각기 상이한 V_t를 갖는 서브섹션으로 분할한다. 접합의 비트라인측이 더 높은 도펀트 농도를 가지기 때문에, 이러한 부분은 높은 V_t를 갖는다. 다른 한편, 접합의 드레인 측을 낮은 도펀트 농도를 갖기 때문에, 상기 장치의 비트라인 측과 비교하여 낮은 전압(V_t)을 발생시킨다. 이러한 형태의 도펀트 프로파일은 회로 설계자가 채널/드레인 접합에 불리하게 영향을 미치지 않고 적당한 오프전류(I_{off})를 발생시키는 전압(V_t)을 달성하도록 하며, 이에 따라 커패시터(210)의 누설 전류를 감소시킨다. 일 실시예에 있어서, 도펀트 프로파일의 피크는 활성 워드라인(270) 아래의 비트라인 콘택트 개구부로부터 수평으로 약 100nm 정도이고 실리콘 표면 아래로 수직으로 약 30nm 정도에 위치된다. 자신의 드레인(도시되지 않음)에 접속된 커패시터와의 사이에서 누설 전류를 감소시키기 위하여, 트랜지스터(270)의 채널(258)도 역시 비대칭 도펀트 프로파일을 포함한다.

도 3a 내지 도 3e는 DRAM 셀의 구현에 따라 비대칭 도펀트 프로파일을 갖는 트랜지스터를 형성하기 위한 과정을 도시한다. 도 3a를 참조하면, 트렌치 커패시터(310)는 기판(310) 내에 형성된다. 기판의 주요 평면은 중요하지 않으며, (100), (110) 또는 (111)과 같은 임의의 적합한 방향이 사용된다. 전형적인 실시예에 있어서, 기판은 p 형 도펀트(P⁻)를 사용하여 저도핑된다.

트렌치 커패시터(310)는 종래의 기술에 의해 기판 내에 형성된다. 이같은 기술은 예를 들어 본 발명에서 이미 참조문으로 인용한, Nesbit등에 의한 “자기정렬된 매몰 스트랩(BEST)을 갖는 A 0.6 μm^2 256Mb 트렌치 DRAM 셀“ IEDM 93-627에 개시된다. 예시적으로, 트렌치는 고 도핑된 n 형(N⁺) 폴리(314)로 충전된다. 상기 n⁺ 폴리는 커패시터의 제 1 플레이트로서 기능한다. n⁺ 매몰 플레이트(315)는 상기 트렌치의 바닥 부분을 둘러싸고 커패시터의 제 2 플레이트로서 작용한다. 트렌치와 매몰 플레이트는 노드 유전체 층(317)에 의해 서로로부터 절연된다. 일 실시예에 있어서, 노드 유전체 층은 질화물 및 산화물 층을 포함한다. 트렌치의 상부 부분에, 칼라(325)가 형성된다. 상기 칼라는 예를 들어 TEOS와 같은 유전 재료를 포함한다. 부가적으로, 매립형 N웰(323)은 에레이 내의 다른 트렌치들을 서로 접속시키기 위해 제공된다. 트렌치의 상부에 STI(330)가 형성된다. 상기 STI는 다른 DRAM 셀과의 절연을 제공한다. 도시된 바와 같이, 기판의 표면은 평탄화되어 연속된 제조를 위한 평면의 표면(309)을 제공한다.

이어, DRAM 셀의 p-채널 액세스용 p 타입의 웰 영역이 형성된다. 상기 웰의 형성은, 예를 들어 기판 표면 상부에 얇은 산화물 층의 형성 단계 및 산화물 층 상부에(도시되지 않은)레지스터와 같은 마스크 층 증착 단계를 포함한다. 상기 산화물 층은 웰의 주입 동안에 스크린 산화물로서 작용한다. 그리고 나서, 이러한 레지스터 층은 이어 p웰 영역을 노출시키도록 패터닝된다. 보론(B)과 같은 p-타입 도펀트가 웰 영역에 주입된다. 도펀트는 펀치-쓰루를 방지할 정도로 충분한 깊이로 주입된다. 상기 도펀트 프로파일은 게이트 임계 전압(V_t)과 같은 바람직한 전기적 특성을 달성하기 위하여 조절된다.

게다가, p 채널 주변 회로를 위한 n웰도 역시 형성된다. 상보적인 금속 산화물 실리콘(CMOS) 장치 내의 상보적 웰을 위해, n 웰이 형성된다. n 웰의 형성은 n 웰을 한정 및 형성하기 위한 추가적인 리소그래피 및 주입 단계를 필요로 한다. p 웰을 사용 것과 같이, n 웰의 프로파일은 바람직한 전기적 특성을 달성하도록 알맞게 조절된다. 주입 이후에, 산화물 층이 제거된다.

도 3b는 트랜지스터의 형성 과정을 도시한다. 도시된 바와 같이, 게이트 산화물 층이 기판의 표면 상에 형성된다. 산화물 층은 트랜지스터의 게이트에 대한 게이트 산화물로서 동작하기에 충분한 정도의 두께이다. 대체적으로 게이트 산화물은 약 3,5 내지 10nm 두께이다. 트랜지스터의 게이트를 형성하는데 사용되는 다양한 층이 게이트 산화물 상부에 존재한다. 이러한 층은 폴리(390), 실리사이드(391) 및 유전체(392)를 포함한다.

도 3c에 있어서, 게이트 스택 층은 다양한 트랜지스터의 게이트 스택을 형성하기 위해 종래의 리소그래피 및 에칭 기술을 사용하여 패터닝된다. 도시된 바와 같이, 게이트 스택(350,360,370)이 형성된다. 게이트 스택(350)은 DRAM 셀의 트렌치 커패시터(310)에 결합된 액세스 트랜지스터를 형성하며, 게이트 스택(370)은 인접한 트렌치 커패시터(도시되지 않음)의 액세스 트랜지스터를 형성한다. 게이트 스택(360)이 상부에 형성되어 STI(330)에 의해 트렌치 커패시터(310)와 절연된다. 게이트 스택(360)은 전송 워드 라인을 나타낸다. 이전에 설명된 바와 같이, 이러한 구조는 폴딩된-비트라인 구조로서 언급된다.

주입 마스크로서 게이트 스택을 사용하여, n 형 도펀트가 드레인(352) 및 소스(351)를 형성하기 위해 기판 내부로 주입된다. 소스(351)는 트랜지스터(350) 및 트랜지스터(370)의 공통 소스가 된다. 스트랩(359)은 트렌치 커패시터로부터 도펀트를 확산시킴으로써 형성된다.

도 3d를 참조하여, 질화물 라이너(383)가 기판 표면 상부에 형성되고 게이트를 또한 커버링한다. 상기 질화물 라이너는 이 동성 이온 장벽을 제공하고 에칭 정지 층으로서 동작한다. 유전체층(384)은 장치 표면 상부에 형성되어 도전 층 사이의 절연을 제공한다. 또한 유전체층은 불순물, 습기 또는 굽힘으로부터 장치 구조물을 보호하기 위한 보호 층으로 작용한다. 일 실시예에 있어서, 상기 유전체층은 예를 들어 PSG 또는 BPSG 와 같은 인 도핑된 이산화실리콘을 포함한다. 상기 유전체 층은 평탄화되며, 평면의 표면(384) 만을 남긴다.

도 3e에 있어서, 콘택트 개구부(375)가 소스(351) 상부의 유전체층(384)내에 형성된다. 도시된 바와 같은 개구부는 게이트의 일부에 접쳐지는 콘택트 개구부를 갖는 보더리스 콘택트이다. 보더리스 콘택트의 형성은 예를 들어 이미 본 발명에서 참조문으로 인용한, Nesbit등에 의한 “자기정렬된 매몰 스트랩(BEST)을 갖는 A 0.6 μm^2 256Mb 트렌치 DRAM 셀“ IEDM

93-627에 개시된다. 유전체층은 주입 마스크로서 동작하며, 여기에서 도펀트는 콘택트 개구부를 통해 기판에 채널이 주입 되는 경우와 동일한 도전성을 갖는다. 주입은 트랜지스터의 V_t 를 조정하는데 사용된다. 점선으로 도시된 주입은 비대칭 채널 도펀트 프로파일을 생성한다.

도 4는 좀더 자세하게 콘택트 개구부(375)를 도시한 것이다. 본 발명의 실시예에 따라, B 도펀트가 콘택트 개구부를 통해 주입되어 트랜지스터(350)의 전압(V_t)을 조정한다. B는 소스(451)의 도펀트 프로파일에 불리하게 영향을 미치지 않을 정도로 충분히 깊게 주입되며, 소스는 인(P)과 같은 상반되는 도전성의 도펀트를 포함한다. 일실시예에 있어서, B 도펀트는 드레인 접합(452)에 영향을 미치지 않기 위하여 소스 주입 이하로 주입된다. 그 다음 공정은 B 도펀트를 트랜지스터(350)의 게이트 영역 내부로 확산시킨다. 상기 확산은 비대칭의 채널 도펀트 프로파일(458)을 발생시킨다. 도시된 바와 같이, 채널 도펀트 프로파일은 게이트의 소스 측에 위치한 피크 농도(459)를 갖는다.

본 발명에 따라, 전압(V_t)에 대한 도펀트는 수직으로 또는 각(θ)으로 주입된다. 주입의 최대 각(θ)은 콘택트 개구부의 종횡비에 의존한다. 종횡비는 콘택트 개구부의 직경(W) 및 개구부의 두께 또는 높이(H) 사이의 비로서 정의된다. 실질적으로 콘택트 개구부의 높이는 대략 H 이고 소스(451)를 노출시키는 콘택트 개구부의 일부인 개구부의 직경은 약 W이며, H/W의 종횡비를 생성한다. 상기 각(θ)은 콘택트 개구부의 종횡비와 간접적인 관계를 갖는다. 즉, 종횡비가 증가할수록 각(θ)은 작아지며, 역으로 종횡비가 감소할수록 각(θ)은 증가한다. 일반적으로 각을 갖는 주입을 실행하는 것은, 소스 아래에 위치한 B의 양을 감소시키는 결과를 형성하며, 이에 따라 소스 접합에서의 캐패시턴스를 감소시킨다. 감소된 소스 캐패시턴스는 높은 쉘 신호를 생성한다.

일실시예에 있어서, 주입은 약 0 내지 θ 의 각을 갖고 수행되며, 여기에서 θ 는 약 $\tan^{-1}(W/H)$ 과 동일하다. 상기 각은 주입의 양 및 에너지뿐만 아니라 열적 경비에 따라 결정된다. 예를 들어, BPSG를 통해 도펀트 원자를 주입시키기 위해 더 큰 주입 에너지를 가지면서 $\tan^{-1}(W/H)$ 보다 큰 각이 사용될 수 있다. 큰 열적 경비로 처리될 때, 작은 각이 바람직하다. 이러한 것은 초기에 피크 농도를 비트라인 접합 부근에 위치시킨다. 이와 같이, 도펀트의 연속적인 확산은 도펀트의 피크 농도가 접합의 드레인 측으로 이동하도록 하지 않는다. 다른 실시예에 있어서, 각은 0 내지 45°사이이며, 바람직하게는 0 내지 10°사이이다.

전형적인 실시예에 있어서, 콘택트 개구부는 약 500nm의 높이와 200nm의 폭을 갖는다. 전압(V_t)은 약 30°정도의 각으로 B를 주입함에 의해 조정된다. 이러한 각으로 B를 주입하는 것은 상기 어레이 장치에서의 오프 전류 작용을 극적으로 향상시킨 도핑 프로파일에 나타내게 된다.

실질적으로 트랜지스터(370)는 트랜지스터(350)와 공통 소스를 공유한다. 트랜지스터(370)는 예를 들어 인접한 메모리 셀의 액세스 트랜지스터이다. 대략 θ 의 각을 갖는 주입은 트랜지스터의 전압(V_t)을 조정하기 위해 동일한 개구부 내에서 수행된다.

V_t 를 조정하기 위해 채널 영역 대신에 소스 영역으로의 도펀트를 주입하므로써, 채널 도펀트 프로파일의 피크는 소스 측상에 위치되어, 비대칭 채널 도펀트 프로파일을 생성한다. 비대칭 채널 도펀트 프로파일은 드레인/채널 접합의 완전성에 불리하게 영향을 미치지 않고 V_t 를 증가시키도록 한다. 따라서, 높은 V_t 에 기인한 높은 드레인/채널 보전 및 낮은 I_{off} 때문에, 드레인 측에서 소스 측으로의 전기적 누설은 감소된다.

상술한 바와 같이, 비대칭적 B 도펀트 프로파일은 전압(V_t) 주입뿐만 아니라 P로 이루어진 소스 주입에 의해 제어된다. 결과적인 도핑 프로파일은 사용된 도펀트의 농도, 단결정 실리콘 기판을 통해 이동하기 위한 이동력 및 주입 처리 도중에 발생한 경로에 따른다. 당업자는 주입의 양 및 전력과 같은 파라미터가 바람직한 전기적 특성을 달성하기 위하여 비대칭 채널 도펀트 프로파일을 형성하도록 변화될 수 있다는 것을 인식할 것이다. 부가적으로, 도펀트의 확산을 야기시키는 연속적인 처리가 바람직한 비대칭 도펀트 프로파일을 설계하기 위해 고려되어야 한다. 이러한 처리 또는 과정은 바람직한 전기적 특성을 달성하기 위하여 채널 도펀트 프로파일을 형성하도록 고려된다.

실험예

실험은 종래의 기술에 의해 형성된 채널을 갖는 장치와 본 발명에 따라 형성된 것과 비교하여 수행된다. 특히, 실험에서는 DRAM 셀의 트랜지스터의 도펀트 프로파일이 검사된다. 상기 실험의 결과는 도 5 내지 도 7에 도시된다. 도5a를 참조하여, 종래 기술의 256MB DRAM 셀의 부분 단면에 대한 주사형 전자 현미경(Scanning Electron Microscopy : SEM)의 도

면이 도시된다. 이같은 DRAM 셀은, 예를 들어 본 발명에서 참조문으로 인용한 “Unit Cell Layout and Transfer Gate Design For High Density DRAMs”로 명명되어 1995년 11월 15일 출원된 미국 특허 출원 등록 제S/N 08/340,500호에 개시되었다. 도시된 바와 같이, 산화물 칼라(46)를 갖는 폴리실리콘-충전 트랜치 커패시터(44), 매몰 스트랩 영역(48) 및 비트라인 접합 영역이 반도체 기판(42) 내에 형성된다. 매몰 스트랩 및 비트라인 영역은 드레인 및 소스 영역에 해당한다. 보더리스 콘택트 영역(50)은 비트라인 접합 영역(54)의 상부에 바로 위치된다. 워드 라인(52)은 기판 표면 상의 산화물 박막(53) 상부에 증착된다. 비트라인 접합 영역(54)은 보론 도핑된 영역(56) 및 인 도핑된 영역(58)을 갖는다. 상기 매몰 스트랩 영역(48)은 비소 도핑된다. 높은 도핑 농도를 갖는 영역은 도면내에서 검게 나타나는 반면에, 낮은 농도를 갖는 영역은 밝게 나타난다. 확산된 비트라인 접합(54)의 에지 영역(62)이 도 2a에서 특히 중요하다. 이러한 영역은 제 1 보론(b^+) 도펀트를 포함하고, 워드 라인(52) 아래의 채널 영역(55)까지 연장된다. 이같은 보론 도펀트의 채널 영역으로 연장된 영역은 어레이 장치에 해로운 것이 되며, 전기적 누설 및 약한 오프 전류 특성을 야기시킨다.

어레이 장치의 실제 도핑 프로파일은 도 5b에 더욱 명확하게 도시되었다. 트랜지스터의 도핑 프로파일을 도시하는 플롯(plot : 70)이 제공된다. 상기 플롯은 기판 표면 아래 약 0.01mm의 트랜지스터의 다양한 영역에서의 다양한 도펀트의 농도를 측정한다. 라인(72,74,76)은 보론, 인 및 비소의 농도를 각각 플로팅한다. 상기 플롯은 세 개의 제 1 영역; 비트라인 접합(80), 채널 영역(78) 및 매몰 스트랩 영역(82)을 포함한다. 라인(72)은 인의 농도가 비트라인 접합(80)에서 상대적으로 높게 시작하여 채널 영역(78)에 인접할수록 감소한다는 것을 나타낸다. 이러한 농도는 도 5a에서 인의 검은 영역 부분(58)에 해당하며, 인 원자의 농도가 감소함에 따라 영역(62) 근처에서 점차 밝아진다. 비소 원자의 농도는 라인(76)으로 도시된 바와 같이 채널 영역(78)에서 무시 가능하고 매몰 스트랩 영역(82)에서와 같이 상당히 증가한다. 라인(72)은 보론 원자의 농도가 비트라인 접합 영역(80), 채널 영역(78) 및 매몰 스트랩 영역(82)에 걸쳐 상대적으로 일정하다는 것을 나타낸다.

도 5b에서는, 종래의 트랜지스터가 채널 영역에서 대칭의 도펀트 프로파일을 가지는 것을 알 수 있다. 채널 도펀트 프로파일은 트랜지스터의 전압(V_t)을 제어한다. 오프 전류(I_{off})를 바람직한 레벨까지 감소시키기 위하여, 전압(V_t)을 증가시키는 것은 채널에서의 높은 B의 농도를 요구한다. 도펀트 프로파일이 대칭이기 때문에, 도펀트 농도를 증가시키는 것은 채널 전반에 걸쳐 높은 도펀트 농도를 야기시킨다. 그러나, 접합의 매몰 스트랩 측에서 도펀트 농도를 증가시키는 것은 그것의 완전성에 불리하게 영향을 미치고 이에 따라 매몰 스트랩으로부터 채널 영역으로의 누설이 증가한다.

도 6a 및 도 7a는 본 발명에 따른 비대칭 도펀트 프로파일을 갖는 액세스 트랜지스터를 포함한 DRAM 셀을 도시한다. 도 6b 및 도 7b는 도 6a 및 도 7b의 트랜지스터에 해당하는 도펀트 프로파일을 각각 플로팅한다. 도 6a를 참조하여, 비대칭 채널 도펀트 프로파일은 수직 방향(각 = 0)으로 비트라인 콘택트 개구부를 통해 보론 원자를 주입함으로써 형성된다. 상기 DRAM 셀(140)은 반도체 기판(142)내에 형성된 산화물 칼라(146)를 갖는 폴리실리콘 충전된 트랜치 커패시터(144), 매몰 스트랩 영역(148) 및 비트라인 영역(154)을 포함한다. 보더리스 콘택트 영역(150)은 상기 비트라인 접합 영역(154) 상부에 바로 위치된다. 워드 라인(152)은 기판의 표면 상의 산화물 박막(153) 상부에 증착된다. 상기 비트라인 접합 영역(154)은 보론 도핑된 영역(156)과 인 도핑된 영역(158)을 갖는다. 상기 매몰 스트랩 영역(148)은 비소 도핑된다. 도 5a에서와 같이, 높은 도펀트 농도의 영역은 도면에서 검게 나타나는 반면에 낮은 농도는 밝게 나타난다. 도 5a 및 도 6a를 비교하므로써 알 수 있는 바와 같이, 도 6a의 비트라인 접합 영역(154)은 매우 좁다. 이것은 B의 농도가 채널의 매몰 스트랩 측보다 채널의 비트라인 측에서 더 높다는 것을 나타낸다.

도 6b를 참조하여, 플롯에 트랜지스터의 도핑 프로파일이 제공된다. 상기 플롯은 기판 표면 아래로 약 0.01mm인 트랜지스터의 다양한 영역에서 다양한 도펀트의 농도를 측정한다. 라인(172,174,176)은 보론, 인 및 비소의 농도를 각각 플로팅한다. 상기 플롯은 세 개의 제 1 영역; 비트라인 접합 영역(180), 채널 영역(178) 및 매몰 스트랩 영역(182)을 갖는다. 라인(172)은 인의 농도가 비트라인 접합 영역(180)에서 상대적으로 높게 시작하여 채널 영역(178)에서 감소한다는 것을 나타낸다. 이러한 농도는 도 6a에서 인의 검은 영역 부분(158)에 해당하며, 인 원자의 농도가 감소함에 따라 영역(162) 근처에서 약간 밝아진다. 라인(176)에 의해 도시된 바와 같이 비소 원자의 농도는 채널 영역(178)에서는 무시 가능하고 매몰 스트랩 영역(182)에서는 상당히 증가한다. 라인(172)은 보론 원자가 비트라인 접합에서 상대적으로 높고, 채널 영역(182)에서 점차적으로 감소한다는 것을 도시한다. 따라서, 보론 원자를 사용하여 비트라인 접합 영역에 주입하고 상기 보론 원자를 채널 영역을 향하여 확산시킴으로써 비대칭 채널 도펀트 프로파일이 발생한다.

도 6b에서, 보론 원자를 비트라인 영역에 주입하는 것이 비대칭 채널 도펀트 프로파일을 생성한다는 것을 알 수 있다. 특히, 채널 도펀트 프로파일은 채널의 비트라인 측에서 피크를 갖는다. 이와 같이, 높은 전압(V_t)을 얻기 위하여 보론 농도를 증가시키는 것은 채널의 매몰 스트랩 측에서의 도펀트 프로파일에 불리하게 영향을 미친다. 또한 도 6b는 인에 대한 보론의 상대적 농도가 도 5b의 플롯을 사용하여 비교된 보론의 농도와 유사하다는 것을 도시하며, 이것은 비트라인 접합에서의 캐패시턴스를 증가시킨다.

도 7a를 참조하여, DRAM 셀(240)의 SEM이 도시되었다. 상기 DRAM 셀(240)은 반도체 기판(242) 내에 형성된 산화물 칼러(246)를 갖는 폴리실리콘 충전된 트랜치 커패시터(244), 매몰 스트랩 영역(248) 및 비트라인 영역(254)을 포함한다. 보더리스 콘택트 영역(250)은 상기 비트라인 접합 영역(254) 바로 상부에 위치된다. 워드 라인(252)은 기판의 표면 상의 산화물 박막(253) 상부에 증착된다.

비트라인 접합 영역(254)은 보론 도핑된 영역(256) 및 인 도핑된 영역(258)을 갖는다. 상기 매몰 스트랩 영역(248)은 비소 도핑된다. 보론 원자는 약 30°의 각으로 비트라인 접합을 통해 주입된다. 도펀트에 따라 취해진 각을 갖는 경로는 도 7a에서 인용 부호(255)로 주어졌다. 도 5a에서와 같이, 높은 도펀트 농도를 갖는 영역은 도면에서 검게 나타나는 반면에 낮은 농도를 갖는 영역은 밝게 나타난다.

도 7b를 참조하여, 도 7a의 트랜지스터의 도핑 프로파일을 플롯(270)이 제공된다. 상기 플롯은 기판 표면 아래로 약 0.01mm인 트랜지스터의 다양한 영역에서 다양한 도펀트의 농도를 측정한다. 라인(272,274,276)은 보론, 인 및 비소의 농도를 각각 플로팅한다. 상기 플롯은 세 개의 제 1 영역; 비트라인 영역(280), 채널 영역(278) 및 매몰 스트랩 영역(282)을 포함한다. 라인(272)은 인의 농도가 비트라인 접합 영역(280)에서 상대적으로 높게 시작하여 채널 영역(278)에서 감소한다는 것을 나타낸다. 이러한 농도는 도 7a에서 인의 검은 영역 부분(258)에 해당하며, 인 원자의 농도가 감소함에 따라 영역(262) 근처에서 약간 밝아진다. 라인(276)에 의해 도시된 바와 같이 비소 원자의 농도는 채널 영역(278)에서는 무시 가능하고 매몰 스트랩 영역(282)에서는 상당히 증가한다. 라인(272)은 보론 원자의 농도가 상대적으로 낮고 비트라인 접합과 채널 영역 근처에서 피크치를 가질 때까지 점차적으로 증가한다. 이로부터, 보론의 농도는 점차적으로 감소한다. 따라서, 보론을 사용하여 비트라인 접합 영역에 주입하고 채널 영역을 향하여 상기 보론을 확산시키므로써, 비대칭 채널 도펀트 프로파일이 발생한다. 부가적으로, 소정의 각으로 보론 원자를 주입하는 것은 도 6b에 도시된 것보다 보론 농도와 인 농도 사이에 큰 불균형을 야기시키고, 이에 따라 비트라인 캐패시턴스를 감소시킨다.

용이하게 나타내어진 바와 같이, 장치의 다른 접합에 불리한 영향을 미치지 않고 장치의 오프 전류 특성을 향상시키기 위하여, 본 발명은 비대칭 도펀트 프로파일을 사용한다. 비대칭 채널 도펀트 프로파일은 채널 도펀트를 예를 들어 소스 영역의 콘택트 개구부를 통해 주입하므로써 달성된다.

여기에서 언급된 실시예는 단지 실증적인 것이며, 기술 분야의 당업자가 여기에서 설명된 것과 기능적으로 동등한 엘리먼트를 사용하여 이러한 실시예에 대한 적당한 변형 및 수정을 형성할 수 있는 것 역시 이해될 것이다. 예를 들어 256MB DRAM 셀을 참조하여 명확하게 설명되었을 지라도, 상이한 구조 뿐만 아니라 다른 논리 장치의 메모리 셀에서도 동일하게 작업할 수 있다는 것이 이해될 것이다. 또한 각이 주어지면 이온 주입 방법을 사용할 때, 30°의 경사각이 바람직할지라도, 비트라인 콘택트 개구부의 다른 종횡비에 해당하는 다른 각도 역시 가능하며, 상기 방법을 사용하여 동일하게 작업될 수 있다. 임의의 그리고 모든 변형물 또는 수정물 뿐만 아니라, 기술 분야의 당업자에게 명백한 다른 것들은 첨부된 청구항에 의해 한정됨에 따른 본 발명의 범위에 속한다.

발명의 효과

본 발명은 공정 중에 장치내에 형성된 비트라인 콘택트 개구부를 통과한 이온 주입에 의한 콘트라도핑을 사용하여, 매몰 스트랩 측에서는 해당 도펀트의 증가 없이, 어레이의 비트라인측 상의 채널 영역에서의 도펀트의 농도를 증가시킴으로써 오프 전류 작용을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체 디바이스 제조 방법으로서, 상기 방법은

기판 내에 소스 영역 및 드레인 영역을 형성하는 단계 - 상기 소스 영역 및 상기 드레인 영역은 제 1 도전형을 가짐 - ; 및

상기 소스 영역에 제 2 도전형의 도펀트를 각도를 가지고 주입함으로써 상기 소스 영역 및 상기 드레인 영역 사이에 위치하는 채널 영역에 비대칭 도핑 프로파일을 형성하는 단계 - 상기 비대칭 도핑 프로파일은 상기 드레인 영역 보다는 상기 소스 영역에 보다 근접하여 제 2 도전형의 최대 농도를 가짐 - 를 포함하는, 반도체 디바이스 제조 방법.

청구항 2.

제 1 항에 있어서, 상기 비대칭 도핑 프로파일을 형성하는 단계는 상기 소스 영역에 상기 기판 표면에 대한 수직선에 대하여 약 0도의 각도로 상기 제 2 도전형을 갖는 도펀트를 주입하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 3.

제 1 항에 있어서, 상기 비대칭 도핑 프로파일을 형성하는 방법은 상기 소스 영역에 상기 기판 표면에 대한 수직선에 대하여 0도와 같거나 크고 45도와 같거나 작은 각도로 상기 제 2 도전형을 갖는 상기 도펀트를 주입하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 4.

제 3 항에 있어서, 상기 각도는 25도와 같거나 크고 35도와 같거나 작은, 반도체 디바이스 제조 방법.

청구항 5.

제 3 항에 있어서, 상기 각도는 0도와 같거나 크고 10도와 같거나 작은, 반도체 디바이스 제조 방법.

청구항 6.

제 3 항에 있어서, 상기 비대칭 도핑 프로파일을 형성하는 단계는 상기 소스 영역의 깊이 보다 깊은 깊이까지 상기 도펀트를 주입하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 7.

제 1 항에 있어서, 상기 방법은

상기 소스 영역 및 드레인 영역 상에 절연층을 형성하는 단계; 및

상기 절연층을 통하여 상기 소스 영역에 대한 개구부를 형성하는 단계 - 상기 개구부는 높이(H) 및 직경(W)을 가짐 - 를 더 포함하며, 상기 비대칭 도핑 프로파일을 형성하는 단계는 상기 소스 영역에 상기 기판 표면에 대한 수직선에 대하여 0도와 같거나 크고 비율 H/W의 탄젠트 역함수(inverse tangent)와 같거나 작은 각도로 상기 제 2 도전형을 갖는 도펀트를 주입하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 8.

제 7 항에 있어서, 상기 개구부를 형성하는 단계는 보더리스 콘택트(borderless contact)를 위한 개구부를 형성하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 9.

제 1 항에 있어서, 상기 제 1 도전형은 n형이며 상기 제 2 도전형은 p형인, 반도체 디바이스 제조 방법.

청구항 10.

제 1 항에 있어서, 상기 제 1 도전형은 p형이며 상기 제 2 도전형은 n형인, 반도체 디바이스 제조 방법.

청구항 11.

소스 영역;

드레인 영역; 및

게이트를 포함하는 반도체 디바이스로서, 상기 소스 영역 및 드레인 영역은 제 1 도전형을 가지며 기판 내에 위치되며, 상기 게이트 하부 그리고 상기 소스 영역 및 드레인 영역 사이에 위치하는 채널 영역이 상기 드레인 영역 보다 상기 소스 영역에 보다 근접하여 제 2 도전형의 최대 농도를 갖는 비대칭 도핑 프로파일을 갖는, 반도체 디바이스.

청구항 12.

제 11 항에 있어서, 상기 비대칭 도핑 프로파일은 상기 소스 영역에 상기 기판 표면에 대한 수직선에 대하여 0도와 같거나 크고 45도와 같거나 작은 각도로 상기 제 2 도전형을 갖는 도펀트를 주입함으로써 형성되는, 반도체 디바이스.

청구항 13.

제 12 항에 있어서, 상기 도펀트는 상기 소스 영역의 깊이 보다 더 깊은 깊이까지 주입되는, 반도체 디바이스.

청구항 14.

제 11 항에 있어서, 상기 반도체 디바이스는 상기 소스 영역 및 상기 드레인 영역 상부에 형성되는 절연층을 더 포함하며, 상기 소스 영역 상부에서 상기 절연층을 통하는 개구부는 높이(H) 및 직경(W)를 가지며, 상기 비대칭 도핑 프로파일은 상기 소스 영역에 상기 기판 표면에 대한 수직선에 대하여 0도 보다 크거나 같고 비율 H/W의 탄젠트 역함수 보다 작거나 같은 각도로 상기 제 2 도전형을 갖는 도펀트를 주입함으로써 형성되는, 반도체 디바이스.

청구항 15.

제 14 항에 있어서, 상기 개구부는 보더리스 콘택트 개구부를 포함하는, 반도체 디바이스.

청구항 16.

제 11 항에 있어서, 상기 제 1 도전형은 n-형이고 상기 제 2 도전형은 p-형인, 반도체 디바이스.

청구항 17.

제 11 항에 있어서, 상기 제 1 도전형은 p-형이고 상기 제 2 도전형은 n-형인, 반도체 디바이스.

청구항 18.

공통 소스 트랜지스터를 제조하는 방법으로서, 상기 방법은

기판 내에 공통 소스 영역, 제 1 드레인 영역 및 제 2 드레인 영역을 형성하는 단계 - 상기 공통 소스 영역, 상기 제 1 드레인 영역 및 상기 제 2 드레인 영역은 제 1 도전형을 가짐 - ;

상기 공통 소스 영역에 제 1 각도로 제 2 도전형을 갖는 도펀트를 주입함으로써 상기 공통 소스 영역 및 상기 제 1 드레인 영역 사이에 위치하는 제 1 채널 영역에 비대칭 도핑 프로파일을 형성하는 단계; 및

상기 공통 소스 영역에 제 2 각도로 상기 도펀트를 주입함으로써 상기 공통 소스 영역 및 상기 제 2 드레인 영역 사이에 위치하는 제 2 채널 영역에 비대칭 도핑 프로파일을 형성하는 단계를 포함하며, 상기 비대칭 도핑 프로파일은 상기 제 1 드레인 영역 또는 상기 제 2 드레인 영역 보다는 상기 공통 소스 영역에 보다 근접한 상기 제 1 채널 영역 및 상기 제 2 채널 영역에서 상기 제 2 도전형의 최대 농도를 갖는, 공통 소스 트랜지스터 제조 방법.

청구항 19.

제 18 항에 있어서, 상기 제 1 채널 영역에 상기 비대칭 도핑 프로파일을 형성하는 단계는 상기 공통 소스 영역에 제 1 각도로 상기 제 2 도전형을 갖는 도펀트를 주입하는 단계를 포함하며, 상기 제 2 채널 영역에 상기 비대칭 도핑 프로파일을 형성하는 단계는 상기 공통 소스 영역에 제 2 각도로 상기 도펀트를 주입하는 단계를 포함하며, 상기 제 1 각도 및 상기 제 2 각도는 상기 기판 표면의 수직선에 대하여 0도 보다 크거나 같고 45도 보다 작거나 같은, 공통 소스 트랜지스터 제조 방법.

청구항 20.

제 19 항에 있어서, 상기 제 1 각도 및 상기 제 2 각도는 25도 보다 크거나 같고 35도 보다 작거나 같은, 공통 소스 트랜지스터 제조 방법.

청구항 21.

제 19 항에 있어서, 상기 제 1 각도 및 상기 제 2 각도는 0도 보다 크거나 같고 10도 보다 작거나 같은, 공통 소스 트랜지스터 제조 방법.

청구항 22.

제 19 항에 있어서, 상기 제 1 각도 및 상기 제 2 각도는 동일한, 공통 소스 트랜지스터 제조 방법.

청구항 23.

제 19 항에 있어서, 상기 제 1 각도 및 상기 제 2 각도는 0도 이고 상기 비대칭 도핑 프로파일은 동시에 상기 제 1 채널 영역 및 상기 제 2 채널 영역에 형성되는, 공통 소스 트랜지스터 제조 방법.

청구항 24.

제 19 항에 있어서, 상기 비대칭 도핑 프로파일을 형성하는 단계는 상기 공통 소스 영역의 깊이 보다 깊은 깊이로 상기 도펀트를 주입하는 단계를 포함하는, 공통 소스 트랜지스터 제조 방법.

청구항 25.

제 18 항에 있어서, 상기 방법은

상기 공통 소스 영역, 상기 제 1 드레인 영역 및 상기 제 2 드레인 영역 상에 절연층을 형성하는 단계; 및

상기 절연층을 통과하여 상기 공통 소스 영역에 대한 개구부를 형성하는 단계를 더 포함하며, 상기 개구부는 높이(H) 및 직경(W)를 가지며, 상기 제 1 채널 영역에 상기 비대칭 도핑 프로파일을 형성하는 단계는 상기 공통 소스 영역에 제 1 각도로 상기 제 2 도전형을 갖는 도펀트를 주입하는 단계를 포함하며, 상기 제 2 채널 영역에 상기 비대칭 도핑 프로파일을 형성하는 단계는 상기 공통 소스 영역에 제 2 각도로 상기 도펀트를 주입하는 단계를 포함하며, 상기 제 1 각도 및 상기 제 2 각도는 상기 기판 표면의 수직선에 대하여 0도 보다 크거나 같고 비율 H/W의 탄젠트 역함수 보다 작거나 같은, 공통 소스 트랜지스터 제조 방법.

청구항 26.

제 25 항에 있어서, 상기 개구부를 형성하는 단계는 보더리스 콘택트를 위한 개구부를 형성하는 단계를 포함하는, 공통 소스 트랜지스터 제조 방법.

청구항 27.

제 18 항에 있어서, 상기 제 1 도전형은 n-형이고 상기 제 2 도전형은 p-형인, 공통 소스 트랜지스터 제조 방법.

청구항 28.

제 18 항에 있어서, 상기 제 1 도전형은 p-형이고 상기 제 2 도전형은 n-형인, 공통 소스 트랜지스터 제조 방법.

청구항 29.

공통 소스 금속-산화물 반도체 트랜지스터 쌍으로서, 상기 트랜지스터 쌍은 기판 내에 위치하는 제 1 드레인 영역, 제 2 드레인 영역 및 공통 소스 영역 - 상기 제 1 드레인 영역, 상기 제 2 드레인 영역 및 상기 공통 소스 영역은 제 1 도전형을 가짐 - ;

상기 공통 소스 영역 및 상기 제 1 드레인 영역 사이에 위치하는 제 1 채널 영역; 및

상기 공통 소스 영역 및 상기 제 2 드레인 영역 사이에 위치하는 제 2 채널 영역을 포함하며, 상기 제 1 채널 영역 및 상기 제 2 채널 영역은 각각 상기 제 1 드레인 영역 또는 상기 제 2 드레인 영역 보다 상기 공통 소스 영역에 근접하여 제 2 도전형의 최대 농도를 갖는 비대칭 도핑 프로파일을 갖는, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

청구항 30.

제 29 항에 있어서, 상기 비대칭 도핑 프로파일은 상기 공통 소스 영역에 제 1 각도로 상기 제 2 도전형을 갖는 도펀트를 주입함으로써 상기 제 1 채널 영역에 형성되며, 상기 비대칭 도핑 프로파일은 상기 공통 소스 영역에 제 2 각도로 상기 도펀트를 주입함으로써 상기 제 2 채널 영역에 형성되며, 상기 제 1 각도 및 상기 제 2 각도는 상기 기판 표면의 수직선에 대하여 0도 보다 크거나 같고 45도 보다 작거나 같은, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

청구항 31.

제 30 항에 있어서, 상기 제 1 각도와 상기 제 2 각도는 동일한, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

청구항 32.

제 30 항에 있어서, 상기 제 1 각도 및 상기 제 2 각도는 0도로 동일하며 상기 비대칭 도핑 프로파일은 동시에 상기 제 1 채널 영역 및 상기 제 2 채널 영역에 형성되는, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

청구항 33.

제 30 항에 있어서, 상기 도펀트는 상기 공통 소스 영역의 깊이 보다 깊은 깊이까지 주입되는, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

청구항 34.

제 29 항에 있어서, 상기 트랜지스터 쌍은 상기 제 1 드레인 영역, 상기 제 2 드레인 영역 및 상기 공통 소스 영역 상에 형성되는 절연층을 포함하며, 상기 공통 소스 영역 상부에서 상기 절연층을 통하는 개구부는 높이(H) 및 직경(W)을 가지며, 상기 비대칭 도핑 프로파일은 상기 공통 소스 영역에 제 1 각도로 상기 제 2 도전형을 갖는 도펀트를 주입함으로써 상기 제 1 채널 영역에 형성되며, 상기 비대칭 도핑 프로파일은 상기 공통 소스 영역에 제 2 각도로 상기 도펀트를 주입함으로써 상기 제 2 채널 영역에 형성되며, 상기 제 1 각도 및 상기 제 2 각도는 상기 기판 표면의 수직선에 대하여 0도 보다 크거나 같고 비율 H/W 의 탄젠트 역함수 보다 작거나 같은, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

청구항 35.

제 34 항에 있어서, 상기 개구부는 보더리스 콘택트 개구부를 포함하는, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

청구항 36.

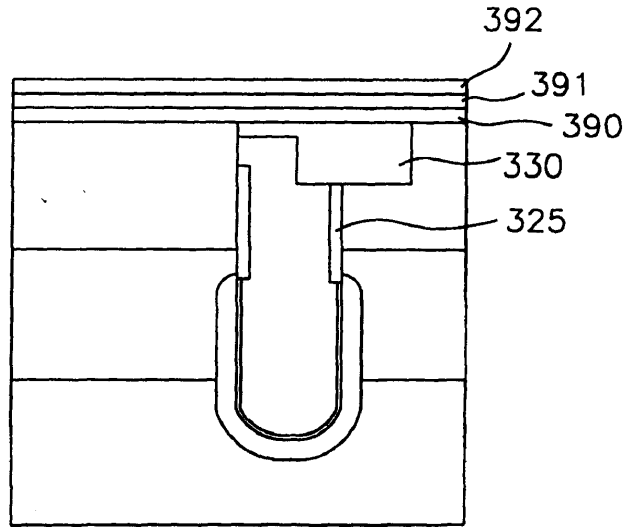
제 29 항에 있어서, 상기 제 1 도전형은 n-형이고 상기 제 2 도전형은 p-형인, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

청구항 37.

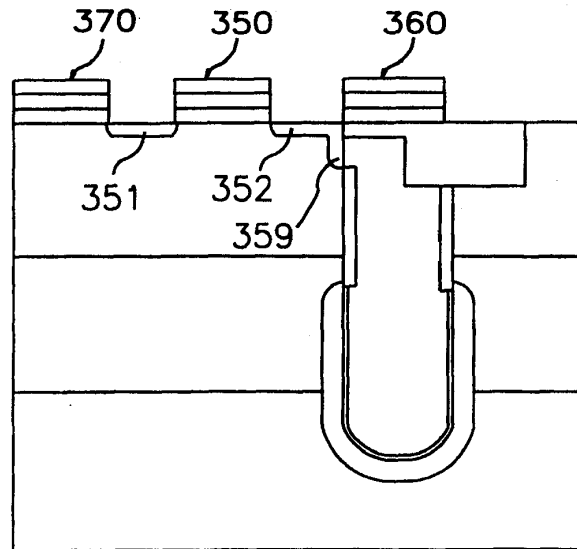
제 29 항에 있어서, 상기 제 1 도전형은 p-형이고 상기 제 2 도전형은 n-형인, 공통 소스 금속-산화물 반도체 트랜지스터 쌍.

도면

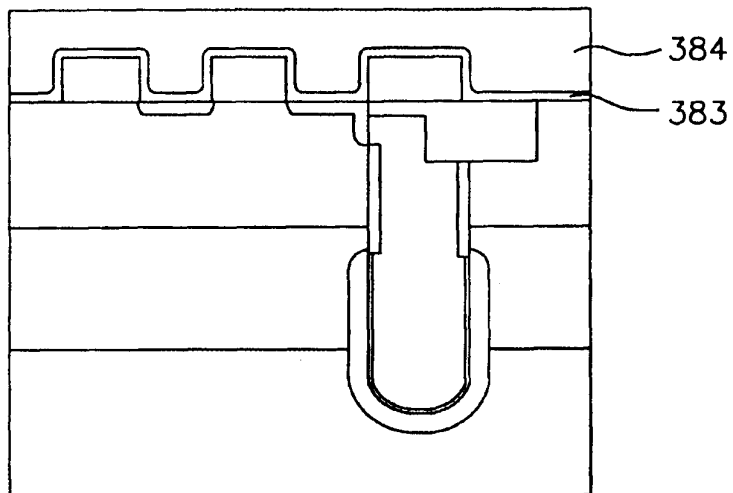
도면3b



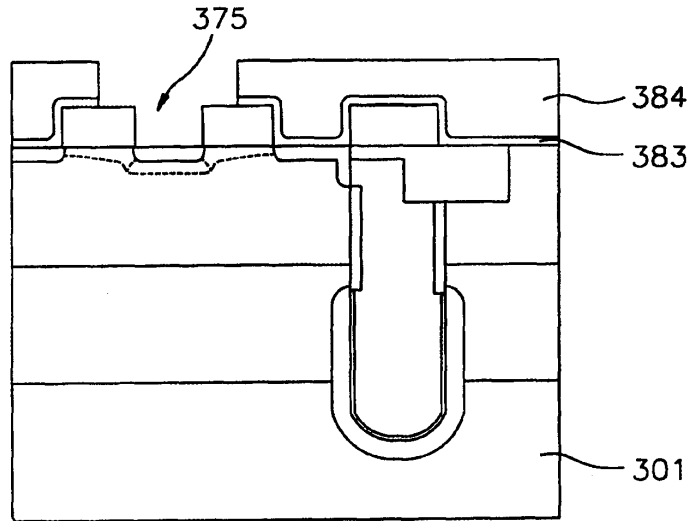
도면3c



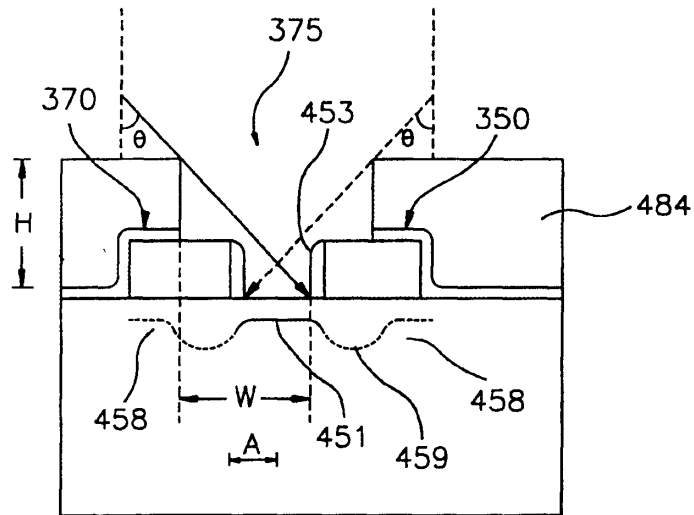
도면3d



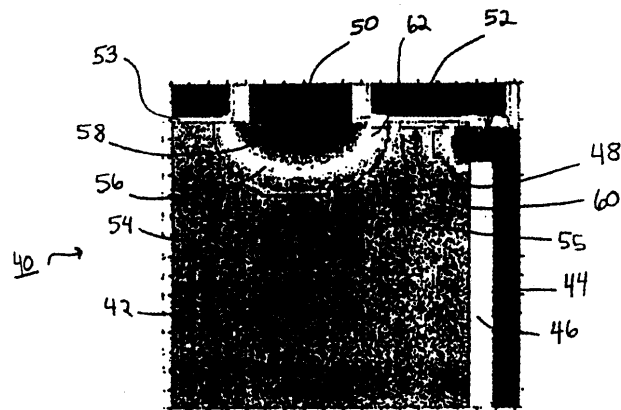
도면3e



도면4

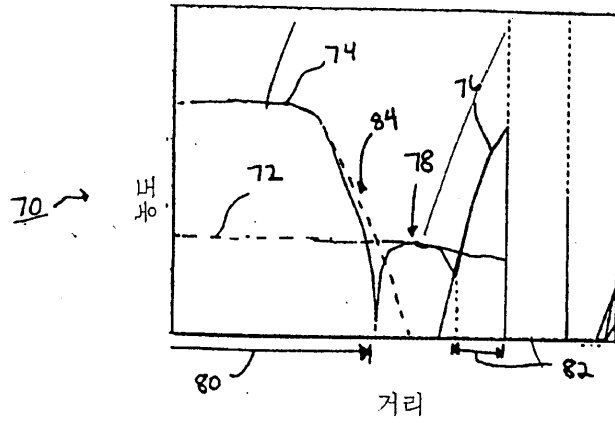


도면5a



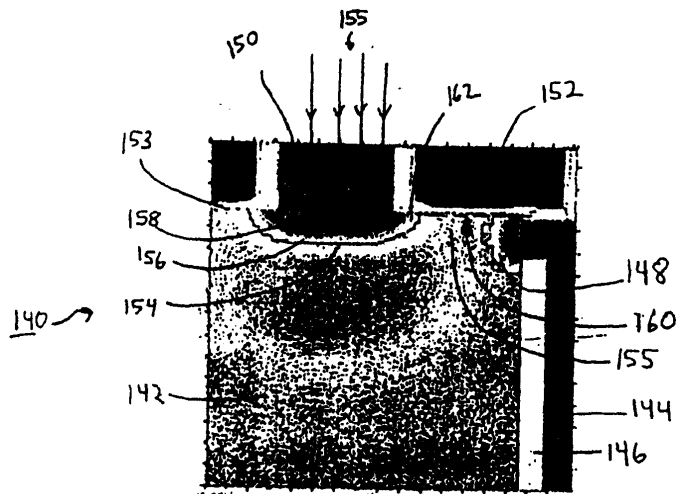
(종래 기술)

도면5b

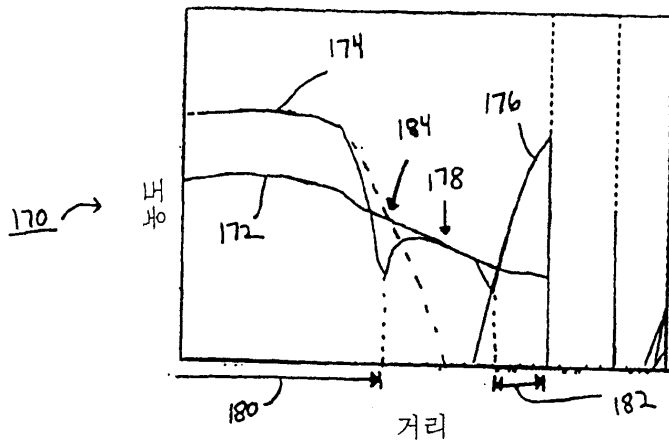


(종래 기술)

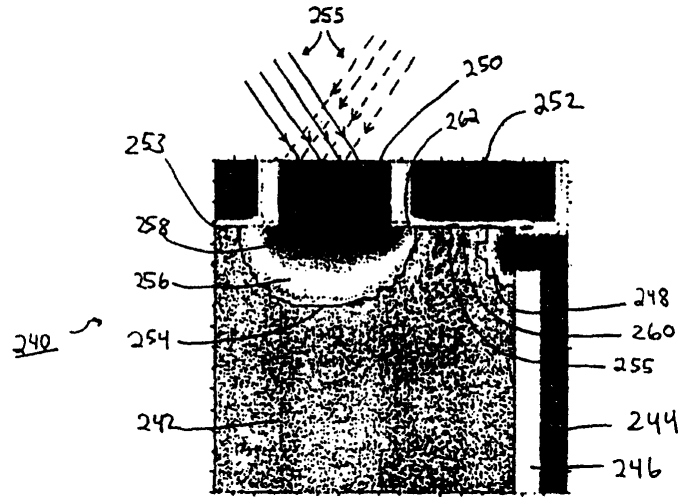
도면6a



도면6b



도면7a



도면7b

