



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201441824 A

(43) 公開日：中華民國 103 (2014) 年 11 月 01 日

(21) 申請案號：102148264

(22) 申請日：中華民國 102 (2013) 年 12 月 25 日

(51) Int. Cl. : **G06F13/16 (2006.01)**

G11C5/14 (2006.01)

(30) 優先權：2013/04/22 南韓

10-2013-0044440

(71) 申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72) 發明人：具京會 KOO, KYUNG HOI (KR)

(74) 代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：20 項 圖式數：18 共 99 頁

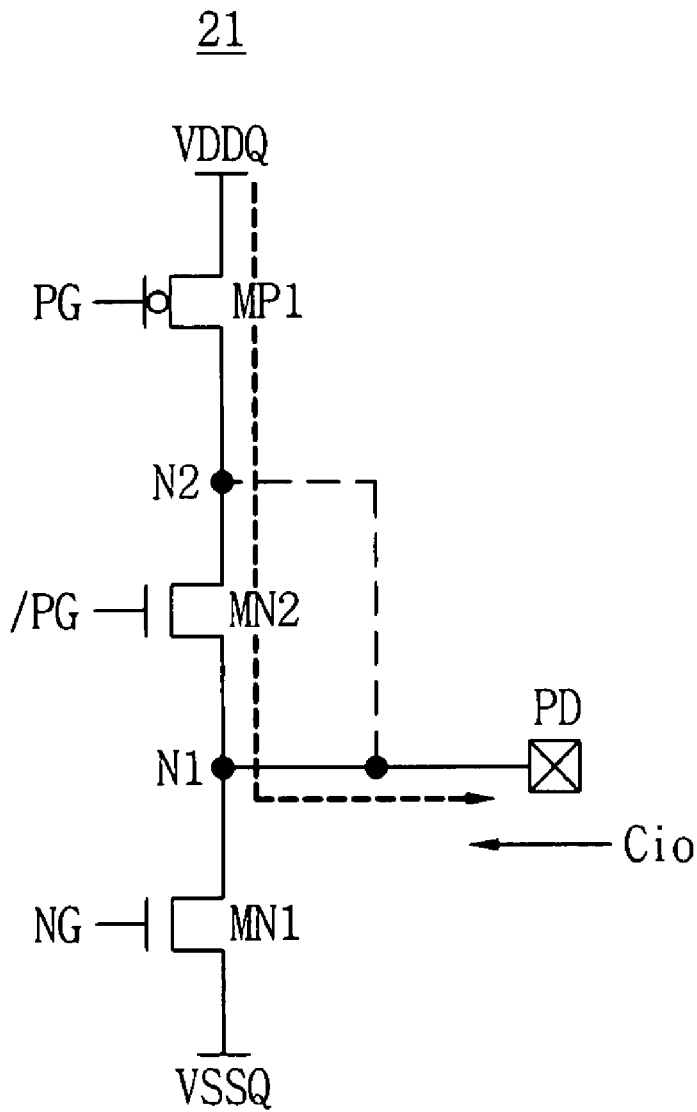
(54) 名稱

驅動器及具有此驅動器的記憶體控制器

DRIVER AND MEMORY CONTROLLER HAVING THE SAME

(57) 摘要

一種記憶體控制器包括一匯流排驅動器，其允許該控制器支援支援一低功率雙倍資料速率 3 (LPDDR3) 傳輸方法之一半導體記憶體裝置以及支援一低功率雙倍資料速率 4 (LPDDR4) 傳輸方法之一半導體記憶體裝置。



- 21：驅動器
- C_{io}：輸入電容
- MN1：第一 NMOS 電晶體
- MN2：第二 NMOS 電晶體
- MP1：第一 PMOS 電晶體
- N1：第一節點
- N2：第二節點
- NG：信號
- PD：襯墊
- PG：信號
- /PG：信號
- VDDQ：電力供應電壓
- VSSQ：接地電壓

圖4A



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201441824 A

(43)公開日：中華民國 103 (2014) 年 11 月 01 日

(21)申請案號：102148264

(22)申請日：中華民國 102 (2013) 年 12 月 25 日

(51)Int. Cl. : **G06F13/16 (2006.01)**

G11C5/14 (2006.01)

(30)優先權：2013/04/22 南韓

10-2013-0044440

(71)申請人：三星電子股份有限公司(南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：具京會 KOO, KYUNG HOI (KR)

(74)代理人：惲軼群；陳文郎

申請實體審查：無 申請專利範圍項數：20 項 圖式數：18 共 99 頁

(54)名稱

驅動器及具有此驅動器的記憶體控制器

DRIVER AND MEMORY CONTROLLER HAVING THE SAME

(57)摘要

一種記憶體控制器包括一匯流排驅動器，其允許該控制器支援支援一低功率雙倍資料速率 3 (LPDDR3)傳輸方法之一半導體記憶體裝置以及支援一低功率雙倍資料速率 4(LPDDR4)傳輸方法之一半導體記憶體裝置。

發明摘要

※ 申請案號： 102148264

※ 申請日： 102.12.25

※IPC 分類： G06F 13/16 (2006.01)

G11C 5/14 (2006.01)

【發明名稱】(中文/英文)

驅動器及具有此驅動器的記憶體控制器

DRIVER AND MEMORY CONTROLLER HAVING THE SAME

【中文】

一種記憶體控制器包括一匯流排驅動器，其允許該控制器支援支援一低功率雙倍資料速率3(LPDDR3)傳輸方法之一半導體記憶體裝置以及支援一低功率雙倍資料速率4(LPDDR4)傳輸方法之一半導體記憶體裝置。

【英文】

A memory controller includes a bus driver that allows the controller to support both a semiconductor memory device supporting a low power double data rate 3 (LPDDR3) transmission method and a semiconductor memory device supporting a low power double data rate 4 (LPDDR4) transmission method.

【代表圖】

【本案指定代表圖】：第（ 4A ）圖。

【本代表圖之符號簡單說明】：

21...驅動器	MP1...第一PMOS電晶體
VSSQ...接地電壓	N1...第一節點
VDDQ...電力供應電壓	N2...第二節點
C _{io} ...輸入電容	NG、PG、/PG...信號
MN1...第一NMOS電晶體	PD...襯墊
MN2...第二NMOS電晶體	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

驅動器及具有此驅動器的記憶體控制器

DRIVER AND MEMORY CONTROLLER HAVING THE
SAME

【技術領域】

[0001]本發明係有關於驅動器及具有此驅動器的記憶體控制器。

【先前技術】

發明背景

[0002]根據本發明概念之原則的示範實施例係有關記憶體控制器，而更特定於，包括一驅動器，本文中亦參照為一線性驅動器之記憶體控制器，其能夠選擇性支援一低功率雙倍資料速率(LPDDR)傳輸方法。

[0003]由於高效能記憶體裝置與多核心應用處理器的使用，故應用在智慧型手機、平板個人電腦(PC)、小筆電、等等之行動記憶體裝置的頻寬已快速增加。使用

[0004]為維持與該等開發的步調，行動記憶體裝置已開發來支援使用VDDQ-TERM發信號之一LPDDR3傳輸方法、以及使用VSSQ-TERM發信號之一LPDDR4傳輸方法。

[0005]然而，由於使用多種標準以及由於使用不同的發信號方法，故僅支援一種標準的行動裝置無法用於需支援另一標準之一應用中。

【發明內容】

發明概要

[0006]根據本發明概念之原則的示範實施例中，一匯流排線性驅動器可包括連接於一接地電壓源與一第一節點間、並由一第一信號控制之一第一NMOS電晶體；連接於該第一節點與一第二節點間、並由一第二信號控制之一第二NMOS電晶體；連接於該第二節點與一電力供應電壓源間、並由一第三信號控制之一第一PMOS電晶體；以及連接至該第一節點之一襯墊，其中，支援一第一傳輸方法且該第一PMOS電晶體受致動時，該電力供應電壓可經由該第二NMOS電晶體施用至該襯墊，而支援一第二傳輸方法時，該襯墊連接至該第二節點。

[0007]根據本發明概念之原則的示範實施例中，其中該等第二與第三信號具有相反相位。

[0008]根據本發明概念之原則的示範實施例中，支援該第二傳輸方法時，該襯墊可使用一金屬修訂來連接至該第二節點，而該第一PMOS電晶體受致動時，該電力供應電壓經由該第二節點施用至該襯墊。

[0009]根據本發明概念之原則的示範實施例中，支援該第二傳輸方法時，該襯墊可經由一抗熔絲來連接至該第二節點，而該第一PMOS電晶體受致動時，該電力供應電壓經由該第二節點施用至該襯墊。

[0010]根據本發明概念之原則的示範實施例中，該電力

供應電壓可施用至該第二信號。

[0011]根據本發明概念之原則的示範實施例中，支援該第二傳輸方法時，該襯墊可使用一金屬修訂來連接至該第二節點，而該第一PMOS電晶體受致動時，該電力供應電壓經由該第二節點施用至該襯墊。

[0012]根據本發明概念之原則的示範實施例中，支援該第二傳輸方法時，該襯墊可經由一抗熔絲來連接至該第二節點，而該第一PMOS電晶體受致動時，該電力供應電壓經由該第二節點施用至該襯墊。

[0013]根據本發明概念之原則的示範實施例中，一匯流排線性驅動器可進一步包含連接於該第二節點與該襯墊間、並由一第四信號控制之一第二PMOS電晶體。

[0014]根據本發明概念之原則的示範實施例中，該等第二與第三信號具有相反相位，而根據該第四信號可支援該第一或第二傳輸方法。

[0015]根據本發明概念之原則的示範實施例中，該電力供應電壓可施用至該第二信號，而根據該第四信號可支援該第一或第二傳輸方法。

[0016]根據本發明概念之原則的示範實施例中，一驅動器可進一步包含連接於該第一NMOS電晶體與該第一節點間之一第一電阻器；連接於該第二NMOS電晶體與該第二節點間之一第二電阻器；以及連接於該二節點與該第一PMOS電晶體間之一第三電阻器，其中，支援該第一傳輸方法時，該等第一與第二電阻器可增加一阻抗的線性，而支

援該第二傳輸方法時，該等第一與第三電阻器可增加阻抗的線性。

[0017]根據本發明概念之原則的示範實施例中，該第一傳輸方法包含一低功率雙倍資料速率(LPDDR)4傳輸方法，而該第二傳輸方法包含一LPDDR3傳輸方法。

[0018]根據本發明概念之原則的示範實施例中，一記憶體控制器包含：一驅動器，其組配來將資料發送至支援一第一或第二傳輸方法之一半導體記憶體裝置；以及一資料匯流排，其連接至該驅動器、並組配來將該資料發送至該半導體記憶體裝置並從其接收該資料，其中該驅動器包含：連接於一接地電壓源與一第一節點間、並由一第一信號控制之一第一NMOS電晶體；連接於該第一節點與一第二節點間、並由一第二信號控制之一第二NMOS電晶體；連接於該第二節點與一電力供應電壓源間、並由一第三信號控制之一第一PMOS電晶體；以及連接至該第一節點之一襯墊，其中，支援該第一傳輸方法且該第一PMOS電晶體受致動時，一電力供應電壓可經由該第二節點施用至該襯墊，而支援該第二傳輸方法時，該襯墊連接至該第二節點。

[0019]根據本發明概念之原則的示範實施例中，一記憶體控制器進一步包含：連接於該第一NMOS電晶體與該第一節點間之一第一電阻器；連接於該第二NMOS電晶體與該第二節點間之一第二電阻器；以及連接於該二節點與該第一PMOS電晶體間之一第三電阻器，其中，支援該第一傳輸方法時，該等第一與第二電阻器可增加一阻抗的線性，

而支援該第二傳輸方法時，該等第一與第三電阻器可增加阻抗的線性。

[0020]根據本發明概念之原則的示範實施例中，一記憶體控制器進一步包含連接於該第二節點與該襯墊間、並由一第四信號控制之一第二PMOS電晶體，該等第二與第三信號具有相反相位，或者該電力供應電壓施用至該第二信號，而根據該第四信號可支援該第一或第二傳輸方法。

[0021]根據本發明概念之原則的示範實施例中，一電子設備包含：包括用於低功率雙倍資料速率3(LPDDR3)傳輸之電路的一線性驅動器；用於低功率雙倍資料速率4(LPDDR4)傳輸之電路；以及用於在LPDDR3與LPDDR4傳輸間選擇之選擇電路。

[0022]根據本發明概念之原則的示範實施例中，一記憶體控制器包括包含用於低功率雙倍資料速率3(LPDDR3)傳輸之電路的一線性驅動器；用於低功率雙倍資料速率4(LPDDR4)傳輸之電路；以及用於在LPDDR3與LPDDR4傳輸間選擇之選擇電路。

[0023]根據本發明概念之原則的示範實施例中，一記憶體系統包括：包含用於LPDDR3傳輸之電路的一線性驅動器；用於LPDDR4傳輸之電路；以及用於在LPDDR3與LPDDR4傳輸間選擇之選擇電路；以及安排來由該記憶體控制器控制之多個記憶體裝置。

[0024]根據本發明概念之原則的示範實施例中，選擇電路包括一抗熔絲。

[0025]根據本發明概念之原則的示範實施例中，選擇電路包括一可選擇的最終金屬化跡線。

【圖式簡單說明】

[0026]如該等伴隨圖式中所例示，從本發明概念之較佳實施例的更特定說明，本發明概念之上述以及其他特徵與優點將更明顯，其中所有不同圖形中相同參考字元參照相同的元件。該等圖式並不需照比例繪示、強調，而是根據例示本發明概念之原則來放置。該等圖式中：

[0027]圖1是一根據本發明概念之原則的一記憶體系統之方塊圖；

[0028]圖2A是一根據本發明概念之原則，例示支援一低功率雙倍資料速率3(LPDDR3)傳輸方法之一驅動器的細部圖；

[0029]圖2B是一例示圖2A中所例示之一資料信號的圖形；

[0030]圖3A是一根據本發明概念之原則，例示支援一低功率雙倍資料速率4(LPDDR4)傳輸方法之一驅動器的細部圖；

[0031]圖3B是一例示圖3A中所例示之一資料信號的圖形；

[0032]圖4A是一根據本發明概念之一第一實施例之一驅動器之電路圖；

[0033]圖4B是一例示圖4A之驅動器之一操作之表格；

[0034]圖4C是一使用一金屬修訂來重新組配圖4A之驅

動器之一結果之電路圖；

[0035]圖4D是一例示圖4C之驅動器之一操作之表格；

[0036]圖4E是一根據本發明概念之一第二實施例之一驅動器之電路圖；

[0037]圖4F是一例示圖4E中支援該LPDDR4傳輸方法之驅動器之一操作之表格；

[0038]圖4G是一例示圖4E中支援該LPDDR3傳輸方法之驅動器之一操作之表格；

[0039]圖5A是一根據本發明概念之原則之一第三示範實施例中之一驅動器的電路圖；

[0040]圖5B是一例示圖5A之驅動器之一操作之表格；

[0041]圖5C是一使用該(一)金屬修訂來重新組配圖5A之驅動器之一結果之電路圖；

[0042]圖5D是一例示圖5C之驅動器之一操作之表格；

[0043]圖5E是一根據本發明概念之原則之一第四示範實施例中之一驅動器的電路圖；

[0044]圖5F是一例示圖5E中支援該LPDDR4傳輸方法之驅動器之一操作之表格；

[0045]圖5G是一例示圖5E中支援該LPDDR3傳輸方法之驅動器之一操作之表格；

[0046]圖6A是一根據本發明概念之原則之一第五示範實施例中之一驅動器的電路圖；

[0047]圖6B是一例示圖6A中支援該LPDDR3傳輸方法之驅動器之一操作之表格；

[0048]圖6C是一例示圖6A中支援該LPDDR4傳輸方法之驅動器之一操作之表格；

[0049]圖7A是一根據本發明概念之原則的一第六示範實施例中之一驅動器的電路圖；

[0050]圖7B是一例示圖7A中支援該LPDDR3傳輸方法之驅動器之一操作之表格；

[0051]圖7C是一例示圖7A中支援該LPDDR4傳輸方法之驅動器之一操作之表格；

[0052]圖8A是一習知驅動器之一電路圖；

[0053]圖8B是一例示圖8A中支援該LPDDR3傳輸方法之驅動器之一操作之表格；

[0054]圖8C是一例示圖8A中支援該LPDDR4傳輸方法之驅動器之一操作之表格；

[0055]圖9是一例示一阻抗之線性的圖形；

[0056]圖10A至圖10C是圖4A之驅動器的修改範例之電路圖；

[0057]圖11A至圖11C是圖4E之驅動器的修改範例之電路圖；

[0058]圖12A至圖12C是圖5A之驅動器的修改範例之電路圖；

[0059]圖13A至圖13C是圖5E之驅動器的修改範例之電路圖；

[0060]圖14A至圖14C是圖6A之驅動器的修改範例之電路圖；

[0061] 圖15A至圖15C是圖7A之驅動器的修改範例之電路圖；

[0062] 圖16是一根據本發明概念之原則，包括圖1中所例示之一記憶體控制器的一電腦系統之方塊圖；

[0063] 圖17是一根據本發明概念之另一實施例，包括圖1中所例示之一記憶體控制器的一電腦系統之方塊圖；以及

[0064] 圖18是一根據本發明概念之另一實施例，包括圖1中所例示之一記憶體控制器的一電腦系統之方塊圖。

【實施方式】

較佳實施例之詳細說明

[0065] 各種不同的示範實施例將參照該等附圖於下文中更完整說明，其中顯示為示範實施例。然而，示範實施例可以許多不同的型式來具體化，並且不應視為侷限於本文提出之示範實施例中。而是，提供該等示範實施例使得本揭示內容更詳盡，且將示範實施例之範疇傳達至業界熟於此技者。該等圖式中，層次與區域的大小以及相關大小可誇大顯示以清晰呈現。

[0066] 應了解一元件或層次參照為“...之上”、“連接至”、“耦合至”另一元件或層次時，其可直接於“...之上”、“連接至”、“耦合至”其他元件或層次，或者可存有插入元件或層次。相對之下，一元件參照為“直接...之上”、“直接連接至”、“直接耦合至”另一元件或層次時，其不存有插入元件或層次。所有圖式中相同數字參照為相同元件。如本文所使用，該術語“及/或”包

括一或更多相關聯所列項目之任何與所有組合。除非於文中其他地方指出，否則該術語“或”係以一包括觀點來使用。

[0067]應了解雖然該等術語第一、第二、第三於本文中可，例如，用來說明各種不同元件、構件、區域、層次及/或部段，但該等元件、構件、區域、層次及/或部段不應由該等術語來侷限。該等術語僅用來區別一元件、構件、區域、層次或部段與另一區域、層次或部段。此方法中，在不違背示範實施例之教示的情況下，下文所述之一第一元件、構件、區域、層次或部段可稱爲一第二元件、構件、區域、層次或部段。

[0068]空間上相對術語，諸如“之下”、“下方”、“低於”、“上方”、“高於”等等，於本文中可用於簡化說明來敘述圖形中例示之一元件或特徵與另一(另外多個)元件或(另外多個)特徵的關係。應了解除了圖形中描繪之定向外，空間上相對術語意欲涵蓋使用或操作中之裝置的各種不同定向。例如，若圖形中該裝置反轉，則敘述爲其他元件或特徵“下方”或“之下”的元件會定向爲其他元件或特徵“上方”。此方法中，該示範術語“下方”可涵蓋上方與下方兩者的一定向。該裝置可以其他方式來定向(旋轉90度或於其他定向)，而因此可闡述本文使用之空間上相對描述符。

[0069]本文使用之術語是僅用於說明特定示範實施例而不意欲成爲示範實施例之限制。如本文所使用，除非該

上下文另外清楚指出，否則該等單數型式“一”、“一個”及“該”意欲也包括複數型式。應進一步了解本說明書使用之該等術語“包含”及/或“包含”，是指定所述之特徵、整體、步驟、操作、元件、及/或構件的存在，但並不排除一或更多其他的特徵、整體、步驟、操作、元件、構件、及/或其群組的存在或加入。

[0070] 本文將參照理想化示範實施例之示意圖(與中間結構)的橫截面圖來說明示範實施例。就本身而言，可預期，例如，由於製造技術及/或容許度造成的圖形外型變動。此方法中，示範實施例不應視為侷限在本文例示之區域的特定外型上，但可包括，例如，由於製造形成的外型偏差。舉例來說，例示為一矩形之一植入區典型可具有圓形或彎曲特徵及/或其邊緣具有一植入濃度梯度，而非從植入至非植入區的一二元改變。同樣地，植入形成之一埋入區可造成該埋入區與該植入發生之表面間的區域有某些植入。此方法中，圖中例示之區域本質為示意圖，而其外型不意欲例示一裝置之一區域的實際外型，且不意欲侷限在示範實施例之範疇中。

[0071] 除非於其他地方加以定義，否則本文使用之所有術語(包括技術與科技上術語)具有與本發明所屬之業界熟於此技者所共同了解的相同意義。更應了解諸如字典上所共同使用定義之術語，應闡述為具有與相關技術之上下文的意義一致之意義，並且除非明確於本文中定義，否則不以一理想化或過度正式的觀點來闡述。

[0072]下文中，將參照該等附圖來詳細說明根據本發明概念之原則的示範實施例。

[0073]根據本發明概念之原則的示範實施例中，一記憶體控制器、或者操作來作為一記憶體控制器之一構件的一線性驅動器，可支援多個記憶體資料傳輸方法，諸如，例如，低功率雙倍資料速率3(LPDDR3)或低功率雙倍資料速率4(LPDDR4)。

[0074]根據本發明概念之原則的驅動器，諸如下文參照為第一至第六實施例，可選擇性支援一低功率雙倍資料速率3(LPDDR3)傳輸方法或一低功率雙倍資料速率4(LPDDR4)傳輸方法。

[0075]特別是，根據本發明概念之原則的第一至第六實施例之驅動器可，例如，使用一金屬修訂來選擇該LPDDR3或LPDDR4傳輸方法。現將參照下文圖4A至圖4D來說明根據本發明概念之原則的一驅動器之一第一示範實施例。現將參照下文圖5A至圖5D來說明根據本發明概念之原則的一驅動器之一第三示範實施例。

[0076]根據本發明概念之原則的驅動器之第二與第四示範實施例可經由一抗熔絲來選擇該LPDDR3或LPDDR4傳輸方法。現將參照下文圖4E至圖4G來說明根據本發明概念之原則的一驅動器之一第二示範實施例。現將參照下文圖5E至圖5G來說明根據本發明概念之原則的一驅動器之一第四示範實施例。

[0077]根據本發明概念之原則的驅動器之第五與第六

示範實施例可藉由控制一PMOS電晶體來選擇該LPDDR3或LPDDR4傳輸方法。現將參照下文圖6A至圖6C來說明根據本發明概念之原則的一驅動器之一第五示範實施例。現將參照下文圖7A至圖7C來說明根據本發明概念之原則的一驅動器之一第六示範實施例。

[0078]根據本發明概念之原則的一記憶體系統100之一示範實施例描繪於圖1之方塊圖中。根據本發明概念之原則，該記憶體系統100可包括一記憶體控制器10與一半導體記憶體裝置30。該記憶體控制器10可產生，例如，一命令/位址信號C/A與一資料信號DQ，並可包括一驅動器20來發送一資料信號DQ。

[0079]該驅動器20可經由一上拉電晶體將一邏輯高信號發送至一資料匯流排42，並可經由，例如，一下拉電晶體將一邏輯低信號發送至該資料匯流排42。現將參照下文圖4A至圖8C來更詳細說明根據本發明概念之原則的第一至第六實施例之驅動器。

[0080]驅動器20可根據該LPDDR3或LPDDR4傳輸方法來將資料發送至該半導體記憶體裝置30。現將參照下文圖2A與圖2B來說明該LPDDR3傳輸方法，而參照下文圖3A與圖3B來說明該LPDDR4傳輸方法。

[0081]該半導體記憶體裝置30可根據該命令/位址信號C/A與該資料信號DQ來操作。該命令/位址信號C/A可為藉由以一封包型式來組合一命令信號與一位址信號取得之封包資料。根據本發明概念之原則，該半導體記憶體裝置30

可作為，例如，一動態隨機存取記憶體(DRAM)來予以具體化。

[0082]根據本發明概念之原則的示範實施例中，命令/位址匯流排41可具有一飛過結構，並可電氣上連接至該半導體記憶體裝置30。該資料信號DQ可經由該資料匯流排42於該記憶體控制器10與該半導體記憶體裝置30之間交換。

[0083]圖2A是一根據本發明概念之原則，例示支援該LPDDR3傳輸方法之一驅動器20的一示範實施例之細部圖。驅動器20可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一NMOS電晶體MN1、以及連接於該第一節點N1與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該驅動器20之一襯墊PD可連接至該第一節點N1。該記憶體裝置30之襯墊PD可連接至一上拉電阻器R_{up}。一資料匯流排42(本文亦參照為一資料匯流排42之一線段)可連接於該驅動器20之襯墊PD與該記憶體裝置30之襯墊PD之間。

[0084]圖2B是一例示圖2A中所例示之一示範資料信號DQ的圖形。

[0085]參照圖2A與圖2B，該X軸表示時間而該Y軸表示一電壓。該資料信號DQ之一邏輯狀態可在一接地電壓VSSQ與一電力供應電壓VDDQ之間改變。由於連接至該記憶體裝置30之襯墊PD的上拉電阻器R_{up}，一參考電壓V_{ref}可維持在高於VDDQ/2。

[0086]該資料信號DQ之一電壓高於該參考電壓 V_{ref} 時，該資料信號DQ可被決定為邏輯高(“1”)，而該資料信號DQ之電壓低於該參考電壓 V_{ref} 時，該資料信號DQ可被決定為邏輯低(“0”)。

[0087]該資料信號DQ為“1”時，該PMOS電晶體MP1，其為一上拉電晶體，可受致動來使該資料匯流排42具有一邏輯高狀態。該資料信號DQ為“0”時，為一下拉電晶體之該NMOS電晶體MN1可受致動來使該資料匯流排42具有一邏輯低狀態。

[0088]圖3A是一根據本發明概念之原則，例示支援該LPDDR4傳輸方法之一驅動器20'的一示範實施例之細部圖。驅動器20'可包括連接於一接地電壓 $VSSQ$ 源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、以及連接於該第一節點N1與一電力供應電壓 $VDDQ$ 源間並由一信號PG控制之一第二NMOS電晶體MN2。該驅動器20'之一襯墊PD可連接至該第一節點N1。一記憶體裝置30'之一襯墊PD可連接至一下拉電阻器 R_{down} 。一資料匯流排42、或資料匯流排線42可連接於該驅動器20'之襯墊PD與該記憶體裝置30'之襯墊PD之間。

[0089]圖3B是一例示根據本發明概念之原則，諸如圖3A中所例示之一資料信號DQ的一示範實施例之圖形。

[0090]參照圖3A與圖3B，該X軸表示時間而該Y軸表示一電壓。該資料信號DQ之一邏輯狀態可在一接地電壓 $VSSQ$ 與一電力供應電壓 $VDDQ$ 之間改變。由於連接至該

記憶體裝置30'之一輸入/輸出襯墊的下拉電阻器 R_{down} ，一參考電壓 V_{ref} 可維持在低於 $VDDQ/2$ 。

[0091]該資料信號DQ之一電壓高於該參考電壓 V_{ref} 時，該資料信號DQ可被決定為邏輯高，而該資料信號DQ之電壓低於該參考電壓 V_{ref} 時，該資料信號DQ可被決定為邏輯低。

[0092]該資料信號DQ為“1”時，該PMOS電晶體MP1可受致動來使該資料匯流排42具有一邏輯高狀態。該資料信號DQ為“0”時，該NMOS電晶體MN1可受致動來使該資料匯流排42具有一邏輯低狀態。

[0093]根據本發明概念之原則的示範實施例中，該LPDDR3傳輸方法中，使用該PMOS電晶體MP1可使該資料匯流排42具有一邏輯高狀態，而相對之下，該LPDDR4傳輸方法中，使用該NMOS電晶體MN1之一驅動可使該資料匯流排42具有一邏輯高狀態。

[0094]根據本發明概念之原則的一第一示範實施例之驅動器21可使用一金屬修訂來選擇該LPDDR3或LPDDR4傳輸方法。根據本發明概念之原則的示範實施例中，該術語金屬修訂參照為藉由在一半導體製造程序期間僅改變一最終金屬程序來改變一電路布局的一程序。根據本發明概念之原則，不使用該金屬修訂時，根據該第一實施例之驅動器21可支援該LPDDR3傳輸方法，使用該金屬修訂時，可支援該LPDDR4傳輸方法(反之亦然)。

[0095]圖4A是一根據本發明概念之原則的一第一示範

實施例之驅動器21的電路圖。根據本發明概念之原則不使用一金屬修訂程序的一驅動器21可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該信號PG可具有與該信號/PG信號相反的一相位。一襯墊PD可連接至該第一節點N1。

[0096]圖4B是一例示根據本發明概念之原則，諸如圖4A之一驅動器21的一操作之表格。

[0097]參照圖4A與圖4B，該資料信號DQ為“1”時，該PMOS電晶體MP1與該第二NMOS電晶體MN2可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1，而該信號/PG可維持為邏輯高使得該第二NMOS電晶體MN2可將一電力供應電壓VDDQ施用至該襯墊PD。此外，該NG信號可維持為邏輯低以停用該第一NMOS電晶體MN1。此方法中，該襯墊PD可具有一邏輯高狀態。

[0098]另一方面，該資料信號DQ為“0”時，該PMOS電晶體MP1與該第二NMOS電晶體MN2可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高而該信號/PG可維持為邏輯低以停用該PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一

NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0099]該驅動器21可經由該第二NMOS電晶體MN2使該資料匯流排42具有該邏輯高狀態。此方法中，包括根據本發明概念之原則的一第一示範實施例之驅動器21的記憶體控制器10可控制支援該LPDDR4傳輸方法之記憶體裝置30。

[0100]輸入電容 C_{i0} 參照為在一輸入端子檢視該驅動器21之襯墊PD時的電容，亦即，該記憶體裝置30。此外，組成該驅動器21之電晶體可模擬為電容器。該驅動器21可經由該PMOS電晶體MP1與該第二NMOS電晶體MN2來輸出該電力供應電壓VDDQ。亦即，該驅動器21可模擬為兩個串連電容器。此方法中，該驅動器21可具有比，例如，圖2A之驅動器20、或圖3A之驅動器20'還低的一電容，因而可允許較高的操作速度。

[0101]圖4C是一根據本發明概念之原則，使用一金屬修訂MR來重新組配圖4A之驅動器21的一結果之電路圖。

[0102]參照圖4C，施用該金屬修訂MR之驅動器21可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該信號PG可具有與該信號/PG信號相反的一相位。

[0103]一襯墊PD可連接至該第一節點N1。此外，該襯墊PD使用該金屬修訂MR連接至該第二節點N2。此方法中，一電力供應電壓VDDQ可經由該PMOS電晶體MP1而不使用該第二NMOS電晶體MN2來施用至該襯墊PD。

[0104]圖4D是一例示圖4C之驅動器21的一操作之表格。

[0105]參照圖4C與圖4D，該資料信號DQ為“1”時，該PMOS電晶體MP1受停用，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1。因為該襯墊PD可使用該金屬修訂MR來直接連接至該第二節點N2，故該PMOS電晶體MP1可經由該襯墊PD使該資料匯流排42具有該邏輯高狀態。此外，該NG信號可維持為邏輯低以停用該第一NMOS電晶體MN1。因此，該襯墊PD可具有該邏輯高狀態。

[0106]另一方面，該資料信號DQ為“0”時，該PMOS電晶體MP1可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯低以停用該PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0107]該驅動器21可經由該PMOS電晶體MP1使該資料匯流排42具有該邏輯高狀態。此方法中，包括根據本發明概念之原則的一第一示範實施例之驅動器21的記憶體控制器10可控制支援該LPDDR3傳輸方法之記憶體裝置30。

[0108]根據本發明概念之原則的一第二示範實施例之一驅動器22可經由一抗熔絲來選擇該LPDDR3或LPDDR4傳輸方法。一熔絲受熔合、或致動時，該熔絲可經由一金屬線來阻隔一連接，其中一抗熔絲受熔合時，該抗熔絲可經由該阻隔金屬線來允許一連接。此方法中，該抗熔絲受熔合時，根據本發明概念之原則的一第二示範實施例之驅動器22可支援該LPDDR4傳輸方法，而該抗熔絲未受熔合時，該驅動器22可支援該LPDDR3傳輸方法。

[0109]圖4E是一根據本發明概念之一第二實施例的驅動器22之電路圖。

[0110]參照圖4E，該驅動器22可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該信號PG可具有與該信號/PG信號相反的一相位。

[0111]一襯墊PD可連接至該第一節點N1，且亦可經由一抗熔絲AF連接至該第二節點N2。此方法中，該抗熔絲AF受熔合時，一電力供應電壓VDDQ可經由該PMOS電晶體MP1而不使用該第二NMOS電晶體MN2來施用至該襯墊PD。該抗熔絲AF未受熔合時，該電力供應電壓VDDQ可經由該第二NMOS電晶體MN2來施用至該襯墊PD。

[0112]圖4F是一例示根據本發明概念之原則，諸如圖

4E支援該LPDDR4傳輸方法之一驅動器的操作之表格。

[0113]參照圖4E與圖4F，該抗熔絲AF未受熔合時，該驅動器22可支援該LPDDR4傳輸方法。

[0114]該資料信號DQ為“1”時，該PMOS電晶體MP1與該第二NMOS電晶體MN2可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1，而該信號/PG可維持為邏輯高使得該第二NMOS電晶體MN2可將該電力供應電壓VDDQ施用至該襯墊PD。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。亦即，於一第一路徑P1中，該電力供應電壓VDDQ可施用至該襯墊PD。此方法中，該襯墊PD可具有該邏輯高狀態。

[0115]另一方面，該資料信號DQ為“0”時，該PMOS電晶體MP1與該第二NMOS電晶體MN2可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高而該信號/PG可維持為邏輯低以停用該PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。此方法中，該襯墊PD可具有該邏輯低狀態。

[0116]該驅動器22可經由該第二NMOS電晶體MN2使該資料匯流排42具有該邏輯高狀態。此方法中，包括根據本發明概念之原則的一第二示範實施例之驅動器22的記憶體控制器10可控制支援該LPDDR4傳輸方法之記憶體裝置30。

[0117]圖4G是一例示圖4E中支援該LPDDR3傳輸方法之驅動器22的一操作之表格。

[0118]參照圖4E與圖4G，一資料信號DQ為“1”時，該PMOS電晶體MP1可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1。該襯墊PD可經由一抗熔絲AF來直接連接至該第二節點N2。該PMOS電晶體MP1可在此方法中經由該襯墊PD使該資料匯流排42具有一邏輯高狀態。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。亦即，於一第二路徑P2中，該電力供應電壓VDDQ可施用至該襯墊PD。此方法中，該襯墊PD可具有一邏輯高狀態。

[0119]另一方面，該資料信號DQ為“0”時，該PMOS電晶體MP1可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高以停用該PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。此方法中，該襯墊PD可具有一邏輯低狀態。

[0120]該驅動器22可經由該PMOS電晶體MP1使該資料匯流排42具有該邏輯高狀態。此方法中，包括根據本發明概念之原則的一第二示範實施例之驅動器22的記憶體控制器10可控制支援該LPDDR3傳輸方法之記憶體裝置30。

[0121]圖5A是一根據本發明概念之原則的一第三示範實施例中之一驅動器23的電路圖。

[0122] 參照圖5A，未使用一金屬修訂程序之驅動器23可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。一襯墊PD可連接至該第一節點N1。

[0123] 圖5B是一例示諸如圖5A，根據本發明概念之原則的一驅動器23之一示範實施例的操作之表格。

[0124] 參照圖5A與圖5B，一資料信號DQ為“1”時，該PMOS電晶體MP1與該第二NMOS電晶體MN2可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1。因為該電力供應電壓VDDQ施用至該第二NMOS電晶體MN2之閘極，故該電力供應電壓VDDQ可施用至該襯墊PD。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯高狀態。

[0125] 另一方面，該資料信號DQ為“0”時，該PMOS電晶體MP1與該第二NMOS電晶體MN2可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高以停用該PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0126]根據本發明概念之原則的一第三示範實施例之驅動器23可經由該第二NMOS電晶體MN2使該資料匯流排42具有一邏輯高狀態。此方法中，包括根據本發明概念之原則的一第三示範實施例之驅動器23的記憶體控制器10可控制支援該LPDDR4傳輸方法之記憶體裝置30。

[0127]圖5C是一使用該(一)金屬修訂MR來重新組配圖5A之驅動器23的一結果之電路圖。

[0128]參照圖5C，施用一金屬修訂MR之驅動器21可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。

[0129]一襯墊PD可連接至該第一節點N1，且亦可使用該金屬修訂MR來連接至該第二節點N2。此方法中，該電力供應電壓VDDQ可經由該PMOS電晶體MP1而不使用該第二NMOS電晶體MN2來施用至該襯墊PD。

[0130]圖5D是一例示圖5C之驅動器23的一操作之表格。

[0131]參照圖5C與圖5D，該資料信號DQ為“1”時，該PMOS電晶體MP1可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1。因為該襯墊PD使用該金屬修訂MR

來直接連接至該第二節點N2，故該PMOS電晶體MP1可經由該襯墊PD使該資料匯流排42具有一邏輯高狀態。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。因此，該襯墊PD可具有該邏輯高狀態。

[0132]另一方面，該資料信號DQ為“0”時，該PMOS電晶體MP1可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高以停用該PMOS電晶體。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0133]該驅動器23可經由該PMOS電晶體MP1使該資料匯流排42具有一邏輯高狀態。此方法中，包括根據本發明概念之原則的一第三示範實施例之驅動器23的記憶體控制器10可控制支援該LPDDR3傳輸方法之記憶體裝置30。

[0134]圖5E是一根據本發明概念之原則的一第四示範實施例中之一驅動器24的電路圖。

[0135]參照圖5E，該驅動器24可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。

[0136]一襯墊PD可連接至該第一節點N1，且亦可經由一抗熔絲AF來連接至該第二節點N2。該抗熔絲AF受熔合

時，該電力供應電壓VDDQ可經由該PMOS電晶體MP1而不使用該第二NMOS電晶體MN2來施用至該襯墊PD。該抗熔絲AF未受熔合時，該電力供應電壓VDDQ可經由該第二NMOS電晶體MN2來施用至該襯墊PD。

[0137]圖5F是一例示圖5E中支援該LPDDR4傳輸方法之驅動器24的一操作之表格。

[0138]參照圖5E與圖5F，該抗熔絲AF未受熔合時，該驅動器24可支援該LPDDR4傳輸方法。

[0139]一資料信號DQ為“1”時，該PMOS電晶體MP1與該第二NMOS電晶體MN2可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1。因為該電力供應電壓VDDQ施用至該第二NMOS電晶體MN2之閘極，故該電力供應電壓VDDQ可施用至該襯墊PD。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。亦即，於一第一路徑P1中，該電力供應電壓VDDQ可施用至該襯墊PD。因此，該襯墊PD可具有一邏輯高狀態。

[0140]另一方面，該資料信號DQ為“0”時，該PMOS電晶體MP1與該第二NMOS電晶體MN2可被停用，而該第一NMOS電晶體MN1可受致動。換言之，該信號PG可維持為邏輯高以停用該PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0141]該驅動器24可經由該第二NMOS電晶體MN2使

該資料匯流排42具有一邏輯高狀態。此方法中，包括根據本發明概念之原則的一第四示範實施例之驅動器24的記憶體控制器10可控制支援該LPDDR4傳輸方法之記憶體裝置30。

[0142]圖5G是一例示圖5E中支援該LPDDR3傳輸方法之驅動器24的一操作之表格。

[0143]參照圖5E與圖5G，一資料信號DQ為“1”時，該PMOS電晶體MP1可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1。因為該襯墊PD可經由一抗熔絲AF來直接連接至該第二節點N2，故該PMOS電晶體MP1可經由該襯墊PD使該資料匯流排42具有一邏輯高狀態。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。亦即，於一第二路徑P2中，該電力供應電壓VDDQ可施用至該襯墊PD。因此，該襯墊PD可具有一邏輯高狀態。

[0144]另一方面，該資料信號DQ為“01”時，該PMOS電晶體MP1可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高以停用該PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0145]該驅動器24可經由該PMOS電晶體MP1使該資料匯流排42具有一邏輯高狀態。此方法中，包括根據本發明概念之原則的一第四示範實施例之驅動器24的記憶體控制

器10可控制支援該LPDDR3傳輸方法之記憶體裝置30。

[0146]圖6A是一根據本發明概念之原則的一第五示範實施例中之一驅動器25的電路圖。

[0147]參照圖6A，該驅動器25可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一第一PMOS電晶體MP1、以及連接於該第一節點N1與該第二節點N2間並由一信號LG控制之一第二PMOS電晶體MP2。該信號PG可具有與該信號/PG相反的一相位。

[0148]一襯墊PD可連接至該第一節點N1，且亦可經由該第二PMOS電晶體MP2連接至該第二節點N2。

[0149]該LP信號為邏輯低時，一電力供應電壓VDDQ可經由該PMOS電晶體MP1而不使用該第二NMOS電晶體MN2來施用至該襯墊PD。該LP信號為邏輯高時，該電力供應電壓VDDQ可經由該第二NMOS電晶體MN2來施用至該襯墊PD。換言之，該LP信號為邏輯低時該驅動器25可支援該LPDDR3傳輸方法，該LP信號為邏輯高時該驅動器25可支援該LPDDR4傳輸方法。

[0150]圖6B是一例示圖6A中支援該LPDDR3傳輸方法之驅動器25的一操作之表格。

[0151]參照圖6A與圖6B，該記憶體控制器10可維持該

LP信號為邏輯低以支援該LPDDR3傳輸方法。

[0152]一資料信號DQ為“1”時，該第一PMOS電晶體MP1、該第二NMOS電晶體MN2、以及該第二PMOS電晶體MP2可受致動。該第二NMOS電晶體MN2與該第二PMOS電晶體MP2可作為傳輸閘體。亦即，該第一PMOS電晶體MP1之一輸出可經由該傳輸閘體來遞送至該襯墊PD。

[0153]此外，該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該第一PMOS電晶體MP1。

[0154]因為該襯墊PD經由該第二PMOS電晶體MP2直接連接至該第二節點N2，故該第一PMOS電晶體MP1可經由該襯墊PD使該資料匯流排42具有一邏輯高狀態。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯高狀態。

[0155]另一方面，該資料信號DQ為“0”時，該第一PMOS電晶體MP1與該第二NMOS電晶體MN2可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高以停用該第一PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以停用該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0156]該驅動器25可經由該第二NMOS電晶體MN2使該資料匯流排42具有一邏輯高狀態。此方法中，包括根據本發明概念之原則的一第五示範實施例之驅動器25的記憶體控制器10可控制支援該LPDDR4傳輸方法之記憶體裝置

30。

[0157]圖6C是一例示圖6A中支援該LPDDR4傳輸方法之驅動器25的一操作之表格。

[0158]參照圖6A與圖6B，該記憶體控制器10可維持該LP信號為邏輯高以支援該LPDDR4傳輸方法。

[0159]一資料信號DQ為“1”時，該第一PMOS電晶體MP1與該第二NMOS電晶體MN2可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該第一PMOS電晶體MP1，而該信號/PG可維持為邏輯高使得該第二NMOS電晶體MN2可將該電力供應電壓VDDQ施用至該襯墊PD。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯高狀態。

[0160]另一方面，該資料信號DQ為“0”時，該PMOS電晶體MP1可被停用而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高而該信號/PG可維持為邏輯低以停用該第一PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0161]該驅動器25可經由該第一PMOS電晶體MP1使該資料匯流排42具有一邏輯高狀態。此方法中，包括根據本發明概念之原則的一第五示範實施例之驅動器25的記憶體控制器10可控制支援該LPDDR3傳輸方法之記憶體裝置

30。

[0162]圖7A是一根據本發明概念之原則的一第六示範實施例中之一驅動器26的電路圖。

[0163]參照圖7A，該驅動器26可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一第一PMOS電晶體MP1、以及連接於該第一節點N1與該第二節點N2間並由一信號LG控制之一第二PMOS電晶體MP2。

[0164]一襯墊PD可連接至該第一節點N1，且亦可經由該第二PMOS電晶體MP2連接至該第二節點N2。

[0165]該信號LP為邏輯低時，該電力供應電壓VDDQ可經由該第一PMOS電晶體MP1而不使用該第二NMOS電晶體MN2來施用至該襯墊PD。該信號LP為邏輯高時，該電力供應電壓VDDQ可經由該第二NMOS電晶體MN2來施用至該襯墊PD。亦即，該信號LP為邏輯低時該驅動器25可支援該LPDDR3傳輸方法，而該信號LP為邏輯高時該驅動器25可支援該LPDDR4傳輸方法。

[0166]圖7B是一例示圖7A中支援該LPDDR3傳輸方法之驅動器26的一操作之表格。

[0167]參照圖7A與圖7B，該記憶體控制器10可維持該信號LP為邏輯低以支援該LPDDR3傳輸方法。此外，因為該電力供應電壓VDDQ施用至該第二NMOS電晶體MN2之

閘極，故該第二NMOS電晶體MN2可一直維持致動。

[0168]一資料信號DQ為“1”時，該第一PMOS電晶體MP1與該第二PMOS電晶體MP2可受致動。該第二NMOS電晶體MN2與該第二PMOS電晶體MP2可作為傳輸閘體。亦即，該第一PMOS電晶體MP1之一輸出可經由該傳輸閘體來供應至該襯墊PD。

[0169]此外，該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該第一PMOS電晶體MP1。

[0170]該第一PMOS電晶體MP1可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該第一PMOS電晶體MP1。因為該襯墊PD經由該第二PMOS電晶體MP2直接連接至該第二節點N2，故該第一PMOS電晶體MP1可經由該襯墊PD使該資料匯流排42具有一邏輯高狀態。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。此方法中，該襯墊PD可具有一邏輯高狀態。

[0171]另一方面，該資料信號DQ為“0”時，該第一PMOS電晶體MP1與該第二NMOS電晶體MN2可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高以停用該第一PMOS電晶體MP1。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0172]該驅動器26可經由該第二NMOS電晶體MN2使

該資料匯流排42具有一邏輯高狀態。此方法中，包括根據本發明概念之原則的一第六示範實施例之驅動器26的記憶體控制器10可控制支援該LPDDR4傳輸方法之記憶體裝置30。

[0173]圖7C是一例示圖7A中支援該LPDDR4傳輸方法之驅動器26的一操作之表格。

[0174]參照圖7A與圖7C，該記憶體控制器10可維持該信號LP為邏輯高以支援該LPDDR4傳輸方法。此外，因為該電力供應電壓VDDQ施用至該第二NMOS電晶體MN2之閘極，故該第二NMOS電晶體MN2可一直維持致動。

[0175]一資料信號DQ為“1”時，該第一PMOS電晶體MP1可受致動，而該第一NMOS電晶體MN1可被停用。亦即，該信號PG可維持為邏輯低以致動該PMOS電晶體MP1。因為該襯墊PD可經由該第二NMOS電晶體MN2來直接連接至該第二節點N2，故該第一PMOS電晶體MP1可經由該襯墊PD使該資料匯流排42具有一邏輯高狀態。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯高狀態。

[0176]另一方面，該資料信號DQ為“0”時，該第一PMOS電晶體MP1與該第二NMOS電晶體MN2可被停用，而該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持為邏輯高以停用該第一PMOS電晶體MP1。此外，該信號PG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0177]該驅動器26可經由該第一PMOS電晶體MP1使該資料匯流排42具有一邏輯高狀態。因此，包括根據本發明概念之原則的一第六示範實施例之驅動器26的記憶體控制器10可控制支援該LPDDR3傳輸方法之記憶體裝置30。

[0178]圖8A是一習知驅動器27之一電路圖。

[0179]參照圖8A，該驅動器27可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一電力供應電壓VDDQ源間並由一信號PG1控制之一PMOS電晶體MP1、以及連接於該第一節點N1與該電力供應電壓VDDQ源間並由一信號PG2控制之一第二NMOS電晶體MN2。一襯墊PD可連接至該第一節點N1。該PG1信號與該信號PG2可彼此獨立。

[0180]該驅動器27可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第一節點N1與該PMOS電晶體MP1間之一第二電阻器R2、以及連接於該第一節點N1與該第二NMOS電晶體MN2間之一第三電阻器R3。

[0181]該驅動器27可使用該第一NMOS電晶體MN1與該第一PMOS電晶體MP1來支援該LPDDR3傳輸方法。該驅動器27亦可使用該第一NMOS電晶體MN1與該第二NMOS電晶體MN2來支援該LPDDR4傳輸方法。

[0182]圖8B是一例示圖8A中支援該LPDDR3傳輸方法之驅動器27的一操作之表格。

[0183] 參照圖8A與圖8B，該第二NMOS電晶體MN2可維持(爲)停用使得該驅動器27可支援該LPDDR3傳輸方法。

[0184] 一資料信號DQ爲“1”時，該PMOS電晶體MP1，其爲一上拉電晶體可受致動，而爲一下拉電晶體之該第一NMOS電晶體MN1可被停用。該信號PG可維持爲邏輯低以致動該PMOS電晶體MP1。此外，該信號NG可維持爲邏輯低以停用該第一NMOS電晶體MN1。該PMOS電晶體MP1可經由該襯墊PD使該資料匯流排42具有一邏輯高狀態。亦即，於一第二路徑P2中，該電力供應電壓VDDQ可施用至該襯墊PD。因此，該襯墊PD可具有一邏輯高狀態。

[0185] 另一方面，該資料信號DQ爲“0”時，爲一上拉電晶體之該PMOS電晶體MP1可被停用，而爲一下拉電晶體之該第一NMOS電晶體MN1可受致動。亦即，該信號PG可維持爲邏輯高以停用該PMOS電晶體MP1。此外，該信號NG可維持爲邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0186] 該第一NMOS電晶體MN1可經由該襯墊PD使該資料匯流排42具有一邏輯低狀態。該驅動器27可連接至支援該LPDDR3傳輸方法之記憶體裝置30。

[0187] 圖8C是一例示圖8A中支援該LPDDR4傳輸方法之驅動器27的一操作之表格。

[0188] 參照圖8A與圖8C，該PMOS電晶體MP1可維持

停用使得該驅動器27可支援該LPDDR4傳輸方法。

[0189]一資料信號DQ為“1”時，為一上拉電晶體之該第二NMOS電晶體MN2可受致動，而為一下拉電晶體之該第一NMOS電晶體MN1被停用。該信號PG2可維持為邏輯高以致動該第二NMOS電晶體MN2。此外，該信號NG可維持為邏輯低以停用該第一NMOS電晶體MN1。該第二NMOS電晶體MN2可經由該襯墊PD使該資料匯流排42具有一邏輯高狀態。亦即，於一第一路徑P1中，該電力供應電壓VDDQ可施用至該襯墊PD。因此，該襯墊PD可具有一邏輯高狀態。

[0190]另一方面，該資料信號DQ為“0”時，為一上拉電晶體之該第二NMOS電晶體MN2可被停用，而為一下拉電晶體之該第一NMOS電晶體MN1受致動。亦即，該信號PG2可維持為邏輯低以停用該第二NMOS電晶體MN2。此外，該信號NG可維持為邏輯高以致動該第一NMOS電晶體MN1。因此，該襯墊PD可具有一邏輯低狀態。

[0191]該第二NMOS電晶體MN2可經由該襯墊PD使該資料匯流排42具有一邏輯低狀態。該驅動器27可連接至支援該LPDDR4傳輸方法之記憶體裝置30。

[0192]此外，該驅動器27可經由該PMOS電晶體MP1或該第二NMOS電晶體MN2來輸出該電力供應電壓VDDQ。換言之，該驅動器27可模擬為兩個並連電容器。結果是，該驅動器27可具有比圖4A至圖7A之驅動器21至26還高的一輸入電容 C_{i0} 。

[0193]圖9是一例示阻抗之線性的圖形。

[0194]圖9中，該X軸表示一電壓而該Y軸表示一安培(電流)。

[0195]若一電壓增加時一電流量規律地增加，則一電阻器具有一正規值。亦即，該電阻器具有線性。相對之下，一電壓施用至一電容器時，該電流量可在一低電壓增加至一大範圍，而在一高電壓增加至一小範圍。亦即，該電容器不具有線性。

[0196]結果是，一足夠高的電阻器加入根據本發明概念之第一至第六實施例的驅動器21至26時，該等驅動器21至26之阻抗可具有線性。現將參照下文圖10A至圖15C來更詳細說明一電阻器加入該等驅動器21至26之實施例。

[0197]圖10A至圖10C是根據本發明概念之原則的驅動器，諸如圖4A之驅動器21的修改示範實施例之電路圖。

[0198]參照圖10A，一驅動器21a可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該信號PG可具有與該信號/PG相反的一相位。

[0199]該驅動器21a可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電

阻器R2。

[0200]一襯墊PD可連接至該第一節點N1。一金屬修訂MR不施用至根據本發明概念之原則的驅動器21a時，該襯墊PD亦可使用該金屬修訂MR連接至該第二節點N2。

[0201]資料為“0”時，一電力供應電壓VDDQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第二電阻器R2施用至襯墊PD。

[0202]該等第一與第二電阻器R1與R2可增加該驅動器21a之一阻抗的線性。此方法中，該金屬修訂MR不施用至該驅動器21a時，該驅動器21a支援該LPDDR4傳輸方法時可具有線性特性。

[0203]參照圖10B，一驅動器21b可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該PG信號可具有與該信號/PG相反的一相位。

[0204]該驅動器21b可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0205]一襯墊PD可連接至該第一節點N1。一金屬修訂

MR施用至根據本發明概念之原則的驅動器21b時，該襯墊PD亦可使用該金屬修訂MR連接至該第二節點N2。

[0206]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第三電阻器R3施用至襯墊PD。

[0207]該等第一與第三電阻器R1與R3可增加該驅動器21b之一阻抗的線性。此方法中，該金屬修訂MR施用至該驅動器21b時，該驅動器21b支援該LPDDR3傳輸方法時可具有線性特性。

[0208]參照圖10C，根據本發明概念之原則的驅動器21c可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間之一PMOS電晶體MP1。該PG信號可具有與該信號/PG相反的一相位。

[0209]該驅動器21c可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0210]一襯墊PD可連接至該第一節點N1。一金屬修訂MR施用至該驅動器21a時，該襯墊PD亦可使用該金屬修訂MR連接至該第二節點N2。

[0211]該等第一至第三電阻器R1至R3可增加該驅動器21c之一阻抗的線性。特別是，該金屬修訂MR施用至該驅動器21c時，該驅動器21c支援該LPDDR3傳輸方法時可具有線性特性。該金屬修訂不施用至該驅動器21c時，該驅動器21c支援該LPDDR4傳輸方法時可具有線性特性。

[0212]包括該等第一至第三電阻器R1至R3之驅動器21c可具有比包括該等第一與第二電阻器R1與R2之驅動器21a、或包括該等第一與第三電阻器R1與R3之驅動器21還大的一晶片大小。

[0213]圖11A至圖11C是根據本發明概念之原則的修改驅動器，諸如圖4E之驅動器22的示範實施例之電路圖。

[0214]參照圖11A，一驅動器22a可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該PG信號可具有與該信號/PG相反的一相位。

[0215]該驅動器22a可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、以及連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2。

[0216]一襯墊PD可連接至該第一節點N1，且亦可經由一抗熔絲AF連接至該第二節點N2。

[0217]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第二電阻器R2施用至該襯墊PD。

[0218]該等第一與第二電阻器R1與R2可增加該驅動器22a之一阻抗的線性。此方法中，該抗熔絲AF未受熔合時，該驅動器22a支援該LPDDR4傳輸方法時可具有線性特性。

[0219]參照圖11B，一驅動器22b可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該PG信號可具有與該信號/PG相反的一相位。

[0220]該驅動器22b可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0221]一襯墊PD可連接至該第一節點N1。一抗熔絲AF受熔合時，該襯墊PD可經由該抗熔絲AF連接至該第二節點N2。

[0222]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第三電阻器R3施用至該襯墊PD。

[0223]該等第一與第三電阻器R1與R3可增加該驅動器22b之一阻抗的線性。此方法中，該抗熔絲AF受熔合時，該驅動器22b支援該LPDDR3傳輸方法時可具有線性特性。

[0224]參照圖11C，一驅動器22c可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。該PG信號可具有與該信號/PG相反的一相位。

[0225]該驅動器22c可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0226]一襯墊PD可連接至該第一節點N1，且該抗熔絲AF受熔合時，該襯墊PD可經由該抗熔絲AF連接至該第二節點N2。

[0227]該等第一至第三電阻器R1至R3可增加該驅動器22c之一阻抗的線性。特別是，若該抗熔絲AF未受熔合，則該驅動器22c支援該LPDDR3傳輸方法時可具有線性特性。若該抗熔絲AF受熔合，則該驅動器22c支援該LPDDR4傳輸方法時可具有線性特性。

[0228]包括該等第一至第三電阻器R1至R3之驅動器

22c可具有比包括該等第一與第二電阻器R1與R2之驅動器22a、或包括該等第一與第三電阻器R1與R3之驅動器22b還大的一晶片大小。

[0229]圖12A至圖12C是圖5E之驅動器23的修改範例之電路圖。

[0230]參照圖12A，一驅動器23a可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。

[0231]該驅動器23a可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、以及連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2。

[0232]一襯墊PD可連接至該第一節點N1，且一金屬修訂MR施用至該驅動器23a時，其亦可經由該金屬修訂MR施用至該第二節點N2。

[0233]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第二電阻器R2施用至該襯墊PD。

[0234]該等第一與第二電阻器R1與R2可增加該驅動器23a之一阻抗的線性。此方法中，該金屬修訂MR未施用至

該驅動器23a時，該驅動器23a支援該LPDDR4傳輸方法時可具有線性特性。

[0235] 參照圖12B，一驅動器23b可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。

[0236] 該驅動器23b可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0237] 一襯墊PD可連接至該第一節點N1，且一金屬修訂MR施用至該驅動器23b時，其亦可經由該金屬修訂MR施用至該第二節點N2。

[0238] 資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第三電阻器R3施用至該襯墊PD。

[0239] 該等第一與第三電阻器R1與R3可增加該驅動器23b之一阻抗的線性。此方法中，該金屬修訂MR未施用至該驅動器23b時，該驅動器23b支援該LPDDR3傳輸方法時可具有線性特性。

[0240] 參照圖12C，一驅動器23c可包括連接於一接地

電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。

[0241]該驅動器23c可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0242]一襯墊PD可連接至該第一節點N1，且一金屬修訂MR施用至該驅動器23c時，其亦可使用該金屬修訂MR連接至該第二節點N2。

[0243]該等第一至第三電阻器R1至R3可增加該驅動器23c之一阻抗的線性。特別是，若該金屬修訂MR施用至該驅動器23c時，則施用該LPDDR3傳輸方法時該驅動器23c可具有線性特性。若該金屬修訂MR未施用至該驅動器23c時，則施用該LPDDR4傳輸方法時該驅動器23c可具有線性特性。

[0244]包括該等第一至第三電阻器R1至R3之驅動器23c可具有比包括該等第一與第二電阻器R1與R2之驅動器23a、或包括該等第一與第三電阻器R1與R3之驅動器23b還大的一晶片大小。

[0245]圖13A至圖13C是根據本發明概念之原則的驅動器，諸如圖5E之驅動器24的修改範例之示範實施例的電路圖。

[0246]參照圖13A，一驅動器24a可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。

[0247]根據本發明概念之原則，驅動器24a可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、以及連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2。

[0248]一襯墊PD可連接至該第一節點N1，且亦可經由一抗熔絲AF連接至該第二節點N2。

[0249]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第二電阻器R2施用至該襯墊PD。

[0250]該等第一與第二電阻器R1與R2可增加該驅動器24a之一阻抗的線性。因此，該抗熔絲AF未受熔合時，該驅動器24a支援該LPDDR4傳輸方法時可具有線性特性。

[0251]參照圖13B，一驅動器24b可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第

一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。

[0252]該驅動器24b可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0253]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第三電阻器R3施用至該襯墊PD。

[0254]一襯墊PD可連接至該第一節點N1，且一抗熔絲AF受熔合時亦可經由該抗熔絲AF連接至該第二節點N2。

[0255]該等第一與第三電阻器R1與R3可增加該驅動器24b之一阻抗的線性。因此，若該抗熔絲AF受熔合，則該驅動器24b支援該LPDDR3傳輸方法時可具有線性特性。

[0256]參照圖13C，一驅動器24c可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、以及連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1。

[0257]該驅動器24c可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0258]一襯墊PD可連接至該第一節點N1，且一抗熔絲AF受熔合時亦可經由該抗熔絲AF連接至該第二節點N2。

[0259]該等第一至第三電阻器R1與R3可增加該驅動器24c之一阻抗的線性。特別是，若該抗熔絲AF未受熔合，則該驅動器24c支援該LPDDR3傳輸方法時可具有線性特性。若該抗熔絲AF受熔合，則該驅動器24c支援該LPDDR4傳輸方法時可具有線性特性。

[0260]包括該等第一至第三電阻器R1至R3之驅動器24c可具有比包括該等第一與第二電阻器R1與R2之驅動器24a、或包括該等第一與第三電阻器R1與R3之驅動器24b還大的一晶片大小。

[0261]圖14A至圖14C是根據本發明概念之原則的驅動器，諸如圖6A之驅動器25的修改範例之示範實施例的電路圖。

[0262]參照圖14A，一驅動器25a可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信

號PG控制之一PMOS電晶體MP1、以及連接於該第一節點N1與該第二節點N2間並由一信號LP控制之一第二PMOS電晶體MP2。

[0263]該驅動器25可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2。

[0264]一襯墊PD可連接至該第一節點N1，且該信號LP為邏輯低時亦可經由該第二PMOS電晶體MP2連接至該第二節點N2。

[0265]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第二電阻器R2施用至該襯墊PD。

[0266]該等第一與第二電阻器R1與R2可增加該驅動器25a之一阻抗的線性。此方法中，若該信號LP為邏輯高，則該驅動器25a支援該LPDDR4傳輸方法時可具有線性特性。

[0267]參照圖14B，一驅動器25b可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1、以及連接於該第一節點N1與該第二節點N2間並由一信號LP控制之一第二PMOS電

晶體MP2。該信號PG可具有與該信號/PG相反的一相位。

[0268]該驅動器25b可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0269]一襯墊PD可連接至該第一節點N1，且該信號LP為邏輯低時亦可經由該第二PMOS電晶體MP2連接至該第二節點N2。

[0270]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第三電阻器R3施用至該襯墊PD。

[0271]該等第一與第三電阻器R1與R3可增加該驅動器25b之一阻抗的線性。此方法中，若該信號LP為邏輯低，則該驅動器25b支援該LPDDR3傳輸方法時可具有線性特性。

[0272]參照圖14C，一驅動器25c可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並由一信號/PG控制之一第二NMOS電晶體MN2、連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一PMOS電晶體MP1、以及連接於該第一節點N1與該第二節點N2間並由一信號LP控制之一第二PMOS電晶體MP2。該信號PG可具有與該信號/PG相反的一相位。

[0273]該驅動器25c可進一步包括連接於該第一NMOS

電晶體MN1與該第一節點N1間之一第一電阻器R1、連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0274]一襯墊PD可連接至該第一節點N1，且該信號LP為邏輯低時亦可經由該第二PMOS電晶體MP2連接至該第二節點N2。

[0275]該等第一至第三電阻器R1至R3可增加該驅動器25c之一阻抗的線性。特別是，若該信號LP為邏輯高，則該驅動器25c支援該LPDDR3傳輸方法時可具有線性特性。若該信號LP為邏輯低，則該驅動器25c支援該LPDDR4傳輸方法時可具有線性特性。

[0276]包括該等第一至第三電阻器R1至R3之驅動器25c可具有比包括該等第一與第二電阻器R1與R2之驅動器25a、或包括該等第一與第三電阻器R1與R3之驅動器25b還大的一晶片大小。

[0277]圖15A至圖15C是根據本發明概念之原則的驅動器，諸如圖7A之驅動器26的修改範例之示範實施例的電路圖。

[0278]參照圖15A，一驅動器26a可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、連接於該第二節點N2與一電力供應

電壓VDDQ源間並由一信號PG控制之一第一PMOS電晶體MP1、以及連接於該第一節點N1與該第二節點N2並由一信號LG控制之一第二PMOS電晶體MP2。

[0279]該驅動器26a可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、以及連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2。

[0280]一襯墊PD可連接至該第一節點N1，且該信號LP為邏輯低時亦可經由該第二PMOS電晶體MP2連接至該第二節點N2。

[0281]資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第二電阻器R2施用至該襯墊PD。

[0282]該等第一與第二電阻器R1與R2可增加該驅動器26a之一阻抗的線性。因此，若該信號LP為邏輯高，則該驅動器26a支援該LPDDR4傳輸方法時可具有線性特性。

[0283]參照圖15B，一驅動器26b可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極之一第二NMOS電晶體MN2、連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一第一PMOS電晶體MP1、以及連接於該第一節點N1與該第二節點N2並由一信號LG控制之一第二PMOS電晶體MP2。

[0284] 根據本發明概念之原則，驅動器26b可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一第一電阻器R1、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0285] 一襯墊PD可連接至該第一節點N1，且該信號LP為邏輯低時亦可經由該第二PMOS電晶體MP2連接至該第二節點N2。

[0286] 資料為“0”時，一接地電壓VSSQ可經由該第一電阻器R1施用至該襯墊PD。該資料為“1”時，一電力供應電壓VDDQ可經由該第三電阻器R3施用至該襯墊PD。

[0287] 該等第一與第三電阻器R1與R3可增加該驅動器26b之一阻抗的線性。此方法中，若該信號LP為邏輯低，則該驅動器26b支援該LPDDR3傳輸方法時可具有線性特性。

[0288] 參照圖15C，一驅動器26c可包括連接於一接地電壓VSSQ源與一第一節點N1間並由一信號NG控制之一第一NMOS電晶體MN1、連接於該第一節點N1與一第二節點N2間並包括可施用一電力供應電壓VDDQ之一閘極的一第二NMOS電晶體MN2、連接於該第二節點N2與一電力供應電壓VDDQ源間並由一信號PG控制之一第一PMOS電晶體MP1、以及連接於該第一節點N1與該第二節點N2並由一信號LG控制之一第二PMOS電晶體MP2。

[0289] 根據本發明概念之原則，驅動器26c可進一步包括連接於該第一NMOS電晶體MN1與該第一節點N1間之一

第一電阻器R1、連接於該第二NMOS電晶體MN2與該第二節點N2間之一第二電阻器R2、以及連接於該第二節點N2與該PMOS電晶體MP1間之一第三電阻器R3。

[0290]一襯墊PD可連接至該第一節點N1，且該信號LP為邏輯低時亦可經由該第二PMOS電晶體MP2連接至該第二節點N2。

[0291]該等第一至第三電阻器R1與R3可增加該驅動器26c之一阻抗的線性。特別是，若該信號LP為邏輯高，則該驅動器26c支援該LPDDR3傳輸方法時可具有線性特性。若該信號LP為邏輯低，則該驅動器26c支援該LPDDR4傳輸方法時可具有線性特性。

[0292]包括該等第一至第三電阻器R1至R3之驅動器26c可具有比包括該等第一與第二電阻器R1與R2之驅動器26a、或包括該等第一與第三電阻器R1與R3之驅動器26b還大的一晶片大小。

[0293]圖16是一根據本發明概念之原則，包括圖1中所例示之一記憶體控制器10的根據本發明概念之原則的一電腦系統210之方塊圖。

[0294]參照圖16，該電腦系統210包括一記憶體裝置211、組配來控制該記憶體裝置211之一記憶體控制器212、一無線電收發器213、一天線214、一應用處理器215、一輸入裝置216、一顯示器單元217。

[0295]該無線電收發器213可經由該天線214來發送或接收一無線電信號。例如，該無線電收發器213可將經由

該天線214接收之一無線電信號變換為該應用處理器215處理之一信號。

[0296]此方法中，該應用處理器215可處理從該無線電收發器213接收之信號，並將該處理信號發送至該顯示器單元217。此外，該無線電收發器213可將從該應用處理器215接收之一信號轉換為一無線電信號，並經由該天線214將該無線電信號輸出至一外部裝置(未顯示)。

[0297]該輸入裝置216可為經由用於控制該應用處理器215之一操作的一控制信號或者該應用處理器215處理之一信號可被輸入的一裝置，並可作為一指向裝置，諸如觸控襯墊與一電腦滑鼠、一鍵板、或一鍵盤來予以具體化。

[0298]根據本發明概念之原則，組配來控制該記憶體裝置211之操作的記憶體控制器212可作為該應用處理器215之一部分來予以具體化，或者可作為與該應用處理器215分開安裝之一晶片來予以具體化。

[0299]此外，該記憶體控制器212可作為圖1之記憶體控制器10來予以具體化。

[0300]圖17是一根據本發明概念之原則的另一示範實施例，包括圖1中所例示之一記憶體控制器10的一電腦系統220之方塊圖。

[0301]參照圖17，該電腦系統220可作為，例如，一個人電腦(PC)、一網路伺服器、一平板PC、一輕省筆電、一電子閱讀器、一個人數位助理(PDA)、一可攜式多媒體播放器(PMP)、一MP3播放器、或一MP4播放器來予以具體

化。

[0302]該示範實施例中，電腦系統220包括一記憶體裝置221、組配來控制該記憶體裝置221之一資料處理操作的一記憶體控制器222、一應用處理器223、一輸入裝置224、以及一顯示器單元225。

[0303]該應用處理器223可根據經由該輸入裝置224之資料輸入，將儲存於該記憶體裝置221中的資料顯示在該顯示器單元225上。例如，該輸入裝置224可作為一指向裝置，諸如觸控襯墊與一電腦滑鼠、一鍵板、或一鍵盤來予以具體化。該應用處理器223可控制該電腦系統220之整體操作，並可控制該記憶體控制器222之一操作。

[0304]根據本發明概念之原則，組配來控制該記憶體裝置221之操作的記憶體控制器222可作為該應用處理器223之一部分來予以具體化，或者可作為與該應用處理器223分開安裝之一晶片來予以具體化。亦即，該記憶體控制器222可作為圖1之記憶體控制器10來予以具體化。

[0305]圖18是一根據本發明概念之另一實施例，包括圖1中所例示之一記憶體控制器10的一電腦系統230之方塊圖。

[0306]參照圖18，該電腦系統230可作為一影像處理裝置，諸如，例如，一數位相機或包括一數位相機之一行動電話、一智慧型手機、或一平板PC來予以具體化。

[0307]根據本發明概念之原則的示範實施例，電腦系統230包括一記憶體裝置231、以及組配來控制該記憶體裝

置231之一資料處理操作(例如，一寫入操作或一讀取操作)的一記憶體控制器232。該電腦系統230可進一步包括一應用處理器233、一影像感測器234、以及一顯示器單元235。

[0308]該電腦系統230之影像感測器234可將一光學影像轉換為數位信號，並將該等數位信號發送至該應用處理器233或該記憶體控制器232。於該應用處理器233之控制下，該等數位信號可顯示在該顯示器單元235上，或可經由該記憶體控制器232儲存在該記憶體裝置231中。

[0309]此外，於該應用處理器233或該記憶體控制器232之控制下，儲存在該記憶體裝置231中之資料可顯示在該顯示器單元235上。

[0310]根據本發明概念之原則，組配來控制該記憶體裝置231之一操作的記憶體控制器232可作為該應用處理器233之一部分來予以具體化，或可作為與該應用處理器233分開安裝之一晶片來予以具體化。亦即，該記憶體控制器232可作為圖1之記憶體控制器10來予以具體化。

[0311]根據本發明概念之原則的一記憶體控制器能夠支援使用一LPDDR3傳輸方法之一半導體記憶體裝置以及使用一LPDDR4傳輸方法之一半導體記憶體裝置。

[0312]上文係舉例解說根據本發明概念之原則的實施例而不視為其限制條件。雖然已說明了某些示範實施例，但業界熟於此技者可輕易體認在實質上不違背本發明概念的情況下該等實施例可有修改。因此，所有該類修改意欲

包括在如該等請求項所定義之本發明概念的範疇中。

【符號說明】

10、212、222、232...記憶體控制器	DQ...資料信號
20、20'、21、21a、21b、21c、22、22a、22b、22c、23、23a、23b、23c、24、24a、24b、24c、25、25a、25b、25c、26、26a、26b、26c、27...驅動器	MN1...第一NMOS電晶體
30、30'...半導體記憶體裝置	MN2...第二NMOS電晶體
41...命令/位址匯流排	MP1...第一PMOS電晶體
42...資料匯流排	MP2...第二PMOS電晶體
100...記憶體系統	MR...金屬修訂
210、220、230...電腦系統	N1...第一節點
211、221、231...記憶體裝置	NG、PG、PG1、PG2、/PG、LP...信號
213...無線電收發器	P1...第一路徑
214...天線	P2...第二路徑
215、223、233...應用處理器	PD...襯墊
216、224...輸入裝置	R _{up} ...上拉電阻器
217、225、235...顯示器單元	R _{down} ...下拉電阻器
234...影像感測器	R1...第一電阻器
AF...抗熔絲	R2...第二電阻器
C/A...命令/位址信號	R3...第三電阻器
C _{io} ...輸入電容	VSSQ...接地電壓
	VDDQ...電力供應電壓
	V _{ref} ...參考電壓

申請專利範圍

1. 一種匯流排線性驅動器，包含有：
 - 連接於一接地電壓源與一第一節點間，並由一第一信號所控制之一第一NMOS電晶體；
 - 連接於該第一節點與一第二節點間，並由一第二信號所控制之一第二NMOS電晶體；
 - 連接於該第二節點與一電力供應電壓源間，並由一第三信號所控制之一第一PMOS電晶體；以及
 - 連接至該第一節點之一襯墊，其中，當一第一傳輸方法被支援且該第一PMOS電晶體受致動時，該電力供應電壓經由該第二NMOS電晶體被施用至該襯墊，而
 - 當一第二傳輸方法被支援時，該襯墊被連接至該第二節點。
2. 如請求項1之驅動器，其中該等第二與第三信號具有相反相位。
3. 如請求項2之驅動器，其中，當該第二傳輸方法被支援時，該襯墊可使用一金屬修訂被連接至該第二節點，而
 - 當該第一PMOS電晶體受致動時，該電力供應電壓經由該第二節點被施用至該襯墊。
4. 如請求項2之驅動器，其中，當該第二傳輸方法被支援時，該襯墊經由一抗熔絲被連接至該第二節點，而
 - 當該第一PMOS電晶體受致動時，該電力供應電壓

- 經由該第二節點被施用至該襯墊。
5. 如請求項1之驅動器，其中該電力供應電壓被施用至該第二信號。
 6. 如請求項5之驅動器，其中，當該第二傳輸方法被支援時，該襯墊使用一金屬修訂被連接至該第二節點，而當該第一PMOS電晶體受致動時，該電力供應電壓經由該第二節點被施用至該襯墊。
 7. 如請求項5之驅動器，其中，當該第二傳輸方法被支援時，該襯墊經由一抗熔絲被連接至該第二節點，而當該第一PMOS電晶體受致動時，該電力供應電壓經由該第二節點被施用至該襯墊。
 8. 如請求項1之驅動器，更包含連接於該第二節點與該襯墊間，並由一第四信號所控制之一第二PMOS電晶體。
 9. 如請求項8之驅動器，其中該等第二與第三信號具有相反相位，而該第一或第二傳輸方法根據該第四信號而被支援。
 10. 如請求項8之驅動器，其中該電力供應電壓被施用至該第二信號，而該第一或第二傳輸方法根據該第四信號而被支援。
 11. 如請求項1之驅動器，更包含有：
 - 連接於該第一NMOS電晶體與該第一節點間之一第一電阻器；
 - 連接於該第二NMOS電晶體與該第二節點間之一第二電阻器；以及

連接於該二節點與該第一PMOS電晶體間之一第三電阻器，

其中，當該第一傳輸方法被支援時，該等第一與第二電阻器增加一阻抗的線性，而

當該第二傳輸方法被支援時，該等第一與第三電阻器增加阻抗的線性。

12. 如請求項1之驅動器，其中該第一傳輸方法包含一低功率雙倍資料速率(LPDDR)4傳輸方法，而

該第二傳輸方法包含一LPDDR3傳輸方法。

13. 一種記憶體控制器，包含有：

一驅動器，其經組配來將資料發送至支援一第一或第二傳輸方法之一半導體記憶體裝置；以及

一資料匯流排，其連接至該驅動器，並經組配來將該資料發送至該半導體記憶體裝置並從其接收該資料，

其中該驅動器包含：

連接於一接地電壓源與一第一節點間，並由一第一信號所控制之一第一NMOS電晶體；

連接於該第一節點與一第二節點間，並由一第二信號所控制之一第二NMOS電晶體；

連接於該第二節點與一電力供應電壓源間，並由一第三信號所控制之一第一PMOS電晶體；以及

連接至該第一節點之一襯墊，

其中，當該第一傳輸方法被支援且該第一PMOS電晶體受致動時，一電力供應電壓經由該第二節點被施用

至該襯墊，而

當該第二傳輸方法被支援時，該襯墊被連接至該第二節點。

14. 如請求項13之記憶體控制器，更包含有：

連接於該第一NMOS電晶體與該第一節點間之一第一電阻器；

連接於該第二NMOS電晶體與該第二節點間之一第二電阻器；以及

連接於該二節點與該第一PMOS電晶體間之一第三電阻器，

其中，當該第一傳輸方法被支援時，該等第一與第二電阻器增加一阻抗的線性，而

當該第二傳輸方法被支援時，該等第一與第三電阻器增加阻抗的線性。

15. 如請求項13之記憶體控制器，更包含連接於該第二節點與該襯墊間，並由一第四信號所控制之一第二PMOS電晶體，

該等第二與第三信號具有相反相位，或者該電力供應電壓被施用至該第二信號，而

該第一或第二傳輸方法根據該第四信號而被支援。

16. 一種電子設備，包含有：

一線性驅動器，其包括

用於低功率雙倍資料速率3(LPDDR3)傳輸之電路；

用於低功率雙倍資料速率4(LPDDR4)傳輸之電路；以及

用於在LPDDR3與LPDDR4傳輸間選擇之選擇電路。

17. 一種記憶體控制器，其包括請求項16之電子設備。

18. 一種記憶體系統，包含有：

如請求項17之記憶體控制器；以及

安排來由該記憶體控制器所控制之多個記憶體裝置。

19. 如請求項16之電子設備，其中該選擇電路包括一抗熔絲。

20. 如請求項16之電子設備，其中該選擇電路包括一可選擇的最終金屬化跡線。

圖式

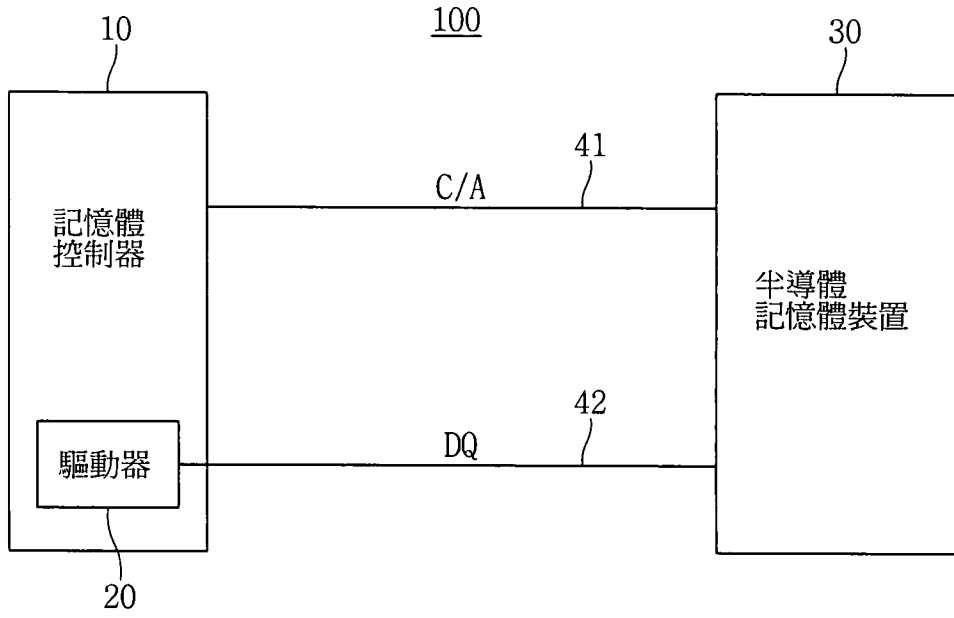


圖1

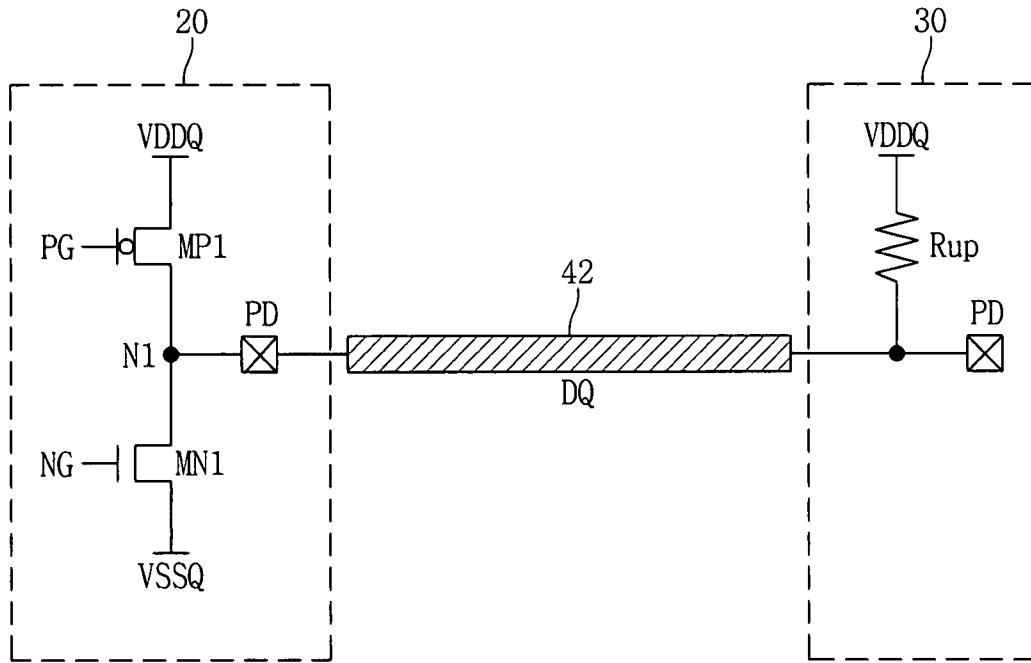


圖2A

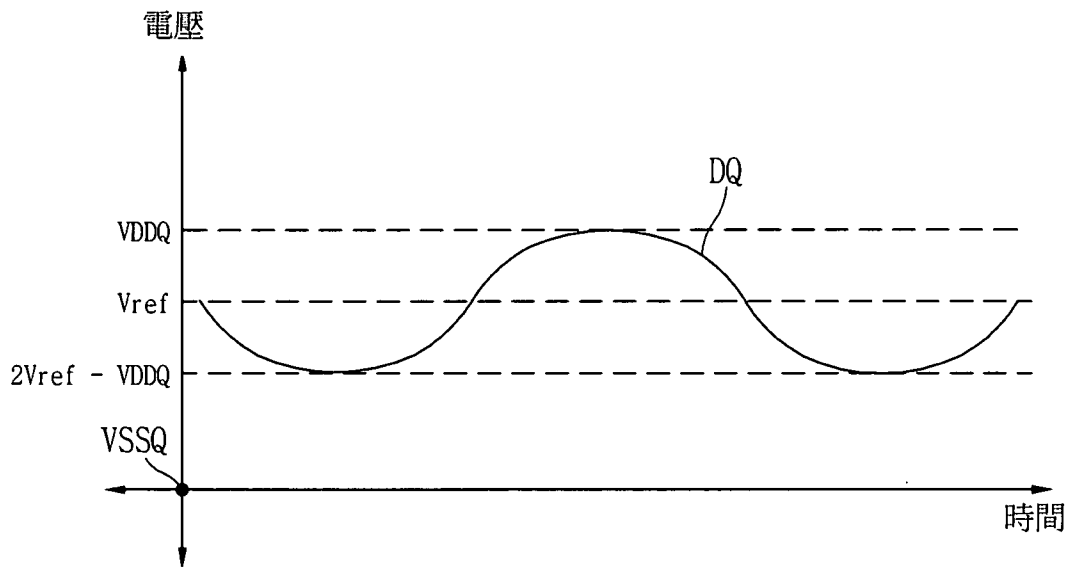


圖2B

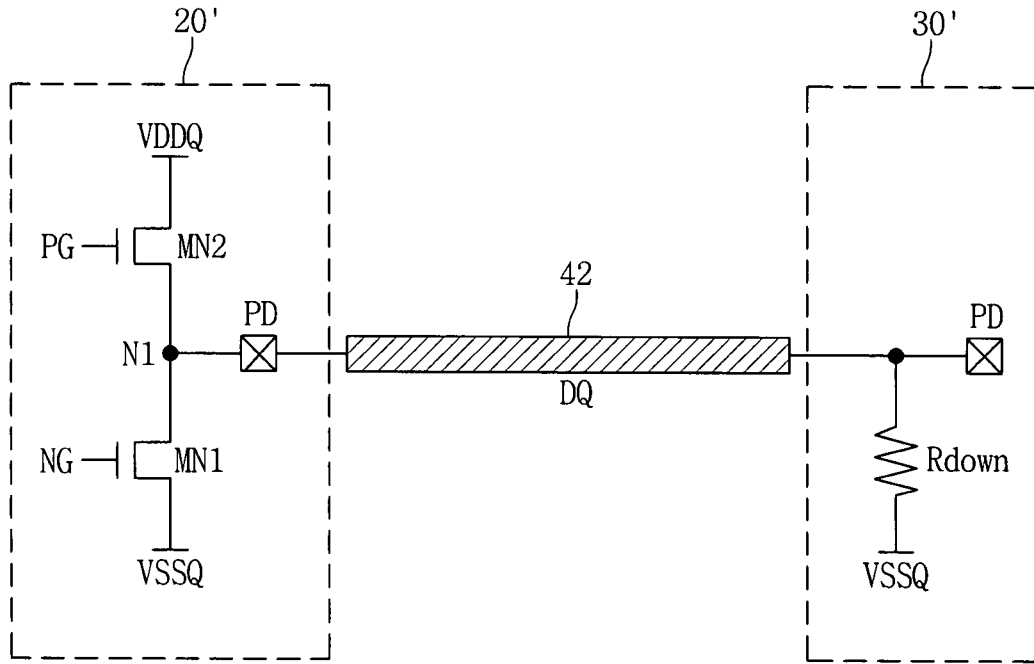


圖3A

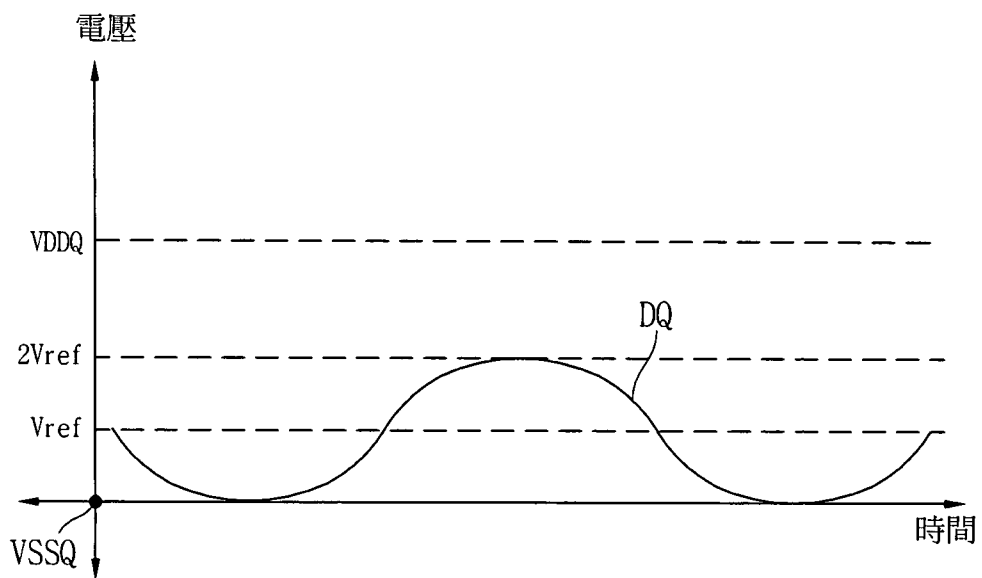


圖3B

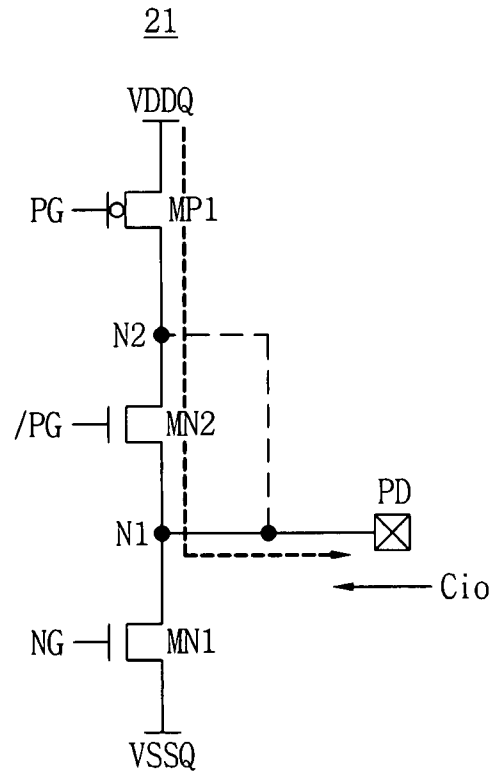


圖4A

資料	PG	/PG	NG	PD
1	L	H	L	H
0	H	L	H	L

圖4B

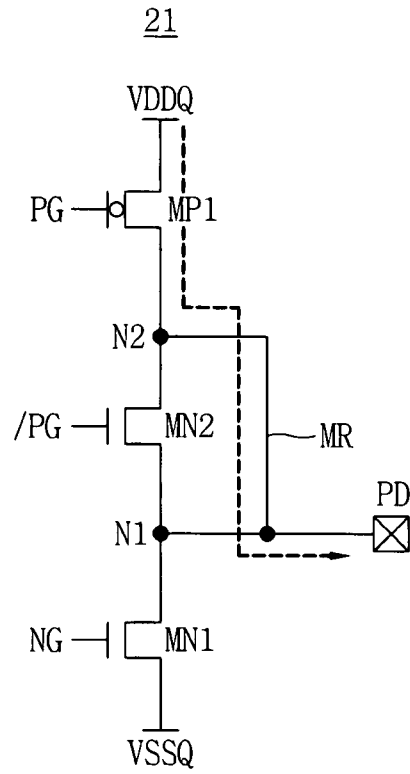


圖4C

資料	PG	NG	PD
1	L	L	H
0	H	H	L

圖4D

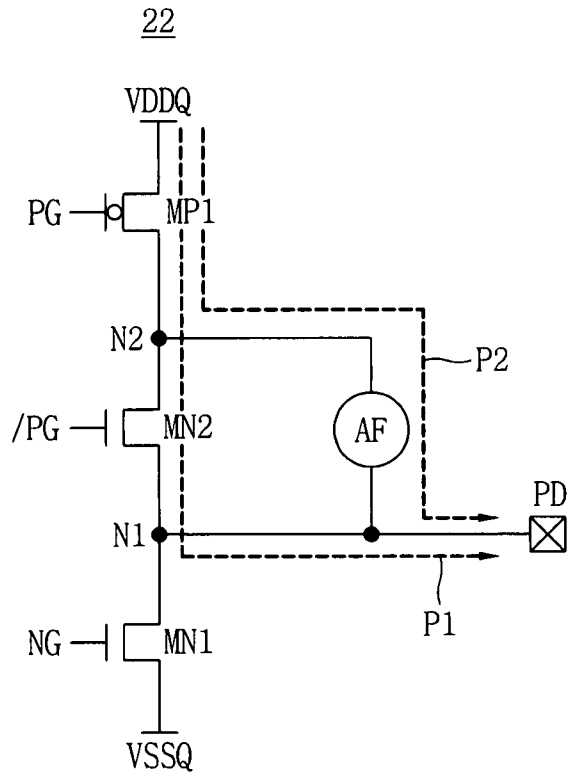


圖4E

資料	PG	/PG	NG	PD
1	L	H	L	H
0	H	L	H	L

圖4F

資料	PG	NG	PD
1	L	L	H
0	H	H	L

圖4G

23

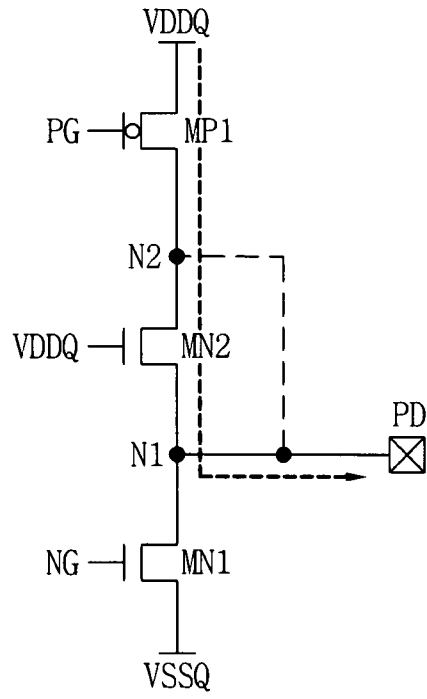


圖5A

資料	PG	VDDQ	NG	PD
1	L	H	L	H
0	H	H	H	L

圖5B

23

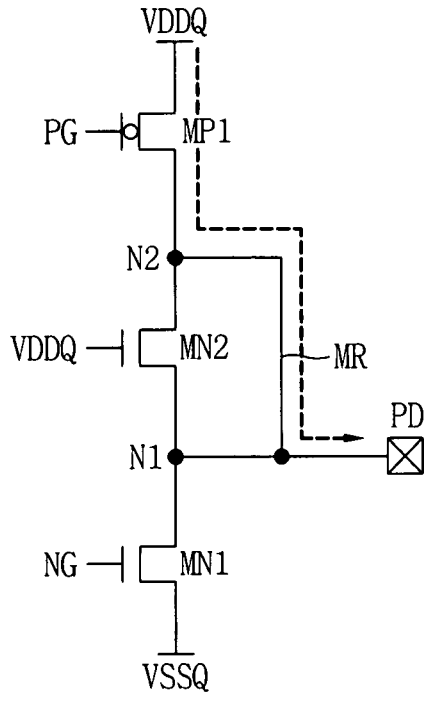


圖5C

資料	PG	NG	PD
1	L	L	H
0	H	H	L

圖5D



24

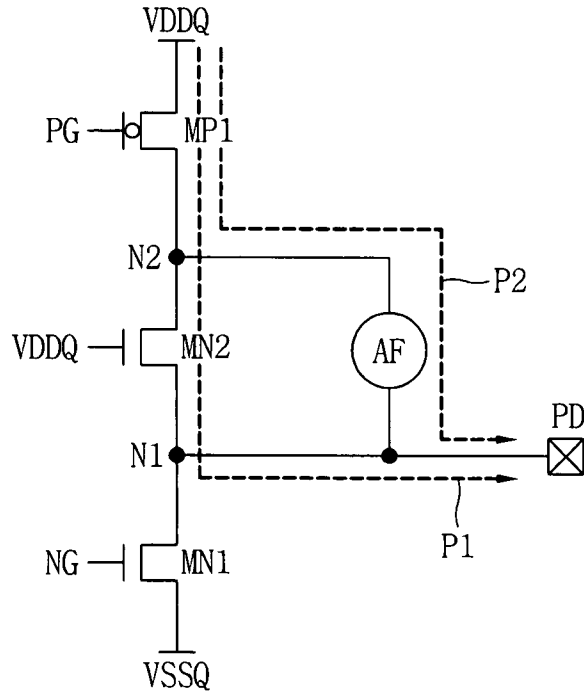


圖5E

資料	PG	VDDQ	NG	PD
1	L	H	L	H
0	H	H	H	L

圖5F

資料	PG	NG	PD
1	L	L	H
0	H	H	L

圖5G

25

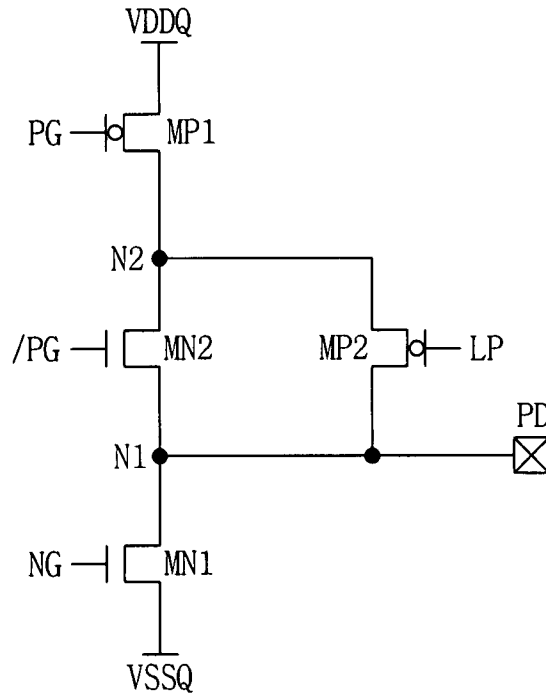


圖6A

資料	PG	/PG	LP	NG	PD
1	L	H	L	L	H
0	H	L		H	L

圖6B

資料	PG	/PG	LP	NG	PD
1	L	H	H	L	H
0	H	L		H	L

圖6C

26

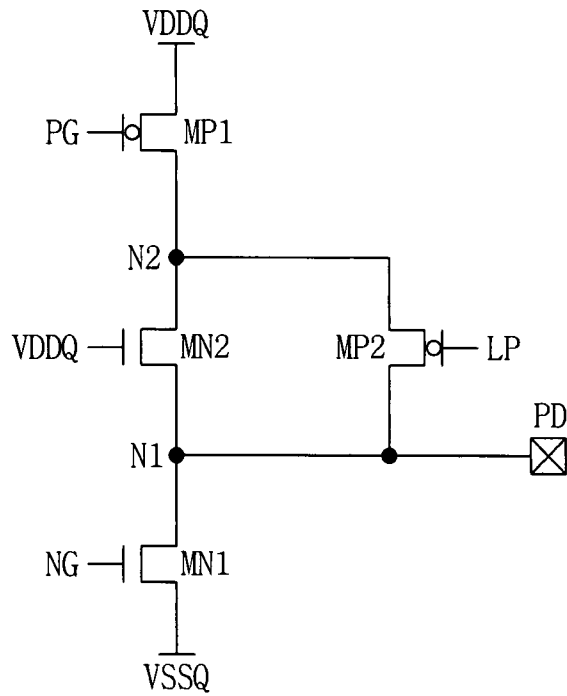


圖7A

資料	PG	VDDQ	LP	NG	PD
1	L	H	L	L	H
0	H	H		H	L

圖7B

資料	PG	VDDQ	LP	NG	PD
1	L	H	H	L	H
0	H	H		H	L

圖7C

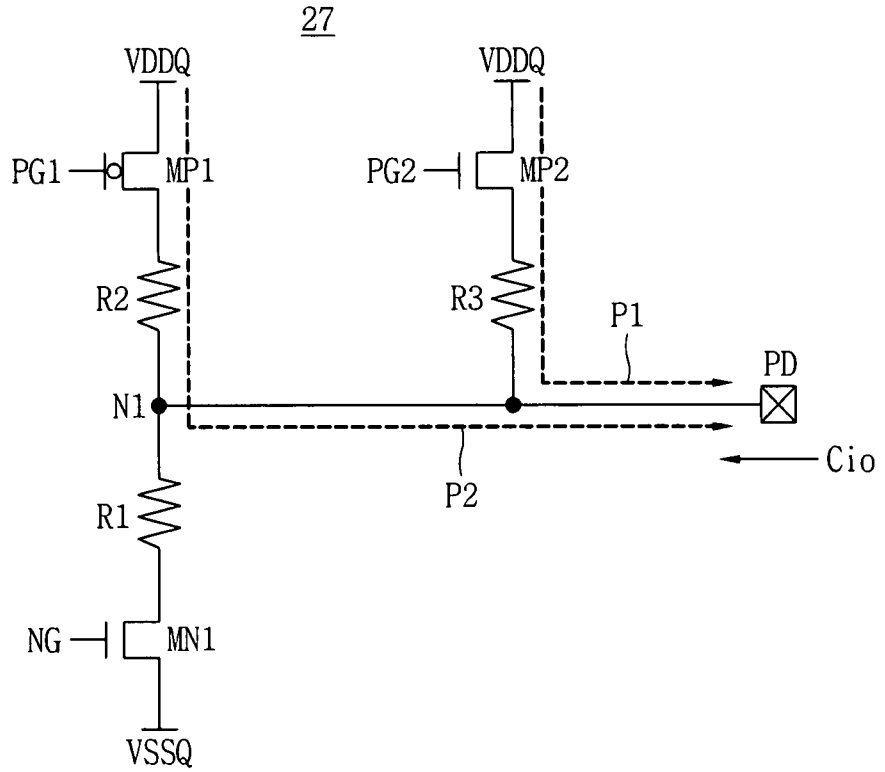


圖8A

資料	PG2	PG1	NG	PD
1	L	L	L	H
0	L	H	H	L

圖8B

資料	PG1	PG2	NG	PD
1	H	H	L	H
0	H	L	H	L

圖8C

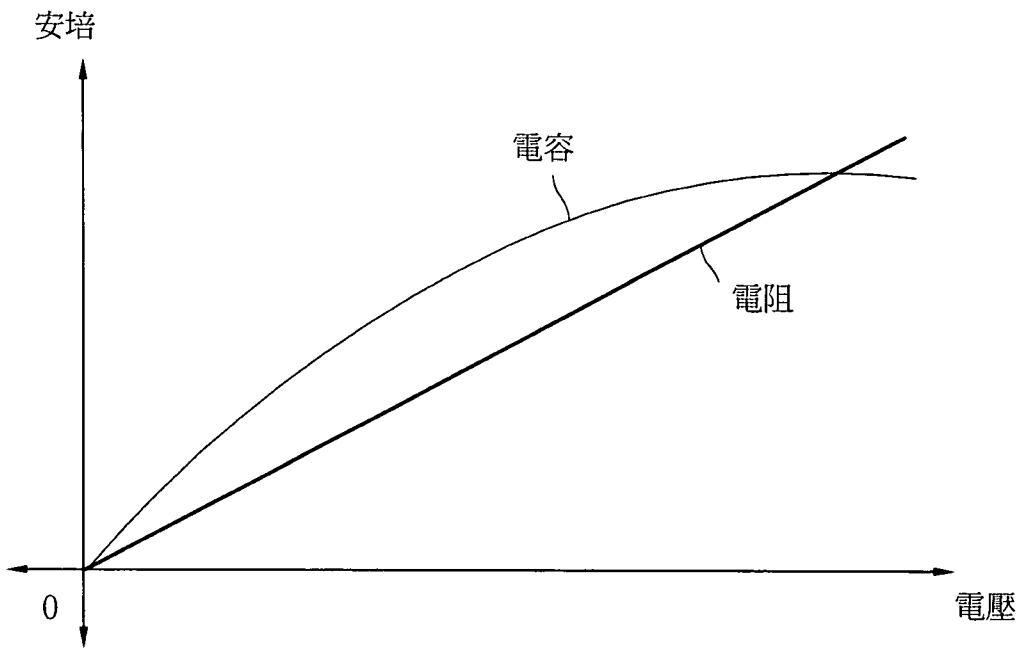


圖9

21a

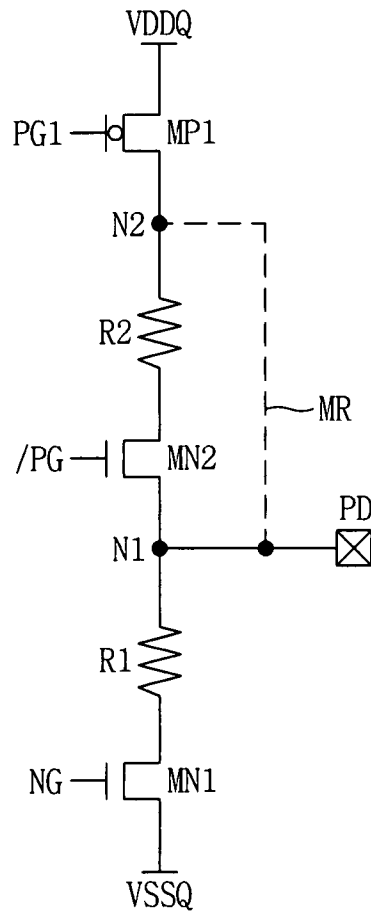


圖10A

21b

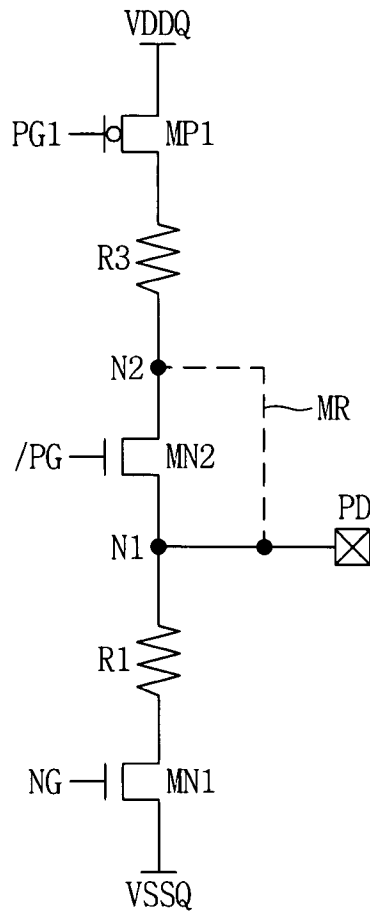


圖10B

21c

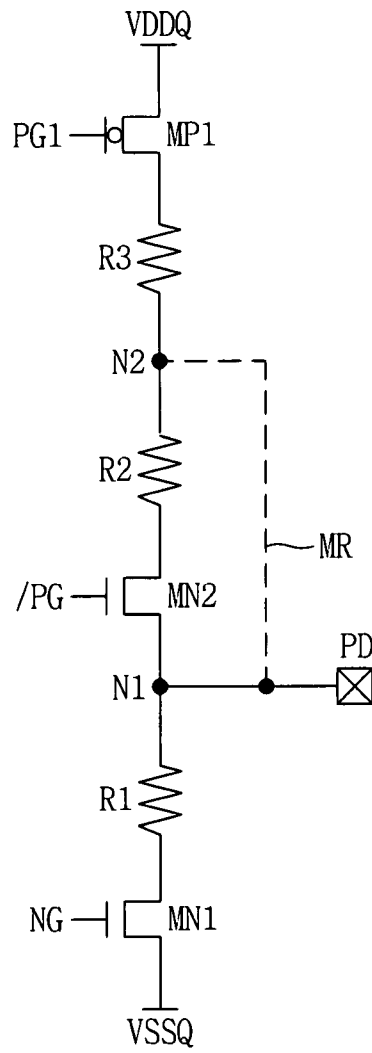


圖 10C

22a

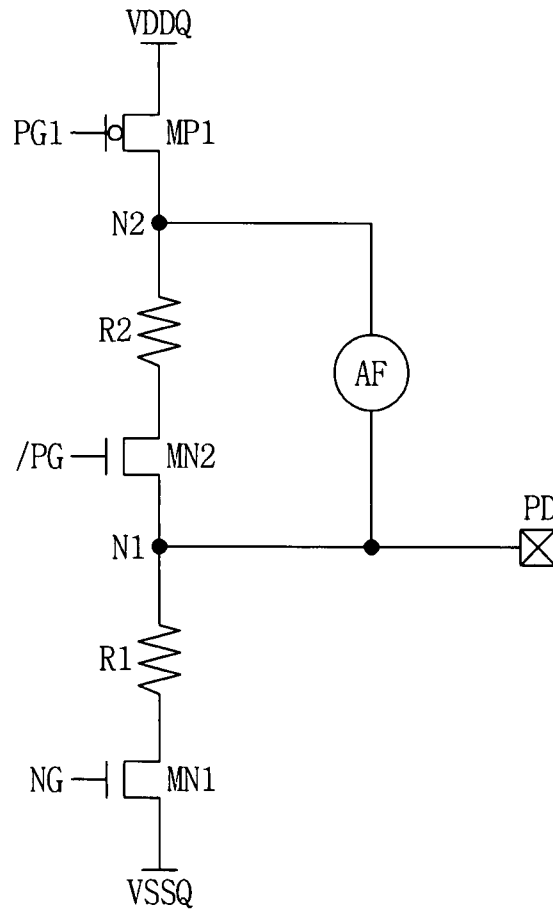


圖11A

22b

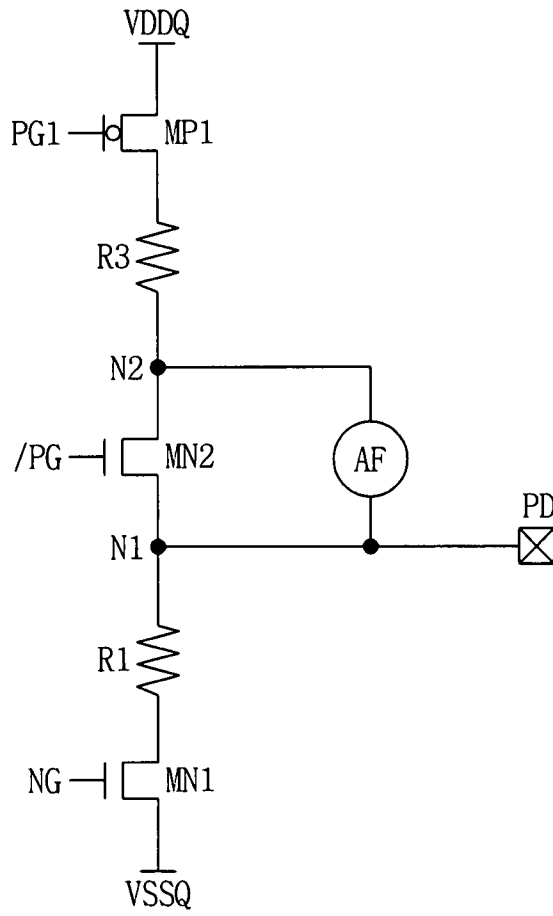


圖11B

22c

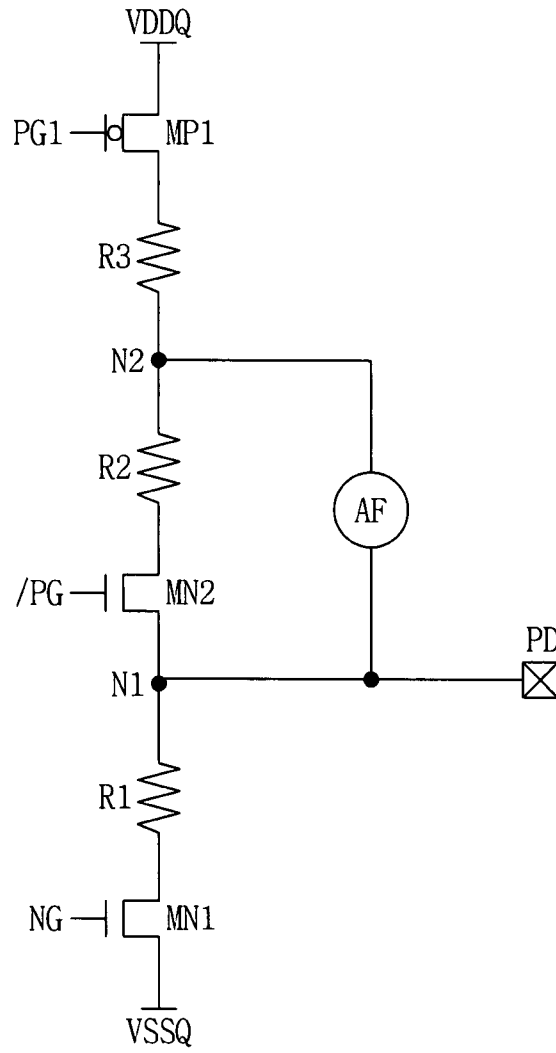


圖11C

23a

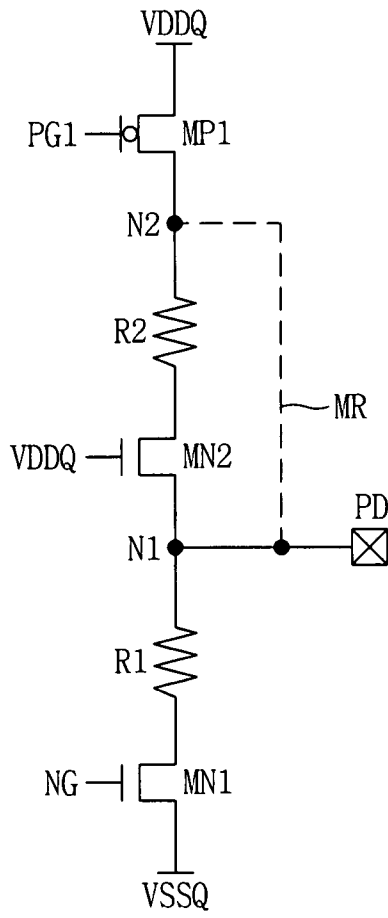


圖12A

23b

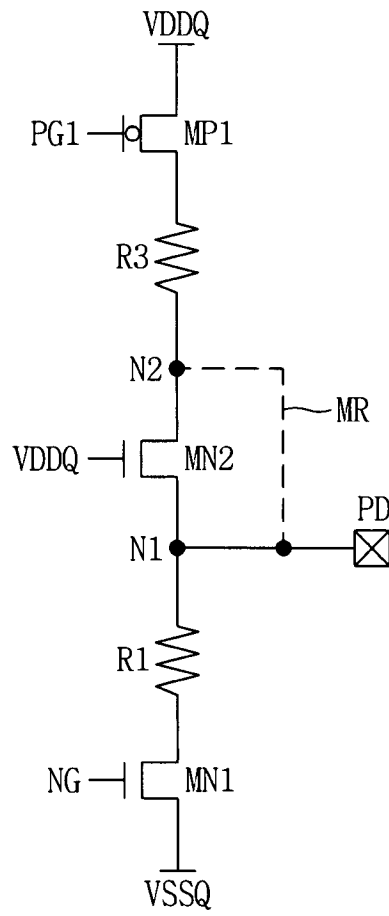


圖12B

23c

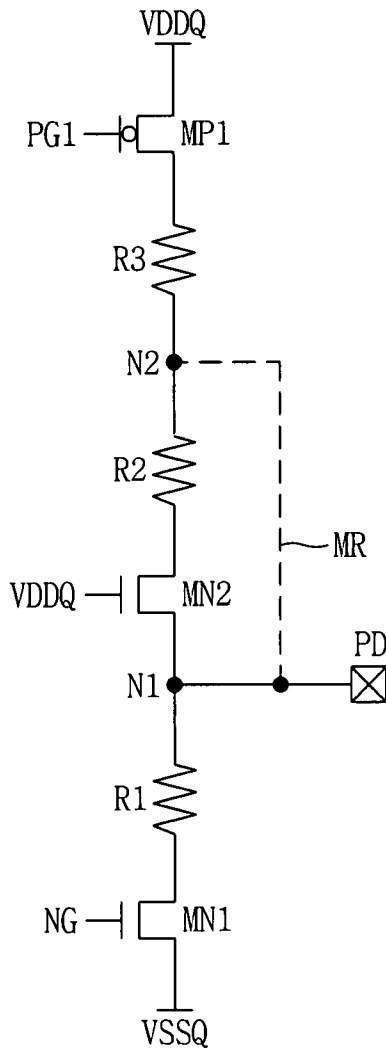


圖12C



24a

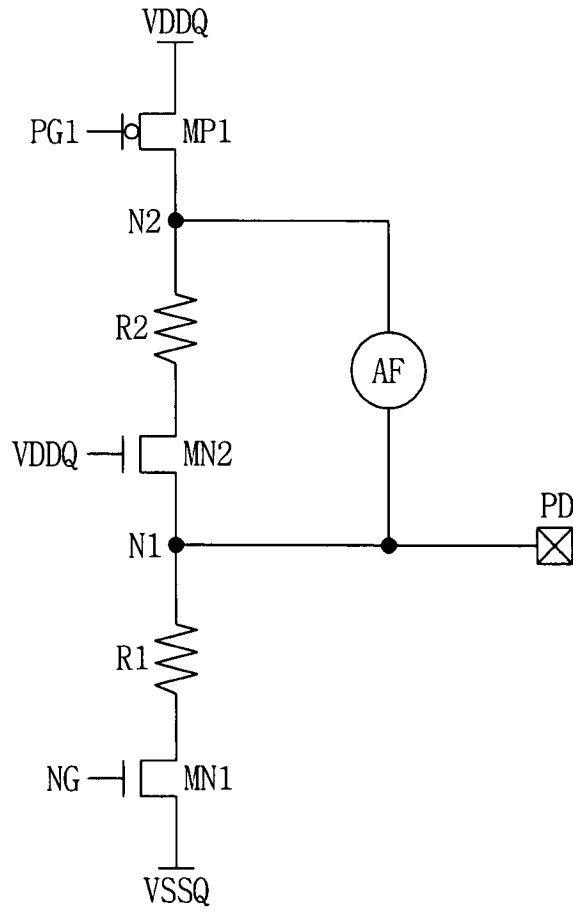


圖13A

24b

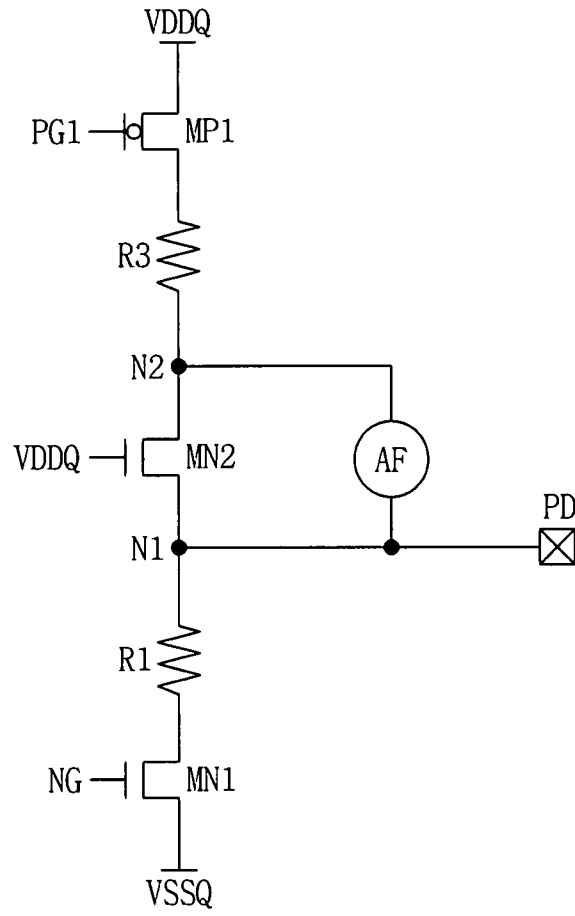


圖13B

24c

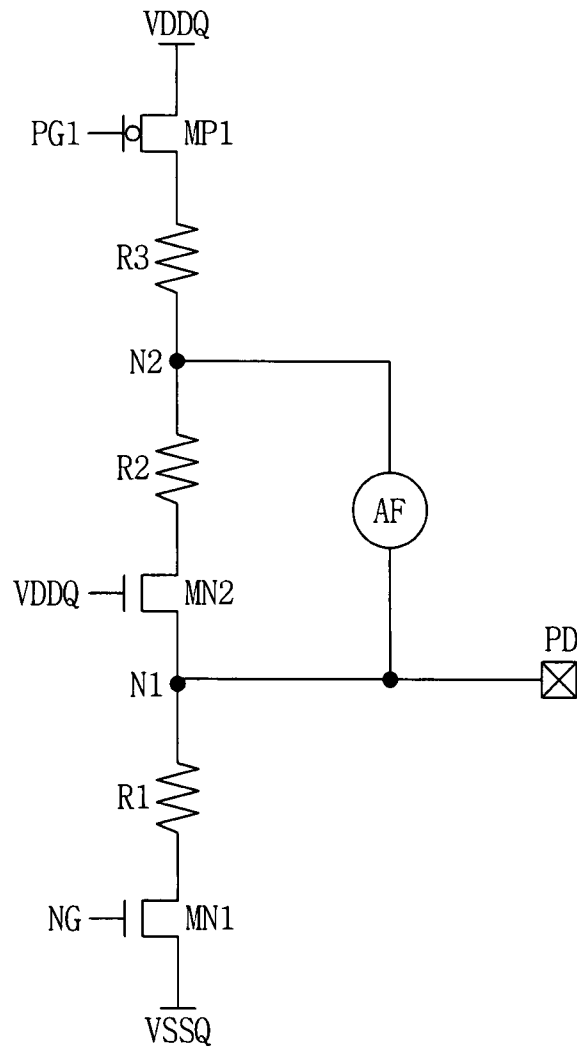


圖13C

25a

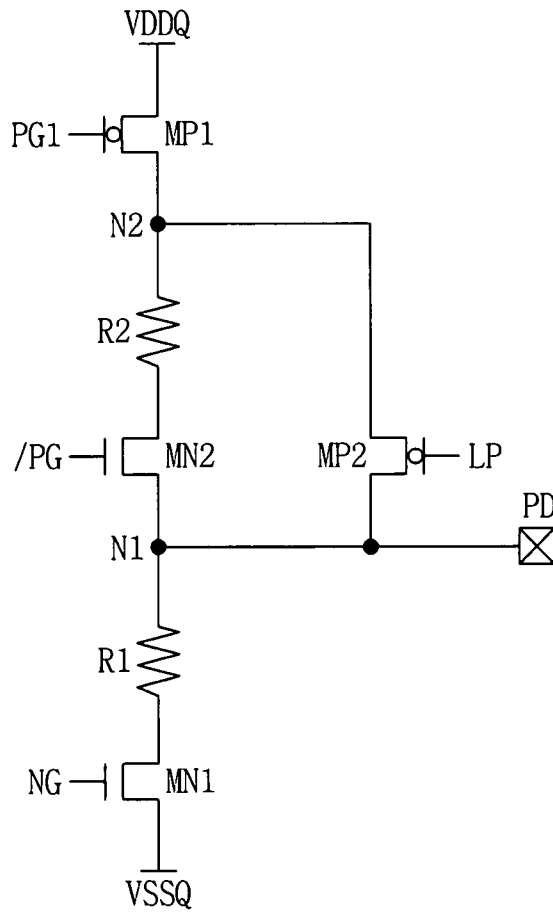


圖14A

25b

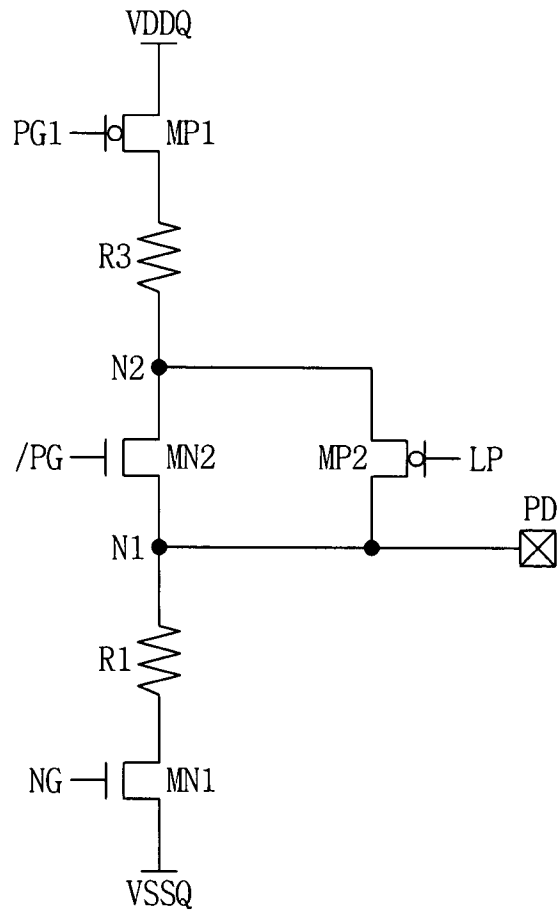


圖14B

25c

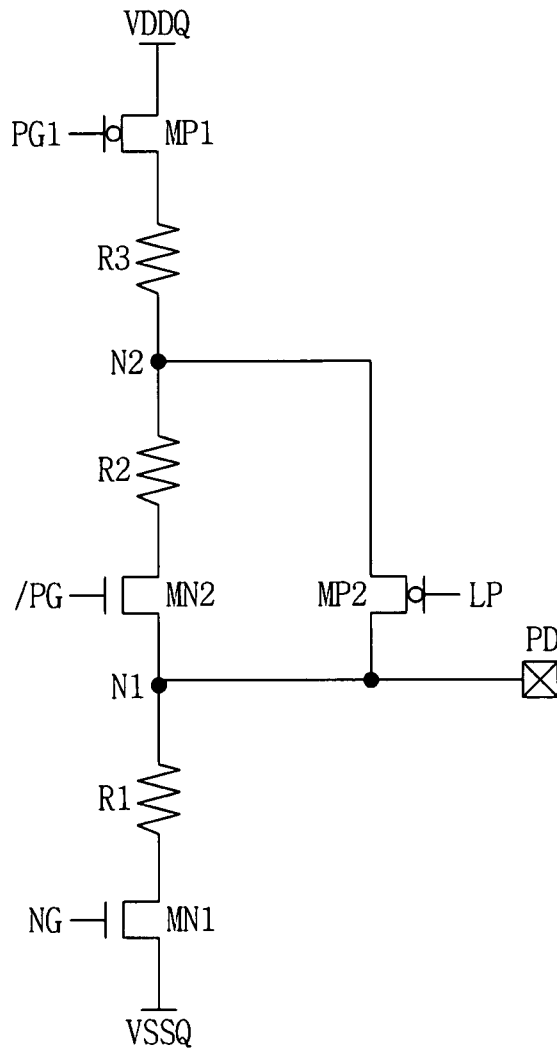


圖 14C

26a

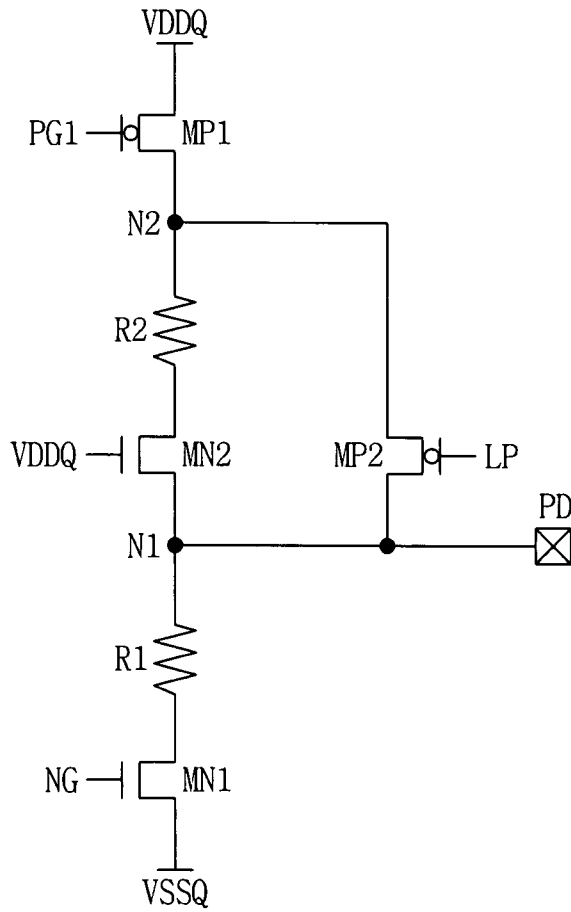


圖15A

26b

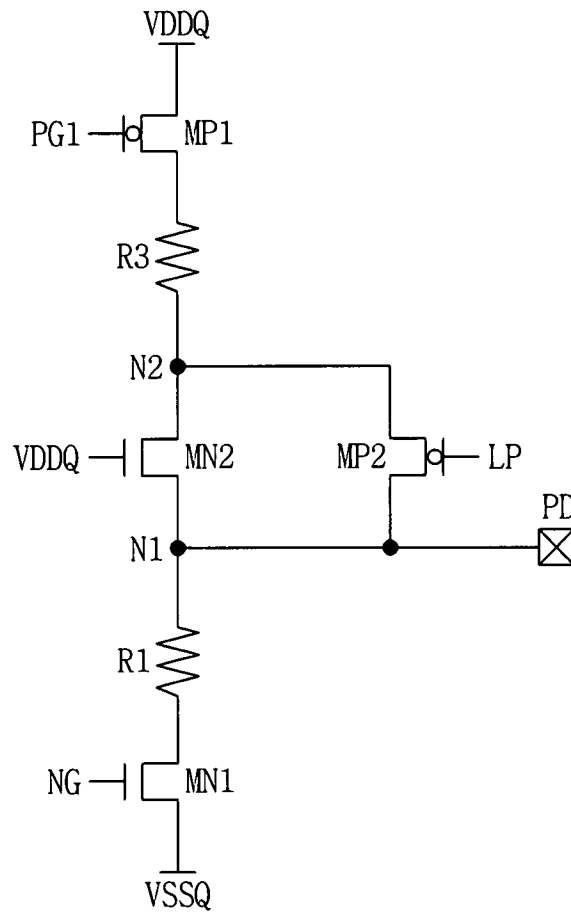


圖 15B

26c

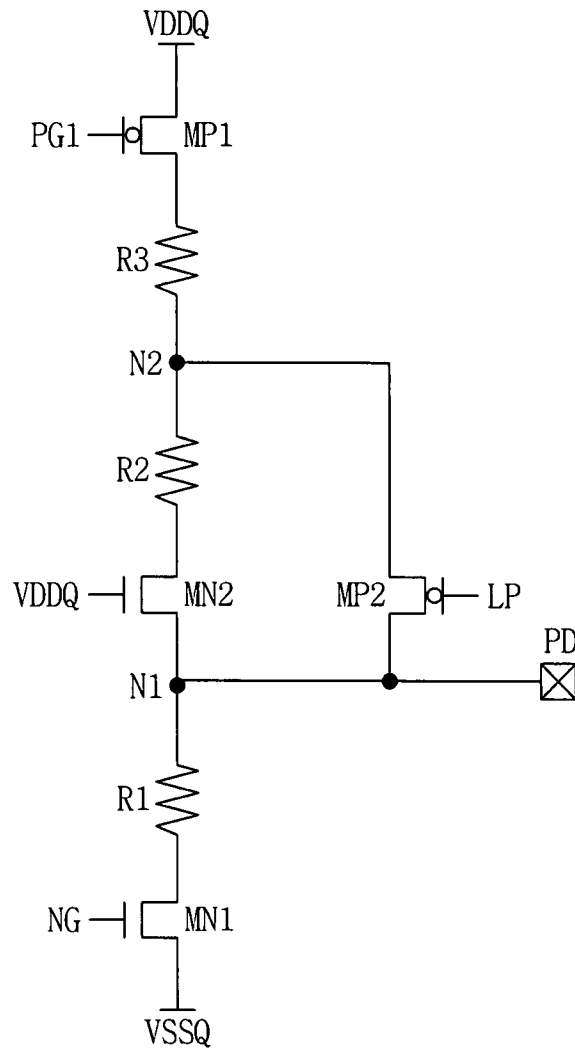


圖15C

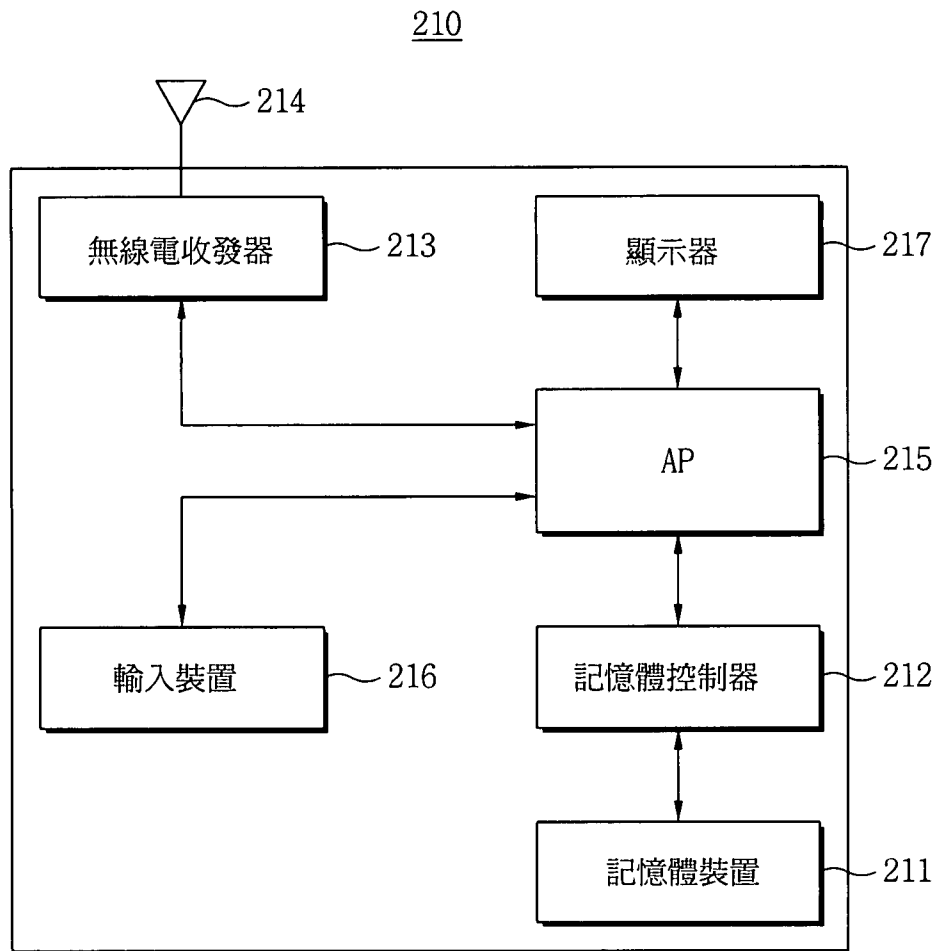


圖16

220

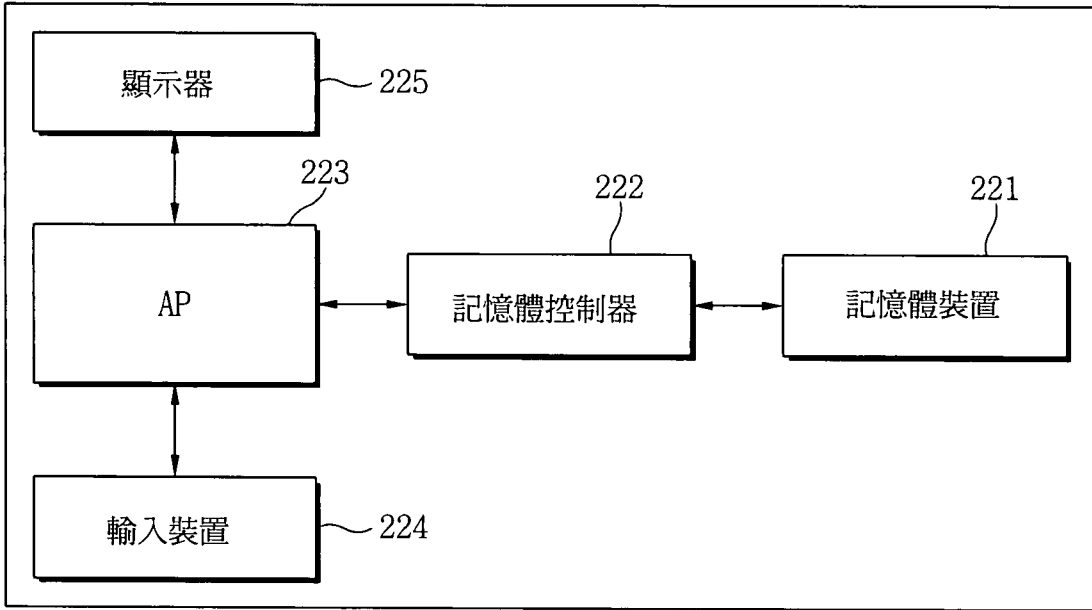


圖17

230

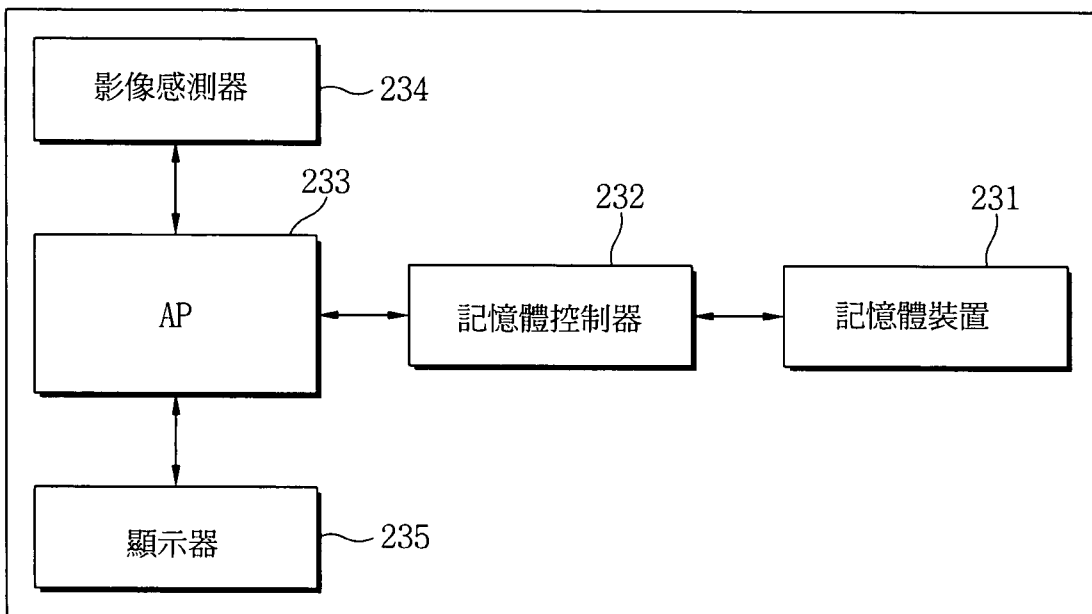


圖18