



[12] 发明专利说明书

专利号 ZL 03820064.3

[45] 授权公告日 2008年2月20日

[11] 授权公告号 CN 100370685C

[22] 申请日 2003.7.29 [21] 申请号 03820064.3
 [30] 优先权
 [32] 2002. 8. 30 [33] JP [31] 255616/2002
 [86] 国际申请 PCT/JP2003/009578 2003.7.29
 [87] 国际公布 WO2004/023634 日 2004.3.18
 [85] 进入国家阶段日期 2005.2.24
 [73] 专利权人 三垦电气株式会社
 地址 日本埼玉县
 [72] 发明人 小池宪吾
 [56] 参考文献
 CN1365181A 2002.8.21
 JP5-55787U 1993.7.23
 US6259613B1 2001.7.10
 JP2000-14139A 2000.1.14
 审查员 徐珍霞

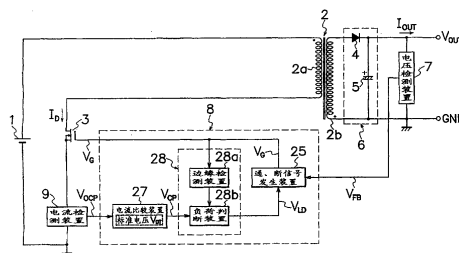
[74] 专利代理机构 中国国际贸易促进委员会专利
 商标事务所
 代理人 杜日新

权利要求书 3 页 说明书 36 页 附图 24 页

[54] 发明名称
 开关电源装置

[57] 摘要

本发明的开关电源装置包括：电流比较装置(27)，其在电流检测装置(9)的检测电压(V_{ocp})达不到标准电源(V_{DT})时，输出低电压(L)电平的电流检测信号(V_{CP})；在上述检测电压(V_{ocp})超过标准电压(V_{DT})时输出高电压(H)电平的电流检测信号(V_{CP})；边缘检测装置(28a)，用于检测 MOS - FET3 的截止时的驱动信号(V_G)的边缘；以及负荷判断装置(28b)，其在边缘检测装置(28a)检测出驱动信号(V_G)的边缘时，从电流比较装置(27)中取出电流检测信号(V_{CP})，发生输出信号(V_{LD})。当负荷判断装置(28b)的输出信号(V_{LD})为低电压(L)电平时判断为小负荷状态；当上述输出信号(V_{LD})为高电压(H)电平时判断为比小负荷大的负荷状态。采用以上结构，能够在初级侧准确而切实地检测出开关电源装置的次级侧的负荷状态，同时能够提高变换效率。



1、一种开关电源装置，包括：直流电源；与该直流电源串联连接的变压器的初级线圈和开关元件；对上述变压器的初级线圈或上述开关元件中流过的电流进行检测的电流检测装置；与上述变压器的次级线圈相连接而且产生直流输出电压的输出整流滤波电路；以及用于产生驱动信号以便控制上述开关元件的通、断时间使上述直流输出电压一定的控制电路，其特征在于：还包括用于检测直流输出电压的电压检测装置，

上述控制电路具有：电流比较装置，用于对电流检测装置的检测信号的电压电平和标准电压的电平进行比较，输出第1电压电平或第2电压电平的电流检测信号；边缘检测装置，用于在从开关元件3的导通向断开切换时检测施加到上述开关元件的控制端子上的上述驱动信号的脉冲边缘；负荷判断装置，用于在该边缘检测装置检测出上述驱动信号的边缘时从上述电流比较装置中取得上述电流检测信号，发生输出信号；以及通、断信号发生装置，用于接收电压检测装置来的电压检测信号，并且为使直流输出电压的电平一定而产生一种驱动信号以便对开关元件的通、断时间进行控制；当上述负荷判断装置的输出信号为上述第1电压电平时，判断为小负荷状态；当上述负荷判断装置的输出信号为上述第2电压电平时，判断为比小负荷大的负荷状态。

2、如权利要求1所述的开关电源装置，其特征在于：在上述负荷判断装置的输出信号为上述第1电压电平时使上述驱动信号的振荡频率降低，在上述负荷判断装置的输出信号为上述第2电压电平时使上述驱动信号的振荡频率提高。

3、如权利要求1所述的开关电源装置，其特征在于：上述控制电路具有一种电压电平变更装置，用于在上述负荷判断装置的输出信号的电压电平进行切换时，对上述电流比较装置的标准电压的电平进行变更，其方向与上述电流检测装置的检测信号的电压峰值变动的方

向相同，或者对上述检测信号的电压电平进行变更，其方向与上述电流检测装置的检测信号的电压峰值变动方向相反。

4、如权利要求 1~3 中的任一项所述的开关电源装置，其特征在于：开关元件包括有控制端子和两个主端子，上述控制电路具有：最低点检测装置，用于在开关元件的断开期间对上述开关元件的两个主端子间电压的最小电压点进行检测；以及最低点跳越控制装置，用于在上述负荷判断装置的输出信号为第 2 电压电平时利用由上述最低点检测装置检测出的最初的上述最小电压点来使上述开关元件导通；在上述负荷判断装置的输出信号为第 1 电压电平时利用由上述最低点检测装置检测出的第 2 次以后的上述最小电压点来使上述开关元件导通。

5、如权利要求 4 所述的开关电源装置，其特征在于：变压器包括：与初级线圈和次级线圈电磁耦合的驱动线圈，上述最低点检测装置具有一种波形整形装置，用于在上述开关元件断开期间把上述变压器的驱动线圈内产生的振铃电压变换成脉冲串电压，检测出脉冲串电压的下降边缘作为上述开关元件的两主端子间电压的最小电压点。

6、如权利要求 1~3 中的任一项所述的开关电源装置，其特征在于：设置了多个上述电流比较装置、上述边缘检测装置和上述负荷判断装置，多个上述电流比较装置，分别利用不同的标准电压电平来对上述电流检测装置的检测信号电压进行比较，利用从多个上述负荷判断装置中分别输出的上述第 1 电压电平的输出信号使上述驱动信号的振荡频率分别按照不同的多个频率降低。

7、如权利要求 1 或 3 所述的开关电源装置，其特征在于：上述控制电路具有一种间歇振荡控制装置，用于在负荷判断装置的输出信号为上述第 1 电压电平时，利用比上述驱动信号的振荡周期长得多的周期按一定时间使上述开关元件停止通、断动作。

8、如权利要求 1~3 中的任一项所述的开关电源装置，其特征在于：上述边缘检测装置和上述负荷判断装置由 D 触发器而构成。

9、如权利要求 1~3 中的任一项所述的开关电源装置，其特征在

于具有：起动装置，它与上述直流电源相连接而且在起动时向上述控制电路内供给驱动用功率；驱动线圈，用于和上述变压器的初级线圈与次级线圈进行电磁耦合；以及辅助输出整流滤波电路，它与上述驱动线圈相连接，而且用于输出直流电压以便驱动上述控制电路。

10、如权利要求 1~3 中的任意一项所述的开关电源装置，其特征在于：具有一种与上述直流电源相连接，而且向上述控制电路内供给驱动用功率的驱动电源电路。

11、如权利要求 1~3 中的任一项所述的开关电源装置，其特征在于：上述开关元件具有分流装置，以便对上述变压器的初级线圈侧的闭合电路中所流过的电流进行分流，利用该电流检测装置来检测由该分流装置进行分流后的电流。

开关电源装置

技术领域

本发明涉及开关电源装置，尤其涉及在初级侧能够正确而且确实检测出次级侧的负荷状态的同时，又能够提高变换效率的开关电源装置。

背景技术

众所周知的技术振铃扼流圈变换器(RCC)等自激式反馈型开关电源装置，若变成负荷小的状态，则开关元件的导通时间缩短，变压器次级线圈的反馈电压发生的期间缩短，所以开关元件的振荡频率增加。开关元件的振荡频率，大致在最大负荷时为30~70[KHz]，在最小负荷时为200~400[KHz]。因此，存在的问题是：随着负荷的减小，开关元件的开关次数增加，开关损耗增加，小负荷时变换效率低。所以，例如即使最大负荷时变换效率为85%的开关电源装置，也往往是在最小负荷时变换效率降低到10%以下。

并且，PWM(脉宽调制)方式的反馈型开关电源装置，待机状态等最小负荷时和通常状态等最大负荷时，均能够使振荡频率保持一定，所以开关元件的开关损耗不会变化。然而，在小负荷时开关损耗以外的功率损耗减小，所以开关损耗所占的比例增大，变换效率降低。

为了解决上述问题，例如在特开平9-140128号公报中公开的开关电源装置，如图26所示，具有：微型计算机108，它设置在次级侧，而且用于识别或控制机器的动作状态；以及传输电路109，它把从微机108来的控制信号传输到初级侧，在动作待机方式时，利用微机108来控制开关电源装置的振荡频率。在图26中101表示对变压器106的初级线圈中所流过的电流进行接通、断开，而且当控制端子101a的电压达到阈值电压时变成导通状态的开关元件；102表示对开关元

件 101 进行通、断的开关元件驱动电路；103 是控制开关元件 101 的导通时间使次级侧输出电压保持稳定的初级侧开关元件驱动控制电路，104 是变压器 106 的次级线圈上所连接的次级侧整流滤波电路；105 是变压器 106 的初级侧辅助线圈上连接的初级侧整流滤波电路；106 表示对初级侧和次级侧进行绝缘，而且利用电磁耦合来把初级侧输入电压变换成所需的次级侧输出电压的变压器；107 表示对从次级侧整流滤波电路 104 中输出的次级侧输出电压进行检测的检测电路。该开关电源装置，动作待机时，即小负荷时的开关损耗减小，变换效率大大改善。但存在的问题是：零件数量大量增加，制造成本猛增。并且，因为需要微机等大规模的指令装置，所以很难适用于移动电话机（PHS 等）和笔记本电脑等小型电子设备用的 AC 适配器。

但是在对次级侧的负荷状态进行检测的情况下，可以采用这样的方法，即在次级侧检测出负荷电流，传输到初级侧，或者如上所述利用次级侧设置的微机等的指令信号传输到初级侧。但无论哪种方法，其缺点都是零件数量增多。于是，为了把零件数量控制在最小限度，必须在初级侧准确地检测次级侧的负荷状态。在初级侧检测次级侧的负荷状态的方法是：测量出开关元件内流过的开关电流、从次级侧来的电压反馈信号、或者在变压器线圈中的反馈电压的发生时间等。测量开关元件内流过的开关电流或变压器的线圈电流的方法，一般大都是作为过电流保护电路（OCP），由电流检测用电阻和变换器（比较器）等构成。然而，若用此法来使开关元件关断，则利用作为开关元件的结构上形成的寄生电容，噪声问题的对策而插入到开关元件的端子之间的缓冲电路（缓冲电容器等），或者利用作为噪声对策和开关元件的保护措施而插入到变压器的线圈之间缓冲电路等，能够如图 27 所示，在开关元件接通的瞬间会流过大容量的短路电流。该电容性的短路电路不能够仅根据小负荷时和大负荷时等的次级侧的负荷状态来决定，所以，尤其小负荷时电容性短路电流所造成的电流峰值会大于次级侧的负荷电流所造成的电流峰值，很难准确地检测出次级侧的负荷状态。由于上述原因，上述电流检测电路并不是为了检测次

级侧的负荷状态（小负荷或者比小负荷大的状态），在开关元件产生某种故障（例如次级侧电路破损造成的过负荷状态或者控制系统破损造成的无控制状态）的情况下，一般是作为防止开关电流过大用的保护电路，即过电流保护电路使用。所以很难做到：用最少的零件数量在初级侧准确地检测次级侧的负荷状态，根据该检测结果而切换到最佳振荡动作，以此提高开关电源装置的变换效率。

发明内容

因此，本发明的目的在于提供这样一种开关电源装置，即能够在初级侧准确而确实地检测次级侧的负荷状态的同时，能够提高变换效率。

根据本发明，提供一种开关电源装置，包括：直流电源；与该直流电源串联连接的变压器的初级线圈和开关元件；对上述变压器的初级线圈或上述开关元件中流过的电流进行检测的电流检测装置；与上述变压器的次级线圈相连接而且产生直流输出电压的输出整流滤波电路；以及用于产生驱动信号以便控制上述开关元件的通、断时间使上述直流输出电压一定的控制电路，其特征在于：还包括用于检测直流输出电压的电压检测装置，上述控制电路具有：电流比较装置，用于对电流检测装置的检测信号的电压电平和标准电压的电平进行比较，输出第1电压电平或第2电压电平的电流检测信号；边缘检测装置，用于在从开关元件3的导通向断开切换时检测施加到上述开关元件的控制端子上的上述驱动信号的脉冲边缘；负荷判断装置，用于在该边缘检测装置检测出上述驱动信号的边缘时从上述电流比较装置中取得上述电流检测信号，发生输出信号；以及通、断信号发生装置，用于接收电压检测装置来的电压检测信号，并且为使直流输出电压的电平一定而产生一种驱动信号以便对开关元件的通、断时间进行控制；当上述负荷判断装置的输出信号为上述第1电压电平时，判断为小负荷状态；当上述负荷判断装置的输出信号为上述第2电压电平时，判断为比小负荷大的负荷状态。

采用本发明的开关电源装置具有：直流电源 1、与直流电源 1 串联连接的变压器 2 的初级线圈 2a 和开关元件 3、对变压器 2 的初级线圈 2a 或开关元件 3 中流过的电流 I_D 进行检测的电流检测装置 9、与变压器 2 的次级线圈 2b 相连接而且产生直流输出电压 V_{out} 的输出整流滤波电路 6、以及用于产生驱动信号 V_G 以便控制开关元件 3 的通、断时间使直流输出电压 V_{out} 大致一定的控制电路 8。控制电路 8 具有：电流比较装置 27，用于对电流检测装置 9 的检测信号 V_{ocp} 的电平和标准电压 V_{DT} 的电平进行比较，输出第 1 电压 L 电平或第 2 电压 H 电平的电流检测信号 V_{cp} ；边缘检测装置 28a，用于在从开关元件 3 的导通向断开切换时检测施加到开关元件 3 的控制端子上的驱动信号 V_G 的脉冲边缘；以及负荷判断装置 28b，用于在边缘检测装置 28a 检测出驱动信号 V_G 的边缘时从电流比较装置 27 中取得电流检测信号 V_{cp} ，发生输出信号 V_{LD} 。当负荷判断装置 28b 的输出信号 V_{LD} 为第 1 电压 L 电平时，判断为小负荷状态；当负荷判断装置 28b 的输出信号 V_{LD} 为第 2 电压 H 电平时，判断为比小负荷大的负荷状态。当开关元件 3 从导通切换到断开时，根据从负荷判断装置 28b 中输出的信号 V_{LD} 电压电平进行负荷状态判断，所以，开关元件 3 接通时发生的浪涌电流等电容性短路电流不会造成误检测，在初级侧能够准确而且确实地检测出与变压器 2 的次级侧上所连接的负荷的状态。并且，负荷状态的判断按照开关元件 3 从导通向断开切换的定时来进行，所以优点是，不容易受到感应噪声等外来噪声的影响。

本发明的第 1 实施方式的控制电路 8，具有这样一种振荡控制装置 22，它在负荷判断装置 28b 的输出信号 V_{LD} 为第 1 电压 L 电平时使驱动信号 V_G 的振荡频率降低，在负荷判断装置 28b 的输出信号 V_{LD} 为第 2 电压 H 电平时使驱动信号 V_G 的振荡频率提高。在变压器 2 的初级线圈 2a 或开关元件 3 内所流过的电流 I_D 小的小负荷状态时，负荷判断装置 28b 的输出信号 V_{LD} 为第 1 电压 L 电平，所以利用振荡控制装置 22 来降低开关元件 3 的控制端子上所加的驱动信号 V_G 的振荡频率，减少开关元件 3 的开关次数。这样，能够减少小负荷时的开关

损耗，能够在很宽的负荷范围内提高开关电源装置的变换效率。

本发明的第2实施方式中的控制电路8具有一种电压电平变更装置31，用于在负荷判断装置28b的输出信号 V_{LD} 的电压电平进行切换时，对电流比较装置27的标准电压 V_{DT} 的电平进行变更，其方向与电流检测装置9的检测信号 V_{ocp} 的电压峰值变动的方向相同，或者对上述检测信号 V_{ocp} 的电压电平进行变更，其方向与电流检测装置9的检测信号 V_{ocp} 的电压峰值变动方向相反。若负荷变动，则驱动信号 V_G 的振荡频率发生变化，初级侧所流过的开关电流 I_D 的最大值发生变动。这时，利用电压电平变更装置31来对电流比较装置27的标准电压 V_{DT} 的电平进行变更，其方向与电流检测装置9的检测信号 V_{ocp} 的电压峰值的变动方向相同，或者对电流检测装置9的检测信号 V_{ocp} 的电压电平进行变更，其方向与电流检测装置9的检测信号 V_{ocp} 的电压峰值的变动方向相反，所以，能够稳定地切换负荷变动时的开关元件3的振荡动作。

本发明的第3实施方式中的控制电路8具有：最低点检测装置41，用于在开关元件3的断开期间对开关元件3的两个主端子间电压 V_{DS} 的最小电压点进行检测；以及最低点跳越控制装置42，用于在负荷判断装置28b的输出信号 V_{LD} 为第2电压H电平时利用由最低点检测装置41检测出的最初的最小电压点来使开关元件3导通；在负荷判断装置28b的输出信号 V_{LD} 为第1电压L电平时利用由最低点检测装置41检测出的第2次以后的最小电压点来使开关元件3导通。在小负荷状态下而且负荷判断装置28b的输出信号 V_{LD} 为第1电压L电平时，利用最低点跳越控制装置42由开关元件3的两主端子间电压 V_{DS} 的第2个以后的最小电压点来使开关元件3导通，因此开关元件3的断开时间延长，开关元件3的开关频率降低。所以开关元件3的开关次数减少，因此，能够减少小负荷时的开关损耗，在很宽的负荷范围内能够提高开关电源装置的变换效率。也就是说，在小负荷状态时，开关元件3断开后，变压器2的反馈能量在较短时间内从次级线圈2b通过整流检波电路6供给到负荷内，所以，在开关元件3的两主端子间产

生包括自由振动成分在内的宽度窄的电压脉冲。因此，最低点检测装置 41 当检测出了宽度窄的电压脉冲的第 2 个以后的最小电压点时，利用最低点跳越控制装置 42 来使开关元件 3 导通，所以，开关元件 3 的断开时间延长，开关元件 3 的开关频率降低。并且，在比小负荷大的负荷时，开关元件 3 断开后，变压器 2 的反馈能量在较长的时间内从次级线圈 2b 通过整流滤波电路 6 而供给到负荷上，所以，在开关元件 3 的两主端子间产生宽度大的电压脉冲。当最低点检测装置 41 检测出宽度大的电压脉冲的最初的最小电压点时，利用最低点跳越控制装置 42 来使开关元件 3 导通，所以在变压器 2 的复位时间结束后的开关元件 3 的两主端子间电压 V_{DS} 的最小电压点（最低点）时，进行使开关元件 3 从断开状态向导通状态切换的模拟谐振动作。并且，图示的实施方式中的最低点检测装置 41 具有一种波形整形装置，用于在开关元件 3 断开期间把变压器 2 的驱动线圈 2c 内产生的振铃电压 V_{BM} 变换成脉冲串电压 V_{BD} 。检测出脉冲串电压 V_{BD} 的下降边缘作为开关元件 3 的两主端子间电压 V_{DS} 的最小电压点。

在本发明的第 4 实施方式中，设置了多个电流比较装置 27、边缘检测装置 28a 和负荷判断装置 28b，多个电流比较装置 27、62，分别利用不同的标准电压 V_{DT1} 、 V_{DT2} 电平来对电流检测装置 9 的检测信号 V_{ocp} 电压进行比较，利用从多个负荷判断装置 28b、63 中分别输出的第 1 电压 L 电平的输出信号 V_{LD1} 、 V_{LD2} 使驱动信号 V_G 的振荡频率分别按照不同的多个频率降低。在小负荷时，开关元件 3 的控制端子上所加的驱动信号 V_G 的振荡频率根据负荷状态而分别按照不同的多个频率来降低，所以，能够更精密地控制在小负荷时的开关元件 3 的驱动信号 V_G 的振荡频率，进一步提高开关电源装置的变换效率。

本发明的第 5 实施方式的控制电路 8 具有一种间歇振荡控制装置 71，用于在负荷判断装置 28b 的输出信号 V_{LD} 为第 1 电压 L 电平时，利用比驱动信号 V_G 的振荡周期长的多的周期按一定时间 t_B 使开关元件 3 停止通、断动作。在变压器 2 的初级线圈 2a 或开关元件 3 内流过的电流 I_D 小的小负荷状态时，负荷判断装置 28b 的输出信号 V_{LD} 为第

1 电压 L 电平，所以，利用间歇振荡控制装置 71 采用比驱动信号 V_G 的振荡周期长得多的周期按一定时间 t_B 使开关元件 3 停止开、关动作，使开关元件 3 的开关次数急剧减少。这样，能够大幅度减少小负荷时的开关损耗，能够在很宽的负荷范围内提高开关电源装置的变换效率。

在本发明的各个实施方式中，边缘检测装置 28a 和负荷判断装置 28b 由 D 触发器 28 而构成，其中具有：起动装置 10，它与直流电源 1 相连接而且在起动时向控制电路 8 内供给驱动用功率；驱动线圈 2c，用于和变压器 2 的初级线圈 2a 与次级线圈 2b 进行电磁耦合；以及辅助整流滤波电路 13，它与驱动线圈 2c 相连接，而且用于输出直流电压 V_{IN} 以便驱动上述控制电路 8。并且，本发明也能够适用于这样的开关电源装置，它具有和直流电源 1 相连接，而且向控制电路 8 内供给驱动用功率的驱动电源电路。再者，也可以使用这样的开关元件 91，其具有的分流装置 92，以便对变压器 2 的初级线圈 2a 侧的闭合电路中所流过的电流 I_D 进行分流，利用电流检测装置 9 来检测由分流装置 92 进行分流后的电流。

附图说明

图 1 是表示采用本发明的开关电源装置的基本概念的方框电路图。

图 2 是表示采用本发明的开关电源装置适用于他激式反馈型 DC-DC 变换器的第 1 实施方式的电路图。

图 3 是表示图 2 的电路中的开关电流所对应的 D 触发器的输入信号和输出信号的波形的时间图。

图 4 是表示图 2 的电路各部分的电流和电压的时间图。

图 5 是表示本发明第 2 实施方式的电路图。

图 6 是表示图 5 的电压电平变更装置电路的内部结构的电路图。

图 7 是表示图 5 的电压电平变更装置电路的另一实施方式的电路图。

图 8 是表示图 5 的电路的各部分的电流和电压的时间图。

图 9 是表示本发明第 3 实施方式的控制电路的电路图。

图 10 是表示图 9 的最低点检测装置的内部结构的电路图。

图 11 是小负荷时的 MOS-FET 的漏—源端子间电压所对应的图 10 的最低点检测电路的各部分信号的波形图。

图 12 是表示图 9 的最低点检测电路的其他实施方式的电路图。

图 13 是小负荷时的 MOS-FET 的漏—源端子间电压所对应的图 12 的最低点检测电路的各部分信号的波形图。

图 14 是表示图 9 的电路的各部分的电流和电压的时间图。

图 15 是表示图 9 的负荷比例所对应的振荡动作状态的磁滞特性的曲线图。

图 16 是表示本发明第 4 实施方式的控制电路的电路图。

图 17 是表示图 16 的电路的各部分的电流和电压的时间图。

图 18 是表示本发明第 5 实施方式的电路图。

图 19 是表示图 18 的电路的各部分的电流和电压的时间图。

图 20 是表示把图 2 的电路中的开关电流作为正电压进行检测的情况下的实施方式的电路图。

图 21 是表示图 20 的电路的各部分的电流和电压的时间图。

图 22 是表示在驱动线圈侧检测次级侧的直流输出电压的情况下的实施方式的电路图。

图 23 是表示使用读出 MOS-FET 的情况下的实施方式的电路图。

图 24 是表示在图 16 电路中附加了最低点跳越控制装置电路的情况下的实施方式的电路图。

图 25 是表示图 24 的各部分的电流和电压的时间图。

图 26 是表示过去的开关电源装置的电路图。

图 27 是表示过去的开关电源装置的大负荷时和小负荷时的开关电流的波形图。

具体实施方式

以下根据图 1~图 25, 详细说明采用本发明的开关电源装置的各

实施方式。

图1表示的各实施方式中的开关电源装置的基本概念的方框电路图。图1所示的开关电源装置具有：直流电源1；与直流电源1串联连接的变压器2的初级线圈2a和作为开关元件的MOS-FET（MOS型场效应晶体管）3；输出整流滤波电路6，它由变压器2的次级线圈2b上所连接的输出整流二极管4和输出滤波电容器5而构成并且用于产生直流输出电压 V_{out} ；电压检测装置（输出电压检测电路）7，用于检测直流输出电压 V_{out} ；控制电路8，它具有通、断信号发生装置25，用于接收从电压检测装置7来的检测信号 V_{FB} ，而且为使直流输出电压 V_{out} 的电平大致一定而产生一种驱动信号 V_G 以便对MOS-FET3的通、断时间进行控制；以及电流检测装置（电流检测用电阻）9，用于检测变压器2的初级线圈2a或MOS-FET3内流过的电流 I_D 作为电压。控制电路8具有：电流比较装置（电流检测用比较器）27，用于在电流检测装置9的检测信号 V_{ocp} 的电压达不到标准电压 V_{DT} 电平时，输出低电压L电平的电流检测信号 V_{cp} ；在电流检测装置9的检测信号 V_{ocp} 电压超过标准电压 V_{DT} 电平时输出高电压H电平的电流检测信号 V_{cp} ；边缘检测装置28a，用于在MOS-FET3从导通向断开切换时检测出MOS-FET3的栅端子（控制端子）上所加的驱动信号 V_G 的下降边缘；以及负荷判断装置28b，用于在边缘检测装置28a检测出驱动信号 V_G 的下降边缘时从电流比较装置27中取出电流检测信号 V_{cp} ，产生输出信号 V_{LD} 。在图1所示的开关电源装置中，当负荷判断装置28b的输出信号 V_{LD} 为低电压L电平时判断为小负荷状态；当负荷判断装置28b的输出信号 V_{LD} 为高电压H电平时判断为从比小负荷大的负荷状态，即大负荷~通常负荷状态。而且，图2以后所示的各实施方式中，边缘检测装置28a和负荷判断装置28b由D触发器28构成。

把采用本发明的开关电源装置适用于图2所示的实施方式的他激式反馈型DC-DC变换器具有：直流电源1；它由通过输入滤波电路1b而连接在交流电源1a上的整流桥式电路1c和输入滤波电容器1d

构成;与直流电源 1 串联连接的变压器 2 的初级线圈 2a 和 MOS-FET3; 输出整流滤波电路 6, 它由变压器 2 的次级线圈 2b 上所连接的输出整流二极管 4 和输出滤波电容器 5 而构成并且用于产生直流输出电压 V_{out} ; 输出电压检测电路 7, 作为电压检测装置用于检测直流输出电压 V_{out} ; 控制电路 8, 用于接收从输出电压检测电路 7 来的检测信号 V_{FB} , 而且为使输出整流滤波电路 6 的直流输出电压 V_{out} 的电平大致一定而对 MOS-FET3 的通、断时间进行控制; 以及作为电流检测装置的电流检测用电阻 9, 用于检测变压器 2 的初级线圈 2a 或 MOS-FET3 内流过的电流 I_D 作为负电压。起动电阻 10, 它连接在构成直流电源 1 的整流电桥电路 1c 上而且作为起动装置在起动时向控制电路 8 内供给驱动用功率; 变压器 2 的初级线圈 2a 和次级线圈 2b 以及进行电磁耦合的驱动线圈 2c; 以及辅助整流滤波电路 13, 它由与驱动线圈 2c 相连接的整流二极管 11 和驱动用滤波电容器 12 构成, 而且输出一种用于驱动控制电路 8 的直流电压 V_{IN} 。输出电压检测电路 7 的检测输出, 通过构成光耦合器 14 的发光元件 14a 和受光元件 14b 而被传输到变压器 2 的初级侧, 受光元件 14b 和电阻 15 的连接点上所产生的电压 V_{FB} , 作为从输出电压检测电路 7 来的检测信号而输入到控制电路 8 内。

控制电路 8 具有: 标准电源 16, 它作为标准电压发生装置而发生标准电压 V_{RC} 用于规定变压器 2 的初级线圈 2a 或 MOS-FET3 内流过的最大电流; 电平移动用电阻 17、18, 用于对通过电流检测用电阻 9 检测出的负电压的电平进行变换; 过电流限制用比较器 19, 用于在电平移动的电流检测用电阻 9 的检测信号 V_{ocp} 的电压电平已达到标准电源 16 的标准电源 V_{RC} 的电平时, 输出高电压 H 电平的信号 V_1 以便使 MOS-FET3 达到断开状态; 电流方式控制用比较器 20, 用于当电平移动的电流检测用电阻 9 的检测信号 V_{ocp} 的电压电平达到从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平时输出高电压 H 电平信号 V_2 ; OR 门电路 21, 用于输出过电流限制用比较器 19 的输出信号 V_1 和电流方式控制用比较器 20 的输出信号 V_2 的逻辑和信号 V_3 ; 脉冲发生器 22, 用于从 MOS-FET3 断开后每经过一定时间就输出一次脉

冲信号 V_4 ; R-S 触发器 23, 它利用脉冲发生器 22 的脉冲信号 V_4 而变成置位状态, 向 MOS-FET3 的栅端子上输出高电压 H 电平的驱动信号 V_G ; 利用 OR 门 21 的逻辑和信号 V_3 而变成复位状态, 向 MOS-FET3 的栅端子上输出低电压 L 电平的驱动信号 V_G ; 控制电源电路 24, 它在从起动电阻 10 或辅助整流滤波电路 13 来的直流电压 V_{IN} 已达到驱动电压时, 向构成控制电路 8 的各元件 (16~28) 内供给驱动用直流功率, 而且当直流电压 V_{IN} 降低到停止电压时, 停止向上述各元件 (16~28) 内供给驱动用直流功率; 标准电源 26, 用于发生标准电压 V_{DT} 以便规定为判断无图示的负荷状态所需的电压电平; 电流检测用比较器 27, 它作为电流比较装置在电平移动电流检测用电阻 9 的检测信号 V_{ocp} 电压电平未达到标准电压 26 的标准电压 V_{DT} 电平时输出低电压 L 电平的电流检测信号 V_{cp} 。在检测信号 V_{ocp} 电压电平超过了标准电源 26 的标准电压 V_{DT} 电平时输出高电压 H 电平的电流检测信号 V_{cp} ; D 触发器 28, 它在 MOS-FET3 从导通向断开切换时, 加在栅端子上的驱动信号 V_G 下降边缘被输入到时钟输入端子 C_{LK} 内时, 通过信号输入端子 D 来取出从电流检测用比较器 27 输出的电流检测信号 V_{cp} , 从信号输出端子 Q 上发生与电流检测信号 V_{cp} 电压电平大致相同的电压电平的输出信号 V_{LD} , 同时, 在从驱动信号 V_G 的下降边缘被输入到时钟输入端子 C_{LK} 内起到再次被输入止的期间, 保持输出信号 V_{LD} 的电压电平。图 2 所示的电流方式控制用比较器 20、OR 门 21、脉冲发生器 22 和 R-S 触发器 23 构成图 1 所示的通/断信号发生装置 25。脉冲发生器 22, 具有一种振荡控制装置, 它在 D 触发器 28 的输出信号 V_{LD} 为低电压 L 电平时使脉冲信号 V_4 的发生周期增长, 这样来延长从 R-S 触发器 23 附加到 MOS-FET3 的栅端子上的驱动信号 V_G 的断开时间, 降低驱动信号 V_G 的振荡频率; 在 D 触发器 28 的输出信号 V_{LD} 为高电压 H 电平时, 使脉冲信号 V_4 的发生周期缩短, 这样来缩短从 R—S 触发器 23 附加在 MOS-FET3 的栅端子上的驱动信号 V_G 的断开时间, 提高驱动信号 V_G 的振荡频率。驱动信号 V_G 的断开时间、即变成低电压 L 电平的期间设定在例如 $10\mu s \sim 50\mu s$ 的范围内。

并且，电平移动的电流检测用电阻 9 的检测信号 V_{ocp} 电压电平，即电平移动用电阻 17、18 的连接点电压 V_{ocp} 的电平，通过适当选择各个电阻 17、18 的电阻值来进行设定，要达到：例如在起动前的状态下为 0V，在起动后 MOS-FET3 内流过的电源 I_D 为零时为 1.5V。

图 3 (A) ~ (E) 分别表示从大负荷~通常负荷状态向小负荷状态转移时的 MOS-FET3 的栅端子上所附加的驱动信号 V_G 、MOS-FET3 的漏电流 I_D 、电平移动用电阻 17、18 的连接点的电压 V_{ocp} 、电流检测用比较器 27 的电流检测信号 V_{cp} 和 D 触发器 28 的输出信号 V_{LD} 的各波形。也就是说，在小负荷~通常负荷状态下，如图 3 (A) 所示在时刻 t_0 MOS-FET3 的栅端子上所加的驱动信号 V_G 的电压电平从低电压 L 电平变成高电压 H 电平，若 MOS-FET3 接通，则电容性的短路电流瞬间地流入到 MOS-FET3 内，如图 3 (B) 所示，漏电流 I_D 急剧增加。随之，如图 3 (C) 所示，电平移动用电阻 17、18 的连接点的电压 V_{ocp} 降低到标准电源 26 的标准电压 V_{DT} 的电平以下，所以，如图 3 (D) 所示，从电流检测用比较器 27 中输出高电压 H 电平的电流检测信号 V_{cp} 。然后，若在时刻 t_1 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 高于标准电压 26 的标准电压 V_{DT} 的电平，则电流检测信号 V_{cp} 的电压电平从高电压 H 电平变成低电压 L 电平。

若 MOS-FET3 变成导通状态，则如图 3 (B) 所示，漏电流 I_D 直线增加，同时，如图 3 (C) 所示，电平移动用电阻 17、18 的连接点的电压 V_{ocp} 直线下降。若电平移动用电阻 17、18 的连接点的电压 V_{ocp} 在时刻 t_2 变成标准电源 26 的标准电压 V_{DT} 的电平以下，则如图 3 (D) 所示，电流检测用比较器 27 的电流检测信号 V_{cp} 的电压电平从低电压 L 电平切换到高电压 H 电平。如图 3 (A) 所示，若 MOS-FET3 的栅端子上所加的驱动信号 V_G 电压电平在时刻 t_3 从高电压 H 电平变成低电压 L 电平，则 MOS-FET3 从导通状态切换到截止状态。这时电流检测用比较器 27 的电流检测信号 V_{cp} 的电压电平如图 3 (D) 所示是高电压 H 电平，所以，在时刻 t_0 以前的负荷状态为小负荷状态的情况下，如图 3 (E) 的实线部分所示，从 D 触发器 28 的信号输出端

子 Q 中输出的信号 V_{LD} 的电压电平从低电压 L 电平切换到高电压 H 电平上, 在时刻 t_0 以前的负荷状态是大负荷~通常负荷状态的情况下, 如图 3 (E) 的虚线部分所示, 从 D 触发器 28 的信号输出端子 Q 输出的信号 V_{LD} 的电压电平保持在高电压 H 电平。所以, 当从 D 触发器 28 的信号输出端子 Q 输出高电压 H 电平的输出信号 V_{LD} 时, 判断为大负荷~通常负荷状态, 从脉冲发生器 22 中发生短周期的脉冲信号 V_4 。

若 MOS-FET3 变成截止状态, 则由于 MOS-FET3 本身的响应延迟或 MOS-FET3 的寄生电容所造成的米勒效果等, 如图 3 (B) 所示漏电流 I_D 缓慢减小, 同时如图 3 (C) 所示, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 缓慢上升。若电平移动用电阻 17、18 的连接点的电压 V_{cop} 在时刻 t_4 变成高于标准电源 26 的标准电压 V_{DT} 电平, 则如图 3 (D) 所示电流检测用比较器 27 的电流检测信号 V_{cp} 的电压电平从高电压 H 电平切换到低电压 (L) 电平, 在时刻 t_5 如图 3 (B) 所示, 漏电流 I_D 大致变成零。

当从大负荷~通常负荷状态转移到小负荷状态时, 如图 3 (A) 所示在时刻 t_6 MOS-FET3 的栅端子上所附加的驱动信号 V_G 的电压电平从电压 L 电平变成高电压 H 电平, 若 MOS-FET3 接通, 则与上述时刻 $t_0 \sim t_1$ 时一样有电容性短路电流瞬间地流入到 MOS-FET3 内, 如图 3 (B) 所示漏电流 I_D 急剧增加。

随之, 如图 3 (C) 所示, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 降低到标准电源 26 的标准电压 V_{DT} 电平以下, 所以如图 3 (D) 所示从电流检测用比较器 27 中输出高电压 H 电平的电流检测信号 V_{cp} 。然后, 若在时刻 t_7 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 高于标准电源 26 的标准电压 V_{DT} 电平, 则电流检测信号 V_{cp} 的电压电平从高电压 H 电平变成低电压 L 电平。若 MOS-FET3 变成导通状态, 则如图 3 (B) 所示, 漏电流 I_D 直线增加, 同时如图 3 (C) 所示, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 直线下降。小负荷时 MOS-FET3 的导通时间比大负荷—通常负荷时的导通时间 $t_0 \sim t_3$ 短, 所以, 如图 3 (A) 所示, 在较早的时刻 t_8 驱动信号 V_G 的电压电平从高

电压 H 电平变成低电压 L 电平, MOS-FET3 从导通状态切换到断开状态。所以, 如图 3 (C) 所示, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达不到标准电源 26 的标准电压 V_{DT} 的电平, 电流检测用比较器 27 的电流检测信号 V_{cp} 如图 3 (D) 所示保持低电压 L 电平。这样, 从 D 触发器 28 的信号输出端子 Q 中输出的信号 V_{LD} 的电压电平如图 3 (E) 所示在时刻 t_8 从高电压 H 电平切换到低电压 L 电平。所以当从 D 触发器 28 的信号输出端子 Q 中输出低电压 L 电平的输出信号 V_{LD} 时, 判断为小负荷状态, 从脉冲发生器 22 中发生长周期的脉冲信号 V_4 。

以下说明图 2 所示的他激式反馈型 DC-DC 变换器的动作。在启动时, 充电电流从直流电源 1 中通过起动电阻 10 流入到辅助整流滤波电路 13 的驱动用滤波电容器 12 内, 驱动用滤波电容器 12 的充电电压 V_{IN} 达到驱动电压时, 控制电路 8 内的控制电源电路 24 被驱动, 向构成控制电路 8 的各元件 16~28 内供给驱动用直流功率。这样, 脉冲发生器 22 被驱动, 若从脉冲发生器 22 中来的脉冲信号 V_4 被输入到 R—S 触发器 23 的置位端子 S 上, 则 R—S 触发器 23 变成置位状态, 所以, 从 R—S 触发器 23 向 MOS-FET3 的栅端子上附加高电压 H 电平的驱动信号 V_G , MOS-FET3 变成导通状态。这时流入到 MOS-FET3 内的漏电流 I_D 直线增加, 同时, 电流检测用电阻 9 的检测信号的电平移动用电阻 17、18 的连接点的电压 V_{ocp} 直线下降。当电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达到标准电源 26 的标准电压 V_{RC} 电平时, 从过电流限制用比较器 19 输出高电压 H 电平信号 V_1 。另一方面, 启动时从输出电压检测电路 7 中来的检测信号 V_{FB} 电压电平大致为零, 所以, 从电流方式控制用比较器 20 中输出低电压 L 电平信号 V_2 。这样, 从 OR 门 21 中输出高电压 H 电平的逻辑和信号 V_3 , 输入到 R—S 触发器 23 的复位端子 R 上, 变成复位状态, 所以从 R—S 触发器 23 向 MOS-FET3 的栅端子上附加低电压 L 电平的驱动信号 V_G , MOS-FET3 变成截止状态, 流入到 MOS-FET3 内的漏电流 I_D 大致变成零。若 MOS-FET3 截止后经过一定时间, 则脉冲发生器 22 的脉冲信号 V_4 再

次输入到 R—S 触发器 23 的置位端子 S 上，变成置位状态，从 R—S 触发器 23 向 MOS-FET3 的栅端子上附加高电压 H 电平的驱动信号 V_G ，MOS-FET3 再次变成导通状态。通过反复进行以上 MOS-FET3 的通、断动作，能使次级侧输出整流滤波电路 6 的直流输出电压 V_{out} 直线上升，随之，驱动用滤波电容器 12 的充电电压 V_{IN} 直线下降。在驱动线圈 2c 中发生与变压器 2 的次级线圈 2b 的电压成比例的电压，所以，随着直流输出电压 V_{out} 的上升，从辅助整流滤波电路 13 来的直流电压 V_{IN} 直线上升。因此，加在控制电路 8 内的控制电源电路 24 中的直流电压 V_{IN} 下降到停止电压附近之后，再次直线上升。所以，起动时以后，利用从辅助整流滤波电路 13 来的直流电压 I_{IN} 来驱动控制电路 8 内的控制电源电路 24。随着次级侧的输出整流滤波电路 6 的直流输出电压 V_{out} 的上升，从输出电压检测电路 7 来的检测信号 V_{FB} 的电压也从 0V 直线上升。

从输出电压检测电路 7 来的检测信号 V_{FB} 电压电平比标准电源 16 的标准电压 V_{RC} 的电平高，若电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达到从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平，则从电流方式控制用比较器 20 中输出高电压 H 电平信号 V_2 。另一方面，从过电流限制用比较器 19 中输出低电压 L 电平信号 V_1 ，所以，从 OR 门 21 中输出高电压 H 电平的逻辑和信号 V_3 ，输入到 R—S 触发器 23 的复位端子 R 上，变成复位状态。这样，从 R—S 触发器 23 中向 MOS-FET3 的栅端子上附加低电压 L 电平的驱动信号 V_G ，MOS-FET3 变成截止状态，所以，流入到 MOS-FET3 内的漏电 I_D 大致变成零。这时，输出电流 I_{out} 从变压器 2 的次级线圈 2b 中通过输出整流滤波电路 6 流入到无图示的负荷内，直线增加。并且，次级侧的输出整流滤波电路 6 的直流输出电压 V_{out} 达到了构成输出电压检测电路 7 的各元件的各常数所决定的检测电压（例如若输出端子间的分压电阻的分压比为 $R_2/(R_1+R_2)$ ，齐纳二极管的齐纳电压为 $V_Z[V]$ 、NPN 晶体管的基极、发射极之间的电压为 $V_{BE}(0.6\sim 0.7)[V]$ ，则达到 $\{(R_1+R_2)/R_2\} \times (V_Z+V_{BE}) [V]$ ）时，从起动状态转移到通常动作状态，从辅助

整流滤波电路 13 来的直流电压 V_{IN} 达到大致一定的同时, 次级侧的输出整流滤波电路 6 的直流输出电压 V_{out} 和流入到负荷内的输出电流 I_{out} 大致上达到一定。

在通常的负荷状态下, 从 R—S 触发器 23 向 MOS-FET3 的栅端子上附加图 4(B)所示的高电压 H 电平的驱动信号 V_G , 若 MOS-FET3 变成导通状态, 则如图 4(A)所示, 在流入到 MOS-FET3 内的漏电流 I_D 直线增加的同时, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} , 如图 4(D)所示直线下降。在此, 如图 4(D)所示从通常负荷时的输出电压检测电路 7 中来的检测信号 V_{FB} 的电压电平由于高于标准电源 26 的标准电压 V_{DT} 的电平, 所以, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 超过标准电源 26 的标准电压 V_{DT} 的电平, 降低到从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平为止。因此, 从电流检测用比较器 27 中输出高电压 H 电平的电流检测信号 V_{cp} 。并且, 如图 4(D)所示若电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达到从输出电压检测电路 7 中来的检测信号 V_{FB} 的电压电平, 则从电流方式控制用比较器 20 中输出高电压 H 电平的信号 V_2 。另一方面, 从过电流限制用比较器 19 中输出低电压 L 电平信号 V_1 , 因此, 从 OR 门 21 中输出高电压 H 电平的逻辑和信号 V_3 , 输入到 R—S 触发器 23 的复位端子 R 内, 变成复位状态。这样, 如图 4(B)所示从 R—S 触发器 23 附加到 MOS-FET3 的栅端子上的驱动信号 V_G 的电压电平从高电压 H 电平变成低电压 L 电平, MOS-FET3 从导通状态切换到截止状态。所以, 如图 4(A)所示流入到 MOS-FET3 内的漏电流 I_D 大致上变成零。这时, 向 D 触发器 28 的时钟输入端子 (CLK) 上输入图 4(B)所示的驱动信号 V_G 的下降边缘 (箭头) 的同时, 向信号输入端子 (D) 上输入从电流检测用比较器 27 来的高电压 H 电平的电流检测信号 V_{cp} , 所以从信号输出端子 Q 输出的信号 V_{LD} 的电压电平如图 4(C)所示保持在高电压 (H) 电平上。所以, 从脉冲发生器 22 中输出的脉冲信号 V_4 的周期缩短, 因此, MOS-FET3 的截止时间缩短, 振荡频率提高。

若图未示的负荷减小,则次级侧输出整流滤波电路6的直流输出电压 V_{out} 上升,同时,如图4(D)所示,从输出电压检测电路7中来的检测信号 V_{FB} 电压直线上升,高于标准电源26的标准电压 V_{DT} 电平。在小负荷状态下,从R—S触发器23向MOS-FET3的栅端子上附加图4(B)所示的高电压H电平的驱动信号 V_G ,若MOS-FET3变成导通状态,则如图4(A)所示流入到MOS-FET3中的漏电流 I_D 直线增加,同时,电平移动用电阻17、18的连接点的电压 V_{ocp} 如图4(D)所示直线下降到从输出电压检测电路7中来的检测信号 V_{FB} 的电压电平为止。在此,如图4(D)所示从小负荷时的输出电压检测电路7中来的检测信号 V_{FB} 的电压电平高于标准电源26的标准电压 V_{DT} 的电平,所以,电平移动用电阻17、18的连接点的电压 V_{ocp} 达不到标准电源26的标准电压 V_{DT} 的电平,因此,从电流检测用比较器27中输出低电压L电平的电流检测信号 V_{cp} 。如图4(D)所示若电平移动用电阻17、18的连接点的电压 V_{ocp} 达到从输出电压检测电路7中来的检测信号 V_{FB} 的电压电平,则从电流方式控制用比较器20中输出高电压H电平的信号 V_2 。另一方面,从过电流限制用比较器19中输出低电压L电平信号 V_1 ,因此,从OR门21中输出高电压H电平的逻辑和信号 V_3 ,输入到R—S触发器23的复位端子R内,变成复位状态。这样,如图4(B)所示从R—S触发器23附加到MOS-FET3的栅端子上的驱动信号 V_G 的电压电平从高电压H电平变成低电压L电平,MOS-FET3从导通状态切换到截止状态。所以,如图4(A)所示流入到MOS-FET3内的漏电流 I_D 大致上变成零。这时,向D触发器28的时钟输入端子(CLK)上输入图4(B)所示的驱动信号 V_G 的下降边缘(箭头)的同时,向信号输入端子(D)上输入从电流检测用比较器27来的低电压L电平的电流检测信号 V_{cp} ,所以从信号输出端子Q输出的信号 V_{LD} 的电压电平如图4(C)所示,从高电压H电平变成低电压L电平。所以,从脉冲发生器22中输出的脉冲信号 V_4 的周期增长,因此,MOS-FET3的截止时间延长,振荡频率降低。

在本实施方式中，当 MOS-FET3 从导通状态切换到截止状态时，利用从 D 触发器 28 中输出的信号 V_{LD} 电压电平来进行负荷状态的判断，所以，不会出现在 MOS-FET3 接通时产生的浪涌电流等电容性短路电流造成误检测，能够在初级侧准确而确实地检测出与变压器 2 的次级侧相连接的负荷状态。并且，负荷状态的判断按照 MOS-FET3 从导通状态切换到截止状态的定时来进行，所以其优点是不易受到感应噪声等外来噪声造成的影响。再者，当变压器 2 的初级线圈 2a 或 MOS-FET3 中流过的电流 I_D 小的小负荷状态时，D 触发器 28 的输出信号 V_{LD} 的电压电平变成低电压 L 电平，从脉冲发生器 22 中输出的脉冲信号 V_4 的发生周期被延长。因此，MOS-FET3 截止期间增长，MOS-FET3 的栅端子上附加的驱动信号 V_G 的频率下降，所以，MOS-FET3 的开关次数减少。这样，小负荷时的开关损耗减小，能够在宽负荷范围内提高开关电源装置的变换效率。

上述实施方式能够变更。例如在图 5 所示的实施方式的他激式反馈型 DC-DC 变换器中，当切换 D 触发器 28 的输出信号 V_{LD} 的电压电平时，对标准电源 26 的标准电压 V_{DT} 的电平进行变更，变更的方向与电平移动用电阻 17、18 的连接点的电压 V_{ocp} 的峰值变动的方向相同，作为这种电压电平变更装置的电压电平变更电路 31，设置在图 2 所示的控制电路 8 内。电压电平变更电路 31，如图 6 所示，包括：一端与标准电源 26 的正 (+) 侧相连接的分压电阻 32、串联连接在分压电阻 32 的另一端和标准电源 26 的负 (-) 侧之间的分压电阻 33 和 NPN 晶体管 34、以及连接在 D 触发器 28 的信号输出端子 Q 和 NPN 晶体管 34 的基极端子之间的反转器 35。因此，图 8 (C) 所示的 D 触发器 28 的输出信号 V_{LD} 的电压电平为高电压 H 电平时，NPN 晶体 34 是截止状态。所以分压电阻 32、33 的分压点上产生图 8 (D) 所示的高值的标准电压 V_{DTH} 。当图 8 (C) 所示的 D 触发器 28 的输出信号 V_{LD} 的电压电平从高电压 H 电平切换到低电压 L 电平时，NPN 晶体管 34 变成导通状态，所以，从分压电阻 32、33 的分压点上产生图 8 (D) 所示的低值的标准电压 V_{DTL} 。若负荷减小，如图 8 (C) 所示，D 触发器

28 的输出信号 V_{LD} 的电压电平从高电压 H 电平切换到低电压 L 电平, 则如图 8 (B) 所示驱动信号 V_G 的低电压 L 电平的时间延长, 振荡频率降低, 所以, 如图 8 (A) 所示流入到 MOS-FET3 内的电流 I_D 的最大值稍稍增大。随之, 如图 8 (D) 所示电平移动用电阻 17、18 的连接点的电压 V_{ocp} 的峰值稍稍向下方移动。这时, 电压电平变更电路 31 的 NPN 晶体管 34 变成导通状态, 分压电阻 32、33 的分压点的电压如图 8 (D) 所示从高值的标准电压 V_{DTH} 切换到低值的标准电压 V_{DTL} , 所以切换后的 D 触发器 28 的输出信号 V_{LD} 的电压电平稳定, 能够稳定地切换负荷变动时的 MOS-FET3 的振荡动作。

图 7 表示变更电压 V_{ocp} 电平时的电压电平变更装置 31 的实施方式, 其变更方向与 D 触发器 28 的输出信号 V_{LD} 的电压电平进行切换时, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 的峰值变动的向相反。图 7 所示的电压电平变更电路 31 由一边的电平移动用电阻 17 的两端上串联连接的 PNP 晶体管 36 和电阻 37 而构成, 当从 D 触发器 28 向 PNP 晶体管 36 的基极端上附加低电压 L 电平的输出信号 V_{LD} 时, 使电平移动用电阻 17、18 的连接点的电压 V_{ocp} 电平上升。也就是说, 若负荷减小, 如图 8 (C) 所示, D 触发器 28 的输出信号 V_{LD} 电压电平从高电压 H 电平切换到低电压 L 电平上, 则 PNP 晶体管 36 变成导通状态, 变成与另一边的电平移动用电阻 17 并联连接了电阻 37 的状态, 所以, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 电平上升。因此, 和图 6 时一样, 切换后的 D 触发器 28 的输出信号 V_{LD} 电压电平稳定, 能够稳定地对负荷变动时的 MOS-FET3 的振荡动作进行切换。

图 9 表示的实施方式是在图 5 所示的他激式反馈型 DC-DC 变换器 8 中设置了: 最低点检测电路 41, 它作为最低点检测装置用于在 MOS-FET3 的截止期间内检测出 MOS-FET3 的漏—源端子间电压 V_{DS} 的最小电压点; 以及最低点跳越控制电路 42, 它作为最低点跳越控制装置在 D 触发器 28 的输出信号 V_{LD} 为高电压 H 电平时利用由最低点检测电路 41 检测出的最初的最小电压点来使 MOS-FET3 接通; 在 D

触发器 28 的输出信号 V_{LD} 为低电压 L 电平时利用由最低点检测电路 41 检测出的第 2 个最小电压点来使 MOS-FET3 接通。最低点检测电路 41 如图 10 所示, 其结构件包括: 二极管 43 和分压电阻 44、45, 它们与变压器 2 的驱动线圈 2c 的两端串联连接; 电容器 46, 它与一边的分压电阻 45 并联连接; 标准电源 47, 用于发生阈值电压 V_{TH} ; 以及比较器 48, 用于在电容器 46 的充电电压 V_{BM} 低于标准电源 47 的阈值电压 V_{TH} 电平时发生低 (L) 电平的输出电压 V_{BD} ; 在电容器 46 的充电电压 V_{BM} 高于标准电源 47 的阈值电压 V_{TH} 电平时, 发生高 (H) 电平的输出电压 V_{BD} 。也就是说, 图 10 所示的最低点检测电路 41, 构成以下波形整形装置; 对于在 MOS-FET3 截止期间内在变压器 2 的驱动线圈 2c 内所发生的与 MOS-FET3 的漏—源端子间 V_{DS} (如图 11 (A) 所示) 相类似的振铃电压, 利用二极管 43、分压电阻 44、45 和电容器 46 如图 11 (C) 所示进行波形整形, 利用比较器 48 对图 11 (C) 所示的电容器 46 的充电电压 V_{BM} 和标准电源 47 的阈值电压 V_{TH} 进行比较, 变换成图 11 (D) 所示的脉冲串电压 V_{BD} ; 因此, 如图 11 (A) ~ (D) 所示能够检测出从比较器 48 中输出的脉冲串电压 V_{BD} 的下降边缘作为 MOS-FET3 的漏—源端子间电压 V_{DS} 的最小电压点。

并且, 最低点检测电路 41 也能够如图 12 所示进行构成。图 12 所示的最低点检测电路 41、其构成部分包括: 分压电阻 44、45, 它连接在变压器 2 的驱动线圈 2c 的两端上; 标准电源 47, 用于发生阈值电压 V_{TH} ; 比较器, 用于在分压电阻 44、45 的分压点电压 V_{BM} 低于标准电源 47 的阈值电压 V_{TH} 电平时发生低电压 L 电平输出电压 V_{BD} ; 在分压电阻 44、45 的分压点电压 V_{BM} 高于标准电压 47 的阈值电压 V_{TH} 电平时发生高电压 H 电平输出电压 V_{BD} ; 以及延迟电路 49, 用于对由比较器 48 的输出形成的脉冲串电压 V_{BD} 按一定时间 t_D 进行延迟。也就是说, 图 12 所示的最低点检测电路 41 对于在 MOS-FET3 截止期间内在变压器 2 的驱动线圈 2c 内所发生的与 MOS-FET3 的漏—源端子间电压 V_{DS} (如图 13 (A) 所示) 相类似的振铃电压, 利用分压电阻 44、45 进行分压, 利用比较器 48 对图 13 (C) 所示的分压电阻 44、

45 的分压点的电压 V_{BM} 和标准电源 47 的阈值电压 V_{TH} 进行比较, 转换成图 13 (D) 所示的脉冲串电压 V_{BD} , 用延迟电路 49 按一定时间 t_D 对从比较器 48 来的脉冲串电压 V_{BD} 进行延迟, 如图 13 (A) ~ (D) 所示, 使从比较器 48 输出的脉冲串电压 V_{BD} 的下降边缘也与 MOS-FET3 的漏—源端子间电压 V_{DS} 的最小电压点相一致。因此, 如图 12 所示的最低点检测电路 41 也能够检测出从比较器 48 中输出的脉冲串电压 V_{BD} 的下降边缘作为 MOS-FET3 的漏—源端子间电压 V_{DS} 的最小电压点。

最低点跳越控制电路 42 如图 9 所示, 具有第 1 和第 2D 触发器 50、51, 其复位端子 R 利用 MOS-FET3 的驱动信号 V_G 的上升边进行复位。最低点检测电路 41 的输出信号 V_{BD} 输入到第 1 和第 2D 触发器 50、51 的时钟输入端子 (CLK) 上, 第 1D 触发器 50 的信号输入端子 D 保持在高电压 H 电平 (REG) 上, 第 2D 触发器 51 的信号输入端子 D 连接到第 1D 触发器 50 的信号输出端子 Q 上, OR 门 53 的各输入端子连接到第 2D 触发器 51 的信号输出端子 Q 和脉冲发生器 22 及 AND 门 52 的各输出端子上。AND 门 52 的一边的输入端子连接到第 1D 触发器 50 的信号输出端子 Q 上; 另一边的输入端子连接到 D 触发器 28 的信号输出端子 Q 上。OR 门 53 的输出端子连接到 R—S 触发器 23 的置位端子 S 上。与输入到时钟输入端子 (CLK) 上的最低点检测电路 41 的第 1 次的输出信号 V_{BD} 的下降边相同步, 第 1D 触发器 50 的输出信号 V_{DF1} 的输出电平变成高电压 H 电平。与输入到时钟输入端子 (CLK) 上的最低点检测电路 41 的第 2 次的输出信号 V_{BD} 的下降边相同步, 第 2D 触发器 51 的输出信号 V_{DF2} 的输出电平变成高电压 H 电平。图 9 所示的最低点跳越控制电路 42 在大负荷~通常负荷时, D 触发器 28 的输出信号 V_{LD} 为高电压 H 电平, 与输入到时钟输入端子 (CLK) 上的最低点检测电路 41 的第 1 次的输出信号 V_{BD} 的上升边相同步, 输出的第 1D 触发器 50 的输出信号 V_{DF1} 为高电压 H 电平。所以, AND 门 52 的输出信号号 V_{AD} 变成高电压 H 电平。AND 门 52 的输出信号 V_{AD} 通过 OR 门 53 输入到 R—S 触发器 23 的

置位端子 S 上,附加到 MOS-FET3 的栅端子上的驱动信号 V_G 变成高电压 (H) 电平。这样,大负荷~通常负荷时利用最低点检测电路 41 检测出的最初的最小电压点能够使 MOS-FET3 接通。并且,小负荷时 D 触发器 28 的输出信号 V_{LD} 是低电压 L 电平,所以,AND 门 52 的输出信号 V_{AD} 变成低电压 L 电平,不能够使 R—S 触发器 23 形成置位状态。另一方面,与输入到时钟输入端子 (CLK) 上的最低点检测电路 41 的第 2 次的输出信号 V_{BD} 的下降边相同步,第 2D 触发器 51 的输出信号 V_{DF2} 的输出电平变成高电压 H 电平。所以,通过 OR 门 53 输入到 R—S 触发器 23 的置位端子 S 上,附加到 MOS-FET3 的栅端子上的驱动信号 V_G 变成高电压 (H) 电平。这样,小负荷时利用最低点检测电路 41 检测出的第 2 次的最小电压点能够使 MOS-FET3 接通。

具有图 9 所示的结构的控制电路 8 的他激式反馈型 DC-DC 变换器的动作如下。当大负荷~通常负荷状态时,如图 14 (D) 所示 D 触发器 28 的输出信号 V_{LD} 为高电压 H 电平,同时,与图 14 (C) 所示的最低点检测电路 41 的输出信号 V_{BD} 的第 1 次的下降边相同步,从最低点跳越控制电路 42 的第 1D 触发器 50 的信号输出端子 Q 中输出单发脉冲状的信号 V_{DF1} 。因此,与最低点检测电路 41 的输出信号 V_{BD} 的第 1 次的下降边相同步,从 AND 门 52 中输出上升到高电压 H 电平的单发脉冲状的逻辑积信号 V_{AD} 。并且,从最低点跳越控制电路 42 的第 2D 触发器 51 的信号输出端子 Q 中输出低电压 L 电平信号 V_{DF2} ,所以从 OR 门 53 中输出一种与最低点检测装置 41 的输出信号 V_{BD} 的第 1 次的下降边相同步而上升到高电压 H 电平的单发脉冲状的逻辑和信号 V_{OR} ,R—S 触发器 23 变成置位状态。这时,如图 14 (C) 和 (B) 所示,与最低点检测装置电路 41 的输出信号 V_{BD} 的第 1 次的下降边相同步,从 R—S 触发器 23 附加到 MOS-FET3 的门端子上的驱动信号 V_G 从低电压 L 电平切换到高电压 H 电平上,MOS-FET3 接通。这时,如图 14 (A) 所示,流入到 MOS-FET3 内的漏电流 I_D 直线增加,同时,如图 14 (E) 所示,电平移动用电阻 17、18 的连接点的电压 V_{ocp}

越过高值的标准电压 V_{DTH} 电平后，直线下降。电平移动用电阻 17、18 的连接点的电压 V_{ocp} 若达到从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平，则从电流方式控制用比较器 20 中输出高电压 H 电平信号 V_2 ，R—S 触发器 23 变成复位状态。这样，如图 14 (B) 所示，从 R—S 触发器 23 中附加到 MOS-FET3 的栅端子上的驱动信号 V_G 从高电压 H 电平切换到低电压 L 电平，MOS-FET3 从导通状态变成截止状态。所以，大负荷~通常负荷时变压器 2 的反馈能量放出结束，达到 MOS-FET3 的漏—源端子间电压 V_{DS} 的最小电压点（最低点），同时变成 MOS-FET3 导通的模拟谐振动作。

若负荷减小，如图 14 (D) 所示，D 触发器 28 的输出信号 V_{LD} 的电压电平从高电压 H 电平切换到低电压 L 电平，则如图 14 (A) 所示，流入到 MOS-FET3 内的漏电流 I_D 的最大值稍稍增加，同时，如图 14 (E) 所示电平移动用电阻 17、18 的连接点的电压 V_{ocp} 的峰值稍稍向下方移动。这时，电流检测用比较器 27 的非反转输入端子 (+) 内所输入的标准电压借助于电压电平变更装置电路 31，如图 14 (E) 所示从高值的标准电压 V_{DTH} 切换到低值的标准电压 V_{DTL} 。与此同时，与图 14 (C) 所示的最低点检测装置 41 的输出信号 V_{BD} 的第 2 次的下降边相同步，从最低点跳越控制装置 42 的第 2D 触发器 51 的信号输出端子 Q 中输出单发脉冲状的信号 V_{DF2} 。并且，从 AND 门 52 中输出低电压 L 电平信号 V_{AD} ，所以从 OR 门 53 中输出一种与最低点检测电路 41 的输出信号 V_{BD} 的第 2 次的下降边相同步而上升到高电压 H 电平的单发脉冲状的逻辑和信号 V_{OR} ，R—S 触发器 23 变成置位状态。这样，如图 14 (C) 和 (B) 所示，与最低点检测电路 41 的输出信号 V_{BD} 的第 2 次的下降边相同步，从 R—S 触发器 23 附加到 MOS-FET3 的栅端子上的驱动信号 V_G 从低电压 L 电平切换到高电压 H 电平上，MOS-FET3 接通。这时，如图 14 (A) 所示，流入到 MOS-FET3 内的漏电流 I_D 直线增加，同时，如图 14 (E) 所示，电平移动用电阻 17、18 的连接点的电压 V_{ocp} 电平，直线下降。这时，如图 14 (E) 所示从输出电压检测电路 7 中来的检测信号 V_{FB} 的电压电平高于低值的标

准电压 V_{DTL} 电平，所以电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达不到低值的标准电压 V_{DTL} 电平。电平移动用电阻 17、18 的连接点的电压 V_{ocp} 若达到从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平，则从电流方式控制用比较器 20 中输出高电压 H 电平信号 V_2 ，R—S 触发器 23 变成复位状态。这样，如图 14 (B) 所示，从 R—S 触发器 23 中附加到 MOS-FET3 的栅端子上的驱动信号 V_G 从高电压 H 电平切换到低电压 L 电平，MOS-FET3 从导通状态变成截止状态。所以，小负荷时，在 MOS-FET3 的截止期间发生的漏—源端子间电压 V_{DS} 的第 2 次最小电压点上变成 MOS-FET3 导通的最低点跳越动作。

图 15 表示具有图 9 所示的控制电路 8 的他激式反馈型 DC-DC 变换器的负荷比例所对应的振荡动作状态的转变图。这里，所谓负荷的比例是指相对于比较器能够输出给负荷的功率来说，负荷所消耗的功率所占的比例，当负荷的比例为 50~100% 时，表示是通常负荷~大负荷状态，进行模拟谐振动作。并且，当负荷的比例为 0~70% 时，表示通常负荷~小负荷状态，进行最低点跳跃动作。若负荷减小，负荷的比例从 100% 降低到 50%，则从模拟谐振动作转移到最低点跳跃动作，最低点跳越动作一直进行到负荷待机时等的无负荷状态，即负荷的比例达到 0% 为止。若从负荷待机时等无负荷状态起使负荷增大，负荷比例从 0% 增加到 70%，则从最低点跳越动作转移到模拟谐振动作，模拟谐振动作一直进行到大负荷状态，即负荷的比例达到 100% 为止。所以，若用曲线来表示上述振荡动作状态的变化轨迹，则如图 15 所示，描绘出磁滞特性。而且，若把图 15 所示的最低点跳跃动作置换成开关频率降低动作，则变成图 5 所示的他激式反馈型 DC-DC 变换器的振荡动作状态的变化图。

在图 9 所示的实施方式中，当小负荷状态时利用最低点跳越控制电路 42 在 MOS-FET3 的漏—源端子间电压 V_{DS} 的第 2 次的最小电压点 MOS-FET3 接通，所以，MOS-FET3 的截止期间延长，MOS-FET3 的开关频率降低。因此 MOS-FET3 的开关次数减少，所以，能够损少小负荷时的开关损耗，在宽的负荷范围内能够提高开关电源装置的变

换效率。也就是说，当小负荷状态时，MOS-FET3 截止后，变压器 2 的反馈能量在较短期间内从次级线圈 2b 通过整流滤波电路 6 供给到无图示的负荷上。因此，如图 11 (A) 或图 13 (A) 所示在 MOS-FET3 的漏—源端子间发生包含自由振动成分的宽度窄的电压脉冲 V_{DS} 。因此，小负荷时，最低点检测电路 41 在检测出宽度小的电压脉冲 V_{DS} 的第 2 次最小电压点时，利用最低点跳越控制电路 42 来进行使 MOS-FET3 导通的最低点跳跃动作，所以 MOS-FET3 的截止期间延长，振荡频率降低。并且，当大负荷~通常负荷状态时，MOS-FET3 截止后变压器 2 的反馈能量在较长期间内从次级线圈 2b 通过整流滤波电路 6 而供给到无图示的负荷内，所以，在 MOS-FET3 的漏—源端子间发生宽度大的电压脉冲 V_{DS} 。因此，当最低点检测电路 41 检测出宽度大的电压脉冲 V_{DS} 的最初的最小电压点时，利用最低点跳越控制电路 42 使 MOS-FET3 接通，所以变压器 2 的反馈能量放出结束，达到了 MOS-FET3 的漏—源端子间电压 V_{DS} 的最小电压点（最低点）时，进行通常的模拟谐振动作，把 MOS-FET3 从截止状态切换到导通状态。

图 16 表示他激式反馈型 DC-DC 变换器的控制电路 8 的实施方式，其中，与构成图 2 所示的控制电路 8 的标准电源 26、电流检测用比较器 27 和 D 触发器 28 相并行设置另一组标准电源 61、电流检测用比较器 62 和 D 触发器 63，利用 2 个电流检测用比较器 27、62 分别按照不同的标准电源 26、61 的标准电压 V_{DT1} 、 V_{DT2} 的电平来对电平移动用电阻 17、18 的连接点的电压 V_{ocp} 进行比较，在小负荷时或极小负荷时，利用从 2 个 D 触发器 28、63 中分别输出的低电压 L 电平的输出信号 V_{LD1} 、 V_{LD2} 来改变脉冲发生器 22 的脉冲信号 V_4 的发生周期，这样分别用不同的 2 个频率来降低从 R—S 触发器 23 中输出的驱动信号 V_G 的振荡频率。这里其他标准电源 61 的标准电压 V_{DT2} 被设定为比另一边的标准电压 26 的标准电压 V_{DT1} 更高的值。图 16 所示的实施方式的他激式反馈型 DC-DC 变换器，当大负荷~通常负荷状态时，如图 17 (E) 所示从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平比

另一边的标准电源 26 的标准电压 V_{DT1} 低, 所以电平移动用电阻 17、18 的连接点的电压 V_{ocp} 超过标准电源 26、61 的标准电压 V_{DT1} 、 V_{DT2} 电平, 直线下降到从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平为止。因此, 从 2 个电流检测用比较器 27、62 中分别输出高电压 H 电平的电流检测信号 V_{CP1} 、 V_{CP2} 。并且, 如图 17 (E) 所示, 若电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达到从输出电压检测电路 7 来的检测信号 V_{FB} 电压电平, 则如图 17 (B) 所示, 从 R—S 触发器 23 附加到 MOS-FET3 的栅端子上的驱动信号 V_G 的电压电平从高电压 H 电平变成低电压 L 电平, MOS-FET3 从导通状态切换到截止状态, 所以, 如图 17 (A) 所示, 流入到 MOS-FET3 内的漏电流 I_D 大致上变成零。这时向 2 个 D 触发器 28、63 的时钟输入端子 (CLK) 内输入图 17 (B) 所示的驱动信号 V_G 的下降边 (箭头), 同时, 向各信号输入端子 D 内输入从各电流检测用比较器 27、62 来的高电压 H 电平的电流检测信号 V_{CP1} 、 V_{CP2} , 所以, 从各信号输出端子 Q 中输出的信号 V_{LD1} 、 V_{LD2} 的电压电平如图 17 (C) 和 (D) 所示, 保持在高电压 H 电平上。因此, 在大负荷~通常负荷时从脉冲发生器 22 输出的脉冲信号 V_4 的周期缩短, 所以 MOS-FET3 的截止期间缩短, 振荡频率提高。

若负荷减小, 变成小负荷状态, 则如图 17 (E) 所示, 从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平高于另一边的标准电源 26 的标准电压 V_{DT1} 电平, 而且低于另一边的标准电源 61 的标准电压 V_{DT2} 电平; 所以电平移动用电阻 17、18 的连接点的电压 V_{ocp} 超过另一边的标准电源 61 的标准电压 V_{DT2} 电平后直线下降, 但不会达到另一边的标准电源 26 的标准电压 V_{DT1} 电平。因此从一边的电流检测用比较器 27 输出低电压 L 电平的电流检测信号 V_{CP1} 的同时, 从另一边的电流检测用比较器 61 输出高电压 H 电平的电流检测信号 V_{CP2} 。如图 17 (D) 所示, 若电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达到从输出电压检测电路 7 来的检测信号 V_{FB} 电压电平, 则如图 17 (B) 所示驱动信号 V_G 的电压电平从高电压 H 电平变成低电压 L 电平,

MOS-FET3 从导通状态切换到截止状态，所以，如图 17 (A) 所示，流入到 MOS-FET3 内的漏电流 I_D 大致上变成零。这时，向 2 个 D 触发器 28、63 的时钟输入端子 (CLK) 内输入图 17 (B) 所示的驱动信号 V_G 的下降边 (箭头)，同时，向一边的 D 触发器 28 的信号输入端子 D 内输入从另一边电流检测用比较器 27 来的低电压 L 电平的电流检测信号 V_{CP1} ；向另一边的 D 触发器 61 的信号输入端子 D 内输入从另一边的电流检测用比较器 62 来的高电压 H 电平的电流检测信号 V_{CP2} 。所以，从一边的 D 触发器 28 的信号输入端子 Q 输出的信号 V_{LD1} 电压电平，如图 17 (C) 所示，从高电压 H 电平切换到低电压 L 电平，同时，从另一边的 D 触发器 63 的信号输出端子 Q 输出的信号 V_{LD2} 电压电平，如图 17 (D) 所示保持高电压 H 电平上。所以，小负荷时从脉冲发生器 22 输出的脉冲信号 V_4 的周期增长，因此，MOS-FET3 的截止期间延长，振荡频率降低。

若从小负荷状态进一步减小负荷，变成极小负荷状态，则如图 17 (E) 所示从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平高于另一边的标准电源 61 的标准电压 V_{DT2} 的电平，所以，电平移动用电阻 17、18 的连接点的电压 V_{ocp} 不会达到另一边的标准电源 61 的标准电压 V_{DT2} 的电平。因此从 2 个电流检测用比较器 27、62 中分别输出低电压 L 电平的电流检测信号 V_{CP1} 、 V_{CP2} 。如图 17 (D) 所示，电平移动用电阻 17、18 的连接点的电压 V_{ocp} 若达到从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平，则如图 17 (B) 所示驱动信号 V_G 的电压电平从高电压 H 电平变成低电压 L 电平，MOS-FET3 从导通状态切换到截止状态，所以如图 17 (A) 所示流入 MOS-FET3 内的漏电流 I_D 大致变成零。这时，向 2 个 D 触发器 28、63 的时钟输入端子 (CLK) 内输入图 17 (B) 所示的驱动信号 V_G 的下降边 (箭头)，同时，向各信号输入端子 D 内输入从各电流检测用比较器 27、62 来的低电压 L 电平的电流检测信号 V_{CP1} 、 V_{CP2} ，所以，从一边的 D 触发器 28 的信号输出端子 Q 中输出的信号 V_{LD1} 的电压电平如图 17 (C) 所示保持在低电压 L 电平上，同时，从另一边的 D 触发器 63 的信号

输出端子 Q 中输出的信号 V_{LD2} 的电压电平, 如图 17 (D) 所示, 从高压 H 电平切换到低电压 L 电平上, 所以, 小负荷时从脉冲发生器 22 输出的脉冲信号 V_4 的周期长于小负荷时, 所以 MOS-FET3 的截止期间进一步延长, 振荡频率比小负荷时进一步降低。

图 16 所示的实施方式, 在小负荷和极小负荷时附加在 MOS-FET3 的栅端子上的驱动信号 V_G 的振荡频率分别按不同的 2 个频率降低, 所以, 能够进一步精密控制 MOS-FET3 的驱动信号 V_G 的振荡频率, 进一步提高开关电源装置的变换效率。

图 18 表示他激式反馈型 DC-DC 变换器的实施方式。其中, 当 D 触发器 28 的输出信号 V_{LD} 为低电压 L 电平时, 利用比驱动信号 V_G 的振荡周期长得多的周期按照一定期间 t_B 来使 MOS-FET3 停止通、断动作的作为间歇振荡控制装置的间歇振荡控制电路 71 设置在图 2 所示的控制电路 8 内。而且, 图 18 所示的实施方式中, 采用一种复位优先型 R—S 触发器 72, 用于在向置位端子 S 和复位端子 R 两者内同时输入高压 H 电平信号时, 对复位端子 R 的输入优先进行输出。间歇振荡控制电路 71 如图 19 (C) 和 (D) 所示, 当从 D 触发器 28 输入低电压 L 电平的输出信号 V_{LD} 时, 利用比驱动信号 V_G 的振荡周期 (例如 $10\sim 50\mu s$) 长得多的周期 (例如 $1\sim 100ms$) 按照一定时间 t_B 把高压 H 电平的输出信号 V_5 输出到 OR 门 21 内。因此, 从间歇振荡控制电路 71 中发出高压 H 电平的输出信号 V_5 的期间 t_B , 从 OR 门 21 输出的信号 V_3 变成高压 H 电平, 所以复位优先型 R—S 触发器 72 变成复位状态, 在 MOS-FET3 的栅端子上按照一定期间 t_B 附加低电压 L 电平的驱动信号 V_G 。这样, 小负荷时可以切换到利用比驱动信号 V_G 的振荡周期长得多的周期按照一定期间 t_B 使 MOS-FET3 变成截止状态的间歇振荡动作上。

图 18 所示的实施方式的他激式反馈型 DC-DC 变换器, 当大负荷~通常负荷状态时, 脉冲发生器 22 的脉冲信号 V_4 输入到复位优先型 R—S 触发器 72 的置位端子 S 上时, 图 19 (B) 所示的驱动信号 V_G 变成高压 (H) 电平, 所以, MOS-FET3 变成导通状态, 如图 19 (A)

和 (E) 所示流入到 MOS-FET3 内的漏电流 I_D 直线增大, 同时, 电平移动用电阻 17、18 的连接点的电压 V_{ocp} 超过标准电源 26 的标准电压 V_{DT} 电平后直线下降。因此, 从电流检测用比较器 27 中输出高电压 H 电平的电流检测信号 V_{CP} 。并且, 如图 19 (E) 所示, 若电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达到从输出电压检测电路 7 来的检测信号 V_{FB} 电压电平, 则如图 19 (B) 所示, 驱动信号 V_G 从高电压 H 电平变成低电压 L 电平, MOS-FET3 从导通状态切换到截止状态, 所以, 如图 19 (A) 所示, 流入到 MOS-FET3 内的漏电流 I_D 大致上变成零。这时向 D 触发器 28 的时钟输入端子 (CLK) 内输入图 19 (B) 所示的驱动信号 V_G 的下降边 (箭头), 同时, 向信号输入端子 D 内输入从电流检测用比较器 27 来的高电压 H 电平的电流检测信号 V_{CP} , 所以, 从信号输出端子 Q 中输出的信号 V_{LD} 的电压电平如图 19 (C) 所示, 保持在高电压 H 电平上。因此, 在大负荷~通常负荷时间歇振荡控制电路 71 不动作, 如图 19 (D) 所示发生低电压 L 电平的输出信号 V_S , 所以通常的振荡动作连续进行。

若负荷减小, 变成小负荷状态, 则如图 19 (E) 所示, 从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平高于标准电源 26 的标准电压 V_{DT} 电平, 所以电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达不到标准电源 26 的标准电压 V_{DT} 电平, 从电流检测用比较器 27 输出低电压 L 电平的电流检测信号 V_{CP} 。如图 19 (E) 所示, 若电平移动用电阻 17、18 的连接点的电压 V_{ocp} 达到从输出电压检测电路 7 来的检测信号 V_{FB} 电压电平, 则如图 19 (B) 所示驱动信号 V_G 的电压电平从高电压 H 电平变成低电压 L 电平, MOS-FET3 从导通状态切换到截止状态, 所以, 如图 19 (A) 所示, 流入到 MOS-FET3 内的漏电流 I_D 大致上变成零。这时, 向 D 触发器 28 的时钟输入端子 (CLK) 内输入图 19 (B) 所示的驱动信号 V_G 的下降边 (箭头), 同时, 向 D 触发器 28 的信号输入端子 D 内输入从电流检测用比较器 27 来的低电压 L 电平的电流检测信号 V_{CP} ; 所以, 从 D 触发器 28 的信号输入端子 Q 输出的信号 V_{LD} 电压电平, 如图 19 (C) 所示, 从高电压 H 电平

切换到低电压 L 电平, 对间歇振荡控制电路 71 进行驱动, 这样, 如图 19 (D) 所示, 利用比驱动信号 V_G 的振荡周期长得多的周期按照一定期间 t_B 从间歇振荡控制电路 71 中输出高电压 H 电平信号 V_5 , 从 OR 门 21 中输出的信号 V_3 按一定期间 t_B 变成高电压 H 电平, 所以, 从复位优先型 R—S 触发器 72 中向 MOS-FET3 的栅端子内附加按一定期间 t_B 低的电压 L 电平的驱动信号 V_G 。因此, 小负荷时利用比驱动信号 V_G 的振荡周期长得多的周期按照一定期间 t_B 来停止 MOS-FET3 的通、断动作, 形成间歇振荡动作。

图 18 所示的实施方式, 当流入到 MOS-FET3 内的漏电流 I_D 为更小的小负荷状态时, D 触发器 28 的输出信号 V_{LD} 变成低电压 L 电平, 切换到以下间歇振荡动作: 通过间歇振荡控制电路 71 利用比驱动信号 V_G 的振荡周期长得多的周期按照一定期间使 MOS-FET3 停止通、断动作。所以, MOS-FET3 的开关次数极端减少。这样一来, 能够大幅度减少小负荷时的开关损耗, 能够在很宽的负荷范围内提高开关电源装置的变换效率。

在图 2~图 18 所示的各实施方式的他激式反馈型 DC-DC 变换器中, 表示以下方式: 对变压器 2 的初级线圈 2a 或 MOS-FET3 中流过的电流 I_D 通过电流检测用电阻 9 作为负电压进行检测, 把电平移动用电阻 17、18 的连接点的电压 V_{ocp} 输入到过电流限制用比较器 19、电流方式控制用比较器 20 和电流检测用比较器 27 的反馈输入端子 (-) 内。但是, 也可以如图 20 所示, 对变压器 2 的初级线圈 2a 或 MOS-FET3 中流过的电流 I_D 通过电流检测用电阻 9 作为正电压进行检测, 把该检测电压 V_{ocp} 直接输入到过电流限制用比较器 19、电流方式控制用比较器 20 和电流检测用比较器 27 的非反馈输入端子 (+) 内。图 20 所示的实施方式的他激式反馈型 DC-DC 变换器如图 21 (B) 所示, MOS-FET3 的栅端子上所附加的驱动信号 V_G 从低电压 L 电平变成高压 (H) 电平, MOS-FET3 变成导通状态时, 如图 21 (A) 和 (D) 所示流入到 MOS-FET3 内的漏电流 I_D 直线增大, 同时, 电流检测用电阻 9 的检测电压 V_{ocp} 也直线上升。在大负荷~通常负荷状态时, 如

图 21 (D) 所示从输出电压检测电路 7 中来的检测信号 V_{FB} 电压电平高于标准电压 26 的标准电压 V_{DT} 电平, 所以电流检测用电阻 9 的检测电压 V_{ocp} 超过标准电压 26 的标准电压 V_{DT} 电平后直线上升。因此, 从电流检测用比较器 27 中输出高电压 H 电平的电流检测信号 V_{CP} 。并且, 如图 21 (D) 所示, 若电流检测用电阻 9 的检测电压 V_{ocp} 达到从输出电压检测电路 7 来的检测信号 V_{FB} 电压电平, 则如图 21 (B) 所示, 附加到 MOS-FET3 的栅端子上的驱动信号 V_G 的电压电平从高电压 H 电平变成低电压 L 电平, MOS-FET3 从导通状态切换到截止状态, 所以, 如图 21 (A) 所示, 流入到 MOS-FET3 内的漏电流 I_D 大致上变成零。这时向 D 触发器 28 的时钟输入端子 (CLK) 内输入图 21 (B) 所示的驱动信号 V_G 的下降边 (箭头), 同时, 向信号输入端子 D 内输入从各电流检测用比较器 27 来的高电压 H 电平的电流检测信号 V_{CP} , 所以, 从信号输出端子 Q 中输出的信号 V_{LD} 的电压电平如图 21 (C) 所示, 保持在高电压 H 电平上。因此, 在大负荷~通常负荷时从脉冲发生器 22 输出的脉冲信号 V_4 的周期缩短, 所以 MOS-FET3 的截止期间缩短, 振荡频率提高。

当小负荷状态时, 则图 21 (D) 所示, 从输出电压检测电路 7 来的检测信号 V_{FB} 的电压电平低于标准电源 26 的标准电压 V_{DT} 电平, 所以电流检测用电阻 9 的检测电压 V_{ocp} 达不到标准电源 26 的标准电压 V_{DT} 电平。从电流检测用比较器 27 输出低电压 L 电平的电流检测信号 V_{CP} , 如图 21 (D) 所示, 若电流检测用电阻 9 的检测电压 V_{ocp} 达到从输出电压检测电路 7 来的检测信号 V_{FB} 电压电平, 则如图 21 (B) 所示驱动信号 V_G 的电压电平从高电压 H 电平变成低电压 L 电平, MOS-FET3 从导通状态切换到截止状态, 所以, 如图 21 (A) 所示, 流入到 MOS-FET3 内的漏电流 I_D 大致上变成零。这时, 向 D 触发器 28 的时钟输入端子 (CLK) 内输入图 21 (B) 所示的驱动信号 V_G 的下降边 (箭头), 同时, 向 D 触发器 28 的信号输入端子 D 内输入从电流检测用比较器 27 来的低电压 L 电平的电流检测信号 V_{CP} ; 所以, 从 D 触发器 28 的信号输入端子 Q 输出的信号 V_{LD} 电压电平, 如图 21

(C)所示, 从高电压 H 电平切换到低电压 L 电平, 所以, 小负荷时从脉冲发生器 22 输出的脉冲信号 V_4 的周期增长, 因此, MOS-FET3 的截止期间延长, 振荡频率降低。

在图 20 所示的实施方式中, 不需要图 2~图 18 的各实施方式所示的电平移动用电阻 17、18, 所以, 与图 2~图 18 所示的各实施方式相比, 其优点是能够简化控制电路 8 的结构。而且, 具有负检测 (图 2~图 18) 和正检测 (图 20) 作为对开关电流进行检测的手段, 负检测和正检测作为开关电源各有优点和缺点。但它不是本发明的本质问题, 本发明能够适用于负检测和正检测两者。

本发明的实施方式并不仅限于上述各实施方式, 它能够进一步变更如下。

[1]在上述各实施方式中表示以下方式: 输出整流滤波电路 6 的直流输出电压 V_{out} 的检测信号 V_{FB} 从次级侧的输出电压检测电路 7 中通过光耦合器 14 的发光元件 14a 和受光元件 14b 传输到初级侧上。但也可以如图 22 所示, 省略输出电压检测电路 7 和光耦合器 14, 为了取代构成光耦合器 14 的受光元件 14b, 也可以连接一种具有控制电路 8 的驱动电压以上的齐纳电压的齐纳二极管 81, 在变压器 2 的驱动线圈 2c 侧作为输出整流滤波电路 6 的直流输出电压 V_{out} 的检测信号 V_{FB} 而进行检测。也就是说, 在图 22 所示的实施方式中, 与变压器 2 的次级线圈 2b 的电压成正比例的电压发生在驱动线圈 2c 内, 所以, 驱动线圈 2c 侧所发生的直流电压 V_{IN} 与次级线圈 2b 侧所发生的直流输出电压 V_{out} 成正比。因此, 能够在驱动线圈 2c 侧检测出次级线圈 2b 侧的直流输出电压 V_{out} 的变化成分, 所以, 不需要输出电压检测电路 7 和光耦合器 14, 能够简化次级侧的电路结构。

[2]在上述各实施方式中表示了以下方式: 与变压器 2 的初级线圈 2a 或 MOS-FET3 相串联连接电流检测用电阻 9, 把变压器 2 的初级线圈 2a 或 MOS-FET3 内流过的电流 I_D 作为负电压或正电压进行检测。但是, 也可以如图 23 所示, 对变压器 2 的初级线圈 2a 侧的闭合电路内流过的电流 I_D 进行分流的分流装置的具有电流检测端子 92 的检测

MOS-FET91 作为开关元件使用，电流检测端子 92 内流过的电流通过电流检测用电阻 9 变换成电压进行检测。

[3]在图 9 所示的实施方式中，表示以下形式：把 D 触发器 50、51 串联连接成 2 级，在小负荷时，用 MOS-FET3 的漏—源端子间电压 V_{DS} 的第 2 次的最小电压点使 MOS-FET3 接通。但是也可以把 D 触发器 50 串联连接成 3 级以上，在小负荷时用 MOS-FET3 的漏—源端子间电压 V_{DS} 的第 3 次以后的最小电压点来使 MOS-FET3 接通。在此情况下，在小负荷时附加到 MOS-FET3 的栅端子上的驱动信号 V_G 的振荡频率进一步降低，所以，能够进一步减少在小负荷时的开关损耗。

[4]并且，图 16 所示的实施方式也是一样，也可以对标准电源 26、电流检测用比较器 27 和 D 触发器 28 并行地设置 3 组以上，在小负荷时对附加在 MOS-FET3 的栅端子上的驱动信号 V_G 的振荡频率根据负荷状态更精密地进行控制。

[5]再者，如图 24 所示，也可以在图 16 所示的实施方式的另一他激式反馈型 DC-DC 变换器内设置图 9 所示的实施方式的最低点检测装置电路 41 和最低点跳越控制电路 42。也就是说，图 24 所示的实施方式的他激式反馈型 DC-DC 变换器，在图 16 所示的实施方式的控制电路 8 中设置了：最低点检测电路 41，用于在 MOS-FET3 的截止期间内利用变压器 2 的驱动线圈 2c 内所发生的振铃电压，来检测 MOS-FET3 的漏—源端子间电压 V_{DS} 的最小电压点；以及最低点跳越控制电路 42，其在两个 D 触发器 28、63 的各输出信号 V_{LD1} 、 V_{LD2} （图 25（D）和（E）所示）均为高电压 H 电平时，利用由最低点检测电路 41 检测出的最初的最小电压点来使 MOS-FET3 接通，一边和另一边的 D 触发器 28、63 的各输出信号 V_{LD1} 、 V_{LD2} 分别为低电压 L 电平、高电压 H 电平时，利用由最低点检测电路 41 检测出的第 2 次的最小电压点来使 MOS-FET3 接通，当两者的 D 触发器 28、63 的各输出信号 V_{LD1} 、 V_{LD2} 均为低电压 L 电平时利用由最低点检测电路 41 检测出的第 3 次的最小电压点来使 MOS-FET3 接通。图 24 所示的最低点跳

越控制电路 42 具有：第 1~第 3D 触发器 50、51、54，它们进行串联连接；第 1AND 门 52，用于输出第 1D 触发器 50 的输出信号 V_{DF1} 以及另一边的 D 触发器 28 的输出信号 V_{LD1} 的逻辑积信号 V_{AD1} ；第 2AND 门 55，用于输出第 2D 触发器 51 的输出信号 V_{DF2} 以及另一边的 D 触发器 63 的输出信号 V_{LD2} 的逻辑积信号 V_{AD2} ；OR 门 53，用于输出脉冲发生器 22 的脉冲信号 V_4 和第 3D 触发器 54 的输出信号 V_{DF3} 以及第 1 和第 2AND 门 52、55 的逻辑积信号 V_{AD1} 、 V_{AD2} 的逻辑和信号 V_{OR} 。也就是说，图 24 所示的最低点跳越控制电路 42 在大负荷~通常负荷时，如图 25 (D) 和 (E) 所示，从两者 D 触发器 28、63 中输出高电压 H 电平的输出信号 V_{LD1} 、 V_{LD2} 。所以，从第 1 和第 2AND 门 52、55 中输出的逻辑积信号 V_{AD1} 、 V_{AD2} 分别与第 1 和第 2D 触发器 50、51 的各输出信号 V_{DF1} 、 V_{DF2} 相同。另一方面，从第 1D 触发器 50 中与图 25 (C) 所示的最低点检测电路 41 的输出信号 V_{BD} 的最初的下降边相同步，发生一种上升到高电压 H 电平的单发脉冲状的输出信号 V_{DF1} ，所以，第 2 和第 3D 触发器 51、54 的输出信号 V_{DF2} 、 V_{DF3} 保持低电压 L 电平。因此，高电压 H 电平的单发脉冲状的逻辑和信号 V_{OR} 与最低点检测电路 41 的输出信号 V_{BD} 的最初的下降边相同步从 OR 门 53 中输出，所以，在大负荷~通常负荷时能够利用由最低点检测电路 41 检测出的最初的最小电压点来使 MOS-FET3 接通。并且，小负荷时如图 25 (D) 和 (E) 所示，从一边和另一边的 D 触发器 28、63 中分别输出低电压 L 电平、高电压 H 电平的输出信号 V_{LD1} 、 V_{LD2} ，所以，从第 1AND 门 52 中输出的逻辑积信号 V_{AD1} 变成低电压 L 电平。另一方面，从第 2D 触发器 51 中与图 25 (C) 所示的最低点检测电路 41 的输出信号 V_{BD} 的第 2 次的下降边相同步发生一种上升到高电压 H 电平的单发脉冲状输出信号 V_{DF2} ，因为第 2AND 门 55 的逻辑积信号 V_{AD2} 和输出信号 V_{DF2} 相同，所以从 OR 门 53 中与最低点检测电路 41 的输出信号 V_{BD} 的第 2 次的下降边相同步而输出高电压 H 电平的单发脉冲状的逻辑和信号 V_{DR} 。这样，小负荷时能够利用由最低点检测电路 41 检测出的第 2 次的最小电压点来使 MOS-FET3 接通。再者，极小负荷时，

如图 25 (D) 和 (E) 所示, 从两者 D 触发器 28、63 中输出低电压 L 电平的输出信号 V_{LD1} 、 V_{LD2} , 所以, 从第 1 和第 2 的 AND 门 52、55 中输出的逻辑积信号 V_{AD1} 、 V_{AD2} 均变成低电压 L 电平。另一方面, 从第 3D 触发器 54 中与图 25 (C) 所示的最低点检测电路 41 的输出信号 V_{BD} 的第 3 次下降边相同步, 发生一种上升到高电压 H 电平的单发脉冲状的输出信号 V_{DF3} , 所以, 从 OR 门 53 中与最低点检测电路 41 的输出信号 V_{BD} 的第 3 次的下降边相同步而输出高电压 H 电平的单发脉冲状的逻辑和信号 V_{OR} 。这样, 在极小负荷时能够利用由最低点检测电路 41 检测出的第 3 次的最小电压点来使 MOS-FET3 接通。所以, 在图 24 所示的实施方式中也和图 16 所示的实施方式一样, 在小负荷时和极小负荷时, 如图 25 (B) 所示, 附加到 MOS-FET3 的栅端子上的驱动信号 V_G 的振荡频率分别按不同的 2 个频率降低, 所以, 能够对 MOS-FET3 的驱动信号 V_G 的振荡频率进行更精密的控制, 能够进一步提高开关电源装置的变换效率。当然也可以在对标准电源 26、电流检测用比较器 27 和 D 触发器 28 并行地设置 3 组以上的同时, 对 D 触发器 50 串联连接 4 级以上, 使驱动信号 V_G 的振荡频率根据小负荷的程度按不同的 3 种以上的频率下降。

[6]在上述各实施方式中表示以下方式: 即本发明适用于对 MOS-FET3 的导通期间和截止期间单独进行控制的控制方式, 以及在变压器 2 的反馈能量放出结束时使 MOS-FET3 导通的模拟谐振控制方式 (RCC 方式)。但是, 也可以是对导通功能进行控制的一般的 PWM (脉冲调幅) 控制方式。

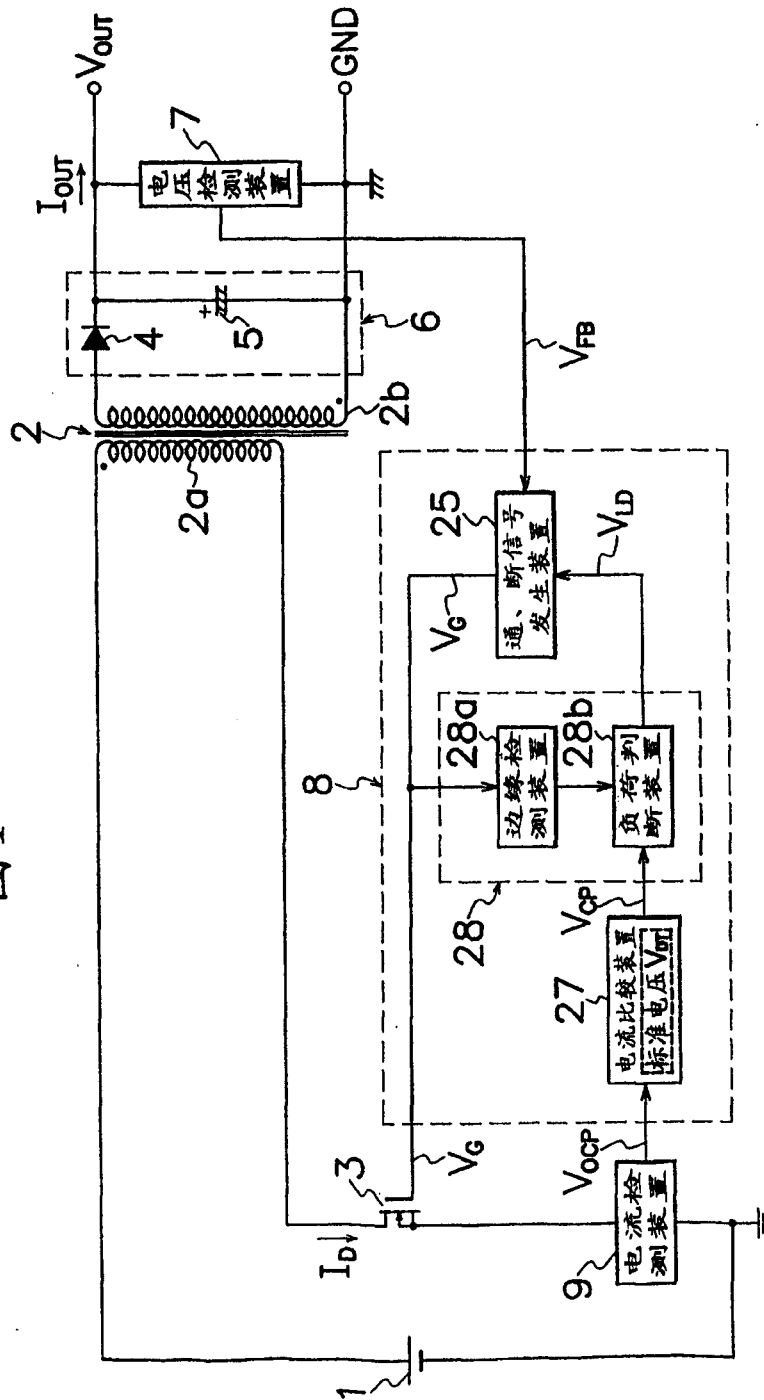
[7]再者, 本发明并不仅限于他激式反馈型 DC-DC 变换器, 也能够适用于与直流电源相连接而且具有把驱动用功率供给到控制电路内的驱动电源电路的他激式正向型 DC-DC 变换器和谐振型 DC—DC 变换器等其他开关电源装置。

若采用本发明, 则在开关元件从导通切换到截止时, 对次级侧上所连接的负荷的状态进行判断, 所以, 不易受到感应噪声等外来噪声的影响, 用最少的零件数量即可在初级侧准确而确实地检测出次级侧

的负荷的状态。所以，根据该检测输出而切换到最佳振荡动作上，这样，能够提高开关电源装置的变换效率。

本发明能够适用于具有微机等大规模的指令装置的移动电话手机（PHS等）和笔记本电脑等小型电子设备用的交流适配器。

图1



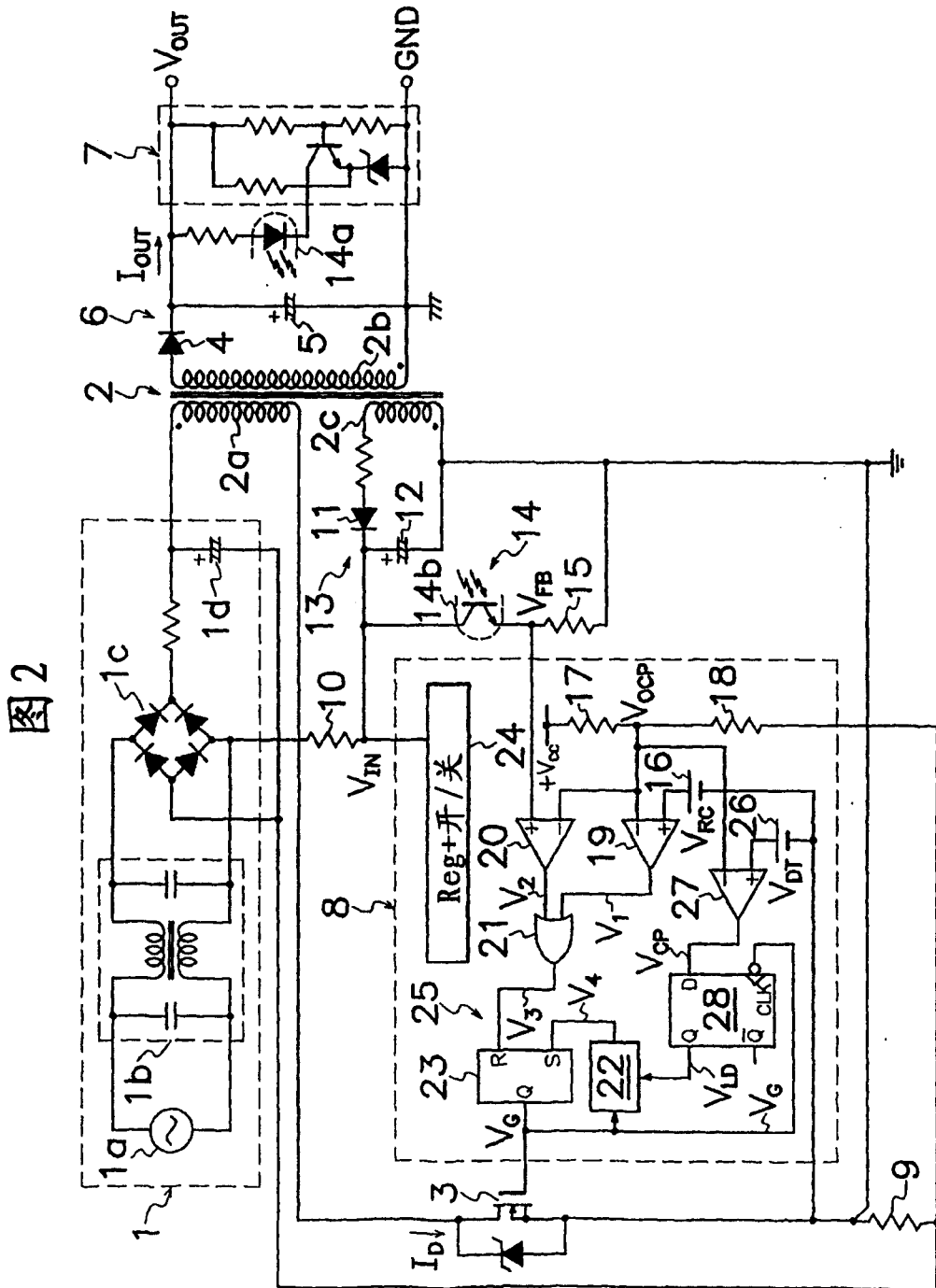


图3

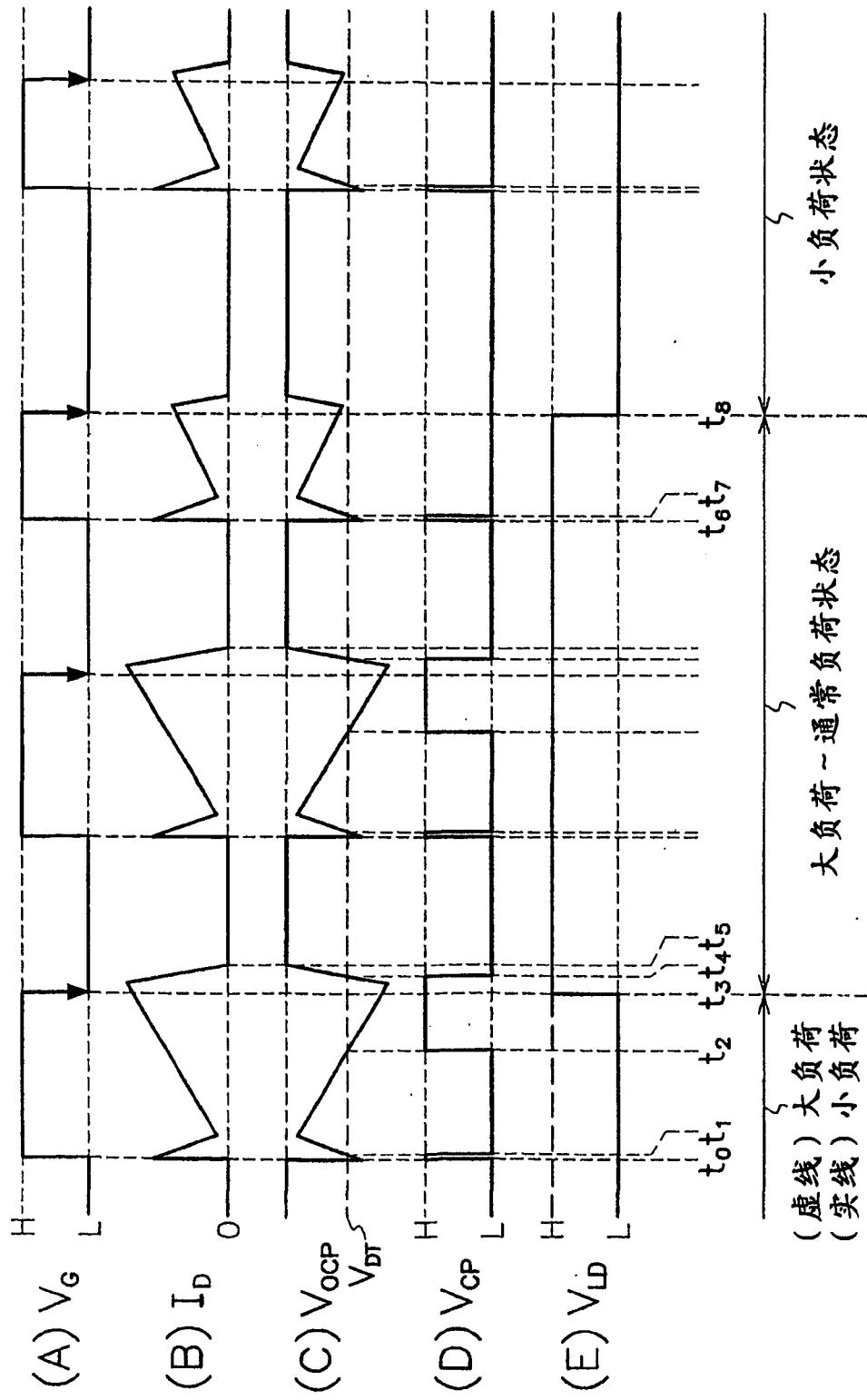
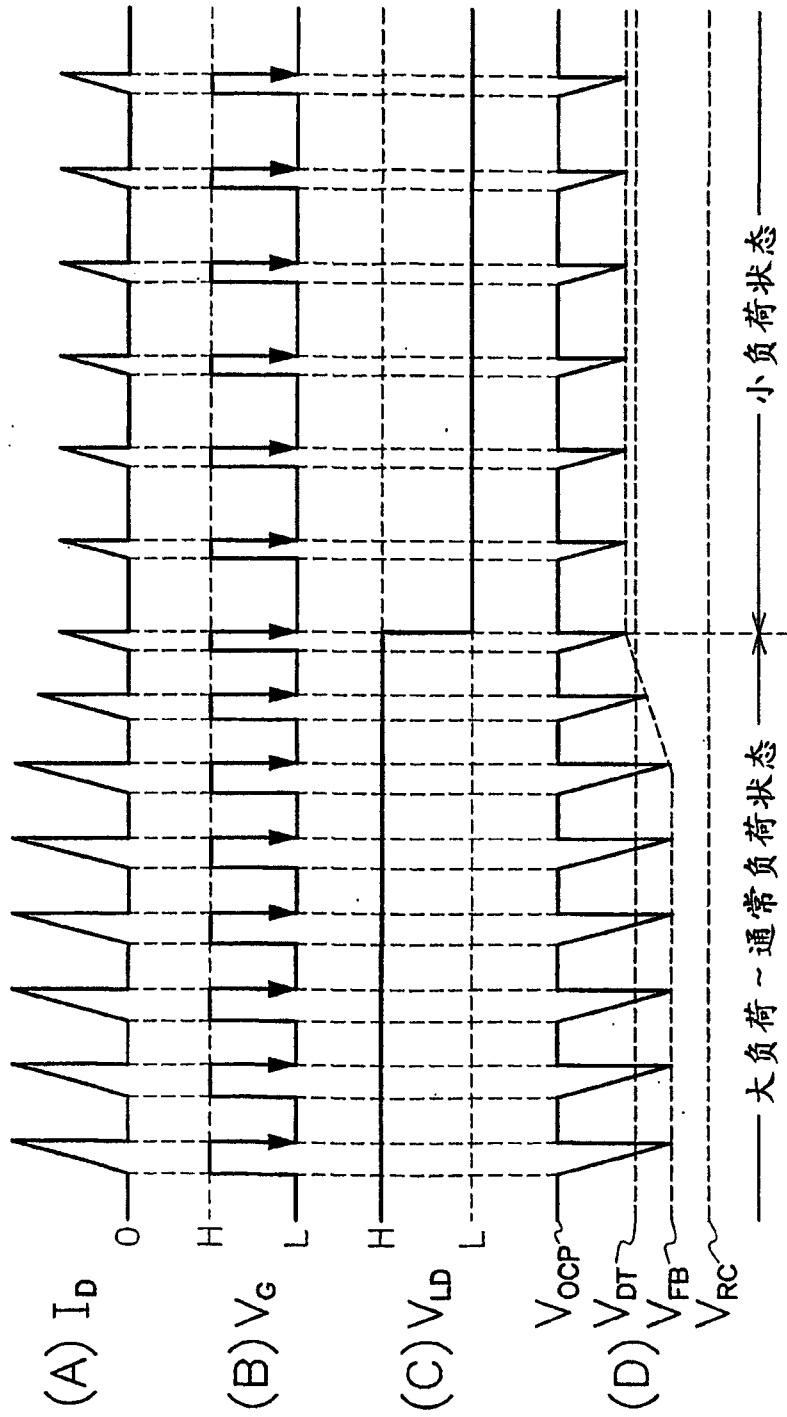


图4



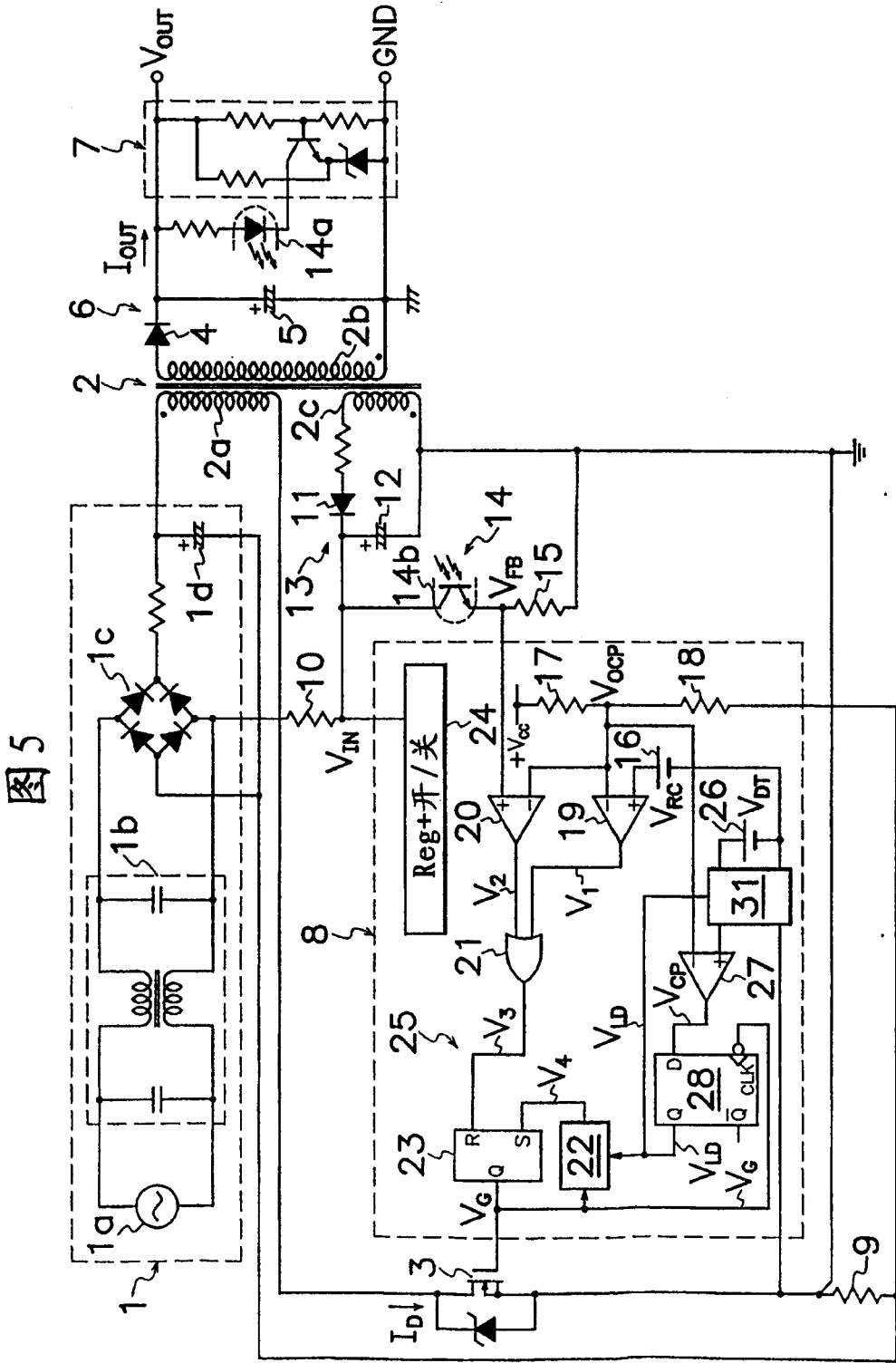


图6

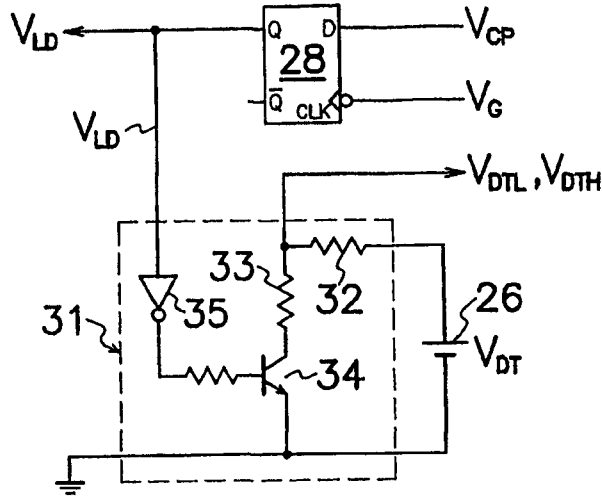


图7

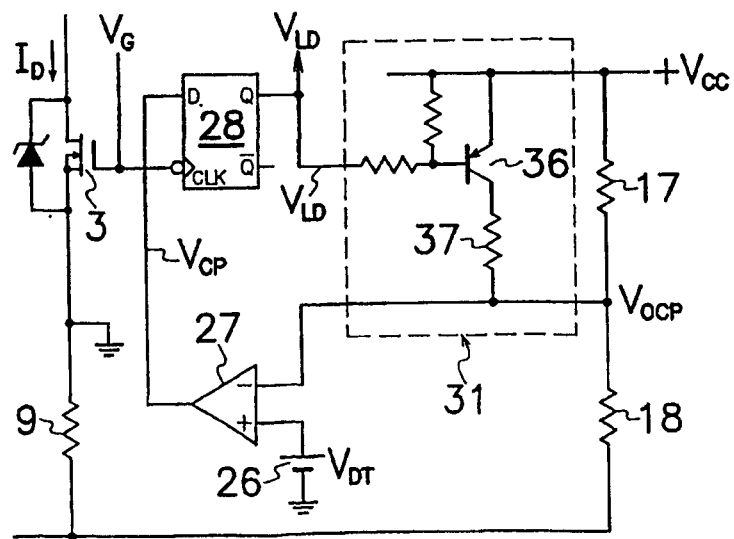
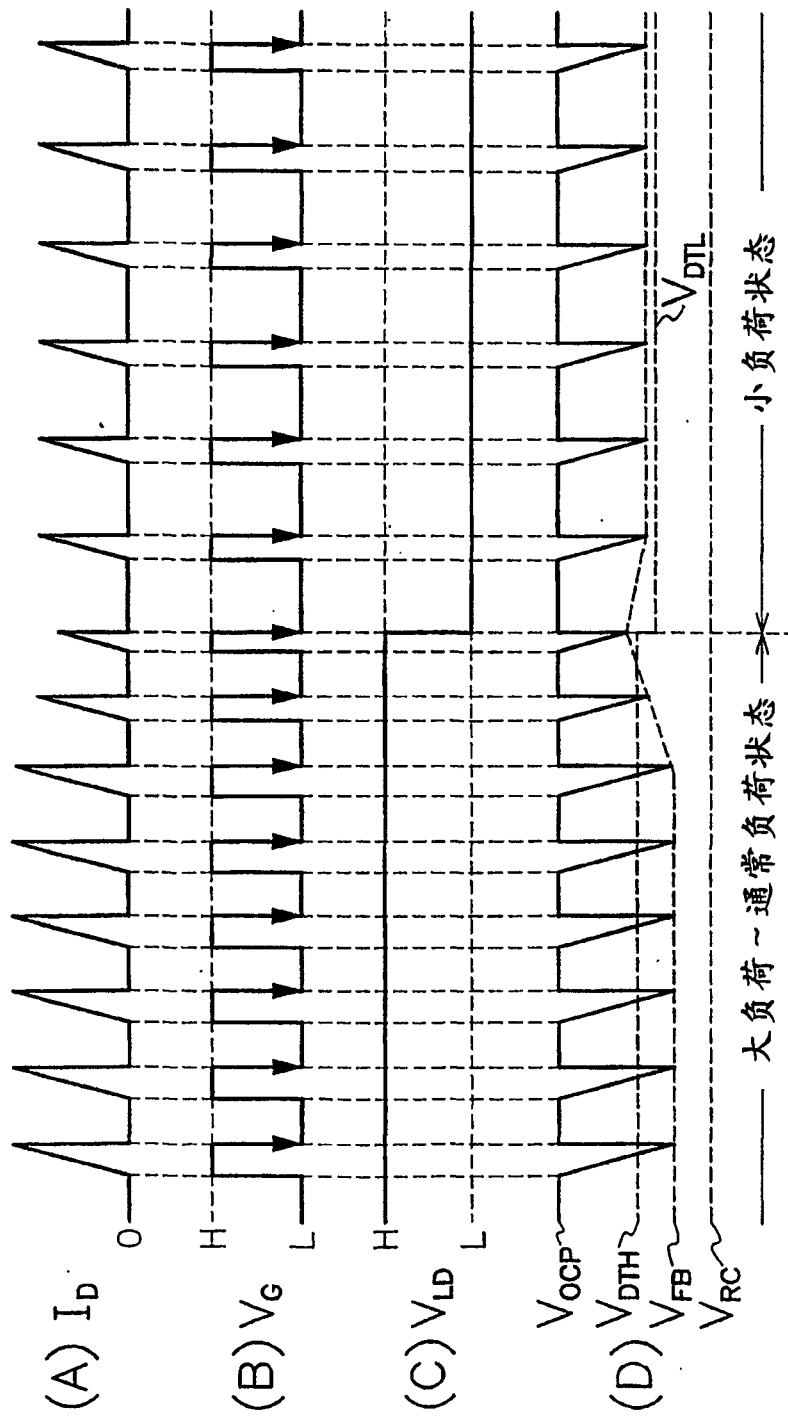


图8



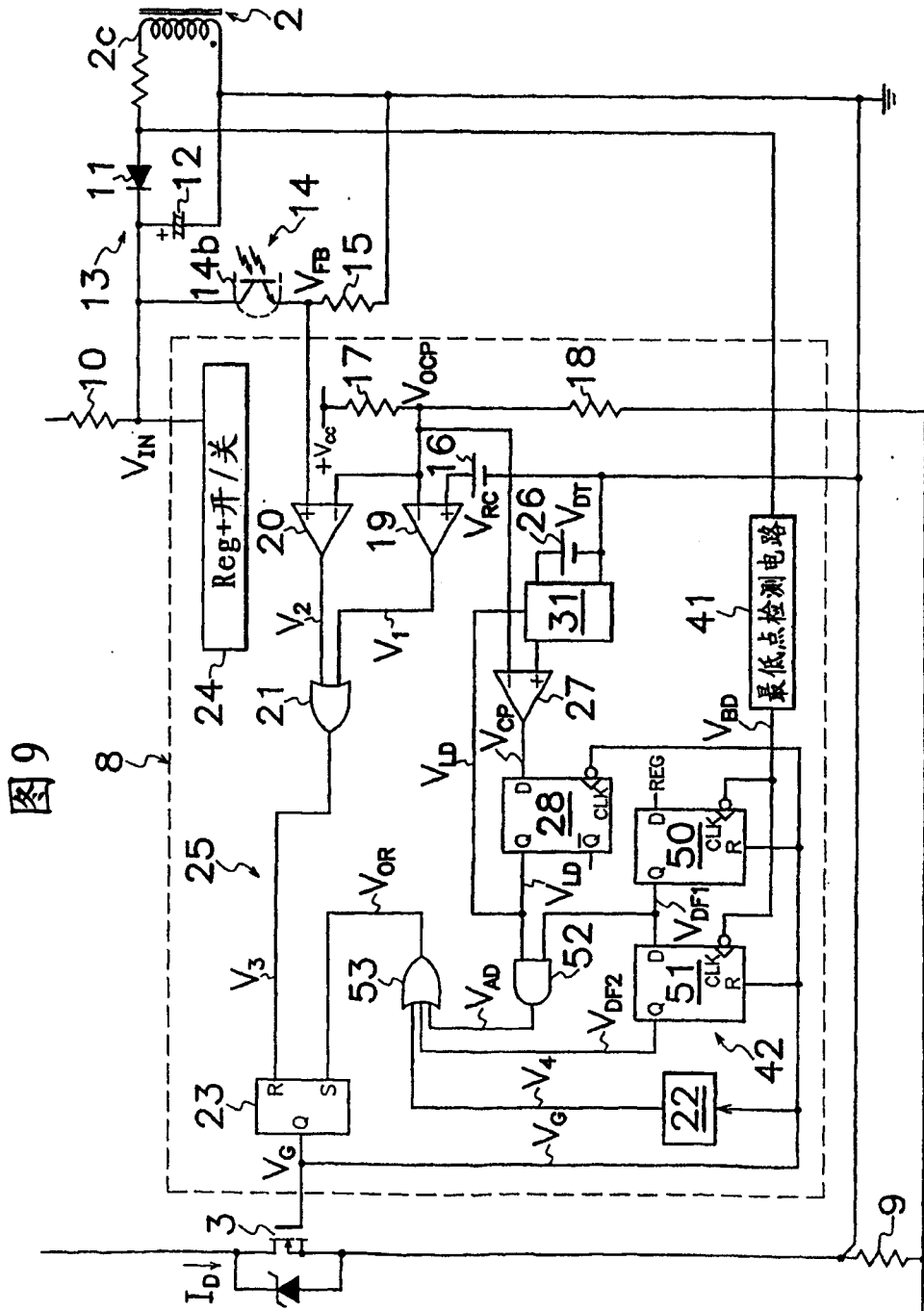


图9

图 10

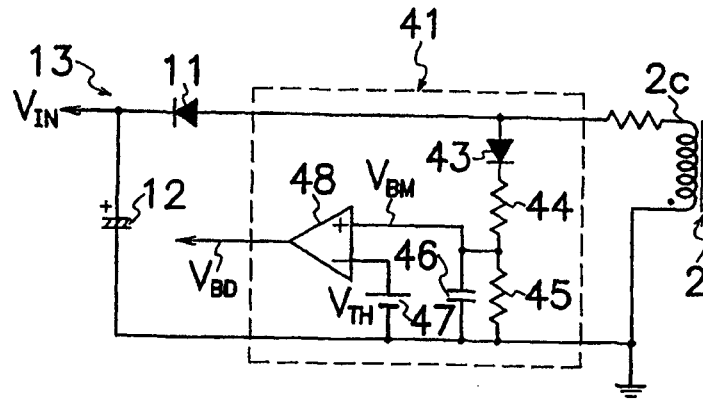


图 11

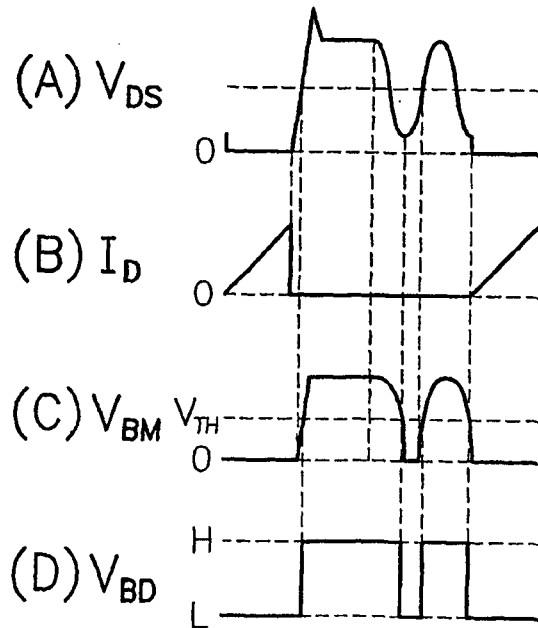


图12

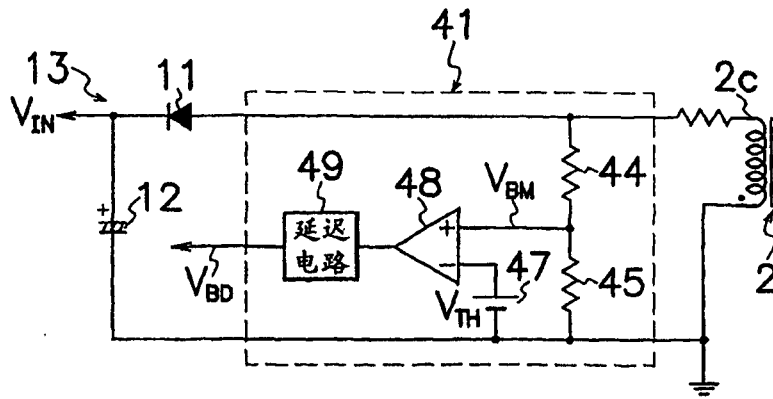


图13

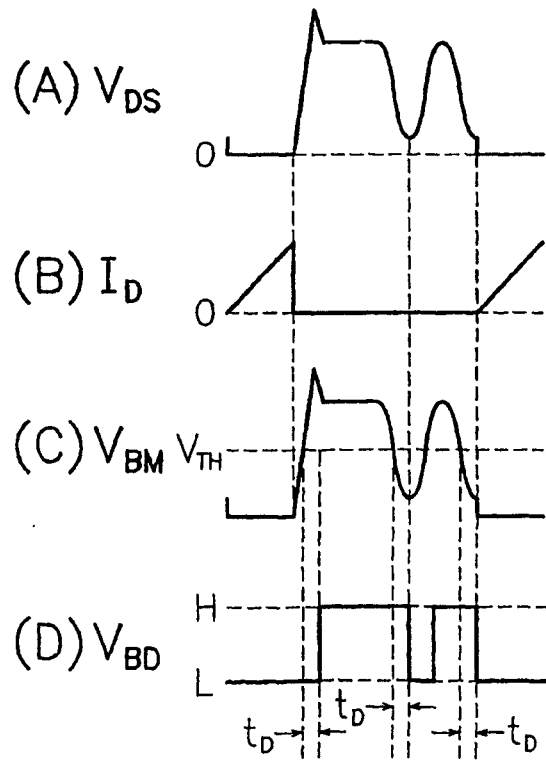


图14

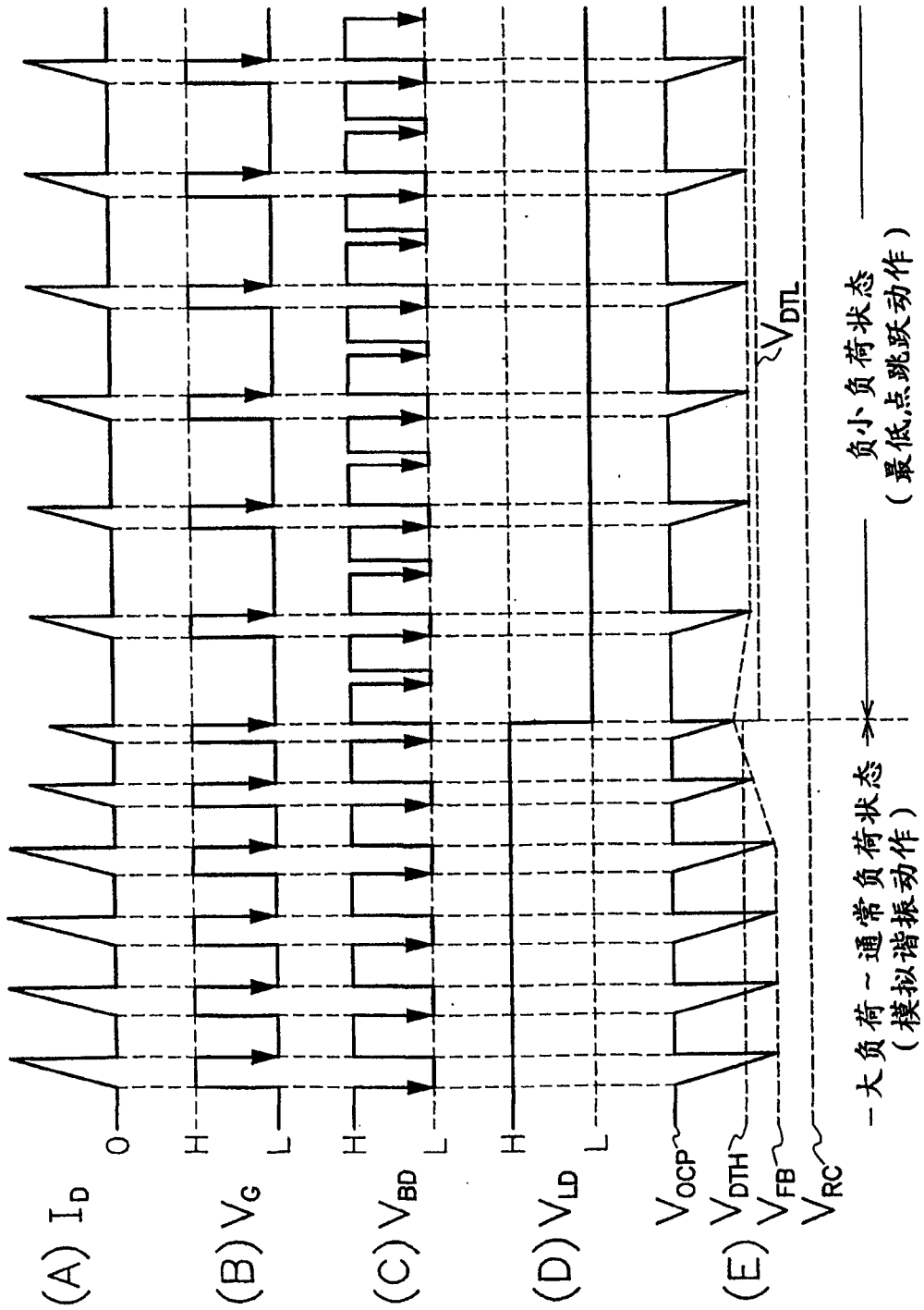
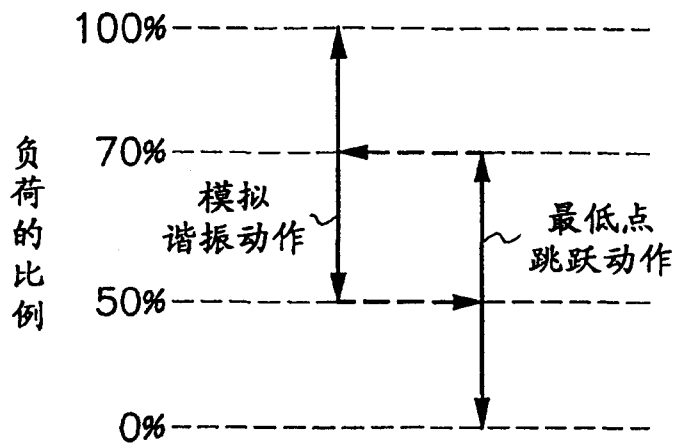


图 15



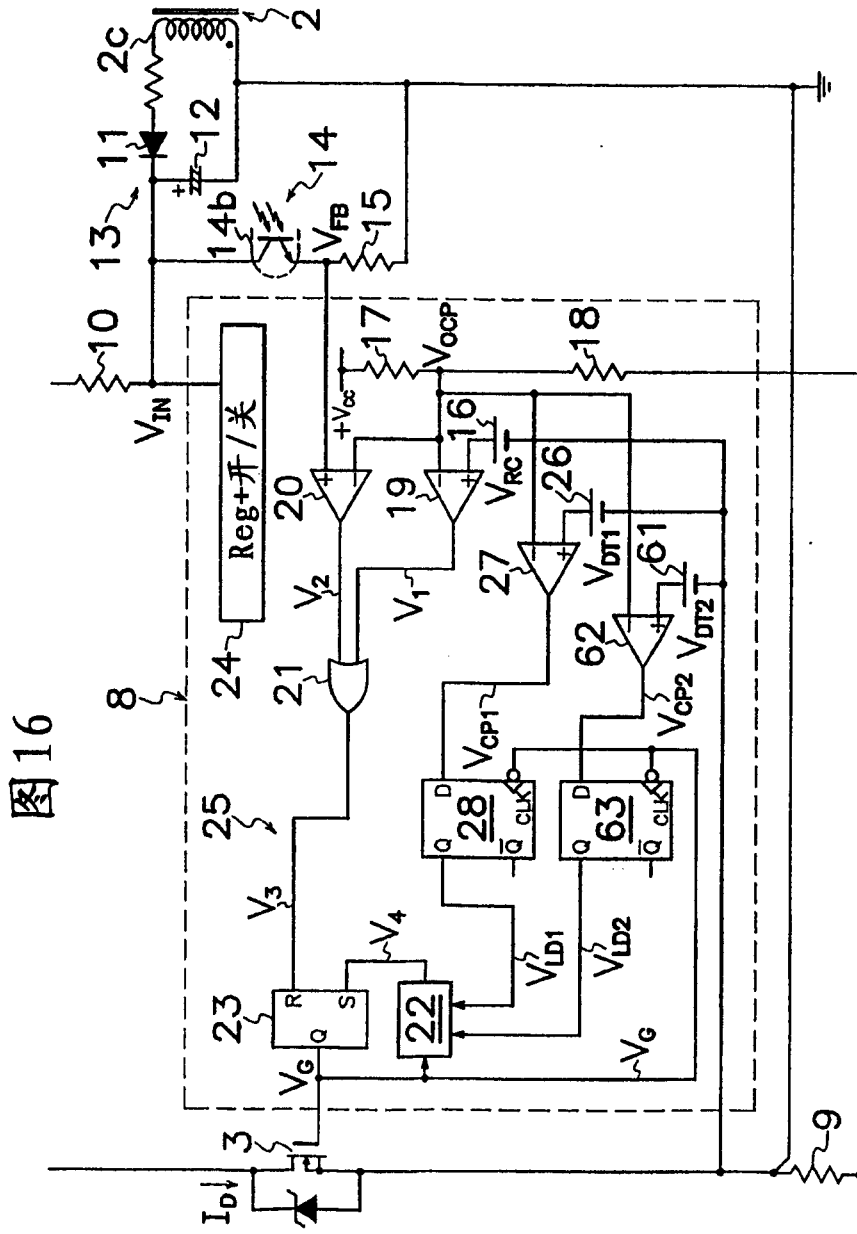


图16

图17

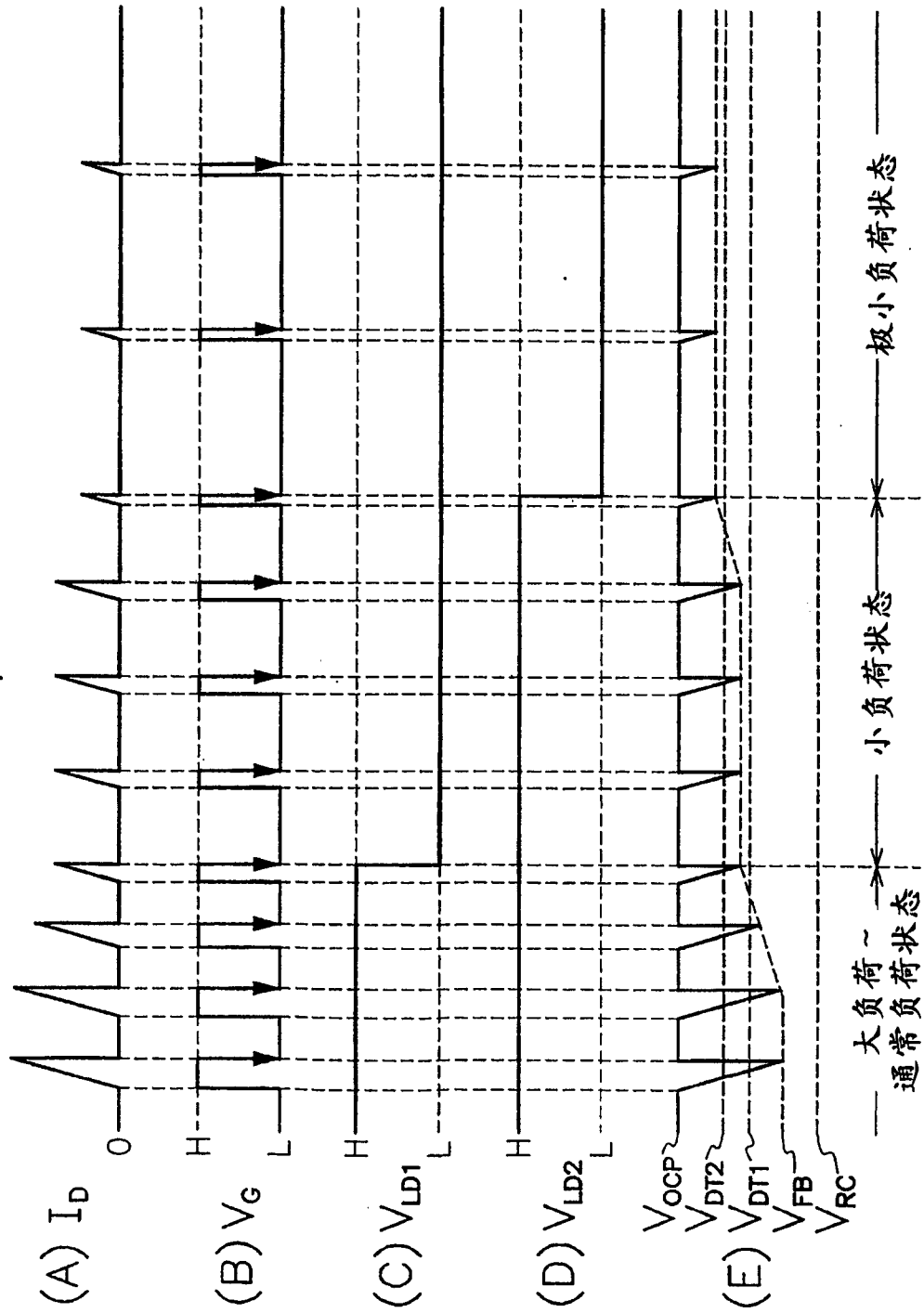


图18

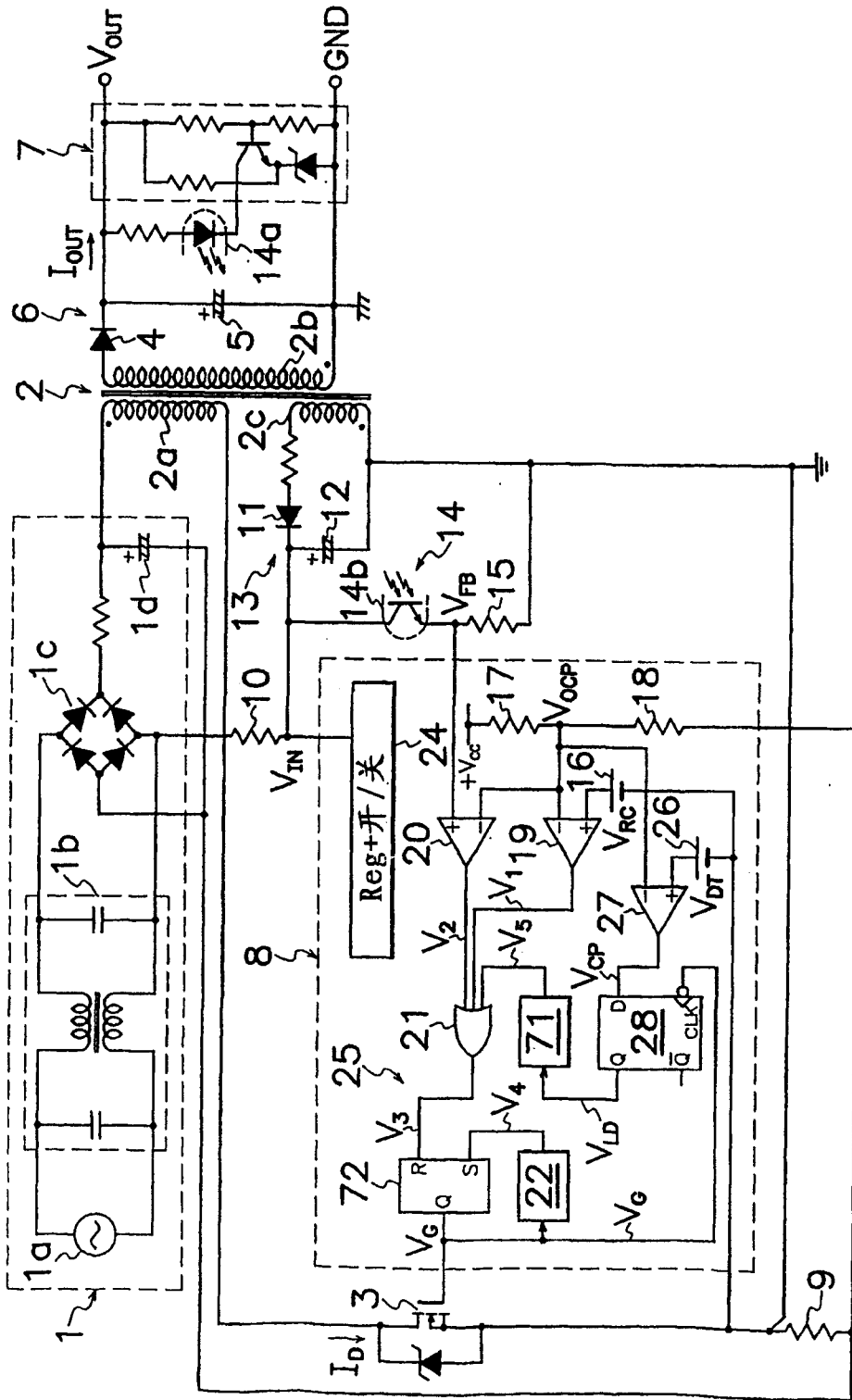
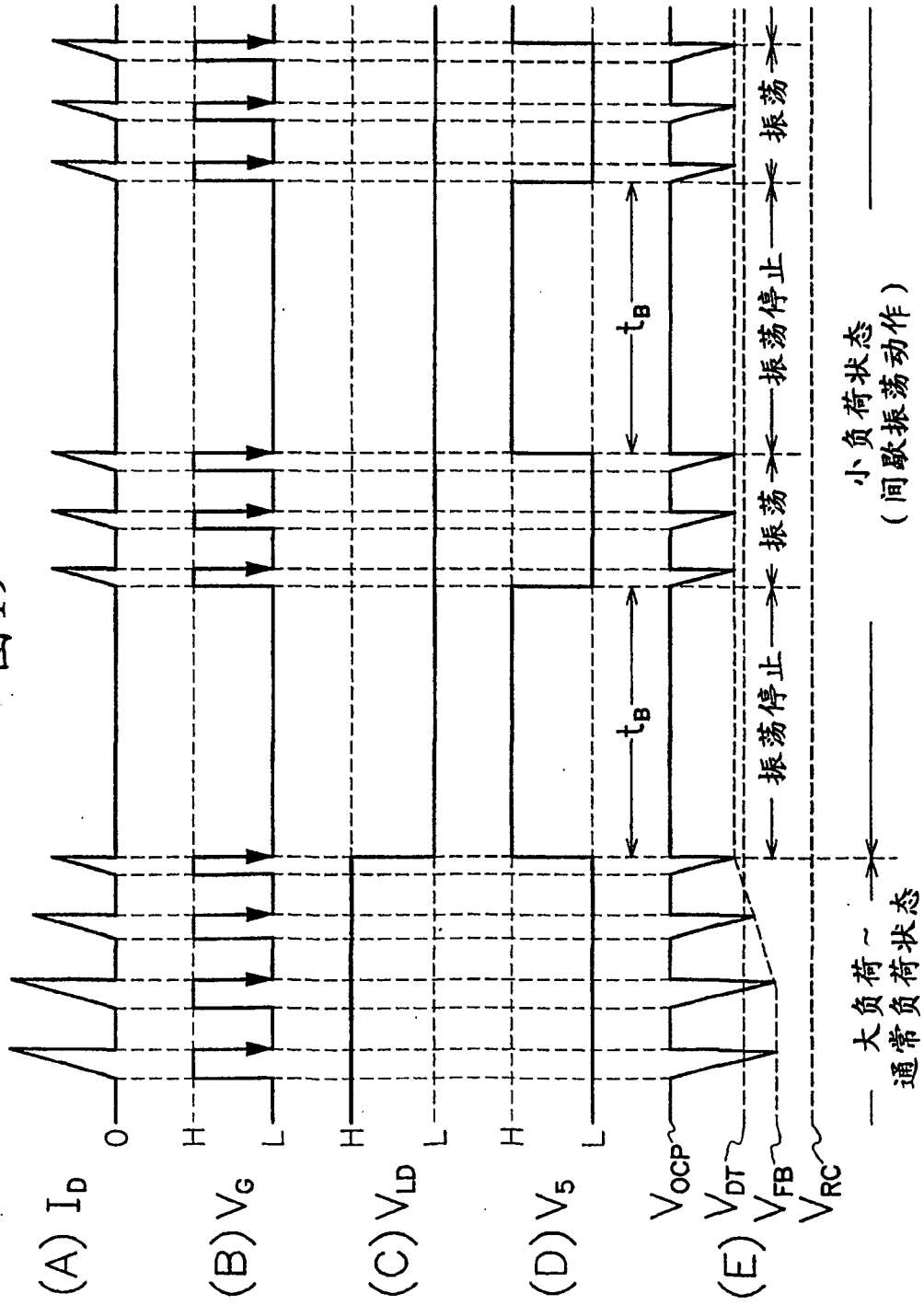


图19



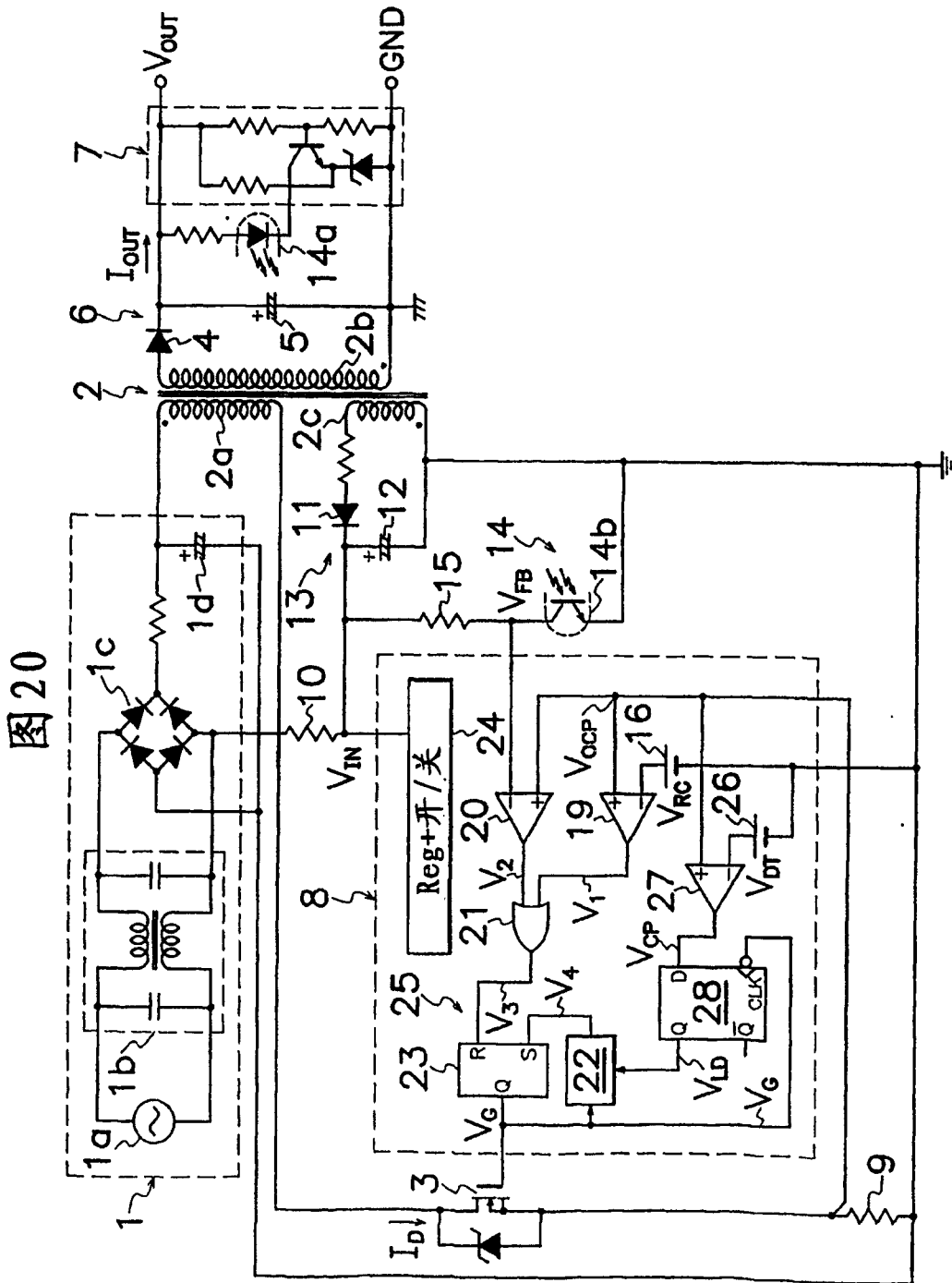


图 21

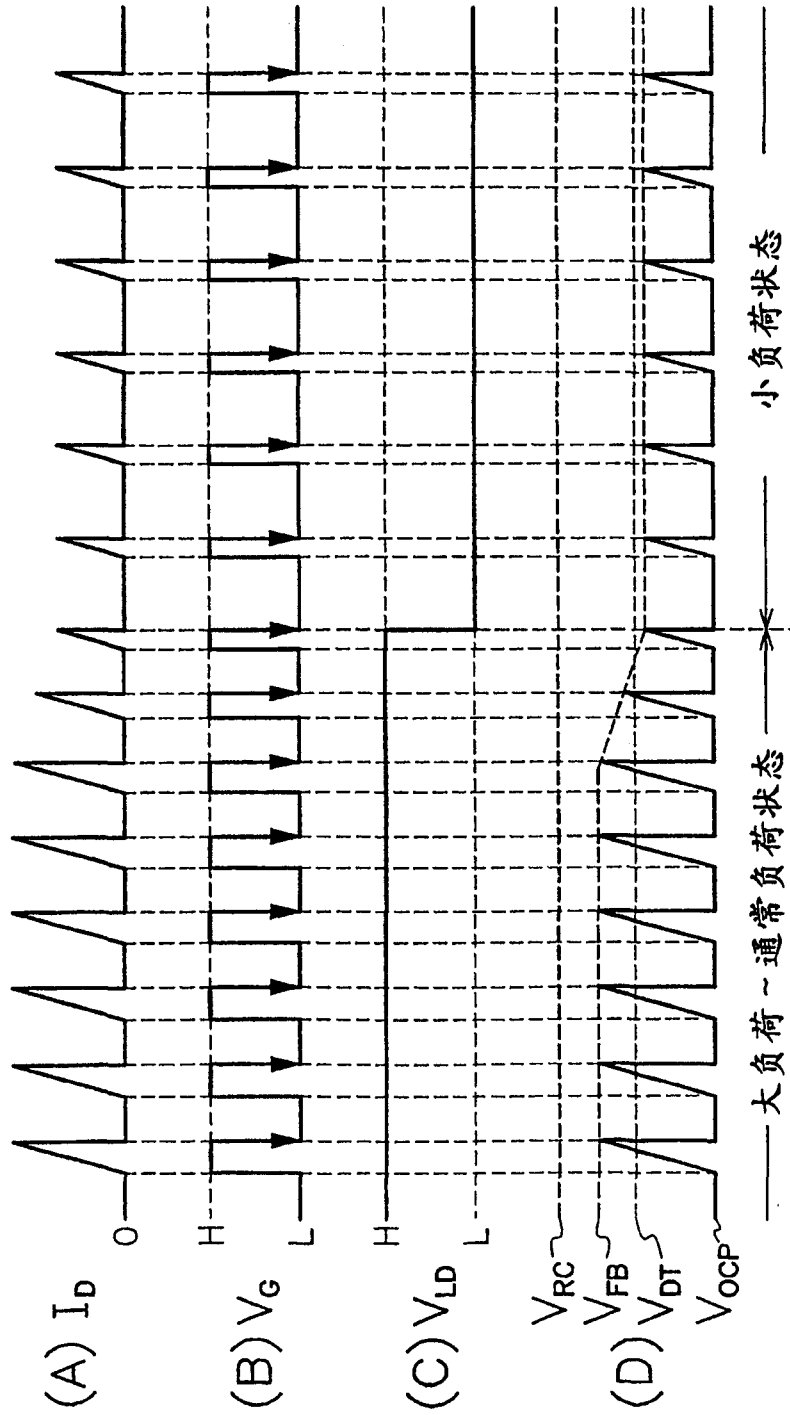


图22

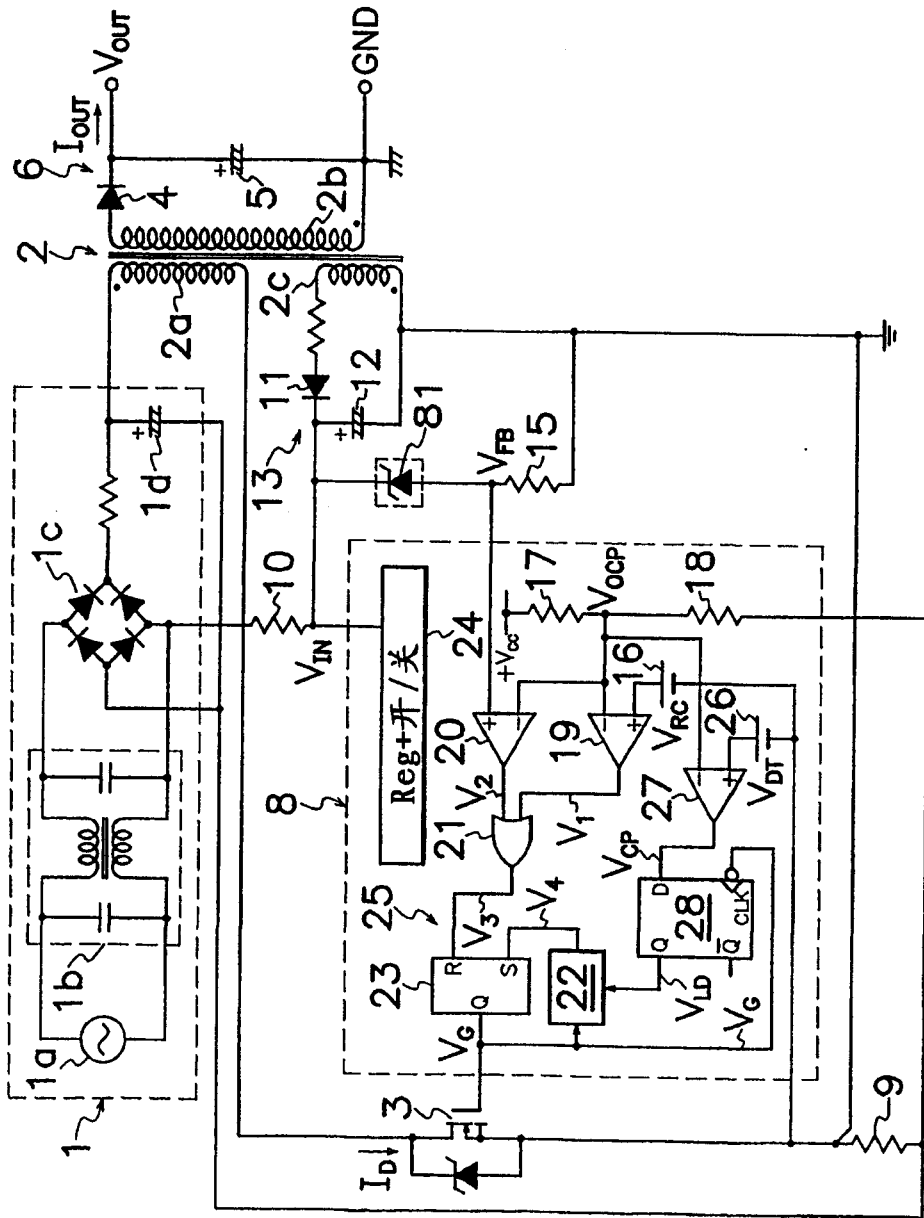


图 23

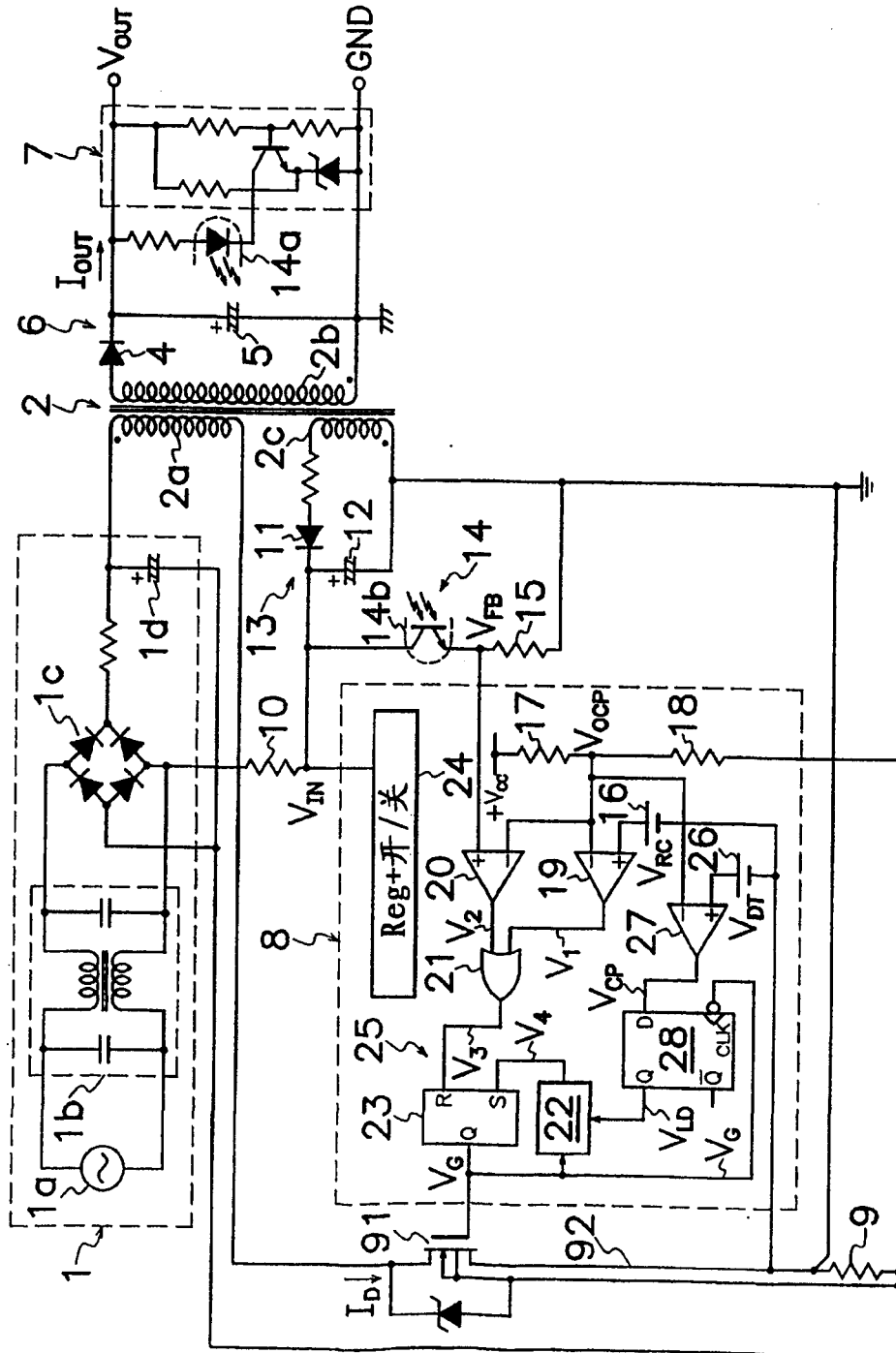


图 24

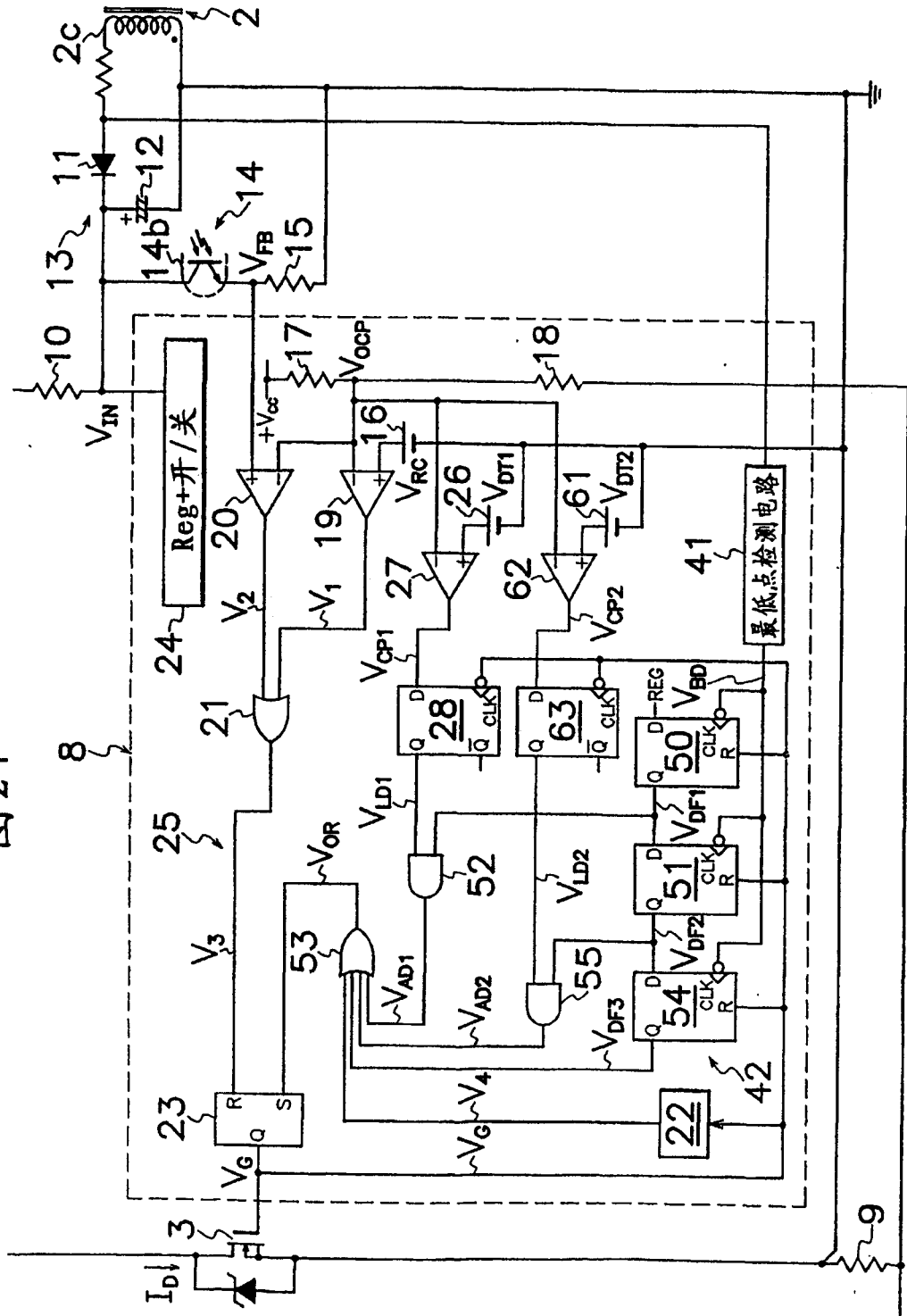
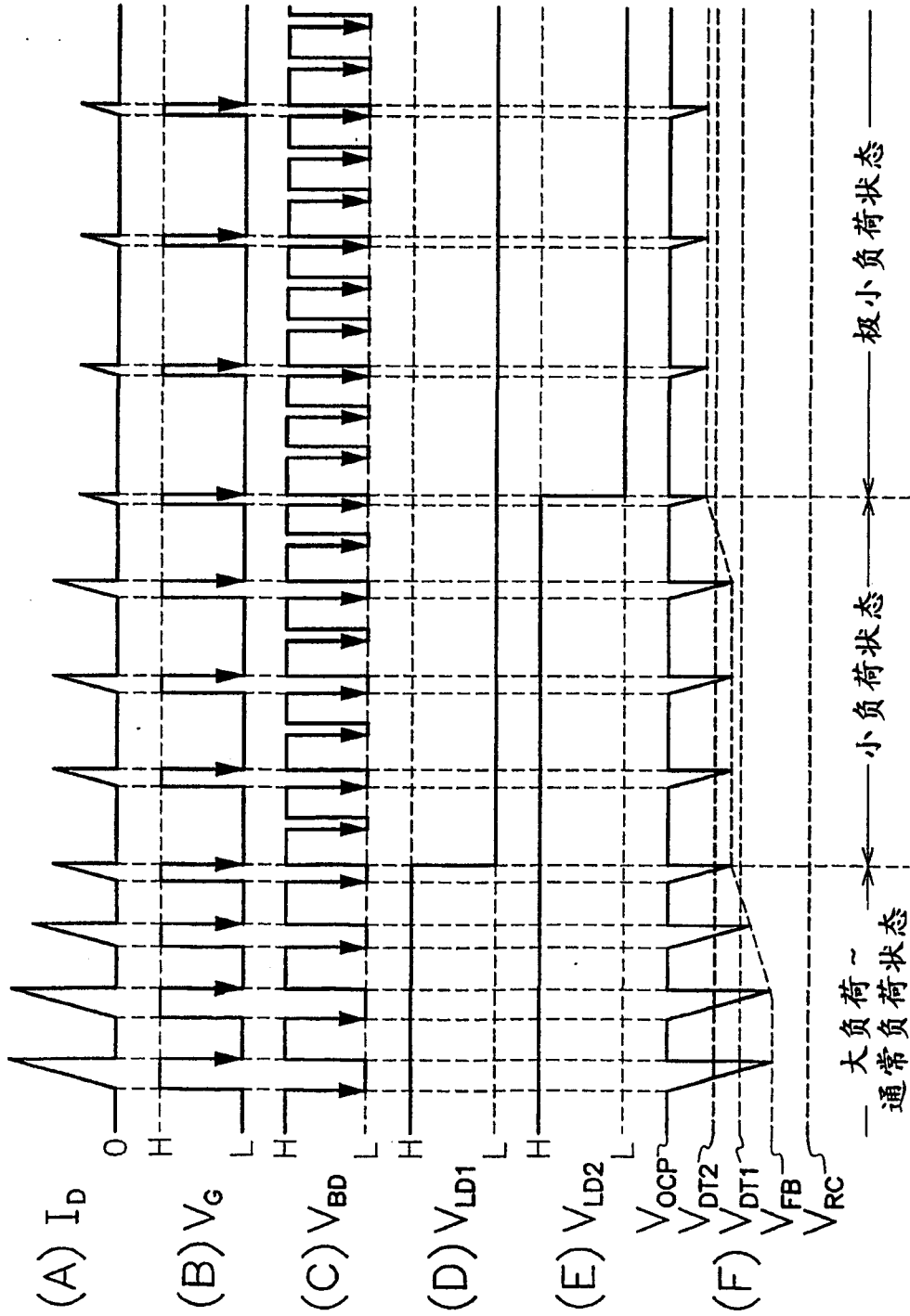


图 25



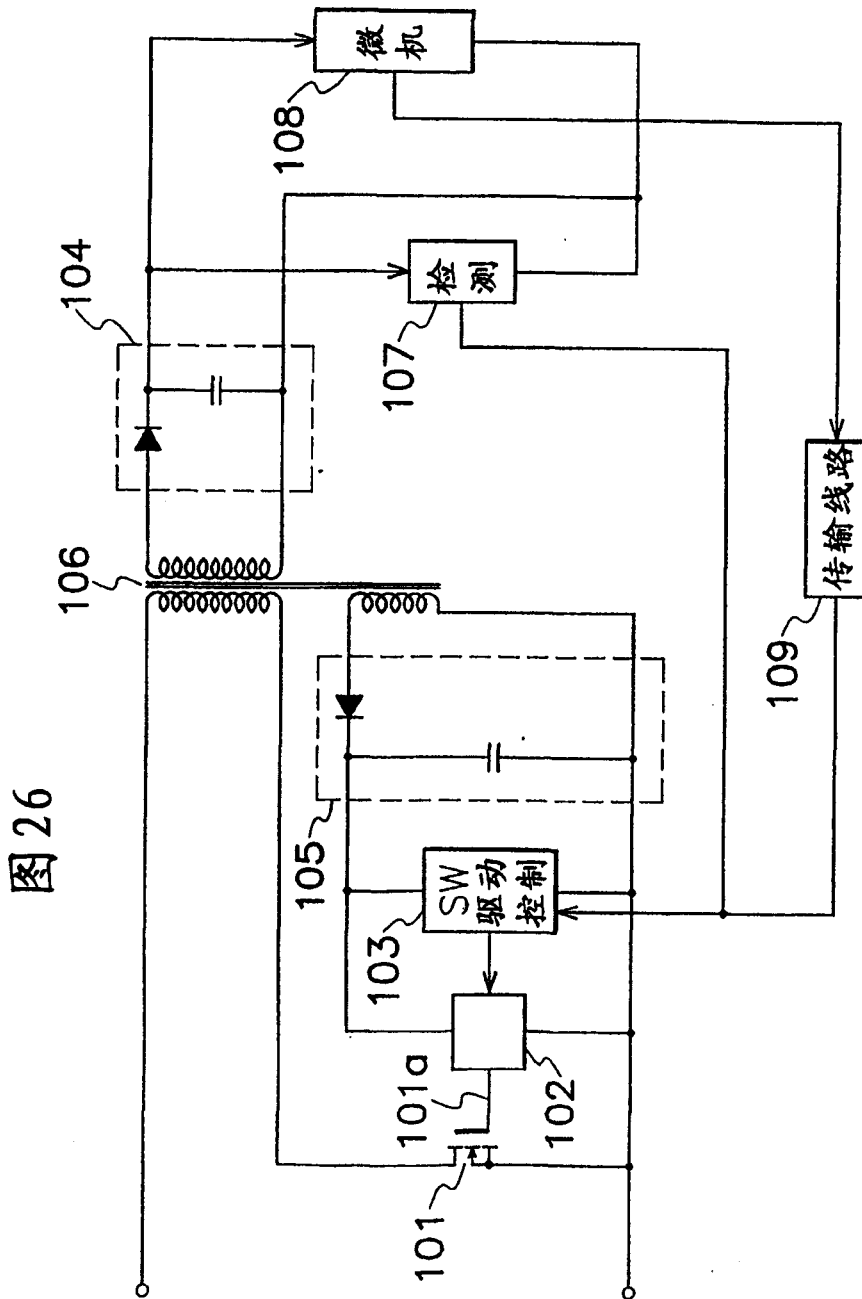


图27

