



[12] 发明专利说明书

[21] ZL 专利号 01807583.5

[45] 授权公告日 2004 年 12 月 8 日

[11] 授权公告号 CN 1179275C

[22] 申请日 2001.4.4 [21] 申请号 01807583.5

[30] 优先权

[32] 2000. 4. 4 [33] US [31] 09/542,747

[86] 国际申请 PCT/US2001/010973 2001.4.4

[87] 国际公布 WO2001/075613 英 2001.10.11

[85] 进入国家阶段日期 2002.9.29

[71] 专利权人 摩托罗拉公司

地址 美国伊利诺斯

[72] 发明人 格鲁斯维米·甘尼什

苏雷德雷·P·伯哈塔雷

华莱士·B·哈伍德三世

加里·L·米勒

约瑟夫·杰勒曼斯基

审查员 李 熙

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

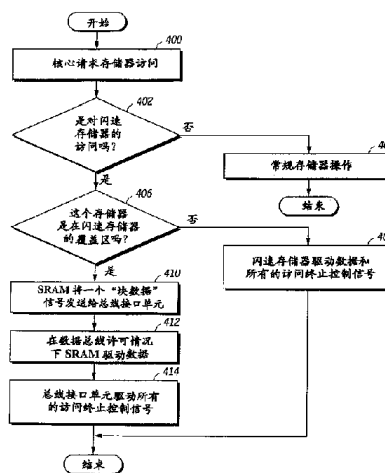
代理人 付建军

权利要求书 3 页 说明书 9 页 附图 3 页

[54] 发明名称 数据处理系统中用于覆盖存储器的
方法和设备

[57] 摘要

一个数据处理系统，包括一个具有核心(102)的嵌入式控制器(100)，系统总线，非易失性存储器(104)，和随机存储器(RAM)(106)。该RAM(104)有一个非覆盖区(108)和一个覆盖区(110)。该覆盖区(110)可被分成多个分区。在不被用作覆盖区时，该覆盖区(110)的各分区可用作一般RAM目的。



1、在一个具有非易失性存储器（104）和第一随机存取存储器（RAM）模块（106）的数据处理系统中的一种方法，其中，该第一RAM模块含有当作一般随机存储器使用的非覆盖区（108）以及用于覆盖该非易失性存储器的部分的覆盖区（110），该非易失性存储器通过系统总线被耦接到该第一RAM模块，所述方法的特征在于包括：

发出一个存储器访问请求来访问该非易失性存储器的覆盖部分；

通过该第一RAM模块将块数据信号发送给该非易失性存储器来禁止该非易失性存储器向系统总线驱动数据；

该第一RAM模块在数据总线许可情况下将数据驱动到系统总线上；和

该非易失性存储器驱动访问终止控制信号来完成对存储器的访问。

2、如权利要求1所述的方法，其特征在于：所述第一RAM模块具有一个相应的RAM数据转移时间，且该非易失性存储器具有一个相应的非易失性存储器数据转移时间，其中该RAM数据转移时间与该非易失性数据转移时间相匹配。

3、如权利要求1所述的方法，其特征在于：所述数据处理系统还包括一个耦接到该非易失性存储器的总线接口单元（112），其中：

块数据信号被送到该总线接口单元，和

该总线接口单元驱动所述访问终止控制信号。

4、如权利要求1所述的方法，其特征在于还包括：

通过所述RAM模块从数据总线主控制器接收一个写请求；和

基于对该总线主控器的识别选择性地允许该写请求。

5、如权利要求4所述的方法，其特征在于：一个核心访问信号基于对总线主控器的识别选择性地被确证，并且响应该核心访问信号选择性地允许该写请求。

6、一个随机存取存储器（RAM）模块（106），其特征在于包括：

一个非覆盖区（108），用作一般 RAM 目的；
一个覆盖区（110），可用于覆盖非易失性存储器的部分；
该覆盖区包括可被启动和禁止的软件可编程的第一分区，其中：
如果该第一分区被启动，则该第一分区相应于该非易失性存储器的一个第一覆盖部分；和
如果该第一分区被禁止，则该第一分区可用作一般 RAM 目的；
以及
一个块数据信号，其能够禁止该非易失性存储器向系统总线上驱动数据。

7、一个能够以覆盖模式和非覆盖模式操作的随机存取存储器（RAM）模块（106），其特征在于：

在覆盖模式中，该 RAM 模块包括：

一个用作一般 RAM 目的的非覆盖区（108）；

一个包含多个分区的覆盖区（110），其中：

该多个分区的第一部分能够被启动用于覆盖该非易失性存储器的部分，该多个分区的第二部分能够用作一般 RAM 目的；和

在非覆盖模式中，该 RAM 模块用作一般 RAM 目的。

8、如权利要求 7 所述的 RAM 模块，其特征在于：还包括一个能够禁止该非易失性存储器驱动数据的块数据信号。

9、如权利要求 8 所述的 RAM 模块，还包括一个控制寄存器，其特征在于该控制寄存器包括：

一个能够配置该 RAM 模块进入覆盖模式和非覆盖模式的模式字段。

10、如权利要求 9 所述的 RAM 模块，其特征在于该控制寄存器还包括：

一个能够将该多个分区的第一部分收缩成邻接的内存单元的收缩字段；

一个能够相应于该多个分区的每一分区配置分区尺寸的分区尺寸字段；和

一个能够使该多个分区的每一分区使能的分区使能字段。

数据处理系统中用于覆盖存储器的方法和设备

技术领域

本发明涉及一种数据处理系统。更具体地说，本发明涉及一种数据能够从一个存储器覆盖（overlay）到另一个存储器的数据处理系统。

背景技术

现有技术的嵌入式控制器支持各种存储器，包括芯片内和片外存储器。例如，一些嵌入式控制器既有静态存储器又有闪速存储器。有时想要在嵌入式控制器的常规操作中改变闪速存储器中的数据。例如，用作发动机（或者其它的机电设备）控制器的嵌入式控制器，存储在闪速存储器中的各种参数可能需要改变以适当地转动发动机。因为闪速存储器在嵌入式控制器的常规操作中不容易编程，现有技术的嵌入式控制器利用覆盖原理将数据从静态存储块覆盖到闪速存储器。

现有技术的覆盖原理有各种问题。其中一个问题涉及数据转移时间。数据转移时间定义为从总线主控器请求数据到数据可用和接收到所有的访问终止信号所消耗的时间。当访问闪速存储器或被覆盖的闪存区域时，维持相同的数据转移时间至关重要。现有技术的覆盖原理不可能在芯片内或片外闪速存储器中维持相同的数据转移速率。结果，对于存放于可覆盖存储器中的数据 and 存放于闪速存储器中同样的数据，嵌入式控制器不可能以同样的方法进行的操作。

另一个问题是用于现有技术的覆盖原理只能覆盖整个存储块。换句话说，如果嵌入式控制器有覆盖原理使用的 512 个字节的静态存储器模块，那么任何一个模块的整个 512 个字节都必须被覆盖。有时希望有选择性地覆盖存储器模块的某些部分，而不是覆盖整个模块。有时也希望选择覆盖部分的尺寸。

现有技术的覆盖原理的另一个问题是，为了具有多个覆盖区域，需

要多个存储模块，每一个模块须有自己独立的总线接口单元（BIU）。每个 BIU 要求有独立电路，这样，带有多个 BIU 需要占用芯片的空间。

发明内容

根据本发明的第一方面，提供在一个具有非易失性存储器和第一随机存取存储器模块的数据处理系统中的一种方法，其中，该第一 RAM 模块含有当作一般随机存储器使用的非覆盖区以及用于覆盖该非易失性存储器的部分的覆盖区，该非易失性存储器通过系统总线被耦接到该第一 RAM 模块，所述方法包括：发出一个存储器访问请求来访问该非易失性存储器的覆盖部分；通过该第一 RAM 模块将块数据信号发送给该非易失性存储器来禁止该非易失性存储器向系统总线驱动数据；该第一 RAM 模块在数据总线许可情况下将数据驱动到系统总线上；和该非易失性存储器驱动访问终止控制信号来完成对存储器的访问。

根据本发明的第二方面，提供一个随机存取存储器模块，包括：一个非覆盖区，用作一般 RAM 目的；一个覆盖区，可用于覆盖非易失性存储器的部分；该覆盖区包括可被启动和禁止的软件可编程的第一分区，其中：如果该第一分区被启动，则该第一分区相应于该非易失性存储器的一个第一覆盖部分；如果该第一分区被禁止，则该第一分区可用作一般 RAM 目的；以及一个块数据信号，其能够禁止该非易失性存储器向系统总线上驱动数据。

根据本发明的第三方面，提供一个能够以覆盖模式和非覆盖模式操作的随机存取存储器模块，在覆盖模式中，该 RAM 模块包括：一个用作一般 RAM 目的的非覆盖区；一个包含多个分区的覆盖区，其中：该多个分区的第一部分能够被启动用于覆盖该非易失性存储器的部分，该多个分区的第二部分能够用作一般 RAM 目的；在非覆盖模式中，该 RAM 模块用作一般 RAM 目的。

附图说明

本发明以举例子的方法加以说明，但并不局限于附图，其中类似的参考符号代表类似的元件，其中：

图 1 是根据本发明的一个实施例的嵌入式控制器的方框图；

图 2 和 3 是说明从静态存储器区覆盖到闪速存储器的例子的方框图；

图 4 是说明本发明的一个实施例的操作流程图。

本领域技术人员将理解，为了简洁且清晰起见图中的元件不必按比例画。例如，为了有助于更好地理解本发明的具体实施例，图中一些元件的尺寸相对其它元件可能被夸大。

具体实施方式

图 1 是嵌入式控制器 100 的框图。该嵌入式控制器 100 包括作为控制器 100 的中央处理单元的核心 102。核心 102 耦接到一条指令总线 120 和一条装入/储存总线 122。这种结构被称作“哈佛结构”。应该理解其他结构也能用于本发明。例如，单条系统总线能用于代替 120 和 122 这两条总线。指令总线被用作提取指令，而装入/储存总线 122 则用于提取数据。一个系统接口单元 (SIU) 114 和指令总线 120 和外部总线 124 相耦接。SIU 114 为嵌入式控制器 100 的外部组件或者装置提供一个接口。

嵌入式控制器 100 包括非易失性存储器。该非易失性存储器可以是闪速存储器 (FLASH)，只读存储器 (ROM)，电可擦除只读存储器 (EEPROM)，可擦可编程只读存储器 (EPROM)，或者其他合适类型的存储器。在优选实施例中选用了闪速存储器。在图 1 中，闪速存储器 104 耦接于指令总线 120。此外，可以包括耦接到外部总线 124 的外部闪速存储器 116。嵌入式控制器 100 也包括易失性存储器。易失性存储器可以包括任何类型的随机存取存储器 (RAM)，例如静态随机存取存储器 (SRAM) 或者动态随机存取存储器 (DRAM)，在优选实施例中选用了 SRAM 来执行。然而，任何类型和数目合适的 RAM 模块都可以选用。在图 1 中，SRAM 106 被耦接于装入/储存总线 122。该 SRAM

106 包括非覆盖区 108 和覆盖区 110 (详见后述)。此外, 可以包括耦接于外部总线 124 的外部 SRAM 118。耦接在指令总线 120 和装入/储存总线 122 间的是总线接口单元 (BIU) 112。BIU 112 的功能是提供一个在指令总线 120 和装入/储存总线 122 之间的接口。在一个可替换的实施例中, BIU 是非易失性存储器的一部分。

如上所述, 在嵌入式控制器 100 正常运作过程中有时需要改变闪速存储器 104 中的参数或者数据。然而, 在嵌入式控制器 100 正常工作过程中闪速存储器可能不容易编程。这样, SRAM 106 必须被覆盖于闪速存储器 104 上, 因为 SRAM 106 中的参数能够轻易地改变。

本发明的实施例提供了一种改进的覆盖原理。如上所述, SRAM 106 包括一个非覆盖区 108 和覆盖区 110。在一个实施例中, 该 SRAM 106 是 32 千字节的, 其中非覆盖区 108 占据了 28 千字节且覆盖区 110 占据了 4 千字节。当然, SRAM 106 可以是任何合适的尺寸并以任何需要的方式分割。覆盖区 110 可以用作普通目的的 RAM 或者用作覆盖。非覆盖区 108 可以用作普通目的的 RAM。在一个可替换实施例中, 整个 SRAM 106 可以被指定作为一个覆盖区。换言之, 该 SRAM 106 可以如图 1 所示那样分割或者实际上一些 SRAM 106 用作覆盖而另一些 SRAM 106 不用作覆盖。这样, 单个的 RAM 模块 (举例说, 诸如静态存储器 SRAM 或者动态存储器 DRAM) 可以同时用作覆盖和普通目的。

图 2 和图 3 是图解说明将静态存储器 SRAM 区覆盖到闪速存储器的方框图。图 2 示出 SRAM 106 和闪速存储器 104。SRAM 106 被分为非覆盖区 108 和覆盖区 110。覆盖区 110 被进一步分为八个独立的区域或者分区 (覆盖分区 0, 覆盖分区 1, 覆盖分区 2, 覆盖分区 3, 覆盖分区 4, 覆盖分区 5, 覆盖分区 6, 覆盖分区 7, 覆盖分区 8)。在该例子中, 覆盖分区为 4 千字节, 八个分区中的每一个为 512 字节。可替代的实施例中可以包括任何数量的分区或者不同尺寸的分区。如图 2 示出的本实施例允许八个分区中的一些用作覆盖。此外, 对于每一个被用作覆盖的分区, 可以使用全部分区, 或者可以使用一部分。

在一个实施例中, 分区是可以软件编程的。例如, SRAM 106 可以

包括一个具有各种能定义相应于 SRAM 106 的模式和分区特性的字段的控制寄存器。该控制寄存器可以包括一种能将随机存储器 RAM 模块配置为覆盖模式或者非覆盖模式的模式字段。在非覆盖模式中，整个 RAM 模块被用作普通目的 RAM，没有覆盖能力。在覆盖模式中，如上所述，能建立覆盖区。控制寄存器因而可以包括一个可以启动每一个分区的启动字段。这样，即使 RAM 被配置为覆盖模式，每一个分区可以被启动用于覆盖闪速存储器的一部分或者被禁止而用作普通目的 RAM。该控制寄存器还可以包括一个能够将覆盖分区收缩 (collapse) 到邻接的存储地址的收缩字段(收缩字段在下面参照图 3 进一步描述)。为了配置每个覆盖分区的尺寸，该控制寄存器可以包含一个分区尺寸字段。

如上所述，控制寄存器可以由软件配置，由此允许灵活配置 RAM 模块和它的分区。进一步说，控制寄存器可以在诸如 SRAM 106 的 RAM 模块中找到，或者在其他软件或者硬件可访问的合适地址中找到。同样，如果除 SRAM 106 之外用到其他 RAM 模块，类似地可由与每一附加 RAM 模块相应的控制寄存器来配置它们。

SRAM 106 也可以包括基本地址寄存器。在一个实施例中，有八个寄存器，每一个相应于如图 2 所示的八个分区。同样，如果有更多或者更少的分区，则使用更多或者更少的基本地址寄存器。每一个基本地址寄存器包含一个将被覆盖的闪速存储器段的基本的或者开始地址。基本地址存储器也可以包含一个字段用以定义将被覆盖的闪速存储器段的尺寸。例如，每一个寄存器中的四个比特可被用作表示尺寸。进一步说，在上面提到的收缩模式中，闪速存储器段的尺寸可以强制为一个特定的尺寸，不管尺寸字段的编程值如何。应当理解，基本地址寄存器可以建立在任何合适的地址中，例如另一个存储器模块。

在如图 2 所示的例子中，覆盖分区 0 被全部 (512 字节) 用作闪速存储器 104 的覆盖段 130，该覆盖段 130 为 512 字节。覆盖分区 1 被部分地覆盖为段 132，该段有 256 字节。覆盖分区 5 被部分地覆盖为段 134，该段有 128 字节。可以看到，覆盖区 110 的分区可以有选择性地覆盖在

闪速存储器 104 中。也应注意到，不被用作覆盖的每一个分区，或者一个分区的一部分，能被用作普通目的的存储器。如图 2 所示的例子中，覆盖分区 2，覆盖分区 3，覆盖分区 4，覆盖分区 6 和覆盖分区 7 这些分区可以整个地用作普通目的的存储器。类似地，覆盖分区 1 的 256 字节和覆盖分区 5 的 384 字节可以用作普通目的的存储器。闪速存储器 104 的剩余部分能正常地对闪速存储器的访问作出响应。

图 3 是列举一个可替换的使用可收缩模式覆盖存储器的原理的框图。图 3 表明 SRAM 106 有一个非覆盖区 108 和覆盖区 110。如图 3 所示的覆盖区 110 可以按照可收缩方式运行。如上所述，这种模式可以被一种在 SRAM 106 的控制寄存器找到的收缩字段所起动的。正如图示，覆盖区包括八个分区 142，144，146，148，150，152，154 和 156。在本例子中，分区 142，144，146，148，150，152，154 和 156 中的每一个均为 4 字节，整个为 32 字节。当然，分区可以大于或者小于 4 字节。这些分区可以被收缩为一个邻接的存储器单元，这样留下更多的邻接存储器单元以用作普通非覆盖目的。覆盖区 110 没用作覆盖的部分被表示为区 140。在本实施例中，区 140 与非覆盖区 108 相邻。分区 142，144，146，148，150，152，154 和 156 中的每一个能覆盖于闪速存储器 104 的一段上。

在此所描述的存储器覆盖技术的实施例中，覆盖分区的尺寸在闪速存储器中被自然对准。因而，覆盖分区的尺寸与闪速存储器的对准相对应。例如，如果 128 字节的部分被覆盖，应该是 128 字节在闪速存储器中对准。因而，在上面提到的基础地址寄存器中，基础地址可以不必然对准。在本例中，闪速存储器中的基本地址中将被覆盖的最低有效位认为是 0's，使得开始地址自然对准。

图 4 以流程图形式说明本发明的一个实施例的运作。图 4 的目的是以图解方式说明本实施例如何运作。尽管如此，其他改变可以用以得到类似的结果。在嵌入式控制器 100 的正常运作中，一总线主控器要求读取一个存储器（方框 400）。在这个实施例中，总线主控器是核心 102。该要求可以用于任何可以得到的存储器，包括闪速存储器 104，SRAM

106, 外部闪速存储器 116, 或者外部 SRAM 118。注意, 也可以是图中未示出的可得到的其他类型的模块。流程图中的判定菱形框 402 询问是否该请求要求读取闪速存储器。如果不是闪速存储器读取请求, 则正常的存储器运作继续 (方框 404)。如果是闪速存储器读取请求, 则判定菱形框 406 询问该存储器是否在闪速存储器的覆盖区。这个判定通过由 SRAM 106 窥探位于装入/存储总线 122 上的闪速存储器的地址来完成。如果不是覆盖区访问请求, 则闪速存储器 (通过 BIU112) 驱动数据和所有的访问终止控制信号 (方框 408) 通过 BIU 112 到达核心 102。注意在其他结构中, 例如在那些单系统总线的情况中, 数据和终止控制信号可以无需使用如 BIU112 那样的总线接口单元, 直接被驱动到请求装置或者总线主控器。

如果所请求的存储器处于被覆盖区, 则 SRAM 通过 BIU 112 给闪速存储器 104 发送一个 “块数据” 信号 (方框 410)。在其它结构中, “块数据” 信号可能不用 BIU 112 而直接送到非易失性存储器。发送这种信号的目的是为了禁止闪速存储器 104 向装入/存储总线 122 驱动数据。该 SRAM 然后在数据总线许可的情况下向装入/存储总线 122 驱动数据 (方框 412)。下一步, 通过 BIU 112, 闪速存储器 104 将所有的访问终止控制信号, 例如转移确认, 数据有效, 等 (方框 414) 驱动到总线主控器或请求设备。通过这种方式, 数据由 RAM 模块驱动, 而访问终止控制信号由闪速存储器驱动。这减少了硬件需求, 因为每一个 RAM 模块不需要它自己的根据闪速存储器结构能够驱动访问终止控制信号的总线接口单元。更进一步讲, 使闪速存储器驱动访问终止控制信号可维持适当的时序 (timing)。

在本发明的一个实施例中, RAM 模块 (例如 SRAM 106) 可能基于对总线主控器的识别或总线主控器的类型, 有选择性地允许来自总线主控器的写操作。例如, 装入/存储总线 122 可能包括一个叫作 “核心访问” 的信号, 以便当核心 102 开始一个事务时, 该信号被确证。当启动这种覆盖模式时, 如果有一个写操作访问覆盖区 110 编程用来覆盖一个闪速存储器段的一部分时, 根据对请求写操作的控制器的识别, 这

一访问或者被允许或者不被允许。在一个实施例中，由核心所启动的写访问（被确证的“核心访问”）不被允许，然而一个被非核心设备，例如开发工具所启动的写访问（“核心访问”求反）将被允许。这防止核心 102 无意中破坏用来覆盖闪速存储器段的数据。如果该核心确实意欲改变覆盖区域 110 中的覆盖数据，它能够使覆盖模式无效，改变数据，然后再使覆盖模式有效。相似地，其它方法或信号也可以被用来允许 RAM 模块在允许写请求之前识别总线主控器。

如上所述，SRAM 106 可能在控制寄存器中有一个模式位，用来使覆盖模式有效或无效。当设备 100 接收到一个复位信号时，SRAM 106 通过分别对控制寄存器中的这个模式位置 1 或清 0 来使覆盖特性有效或无效。根据复位配置信息，该位可能为 1（覆盖使能）或 0（覆盖禁止）。这种复位配置信息可由任何非易失性存储器，例如 EEPROM 提供，或者在对设备复位求反时通过取样设备的针来获取。而且，一旦接收到一个复位信号时，基地址寄存器的内容（正如上面所讨论）可能保持不变。也就是说，基地址和尺寸的信息可能在复位时保持不变。于是，替代的实施例允许通过各种对设备复位的选择增进灵活性。

因此，能够理解，这里所描述的存储器覆盖技术能够利用单个 RAM 模块既实现覆盖又实现常规功能。本发明的实施例也允许通过软件可编程部分的应用来增进灵活性。而且，通过允许 RAM 模块覆盖非易失性存储器的一部分，通常存储在该非易失性存储器中的参数可以由开发工具利用更精确的参数在常规操作和在编制非易失性存储器最后版本之前进行修整和修改。

当本发明的操作被描述为从 SRAM 106 到闪速存储器 104 的覆盖时，其它的操作也是可能的。例如，SRAM 106 能够将内存覆盖到外部闪速存储器 116 或外部 SRAM 118 上。注意到在这个例子中，内存覆盖维持适当的数据转移时间。而且，注意到 SRAM 106 的覆盖区 110 的任何部分能够被覆盖到芯片内的闪速存储器 104 或外部闪速存储器 116 上。例如，在数据处理的同时，覆盖分区 0（图 2）能够被覆盖到芯片内的闪速存储器 104 上，而覆盖分区 1 能够被覆盖到外部闪速存储器 116

上。正如上面所提到的，其它的模块也可以被采用。

具有 SRAM 106、闪速存储器 104、外部闪速存储器 116 和外部 SRAM 118 的本发明的实施例已经被描述。应该理解，嵌入式控制器 100 可能包括多个 SRAM 106、多个闪速存储器 104、多个外部闪速存储器 116 和/或多个外部 SRAM 118。利用多个模块，本发明可按如上所述的类似的方法进行操作。

更进一步讲，相同的闪速存储器片段能够被 SRAM 106 的多个区域覆盖。为了从最高优先级区选择数据，给每个区指定一个优先级。在图 2 所示的实施例中，覆盖分区 0 具有最高的优先级，其次是覆盖分区 1，覆盖分区 2 等等。在多个 RAM 模块被应用的情况下，各模块的优先级同上面类似分配。也就是说，具有覆盖数据最高优先级的 RAM 模块禁止非易失性存储器数据并将覆盖数据传到请求设备。

在前面的说明书中，已经参照说明的实施例对本发明进行了描述。然而，本领域普通技术人员应当理解，还可以作各种修改和改变，而未脱离如下面权利要求书所述的本发明的保护范围。因此，说明书和附图应认为是一种举例而非限制性说明，并且所有这种修改都意在包括在本发明的保护范围内。

本发明的益处，其它的优点和解决问题的技术方案已经结合有关具体实施例进行了描述。然而，这些益处，优点和解决问题的技术方案，以及一些可以带来益处，优点，或者可以想到的或者变得更加显著的解决方案的因素不应被解释为是任何或者全部权利要求中关键的、必须的、或者基本的特征或者要素。在此，术语“包含”、“由...组成”，或者任何其他的变化形式，意图覆盖一个非排他性的结论，以便包含一系列因素的一个过程，方法，物品，或者装置并非仅包含这些元素，而是还可以包括没有明确罗列出来或者是这些过程、方法、物品，或者装置中固有的因素的其他因素。

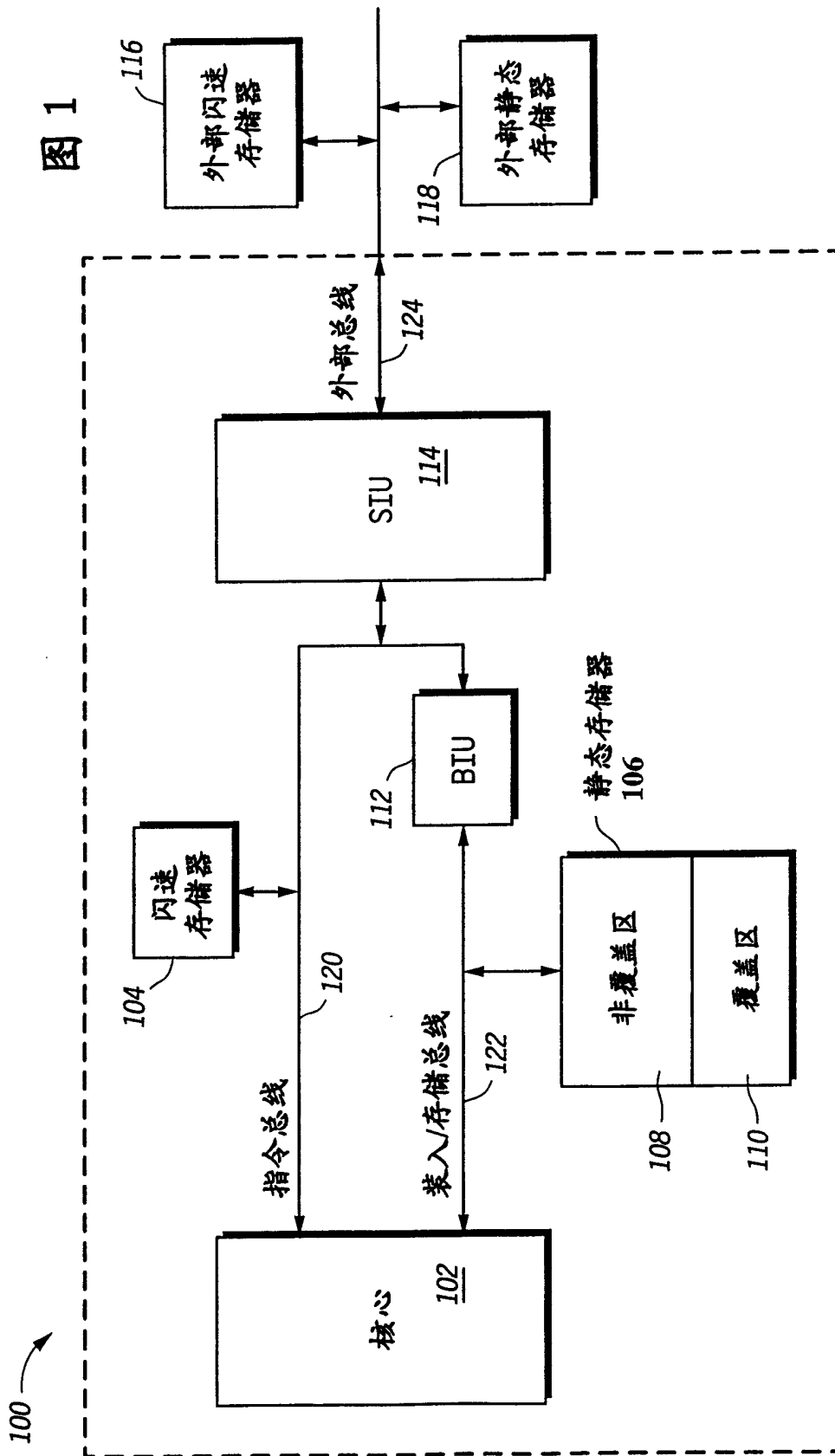


图 2

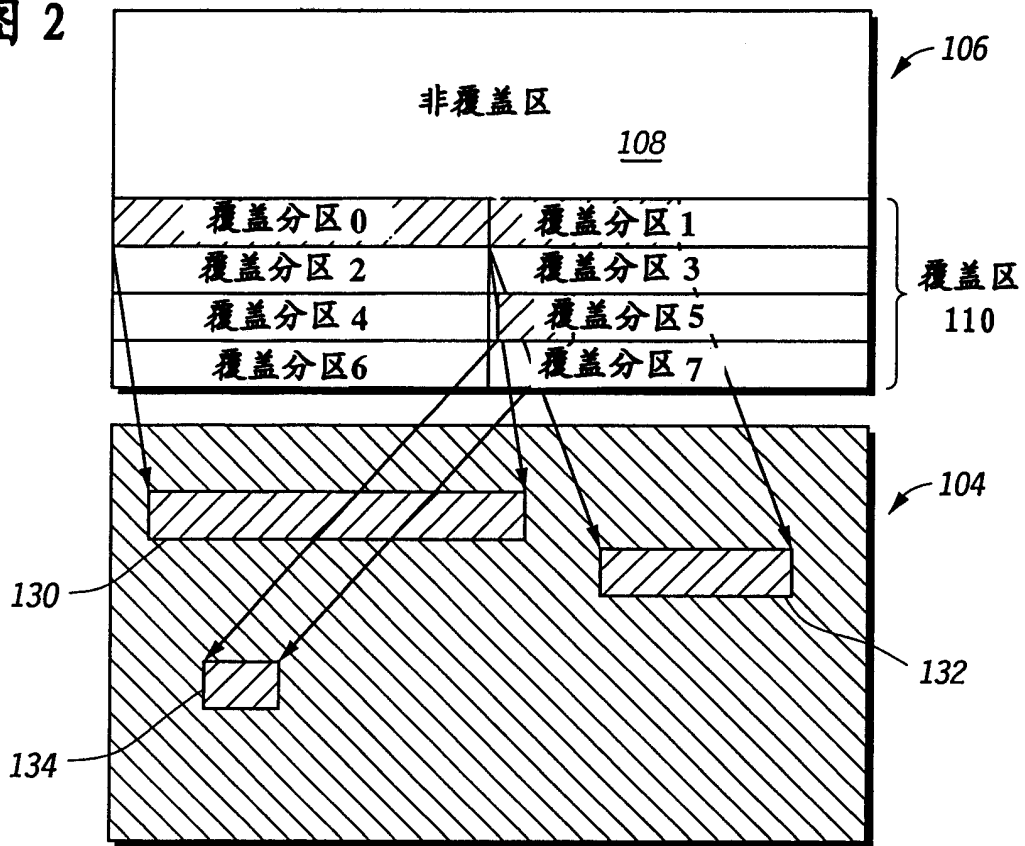
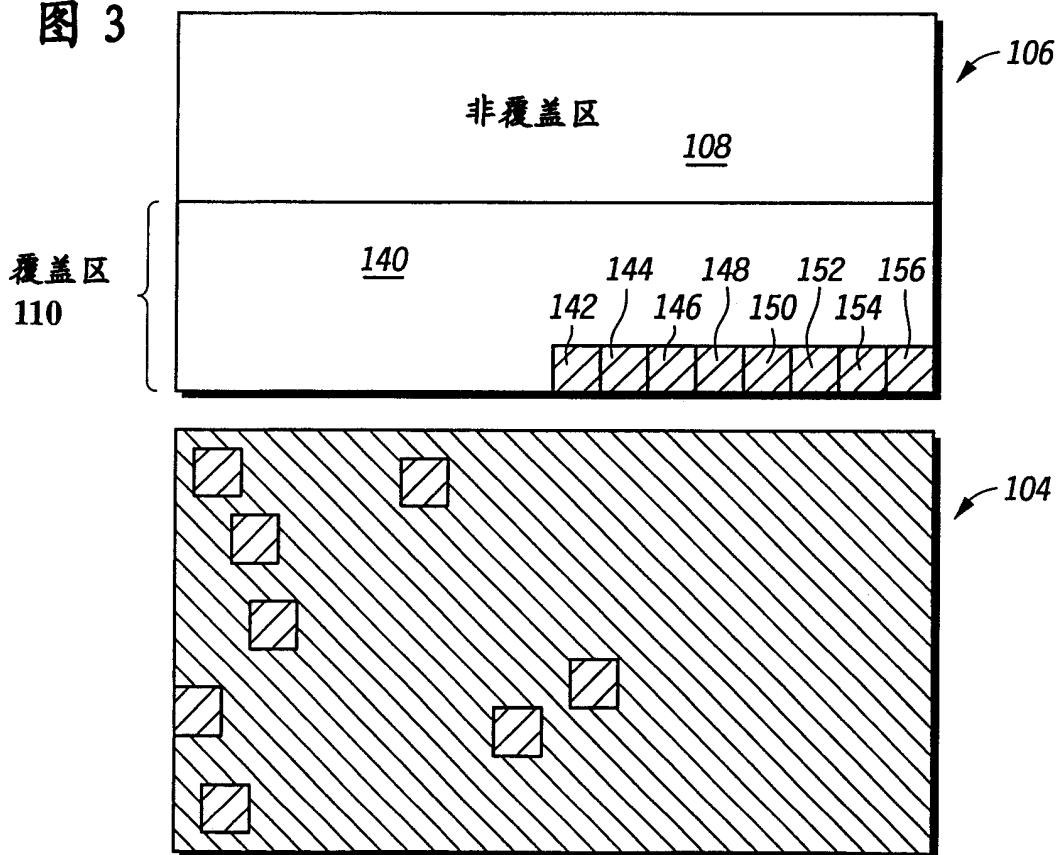


图 3



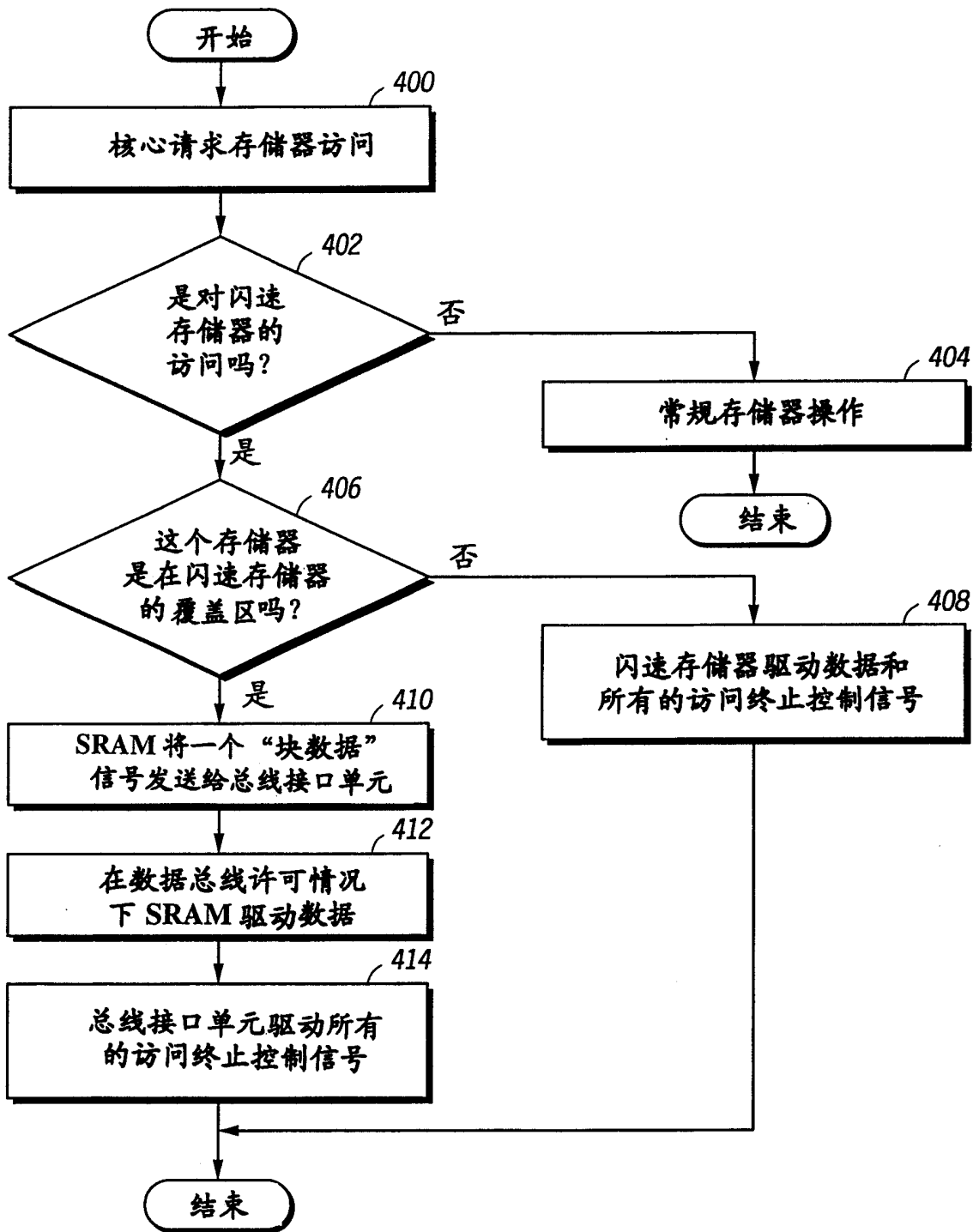


图 4