



(12) 发明专利申请

(10) 申请公布号 CN 101917185 A

(43) 申请公布日 2010. 12. 15

(21) 申请号 201010189121. 7

(22) 申请日 2010. 06. 02

(71) 申请人 广州市广晟微电子有限公司

地址 510630 广东省广州市天河区五山路五  
山科技广场 C620-641 房

(72) 发明人 闫金星

(74) 专利代理机构 北京集佳知识产权代理有限  
公司 11227

代理人 逯长明

(51) Int. Cl.

H03K 21/00 (2006. 01)

H03K 23/50 (2006. 01)

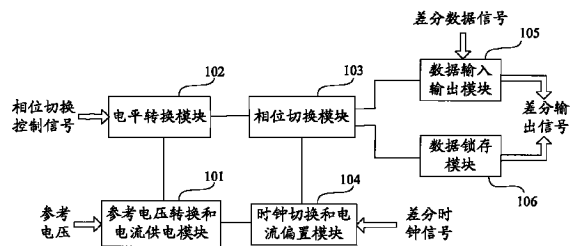
权利要求书 2 页 说明书 7 页 附图 2 页

(54) 发明名称

D 锁存器和应用该 D 锁存器的 50% 占空比三分频器

(57) 摘要

本发明公开了一种 D 锁存器和应用该 D 锁存器的 50% 占空比三分频器, D 锁存器由相位切换控制模块控制时钟触发的极性, 并控制由数据输入输出模块输出数据信号, 或者控制由数据锁存模块锁存数据信号并输出。本发明提供的 D 锁存器实现了时钟上升沿和下降沿均可对其触发, 并利用本发明提供的 D 锁存器连接组成三分频器, 输出 50% 占空比的三分频信号。



1. 一种 D 锁存器,其特征在于,包括:

与参考电压输入端相连的参考电压转换和电流供电模块;所述参考电压输入信号经过参考电压转换和电流供电模块,提供电路所需的电流;

与相位切换控制输入端相连的电平转换模块;所述参考电压转换和电流供电模块与所述电平转换模块相连接;

与所述电平转换模块相连接的相位切换模块;相位切换控制输入信号经过所述电平转换模块后,转换成合适的电平,控制相位切换模块;

通过所述参考电压转换和电流供电模块与差分时钟信号输入端相连的时钟输入模块;所述时钟输入模块与所述相位切换模块相连接;所述相位切换模块决定时钟触发的极性;

分别与所述相位切换模块相连接的数据输入输出模块和数据锁存模块;所述数据输入输出模块与差分数据信号输入端相连接;所述相位切换模块控制数据输入输出模块输出时钟触发时刻所对应的数据信号,或者控制数据锁存模块锁存时钟触发前一时钟所对应的数据信号并输出。

2. 根据权利要求 1 所述的 D 锁存器,其特征在于,所述电平转换模块包括:第一电平转换子模块和第二电平转换子模块;

所述相位切换控制输入信号控制第一电平转换子模块和第二电平转换子模块,实现电平转换。

3. 根据权利要求 2 所述的 D 锁存器,其特征在于,所述相位切换模块包括:第一相位切换子模块、第二相位切换子模块、第三相位切换子模块和第四相位切换子模块;

所述第一相位切换子模块和第二相位切换子模块分别与所述第一电平转换子模块相连接;所述第一电平转换子模块控制所述第一相位切换子模块和第二相位切换子模块,决定时钟触发的极性;

所述第三相位切换子模块和第四相位切换子模块分别与所述第二电平转换子模块相连接;所述第二电平转换子模块控制所述第三相位切换子模块和第四相位切换子模块,决定时钟触发的极性;

所述第一相位切换子模块和第二相位切换子模块分别与所述数据输入输出模块相连接;

所述第三相位切换子模块和第四相位切换子模块分别与所述数据锁存模块相连接。

4. 根据权利要求 3 所述的 D 锁存器,其特征在于,所述时钟输入模块包括:第一时钟输入子模块和第二时钟输入子模块;

所述第一时钟输入子模块分别与所述第一相位切换子模块和第四相位切换子模块相连接;

所述第二时钟输入子模块分别与所述第二相位切换子模块和第三相位切换子模块相连接;

所述差分时钟输入信号控制第一时钟输入子模块和第二时钟输入子模块,完成时钟信号输入与电流偏置。

5. 一种 50%占空比的三分频器,其特征在于,包括三个如权利要求 1 所述的 D 锁存器,分别为第一级 D 锁存器、第二级 D 锁存器和第三级 D 锁存器;

所述第一级 D 锁存器、第二级 D 锁存器和第三级 D 锁存器的差分时钟输入信号为同相;

所述第一级 D 锁存器、第二级 D 锁存器和第三级 D 锁存器的参考电压输入端相连接；

所述第一级 D 锁存器的差分输出端 (z1p、z1n) 与所述第二级 D 锁存器的差分数据输入端 (d2p、d2n) 同相连接, 并且与所述第三级 D 锁存器的差分相位切换控制输入端 (phi3p、phi3n) 反相连接；

所述第二级 D 锁存器的差分输出端 (z2p、z2n) 与所述第三级 D 锁存器的差分数据输入端 (d3p、d3n) 同相连接, 并且与所述第一级 D 锁存器的差分相位切换控制输入端 (phi1p、phi1n) 同相连接；

所述第三级 D 锁存器的差分输出端 (z3p、z3n) 与所述第一级 D 锁存器的差分数据输入端 (d1p、d1n) 反相连接, 并且与所述第二级 D 锁存器的差分相位切换控制输入端 (phi2p、phi2n) 反相连接；

所述第一级 D 锁存器、第二级 D 锁存器和第三级 D 锁存器, 相邻连接的两个 D 锁存器的时钟触发极性相反；

所述 D 锁存器的差分相位切换控制输入信号控制该 D 锁存器的时钟触发极性。

## D 锁存器和应用该 D 锁存器的 50% 占空比三分频器

### 技术领域

[0001] 本发明涉及电子技术领域,特别是涉及一种 D 锁存器和应用该 D 锁存器的 50% 占空比三分频器。

### 背景技术

[0002] 锁存器是一种对脉冲电平敏感的存储单元电路,它们可以在特定输入脉冲电平作用下改变状态。锁存器不在锁存数据时,输出端的信号随输入信号变化,就像信号通过一个缓冲器一样,一旦锁存信号起锁存作用时,则数据被锁住,输入信号不起作用。锁存,就是把信号暂存以维持某种电平状态。

[0003] 传统的 D 锁存器中,输入时钟信号的上升沿或者下降沿可以对其触发,无法实现时钟信号的上升沿和下降沿均可对其触发。在一些电路的应用中,例如 50% 占空比的奇数次分频电路,将不可避免的要求输入时钟信号的上升沿和下降沿均可对其触发,以实现 50% 占空比的奇数次分频要求。

### 发明内容

[0004] 为解决上述技术问题,本发明实施例提供了一种 D 锁存器和应用该 D 锁存器的 50% 占空比三分频器,以实现时钟上升沿和下降沿均可对 D 锁存器触发的目的,并提供 50% 占空比的三分频器,技术方案如下:

[0005] 一种 D 锁存器,包括:

[0006] 与参考电压输入端相连的参考电压转换和电流供电模块;所述参考电压输入信号经过参考电压转换和电流供电模块,提供电路所需的电流;

[0007] 与相位切换控制输入端相连的电平转换模块;所述参考电压转换和电流供电模块与所述电平转换模块相连接;

[0008] 与所述电平转换模块相连接的相位切换模块;相位切换控制输入信号经过所述电平转换模块后,转换成合适的电平,控制相位切换模块;

[0009] 通过所述参考电压转换和电流供电模块与差分时钟信号输入端相连的时钟输入模块;所述时钟输入模块与所述相位切换模块相连接;所述相位切换模块决定时钟触发的极性;

[0010] 分别与所述相位切换模块相连接的数据输入输出模块和数据锁存模块;所述数据输入输出模块与差分数据信号输入端相连接;所述相位切换模块控制数据输入输出模块输出时钟触发时刻所对应的数据信号,或者控制数据锁存模块锁存时钟触发前一时钟所对应的数据信号并输出。

[0011] 优选地,所述电平转换模块包括:第一电平转换子模块和第二电平转换子模块;

[0012] 所述相位切换控制输入信号控制第一电平转换子模块和第二电平转换子模块,实现电平转换。

[0013] 优选地,所述相位切换模块包括:第一相位切换子模块、第二相位切换子模块、第

三相位切换子模块和第四相位切换子模块；

[0014] 所述第一相位切换子模块和第二相位切换子模块分别与所述第一电平转换子模块相连接；所述第一电平转换子模块控制由所述第一相位切换子模块和第二相位切换子模块，决定时钟触发的极性；

[0015] 所述第三相位切换子模块和第四相位切换子模块分别与所述第二电平转换子模块相连接；所述第二电平转换子模块控制由所述第三相位切换子模块和第四相位切换子模块，决定时钟触发的极性；

[0016] 所述第一相位切换子模块和第二相位切换子模块分别与所述数据输入输出模块相连接；

[0017] 所述第三相位切换子模块和第四相位切换子模块分别与所述数据锁存模块相连接。

[0018] 优选地，所述时钟输入模块包括：第一时钟输入子模块和第二时钟输入子模块；

[0019] 所述第一时钟输入子模块分别与所述第一相位切换子模块和第四相位切换子模块相连接；

[0020] 所述第二时钟输入子模块分别与所述第二相位切换子模块和第三相位切换子模块相连接；

[0021] 所述差分时钟输入信号控制第一时钟输入子模块和第二时钟输入子模块，完成时钟信号输入与电流偏置。

[0022] 一种 50% 占空比的三分频器，包括三个如权利要求 1 所述的 D 锁存器，分别为第一级 D 锁存器、第二级 D 锁存器和第三级 D 锁存器；

[0023] 所述第一级 D 锁存器、第二级 D 锁存器和第三级 D 锁存器的差分时钟输入信号为同相；

[0024] 所述第一级 D 锁存器、第二级 D 锁存器和第三级 D 锁存器的参考电压输入端相连接；

[0025] 所述第一级 D 锁存器的差分输出端 (z1p、z1n) 与所述第二级 D 锁存器的差分数据输入端 (d2p、d2n) 同相连接，并且与所述第三级 D 锁存器的差分相位切换控制输入端 (phi3p、phi3n) 反相连接；

[0026] 所述第二级 D 锁存器的差分输出端 (z2p、z2n) 与所述第三级 D 锁存器的差分数据输入端 (d3p、d3n) 同相连接，并且与所述第一级 D 锁存器的差分相位切换控制输入端 (phi1p、phi1n) 同相连接；

[0027] 所述第三级 D 锁存器的差分输出端 (z3p、z3n) 与所述第一级 D 锁存器的差分数据输入端 (d1p、d1n) 反相连接，并且与所述第二级 D 锁存器的差分相位切换控制输入端 (phi2p、phi2n) 反相连接；

[0028] 所述第一级 D 锁存器、第二级 D 锁存器和第三级 D 锁存器，相邻连接的两个 D 锁存器的时钟触发极性相反；

[0029] 所述 D 锁存器的差分相位切换控制输入信号控制该 D 锁存器的时钟触发极性。

[0030] 通过应用以上技术方案，由相位切换控制模块控制决定时钟触发的极性，并控制由数据输入输出模块输出数据信号，或者由控制数据锁存模块锁存数据信号并输出。本发明提供的 D 锁存器实现了时钟上升沿和下降沿均可对其触发，并利用本发明提供的 D 锁存

器连接组成三分频器,输出 50% 占空比的三分频信号。

### 附图说明

[0031] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单的介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0032] 图 1 为本发明实施例一所提供的 D 锁存器的结构示意图;

[0033] 图 2 为本发明实施例二所提供的 D 锁存器的结构示意图;

[0034] 图 3 为本发明实施例二所提供的 D 锁存器的电路图;

[0035] 图 4 为本发明实施例三所提供的 50% 占空比三分频器的结构示意图;

[0036] 图 5 为本发明实施例三所提供的三分频器的时钟输入与输出的波形图。

### 具体实施方式

[0037] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 实施例一:

[0039] 图 1 为本发明实施例一提供的 D 锁存器的结构示意图。

[0040] 参考电压转换和电流供电模块 101 与参考电压输入端相连,参考电压输入信号经过参考电压转换和电流供电模块 101,提供电路所需的电流,电平转换模块 102 与相位切换控制输入端相连接,参考电压转换和电流供电模块 101 与参考电压转换和电流供电模块 101 与所述电平转换模块 102 相连接,相位切换模块 103 与电平转换模块 102 相连接,相位切换控制输入信号经过电平转换模块后,转换成合适的电平,控制相位切换模块 103,差分时钟输入端与时钟输入模块 104 相连接,时钟输入模块 104 分别与参考电压转换和电流供电模块 101 和相位切换模块 103 相连接,差分时钟输入信号经过时钟输入模块 104 后,由相位切换模块 103 控制决定时钟触发的极性,数据输入输出模块 105 和数据锁存模块 106 分别与相位切换模块 103 相连接,差分数据输入端与数据输入输出模块 105 相连接,相位切换模块 103 控制数据输入输出模块 105 输出时钟触发时刻所对应的数据信号,或者控制数据锁存模块 106 锁存时钟触发前一时钟对应的数据信号并输出。

[0041] 本发明实施例一提供的 D 锁存器,由相位切换控制输入信号经过电平转换模块后,差分时钟输入信号经过时钟输入模块后,共同控制相位切换模块,相位切换模块控制决定时钟触发的极性,实现上升沿触发或者下降沿触发,并且控制数据输入输出模块输出数据信号,或者控制数据锁存模块锁存数据信号并输出。

[0042] 实施例二:

[0043] 参见图 2,为本发明实施例二提供的 D 锁存器的结构示意图。

[0044] 电平转换模块 102 包括:第一电平转换子模块 1021 和第二电平转换子模块 1022,相位切换控制输入信号控制第一电平转换子模块 1021 和第二电平转换子模块 1022,实现

电平转换。相位切换模块 103 包括：第一相位切换子模块 1031、第二相位切换子模块 1032、第三相位切换子模块 1033 和第四相位切换子模块 1034，第一相位切换子模块 1031 和第二相位切换子模块 1032 分别与第一电平转换子模块 1021 相连接，第一电平转换子模块 1021 控制所述第一相位切换子模块 1031 和第二相位切换子模块 1032，决定时钟触发的极性，第三相位切换子模块 1033 和第四相位切换子模块 1034 分别与第二电平转换子模块 1022 相连接，第二电平转换子模块 1022 控制第三相位切换子模块 1033 和第四相位切换子模块 1034，决定时钟触发的极性，第一相位切换子模块 1031 和第二相位切换子模块 1032 分别与数据输入输出模块 105 相连接，第三相位切换子模块 1033 和第四相位切换子模块 1034 分别与数据锁存模块 106 相连接。时钟输入模块 104 包括：第一时钟输入子模块 1041 和第二时钟输入子模块 1042，第一时钟输入子模块 1041 分别与所述第一相位切换子模块 1031 和第四相位切换子模块 1034 相连接，第二时钟输入子模块 1042 分别与第二相位切换子模块 1032 和第三相位切换子模块 1033 相连接，差分时钟输入信号控制第一时钟输入子模块 1041 和第二时钟输入子模块 1042，完成时钟信号输入与电流偏置。

[0045] 下面对本发明实施例二提供的 D 锁存器的具体实现方式进行说明，参见图 3，为 D 锁存器的电路图。电路中有一个电源 V<sub>dd</sub>，一个地 V<sub>ss</sub>，两个时钟差分输入 clk<sub>p</sub> 和 clk<sub>n</sub>，两个数据差分输入 d<sub>1p</sub> 和 d<sub>1n</sub>，两个相位切换控制输入 phi<sub>p</sub> 和 phi<sub>n</sub>，一个电压参考输入 v<sub>ref</sub>，两个差分输出 z<sub>1p</sub>、z<sub>1n</sub>。电路各器件连接关系如下：晶体管 Q1 的基极分别与晶体管 Q9 的发射极、Q11 的集电极和 Q4 的基极相连，晶体管 Q1 的发射极分别与晶体管 Q13 的集电极和 Q2 的发射极相连，晶体管 Q1 的集电极分别与晶体管 Q5 的发射极、Q6 的发射极和 Q3 的集电极相连。晶体管 Q2 的基极分别与晶体管 Q10 的发射极、Q12 的集电极和 Q3 的基极相连，晶体管 Q2 的集电极分别与晶体管 Q7 的发射极、Q8 的发射极和 Q4 的集电极相连。晶体管 Q3 的发射极与晶体管 Q4 的发射极和 Q14 的集电极相连。晶体管 Q5 的基极与差分数据输入 d<sub>1p</sub> 相连，晶体管 Q5 的集电极分别与晶体管 Q7 的集电极、Q8 的基极、电阻 R1 的负极和输出 z<sub>1n</sub> 相连。晶体管 Q6 的基极与差分数据输入 d<sub>1n</sub> 相连，晶体管 Q6 的集电极分别与晶体管 Q7 的基极、Q8 的集电极、电阻 R2 的负极和输出 z<sub>1p</sub> 相连。晶体管 Q9 的基极与相位切换控制输入 phi<sub>p</sub> 相连，晶体管 Q9 的集电极与电源 V<sub>dd</sub> 相连。晶体管 Q10 的基极与相位切换控制输入 phi<sub>n</sub> 相连，集电极与电源 V<sub>dd</sub> 相连。晶体管 Q11 的基极与电阻 R3 的负极相连，发射极与电阻 R7 的正极相连。晶体管 Q12 的基极与电阻 R4 的负极相连，发射极与电阻 R8 的正极相连。晶体管 Q13 的基极分别与电容 C1 的负极和电阻 R5 的负极相连，晶体管 Q13 的发射极与电阻 R9 的正极相连。晶体管 Q14 的基极分别与电容 C2 的负极和电阻 R6 的负极相连，发射极与电阻 R10 的正极相连。电源 V<sub>dd</sub> 分别与电阻 R1 的正极和 R2 的正极相连。电压参考输入 v<sub>ref</sub> 分别与电阻 R3 的正极、R4 的正极、R5 的正极和 R6 的正极相连。差分时钟输入 clk<sub>p</sub> 与电容 C1 的正极相连。差分时钟输入 clk<sub>n</sub> 与电容 C2 的正极相连。地 V<sub>ss</sub> 分别与电阻 R7 的负极、R8 的负极、R9 的负极和 R10 的负极相连。

[0046] 图 3 中连接线上标有相同标识的连接线表示相连接，即：共同标有 phi<sub>iefp</sub> 的连接线相连接，共同标有 phi<sub>iefn</sub> 的连接线相连接。

[0047] 对上述 D 锁存器的工作原理做进一步说明：

[0048] 当差分数据输入 d<sub>1p</sub> 为低电平，d<sub>1n</sub> 为高电平；相位切换控制输入 phi<sub>p</sub> 为低电平，phi<sub>n</sub> 为高电平；差分时钟输入 clk<sub>p</sub> 为低电平，clk<sub>n</sub> 为高电平。此时晶体管 Q14、Q3 和 Q6 导

通,则差分输出  $z1p$  为低电平,  $z1n$  为高电平。

[0049] 当差分数据输入  $d1p$  为低电平,  $d1n$  为高电平;相位切换控制输入  $phip$  为低电平,  $phin$  为高电平;差分时钟输入  $clkp$  为高电平,  $clkn$  为低电平。此时晶体管 Q13 和晶体管 Q2 导通,晶体管 Q7 和晶体管 Q8 的发射极为低电平,此时若差分输出  $z1p$  为高电平,对应下个状态的差分输出  $z1n$  为低电平,若差分输出  $z1n$  为高电平,对应下个状态的差分输出  $z1p$  为低电平。因此差分输出  $z1p$  和  $z1n$  的输出是保持,也就是锁存上个时钟周期对应的数据不变。

[0050] 具体可见表 1,类似于上述对表 1 中第 1 行和第 2 行的说明,表 1 列出了关于 D 锁存器输入及输出的其它状态,这里不再详细说明,表 1 中“0”代表低电平,“1”代表高电平:

[0051] 表 1D 锁存器的输入与输出状态转换表

[0052]

$d1p/d1n$	$phip/phin$	$clkp/clkn$	$z1p/z1n$
0/1	0/1	0/1	0/1
0/1	0/1	1/0	保持 / 保持
0/1	1/0	0/1	保持 / 保持
0/1	1/0	1/0	0/1
1/0	0/1	0/1	1/0
1/0	0/1	1/0	保持 / 保持
1/0	1/0	0/1	保持 / 保持
1/0	1/0	1/0	1/0

[0053] 从表 1 中 D 锁存器的输入输出的状态转换可以看出,第 1 行中  $clkp$  为 0,即输入时钟的下降沿,输出  $z1p$  跳变为 0;第 4 行中  $clkp$  为 1,即输入时钟的上升沿,输出  $z1p$  跳变为 0。从而可以说明,本发明实施例提供的 D 锁存器的输入时钟的上升沿或者下降沿均可对其触发。

[0054] 实施例三:

[0055] 参见图 4,本发明实施例三提供的 50% 占空比的三分频器,包括三个上述实施例提供的 D 锁存器,分别为第一级 D 锁存器 I1、第二级 D 锁存器 I2 和第三级 D 锁存器 I3。

[0056] 第一级 D 锁存器 I1、第二级 D 锁存器 I2 和第三级 D 锁存器 I3 的差分时钟输入信号为同相,第一级 D 锁存器 I1、第二级 D 锁存器 I2 和第三级 D 锁存器 I3 的参考电压输入端  $vref$  相连接。第一级 D 锁存器 I1 的差分输出端  $z1p$ 、 $z1n$ ,与第二级 D 锁存器 I2 的差分数据输入端  $d2p$  和  $d2n$  同相连接,并且与第三级 D 锁存器 I3 的差分相位切换控制输入端  $phi3p$  和  $phi3n$  反相连接;第二级 D 锁存器 I2 的差分输出端  $z2p$  和  $z2n$ ,与第三级 D 锁存器 I3 的差分数据输入端  $d3p$  和  $d3n$  同相连接,并且与第一级 D 锁存器 I1 的差分相位切换控制输入端  $phi1p$  和  $phi1n$  同相连接;第三级 D 锁存器 I3 的差分输出端  $z3p$  和  $z3n$ ,与第一级 D 锁存器 I1 的差分数据输入端  $d1p$  和  $d1n$  反相连接,并且与第二级 D 锁存器 I2 的差分相位切换控制输入端  $phi2p$  和  $phi2n$  反相连接。

[0057] 图 4 中连接线上标有相同标识的连接线表示相连接,即:分别共同标有  $q1p$ 、 $q1n$  的连接线分别相连接,表示第一级 D 锁存器 I1 的差分输出;分别共同标有  $q2p$ 、 $q2n$  的连接线分别相连接,表示第二级 D 锁存器 I2 的差分输出;分别共同标有  $q3p$ 、 $q3n$  的连接线分别相连接,表示第三级 D 锁存器 I3 的差分输出。

[0058] 参见图 5,为本发明实施例提供三的 50% 占空比三分频器的时钟输入与输出的波



形图,下面结合表 1 说明第一级 D 锁存器 I1 的输出 q1p 的 50% 占空比三分频信号是如何得到的。需要说明的是:表 1 的状态转换图有 2 个保持 0 状态输出,2 个保持 1 状态输出,2 个跳变为 0 的输出和两个跳变为 1 的输出。对应于图 4 的连接方式的三分频器中,第一级 D 锁存器 I1 和第三级 D 锁存器 I3 的状态转换输出一样,对应表 1 中的第 2、3、4、5、6 和 7 行,第一级 D 锁存器 I2 的状态转换输出对应表 1 中的第 1、2、3、6、7 和 8 行。

[0059] 当第二级 D 锁存器 I2 的差分输出 q2p 为低电平,第三级 D 锁存器 I3 的差分输出 q3p 为低电平时,第一级 D 锁存器 I1 的差分数据输入 d1p 为高电平和相位切换控制输入 phi1p 为低电平,若此时下降时钟沿触发,查表 1 第 5 行,第一级 D 锁存器 I1 的差分输出 q1p 应跳变为 1,这正好与图 5 中时钟 CLK1 号下降沿时钟触发之前差分输出 q2p 和 q3p 的状态以及触发后差分输出 q1p 的状态对应;若此时上升时钟沿触发,查表 1 第 6 行,第一级 D 锁存器 I1 的输出 q1p 应保持为 1,这正好与图 5 中时钟 CLK2 号下降沿时钟触发之前差分输出 q2p 和 q3p 的状态以及触发后差分输出 q1p 的状态对应。

[0060] 当第二级 D 锁存器 I2 的差分输出 q2p 为高电平,第三级 D 锁存器 I3 的差分输出 q3p 为低电平时,第一级 D 锁存器 I1 的差分数据输入 d1p 为高电平和相位切换控制输入 phi1p 为高电平,若此时下降时钟沿触发,查表 1 第 7 行,第一级 D 锁存器 I1 的差分输出 q1p 应保持为 1。这正好与图 5 中时钟 CLK3 号下降沿时钟触发之前差分输出 q2p 和 q3p 的状态,以及触发后差分输出 q1p 的状态对应。

[0061] 当 I2 的差分输出 q2p 为高电平,I3 的差分输出 q3p 为高电平时,I1 的差分数据输入 d1p 为低电平和相位切换控制输入 phi1p 为高电平,若此时上升时钟沿触发,查表 1 第 4 行,I1 的差分输出 q1p 应跳变为 0,这正好与图 5 中时钟 CLK4 号下降沿时钟触发之前差分输出 q2p 和 q3p 的状态,以及触发后差分输出 q1p 的状态对应;若此时下降时钟沿触发,查表 1 第 3 行,I1 的输出 q1p 应保持为 0。这正好与图 5 中时钟 CLK5 号下降沿时钟触发之前差分输出 q2p 和 q3p 的状态,以及触发后差分输出 q1p 的状态对应。

[0062] 当 I2 的差分输出 q2p 为低电平,I3 的差分输出 q3p 为高电平时,I1 的差分数据输入 d1p 为低电平和相位切换控制输入 phi1p 为低电平,若此时上升时钟沿触发,查表 1 第 2 行,I1 的差分输出 q1p 应保持为 0。这正好与图 5 中时钟 CLK6 号下降沿时钟触发之前差分输出 q2p 和 q3p 的状态,以及触发后差分输出 q1p 的状态对应。

[0063] 同理可得到第二级 D 锁存器 I2 的差分输出 q2p 和第三级 D 锁存器 I3 的差分输出 q3p 的 50% 占空比三分频信号。同样第一级 D 锁存器 I1 的差分输出 q1n、第二级 D 锁存器 I2 的差分输出 q2n 和第三级 D 锁存器 I3 的差分输出 q3n 也为 50% 占空比三分频信号。

[0064] 可以看出,第一级 D 锁存器 I1、第二级 D 锁存器 I2 和第三级 D 锁存器 I3 的输出均为输入时钟的三分频,且占空比为 50%。当其中一个 D 锁存器在时钟的上升沿触发,那么后级 D 锁存器在时钟的下降沿触发,这是由图 4 中每级 D 锁存器的相位切换输入与后级数据输出,数据输出与后级数据输入连接关系的极性决定的。

[0065] 在本申请所提供的几个实施例中,应该理解到,所揭露的方法,在没有超过本申请的精神和范围内,可以通过其他的方式实现。当前的实施例只是一种示范性的例子,不应该作为限制,所给出的具体内容不应该限制本申请的目的。例如,所述单元或子单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个单元或多个子单元结合在一起。另外,多个单元可以或组件可以结合或者可以集成到另一个系统,或一些特征

可以忽略,或不执行。

[0066] 另外,所描述装置不同实施例的示意图,在不超出本申请的范围内,可以与其它系统或模块集成。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以通过一些接口,装置或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0067] 以上所述仅是本发明的具体实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

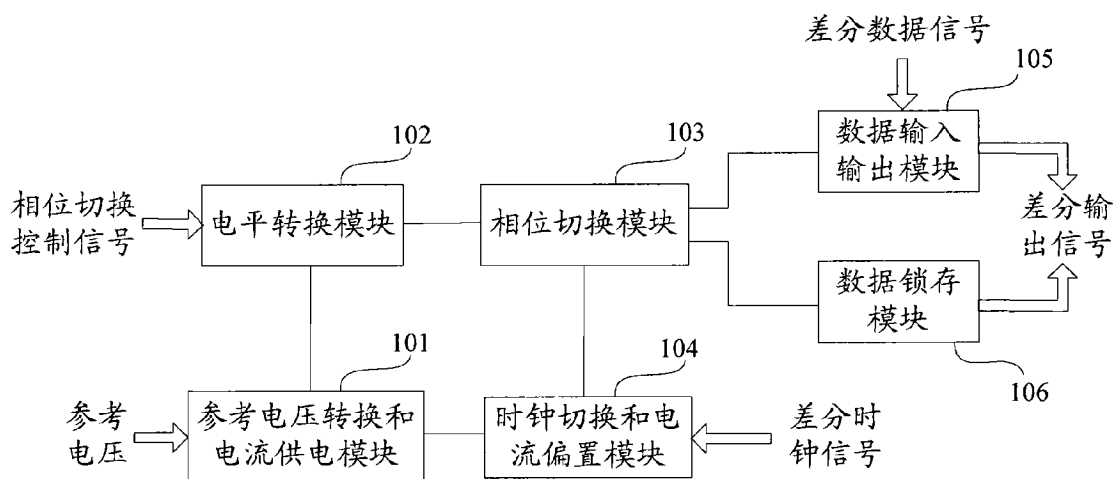


图 1

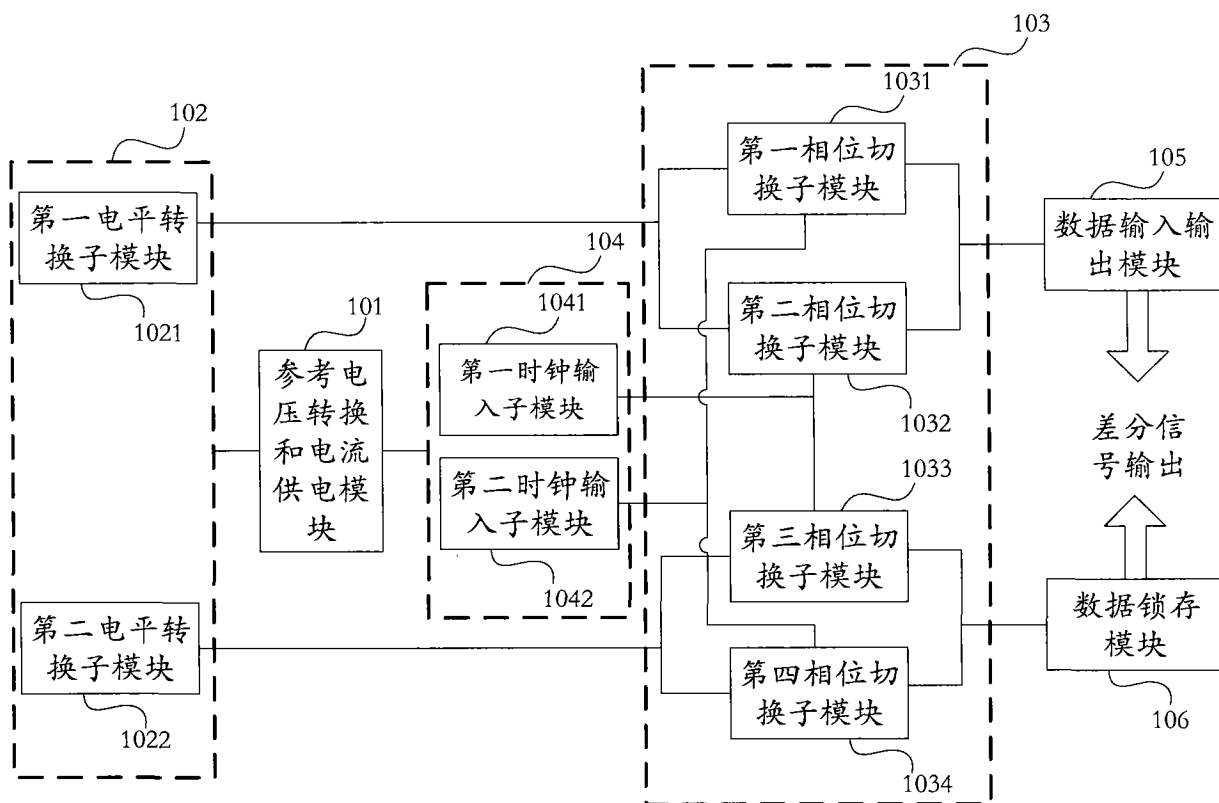


图 2

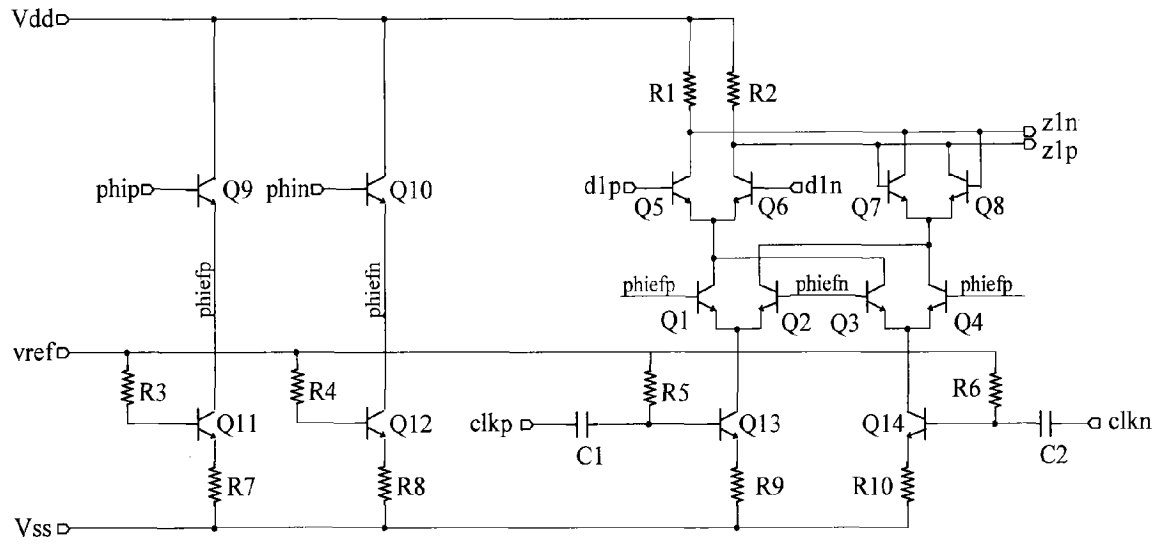


图 3

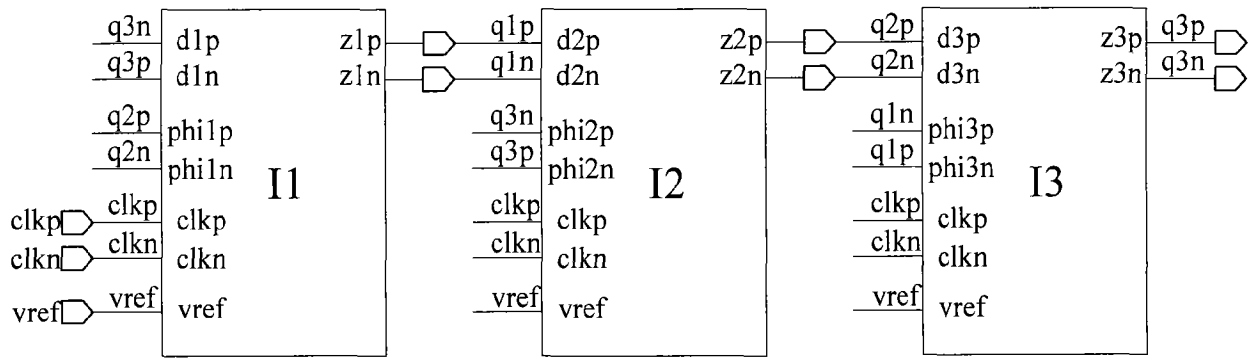


图 4

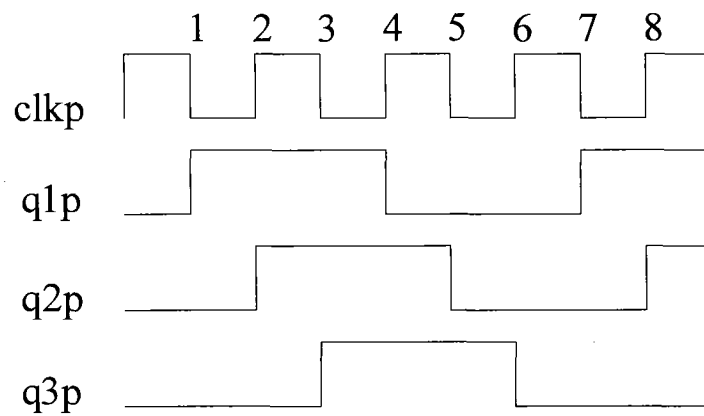


图 5