(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.^{6} H01L 21/76	(45) 공고일자 2004년11월06일 (11) 등록번호 10-0444310 (24) 등록일자 2004년08월04일

(21) 출원번호	10-1997-0028687	(65) 공개번호	10-1999-0004560
(22) 출원일자	1997년06월28일	(43) 공개일자	1999년01월15일

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	원대희 경기도 안양시 만안구 안양 4동 711-377 피승호 경기도 이천시 대월면 사동리 441-1 현대전자 사원APT 108-207
(74) 대리인	이후동 이정훈

심사관 : 신창우

(54) 반도체소자의소자분리막제조방법

요약

본 발명은 반도체 소자의 소자분리막 제조방법에 관한 것으로, 트랜치가 형성되는 반도체 기판 하부의 필드영역에 O_3 -TEOS 산화막을 형성하되, 액티브영역 보다 높게 형성함으로써 트랜치 모서리 부분에서의 씨닝(thinning)현상을 방지하여 소자의 전기적 특성을 향상시키는 기술이다.

대표도

도 1h

명세서

도면의 간단한 설명

도 1a 내지 도 1h 는 본 발명에 따른 반도체 소자의 소자분리막 제조공정도.

< 도면의 주요부분에 대한 부호의 설명 >

10 : 반도체 기판 12 : 패드산화막
14 : 질화막 16 : 트랜치
18 : 열산화막 20, 22 : 제 1,2 O3-TEOS 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 소자분리막 제조방법에 관한 것으로, 특히 트랜치가 형성되는 반도체 기판 하부의 필드영역에 절연막을 형성하되, 트랜치의 모서리 부분에서 씨닝(thinning)현상이 유발되는 것을 방지하여 소자의 전기적 특성을 향상시키는 기술에 관한 것이다.

일반적으로, 집적도가 낮은 반도체소자는 단차가 작아 각 도전층들의 패턴닝이나 평탄화에 별다른 문제점이 없었으나, 소자가 고집적화되어 각층들간의 단차 및 적층되는 막의 수가 증가되면서 소자의 제조 공정에서 나칭이나 단선 등의 불량들이 발생하게 되며, 이를 방지하기 위하여 적층막들의 상부를 평탄화하는 평탄화 공정이 공정수율 및 소자의 신뢰성에 중요한 영향을 미치게 되었다.

현재 1M DRAM 이상의 소자에서는 다량의 불순물을 함유하여 유동성이 우수하고 화학기상증착(chemical vapor deposition; 이하 CVD라 칭함) 방법으로 형성되어 단차피복성이 우수한 HDP(High density Plasma)CVD나 비.피.에스.지(Boro Phosphor Silicate Glass; 이하 BPSG라 칭함), 테오스(Tetra ethyl ortho silicate; 이하 TEOS라 칭함) 산화막 등을 평탄화막으로 널리 사용하고 있다.

그러나, 상기의 평탄화막들은 우수한 유동성에도 불구하고 평탄화의 정도에 한계가 있어 셀영역과 주변회로지역의 단차가 0.8   1.0㎛로 단차가 계속 유지되어 256M DRAM이상의 고집적 소자 제조 공정에 있어서 금속배선 공정에 문제를 일으킨다.

즉, 금속배선의 사진공정에서 배선크기가 작아짐에 따라 원자외선 노광기를 사용하게 되고 그에 따른 초점 심도가 작아져(약 0.4㎛) 상기의 단차에서는 금속배선을 형성할 수 없을 뿐만 아니라, 식각 공정시에도 금속배선이 끊어지거나 브리지를 유발하게 된다.

또한, 불순물이 다량으로 포함되어 있어 또 다른 문제점을 갖고 있는데, 상기의 문제점을 해결하기 위해 CMP 공정이 등장하였으며, BPSG박막을 두껍게 증착하여 CMP장치로 연마하면 단차를 줄여줄 수 있으나, CMP공정은 패턴이 조밀한 지역과 조밀하지 않은 지역에서 연마 속도 차이가 나는 현상에 의해 전면 평탄화에 어려움이 있다.

그리고, 이러한 문제는 한 소자 내에서 뿐만 아니라 웨이퍼 내에서도 발생하 여 후속 공정인 식각 공정에서 식각 두께의 조절이 힘들어지는 문제가 있다.

도면에는 도시되어 있지 않으나, 종래 기술에 따른 반도체 소자의 소자분리막 제조공정은 다음과 같다.

먼저, 반도체 기판 상부에 열산화막과 질화막을 순차적으로 형성한 다음, 소자분리용 마스크로 반도체 기판이 노출될 때 까지 식각하여 질화막패턴과 열산화막 패턴을 형성한다.

다음, 상기 패턴들을 식각장벽으로 반도체 기판의 하부가 노출되는 트랜치를 형성한다.

그 다음, 상기 트랜치를 매립하는 일정두께의 절연막을 형성한 다음, CMP공정으로 상기 질화막을 노출될때 까지 연마하여 평탄화한다.

다음, 상기 질화막을 제거하여 상기 절연막과 열산화막을 노출시킨 다음, 희생산화막 제거 및 게이트 세정공정을 진행한다.

상기와 같은 종래 기술에 따르면, STI(shallow trench isolation) 공정에서 트랜치에 절연물을 채우고 CMP 공정후 희생산화막 제거 및 게이트 세정공정을 거치게 되면 트랜치 모서리 부분에서의 절연물의 높이가 액티브 영역보다 낮아지게 된다.

즉, 소자분리막의 액티브영역 모서리 부근에서의 전기장이 집중되어 문턱전압 보다 낮은 전압에서 큰 누설전류가 발생되어 소자의 전기적 특성이 열화되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 해결하기 위하여, 반도체 기판의 필드영역에 형성되는 트랜치를 매립하는 절연막인 O_3-TEOS 산화막으로 두차례에 걸쳐 형성하되, 액티브영역 보다 높게 형성함으로써 트랜치 모서리 부분에서의 씨닝(thinning)현상을 방지하여 소자의 전기적 특성을 향상시키는 반도체 소자의 소자분리막 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따른 반도체 소자의 소자분리막 제조방법은,

반도체 기판 상부에 패드산화막과 질화막을 순차적으로 형성하는 공정과,

소자분리마스크를 이용한 사진식각공정으로 상기 질화막, 패드산화막 및 일정깊이의 반도체기판을 식각하여 트랜치를 형성하는 공정과,

상기 트랜치 표면에 열산화막을 형성하는 공정과,

플라즈마 전처리 공정을 실시하고 상기 트랜치를 매립하는 제 1 O_3-TEOS 산화막을 형성하는 공정과,

CMP 공정으로 상기 질화막이 노출될때 까지 상기 제1 O_3-TEOS 산화막을 연마하여 평탄화하는 공정과,

상기 질화막을 습식공정으로 제거하고 전체표면상부에 제 2 O_3-TEOS 산화막을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 소자분리막 제 조방법에 대하여 상세히 설명을 하기로 한다.

도 1a 내지 도 1h 는 본 발명에 따른 반도체 소자의 소자분리막 제조공정도이다.

먼저, 반도체 기판(10) 상부에 열산화막인 패드산화막(12)과 질화막(14)을 순차적으로 형성한다.

이때, 상기 패드산화막(12)은 50 300Å 두께로 형성하고, 상기 질화막(14)은 1000 3000Å 두께로 형성한다.(도 1a 참조)

다음, 소자분리용 마스크를 이용하여 상기 반도체 기판(10)이 노출될때 까지 상기 질화막(14) 및 패드산화막(13)을 식각하여 질화막(14)패턴과 패드산화막(12)패턴을 형성한다.

그 다음, 상기 패턴(14, 12)들을 식각장벽으로 이용하여 필드영역의 반도체기판(10) 하부에 일정 깊이의 트랜치(16)를 형성한다.

이때, 상기 트랜치(16)는 1500 4000Å 두께의 깊이로 형성된다.

다음, 두 차례의 열처리 공정을 거쳐 상기 트랜치(16) 측벽 표면에 열산화막(도시안됨)을 형성하고 제거한 다음, 상기 트랜치(16) 표면에 열산화막(18)을 형성한다.

이때, 두 차례의 열처리 공정을 거쳐 형성되는 상기 열산화막(18)은 50 200Å 두께 정도로 형성한다.(도 1c 참조)

그 다음, 플라즈마 전처리 공정을 실시한 후 상기 트랜치(16)를 메우는 일정 두께의 제 1 O_3-TEOS 산화막(20)을 형성한다.

이때, 상기 제 1 O_3-TEOS 산화막(20)은 3000 ~ 8000Å 두께 정도로 형성하는데, 상기 질화막(14)의 전표면을 덮을 정도의 두께로 형성한다.(도 1d 참조)

다음, 상기 구조의 전표면에 CMP공정으로 상기 질화막(14)이 노출될때 까지 연마하여 평탄화한다.(도 1e 참조)

그 다음, 상기 질화막(14)을 습식공정으로 제거하여 필드영역에는 상기 제 1 O_3-TEOS 산화막(20)을 노출시키고, 액티브영역에는 상기 패드산화막(12)을 노출시킨다.(도 1f 참조)

다음, 상기 구조의 전표면에 200 500Å 두께 정도의 제 2 O_3-TEOS 산화막(22)을 형성한다.

여기서, 상기 제 2 O_3-TEOS 산화막(22)의 형성공정은 플라즈마 전처리 공정을 실시하지 않는다.

이때, 액티브영역의 상기 패드산화막(12) 상부에는 제 2 O_3-TEOS 산화막(22)이 상대적으로 적게 증착된다.(도 1g 참조)

그 다음, 상기 구조의 전표면에 희생산화막 제거 공정과 게이트 세정공정, 게이트산화공정을 거쳐 상기 필드영역의 트랜치(16)에 제1 및 제2 O_3-TEOS 산화막(20,22)으로 형성된 소자분리막을 형성한다.

이때, 상기 트랜치(16)의 필드영역에 형성된 절연막인 제 2 O_3-TEOS 산화막(22)은 액티브영역 보다 높게 형성되어 트랜치 모서리 부분에서의 전기장 집중에 의한 누설전류를 억제할 수 있게 된다.(도 1h 참조)

발명의 효과

상기한 바와 같이 본 발명에 따른 반도체소자의 소자분리막 제조방법은, 트랜치가 형성되는 반도체 기판 하부의 필드영역에 O_3-TEOS 산화막을 형성하되, 액티브영역 보다 높게 형성함으로써 트랜치 모서리 부분에서의 씨닝(thinning)현상을 방지하고, 액티브영역의 모서리 부근에서의 전기장이 집중되어 발생하는 전기적 특성 열화를 방지하여 소자의 전기적 특성을 향상시키는 이점이 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상부에 패드산화막과 질화막을 순차적으로 형성하는 공정과,
소자분리마스크를 이용한 사진식각공정으로 상기 질화막, 패드산화막 및 일정깊이의 반도체기판을 식각하여 트랜치를 형성하는 공정과,
상기 트랜치 표면에 열산화막을 형성하는 공정과,
플라즈마 전처리 공정을 실시하고 상기 트랜치를 매립하는 제 1 O_3-TEOS 산화막을 형성하는 공정과,
CMP 공정으로 상기 질화막이 노출될때 까지 상기 제1 O_3-TEOS 산화막을 연마하여 평탄화하는 공정과,
상기 질화막을 습식공정으로 제거하고 전체표면상부에 제 2 O_3-TEOS 산화막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

청구항 2.

제 1 항에 있어서,
상기 패드산화막은 50 300Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

청구항 3.

제 1 항에 있어서,
상기 질화막은 1000 3000Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

청구항 4.

제 1 항에 있어서,
상기 트랜치는 1500 4000Å 두께의 깊이로 형성된 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

청구항 5.

제 1 항에 있어서,
상기 제 1 O_3-TEOS 산화막은 3000 8000Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

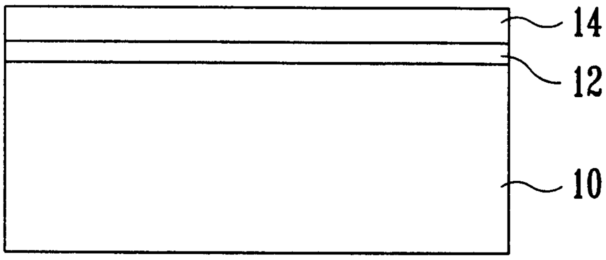
청구항 6.

제 1 항에 있어서,

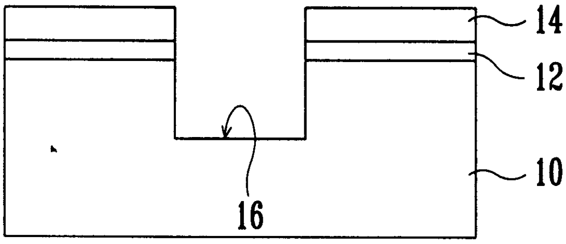
상기 제 2 O_3-TEOS 산화막은 200 500Å 두께로 형성된 것을 특징으로 하는 반도체 소자의 소자분리막 제조방법.

도면

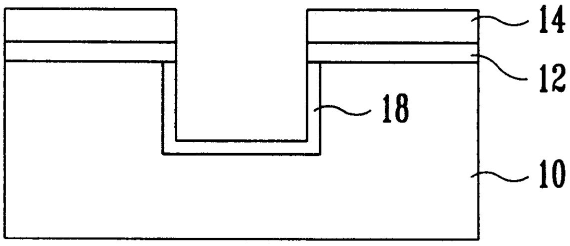
도면1a



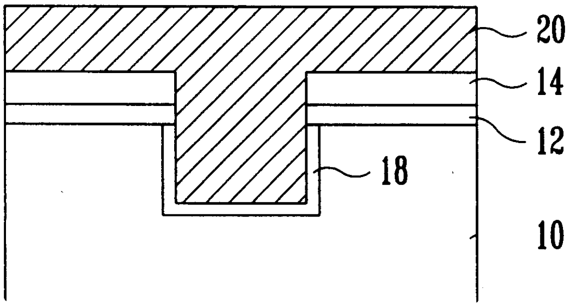
도면1b



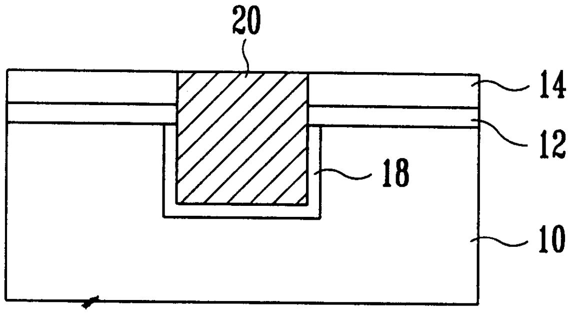
도면1c



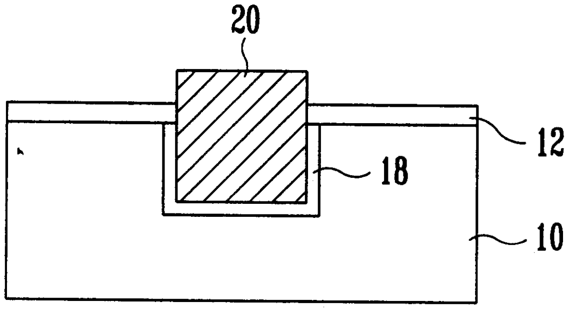
도면1d



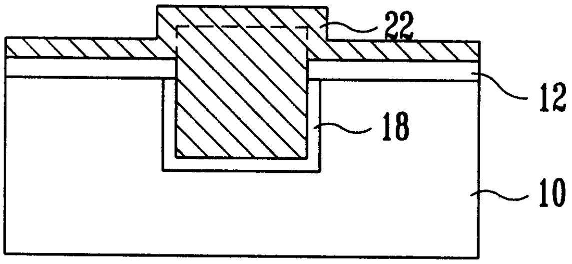
도면1e



도면1f



도면1g



도면1h