

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年2月28日(28.02.2013)



(10) 国際公開番号
WO 2013/027463 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2012/064646
- (22) 国際出願日: 2012年6月7日(07.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-179550 2011年8月19日(19.08.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 松元 大輔 (MATSUMOTO, Daisuke) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 手賀 直樹 (TEGA, Naoki) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 嶋本 泰洋 (SHIMAMOTO, Yasuhiro) [JP/JP]; 〒1858601 東京都国分

寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP).

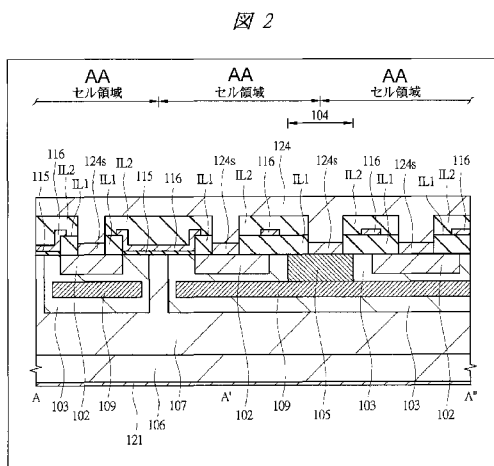
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿2丁目3番10号 新宿御苑ビル3階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法

[図2]



AA Cell region

(57) Abstract: Provided is a technique for improving the characteristics of a semiconductor device (DMOSFET). A semiconductor device is configured so as to comprise: an n-type source layer (102) that is arranged above a first surface of an SiC substrate (106); a p-body layer (103) that surrounds the source layer and has a channel region; an n-type n-drift layer (107) that is in contact with the p-body layer (103); a gate electrode (116) that is arranged above the channel region with a gate insulating film being interposed therebetween; and a first p⁺ layer (109) that is a buried semiconductor region which is arranged in the p-body layer (103) and extends below the n⁺-source layer (102), while having an impurity concentration higher than that of the p-body layer (103). By forming the first p⁺ layer (109) in the middle of the p-body layer (103) as explained above, the diffusion resistance of the p-body layer (103) is able to be reduced. Consequently, a parasitic bipolar transistor can be made less prone to be in an ON state.

(57) 要約: 半導体装置 (DMOSFET) の特性を向上させる技術を提供する。SiC基板 (106) の第1面側の上部に配置されたn型のソース層 (102) と、ソース層を囲むpボディ層 (103) であって、チャネル領域を有するpボディ層 (103) と、pボディ層 (103) に接するn型のnドリフト層 (107) と、チャネル領域の上部にゲート絶縁膜を介して配置されたゲート電極 (116) と、pボディ層 (103) 中に配置され、n⁺ソース層 (102) の下方に延在し、pボディ層 (103) より不純物の濃度が高い埋込み半導体領域である第1p⁺層 (109) と、を有するように半導体装置を構成する。このように、pボディ層 (103) の中庸に、第1p⁺層 (109) を形成することにより、pボディ層 (103) の拡散抵抗を低減することができる。このため、寄生バイポーラトランジスタをオンし難くすることができる。

7) と、チャネル領域の上部にゲート絶縁膜を介して配置されたゲート電極 (116) と、pボディ層 (103) 中に配置され、n⁺ソース層 (102) の下方に延在し、pボディ層 (103) より不純物の濃度が高い埋込み半導体領域である第1p⁺層 (109) と、を有するように半導体装置を構成する。このように、pボディ層 (103) の中庸に、第1p⁺層 (109) を形成することにより、pボディ層 (103) の拡散抵抗を低減することができる。このため、寄生バイポーラトランジスタをオンし難くすることができる。

WO 2013/027463 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関し、特に二重拡散型MOSFET (DMOSFET) を有する半導体装置に適用して有効な技術に関する。

背景技術

[0002] 二重拡散型 (Double-Diffused) MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) は、例えば、N⁺基板の上に形成されたNエピタキシャル層の表面側に、低濃度のP型層 (Pボディ) と高濃度のN型層 (N⁺ソース層) を二重拡散で形成した構造を有する。

[0003] 例えば、下記特許文献1には、nチャンネルDMOS素子の各単位セルを構成するpベース層 (3) を部分的にp抜き取り領域 (4) にてセル相互間を連続させ、p抜き取り領域 (4) を介してpベース層をソース電極 (9) と領域 (Z2) にて短絡させる構成を有するパワーデバイスが開示されている。当該文献においては、上記構成により、寄生トランジスタ動作を抑制し、素子の破壊耐量を向上している。なお、上記かっこ内の符号は、特許文献1に記載の符号である。

先行技術文献

特許文献

[0004] 特許文献1：特開平05-102487号公報

発明の概要

発明が解決しようとする課題

[0005] 本発明者は、パワーデバイスについての研究・開発に従事しており、上記DMOSFETなどの特性の向上について検討している。

[0006] 追って詳細に説明するように、DMOSFETにおいて、寄生npnバイ

ポーラトランジスタの動作により、装置特性の劣化が危惧される。このような寄生 npn バイポーラトランジスタ動作の抑制のためには、上記特許文献 1 に示すような構成を採用することも考えられるが、この場合、セル中央の n⁺ソース層 (5) に囲まれた領域と p 抜き取り領域 (4) の両方からコンタクトを設ける必要があるために、セル面積が拡大してしまう。この場合、相対的に素子の単位面積あたりに占めるチャネル領域の割合が小さくなるため、DMOSFET の電流密度の低下が生じてしまう。

[0007] そこで、本発明の目的は、半導体装置の特性を向上させることができる技術を提供することにある。特に、寄生バイポーラトランジスタの動作を抑制し得る半導体装置 (DMOSFET) の構成を提供することにある。また、セル領域を小さく設定でき、電流密度の向上を図ることができる半導体装置 (DMOSFET) を提供することにある。

[0008] また、本発明の他の目的は、特性の良好な半導体装置の製造方法を提供することにある。

[0009] 本発明の上記目的およびその他の目的と新規な特徴は、本願明細書の記載および添付図面から明らかになるであろう。

課題を解決するための手段

[0010] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0011] 本願において開示される発明のうち、代表的な実施の形態に示される半導体装置は、基板の第 1 面側の上部に配置された第 1 導電型の第 1 ソース領域と、前記第 1 ソース領域を囲む第 2 導電型の第 1 半導体領域であって、チャネル領域を有する第 1 半導体領域と、前記第 1 半導体領域に接する前記第 1 導電型の第 2 半導体領域と、前記チャネル領域の上部にゲート絶縁膜を介して配置されたゲート電極と、前記第 1 半導体領域中に配置された前記第 2 導電型の埋込み半導体領域であって、前記ソース領域の下方に延在し、前記第 1 半導体領域より前記第 2 導電型の不純物の濃度が高い埋込み半導体領域と、を有する。

[0012] 本願において開示される発明のうち、代表的な実施の形態に示される半導体装置は、基板の第1面側の上部に配置された第2導電型の第1半導体領域と、前記基板の第1面側の上部に配置され、前記第1半導体領域の周囲に離間して配置された複数の前記第1導電型のソース領域と、前記複数のソース領域のそれぞれを囲む前記第2導電型の第2半導体領域と、前記第2半導体領域の上部にゲート絶縁膜を介して配置されたゲート電極と、前記第1半導体領域中に配置された前記第2導電型の埋込み半導体領域であって、前記第1半導体領域の下部から前記複数のソース領域の下方に延在し、前記第2半導体領域より前記第2導電型の不純物の濃度が高い埋込み半導体領域と、を有する。

[0013] 本願において開示される発明のうち、代表的な実施の形態に示される半導体装置の製造方法は、(a)第1面側に、第1導電型の第1半導体領域を有する基板を準備する工程と、(b)前記第1半導体領域中に第2導電型の第2半導体領域を形成する工程と、(c)前記第2半導体領域中に前記第2導電型の埋め込み半導体領域を形成する工程と、(d)前記第2半導体領域中であって、前記埋め込み半導体領域の上方に、前記第1導電型のソース領域を形成する工程と、を有する。

発明の効果

[0014] 本願において開示される発明のうち、以下に示す代表的な実施の形態に示される半導体装置によれば、半導体装置の特性を向上させることができる。

[0015] また、本願において開示される発明のうち、以下に示す代表的な実施の形態に示される半導体装置の製造方法によれば、特性の良好な半導体装置を製造することができる。

図面の簡単な説明

[0016] [図1]実施の形態1の半導体装置の要部平面図である。

[図2]実施の形態1の半導体装置の要部断面図である。

[図3]実施の形態1の半導体装置の製造工程を示す要部断面図である。

[図4]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図3

に続く半導体装置の製造工程中の要部断面図である。

[図5]実施の形態1の半導体装置の製造工程を示す要部平面図である。

[図6]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図4に続く半導体装置の製造工程中の要部断面図である。

[図7]実施の形態1の半導体装置の製造工程を示す要部平面図である。

[図8]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図6に続く半導体装置の製造工程中の要部断面図である。

[図9]実施の形態1の半導体装置の製造工程を示す要部平面図である。

[図10]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図8に続く半導体装置の製造工程中の要部断面図である。

[図11]実施の形態1の半導体装置の製造工程を示す要部平面図である。

[図12]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図10に続く半導体装置の製造工程中の要部断面図である。

[図13]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図12に続く半導体装置の製造工程中の要部断面図である。

[図14]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図13に続く半導体装置の製造工程中の要部断面図である。

[図15]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図14に続く半導体装置の製造工程中の要部断面図である。

[図16]実施の形態1の半導体装置の製造工程を示す要部平面図である。

[図17]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図15に続く半導体装置の製造工程中の要部断面図である。

[図18]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図17に続く半導体装置の製造工程中の要部断面図である。

[図19]実施の形態1の半導体装置の製造工程を示す要部断面図であって、図18に続く半導体装置の製造工程中の要部断面図である。

[図20]実施の形態2の応用例1の半導体装置の要部平面図である。

[図21]実施の形態2の応用例2の半導体装置の要部平面図である。

[図22]実施の形態2の応用例3の半導体装置の要部平面図である。

[図23]実施の形態3の半導体装置の要部断面図である。

[図24]実施の形態3の半導体装置の要部平面図である。

[図25]実施の形態4の応用例Aの半導体装置の要部平面図である。

[図26]実施の形態4の応用例Bの半導体装置の要部平面図である。

[図27]実施の形態5の半導体装置の要部断面図である。

[図28]実施の形態1の比較例の半導体装置の構造を示す要部断面図である。

[図29]実施の形態1の比較例の半導体装置の構造を示す要部平面図である。

[図30]実施の形態1の比較例の半導体装置に係る等価回路を示す回路図である。

発明を実施するための形態

[0017] 以下、図面を参照しながら、本発明を示す実施の形態について詳細に説明する。

[0018] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

[0019] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

[0020] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一または関連する符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0021] また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

[0022] (実施の形態1)

[構造説明]

図1および図2を参照しながら、本実施の形態の半導体装置(DMOSFET)の構成について説明する。図1は、本実施の形態の半導体装置の要部平面図であり、図2は、本実施の形態の半導体装置の要部断面図である。図2は、例えば、図1のA-A'断面に対応する。

[0023] 図1に示すように、本実施の形態は、図1中に破線で囲んだ矩形領域であるセル領域が、X方向(図中横方向、左右方向)およびY方向(図中縦方向、上下方向)に線対称に繰り返し配置されている。このセル領域をX方向およびY方向に複数配置することで、一つの半導体装置(DMOSFET)が構成される。なお、半導体装置(DMOSFET)を構成する複数のセル領域をセルアレイ領域(アレイ領域、アレイ)と呼ぶことがある。なお、図1中においては、3行3列(3×3)の9つのセル領域しか示していないが、9以上のセル領域を用いて半導体装置(DMOSFET)を構成してもよいし、9未満のセル領域で半導体装置(DMOSFET)を構成してもよい。

[0024] 一のセル領域の中心部には、n⁺ソース層(ソース領域)102が位置している。言い換えれば、n⁺ソース層(ソース領域)102間の中心部においてX方向およびY方向に延在するラインにより規定される略矩形の領域がセル領域となる。図1においては、n⁺ソース層(ソース領域)102は正方形(正四角形)状であり、また、セル領域も正方形(正四角形)状として示して

ある。

- [0025] 一のセル領域において、 n^+ ソース層（ソース領域、 n 型半導体領域、第1導電型半導体領域）102の外周には、 p ボディ層（ p 型ボディ領域、 p 型半導体領域、第2導電型半導体領域）103が配置されている（図2）。この p ボディ層103は、図2から明らかなように、 n^+ ソース層（ソース領域）102より深い位置まで延在している。よって、この p ボディ層103は、 n^+ ソース層（ソース領域）102を囲むように配置されている。
- [0026] また、この p ボディ層103上には、ゲート絶縁膜115を介してゲート電極116が配置される（図2）。DMOSFETの動作時においては、 p ボディ層103の表面にチャネル（チャネル領域、反転層）が形成され、 n^+ ソース層（ソース領域）102からこのチャネル、後述する n -ドリフト層107およびSiC基板106を介してドレイン電極121に電流が流れ込む。よって、ゲート電極116は、少なくとも p ボディ層103の基板の表面（第1面）側の露出領域の上部に配置する必要がある。ここでは、ゲート電極116は、図2に示すように、 p ボディ層103の上記露出領域上から後述の n -ドリフト層107の露出領域（108a）まで延在するように配置されている。また、このゲート電極116は、 n^+ ソース層102および第2 p^+ 層（引出部、コンタクト部）105と、ソース電極（124）との接続領域以外の領域に延在させることができる（図16参照）。このように、このゲート電極116は、セル領域間において電氣的に接続されている。
- [0027] また、この p ボディ層103は、セルアレイ領域（複数のセル領域）においては、露出領域108a以外の領域に配置されている。この露出領域108aは、 n -ドリフト層107の露出領域であり、露出領域108aは、 n^+ ソース層（ソース領域）102間に配置される。この露出領域108aは、例えば、4つの n^+ ソース層（ソース領域）102が、2行2列（ 2×2 ）で配置された領域においては、 n^+ ソース層102間に、 X 方向および Y 方向に配置されるが、対角に位置する n^+ ソース層102間には配置されない（図1）。よって、 p ボディ層103は、セル領域間において電氣的に接続されて

いる（図5参照）。

[0028] 対角に位置するn⁺ソース層102間（言い換えれば、2×2の領域においては、右上のn⁺ソース層102と左下のn⁺ソース層102との間、または、右下のn⁺ソース層102と左上のn⁺ソース層102との間）に、電界緩和領域104（図1中の太い一点鎖線で囲んだ領域、セル接続領域）を規定する。この電界緩和領域104は、4つのn⁺ソース層（ソース領域）102の近接する頂角（角部）を結んだ領域A内に位置することとなる。言い換えれば、この電界緩和領域104は、領域Aの内部に位置し、領域Aより小さい領域である。

[0029] ここで、本実施の形態においては、pボディ層103の内部（中庸）に、第1 p⁺層109（埋め込み層、埋め込み半導体領域、p型埋め込み半導体領域、第2導電型埋め込み半導体領域）が配置されている（図2）。この第1 p⁺層109の上部は、n⁺ソース層102の底部より深く、この第1 p⁺層109の上部とn⁺ソース層102の底部との間には、pボディ層103が介在している（図2）。また、図2に示すように、第1 p⁺層109は、上記電界緩和領域104において、第2 p⁺層（引出部、コンタクト部、p型半導体領域、第2導電型半導体領域）105と電氣的に接続されている（図2、図1）。

[0030] 第1 p⁺層109の形成領域は、開口部110a以外の領域に配置されている。この開口部110aは、上記露出領域108aより一回り大きい領域である。よって、第1 p⁺層109も、上記領域Aを介してセル領域間において電氣的に接続されている（図7参照）。

[0031] 上記第1および第2 p⁺層（109、105）の構成について、別の言い方をすれば、上記電界緩和領域104に位置する第2 p⁺層（引出部、コンタクト部）105の下部から、前記n⁺ソース層（ソース領域）102の下部（下方）まで延在するように第1 p⁺層109が配置されている。

[0032] この第1および第2 p⁺層（109、105）の不純物濃度は、pボディ層103の不純物濃度より高い。

- [0033] また、露出領域108aにおいて、n-ドリフト層107（n型半導体領域、第1導電型半導体領域）は、SiC基板106の表面（第1面）側に露出しているが、このn-ドリフト層107は、pボディ層103の下部にも延在している。言い換えれば、pボディ層103を囲むようにn-ドリフト層107が配置されている。
- [0034] このn-ドリフト層107の下部には、n+型のSiC基板106が配置され、このn+型のSiC基板106がドレイン層（ドレイン領域、n型半導体領域、第1導電型半導体領域）となる。また、このSiC基板106の裏面（第2面）には、裏面電極（ドレイン電極）121が配置されている。
- [0035] また、n+ソース層102および第2p+層105の上部には、層間絶縁膜IL1が配置され、さらに、ゲート電極116の上部には、層間絶縁膜IL2が配置されている。
- [0036] これらの層間絶縁膜（IL1、IL2）には、上記n+ソース層102および第2p+層105を露出させるコンタクトホールが形成されている。このコンタクトホールの内部および層間絶縁膜IL2の上部には、ソース電極（ソース配線、配線）124が配置されている。また、ソース電極124とn+ソース層102との界面および、ソース電極124と第2p+層105との界面には、金属シリサイド124sが配置されている。
- [0037] このように、本実施の形態の半導体装置（DMOSFET）によれば、pボディ層103の中層に、第1p+層109を形成したので、pボディ層103の拡散抵抗を低減し、寄生のnpn領域で構成される寄生バイポーラトランジスタの動作を抑制することができる。その結果、サージ電流を低減でき、サージ電流によるDMOSFETの特性劣化や破壊を防止することができる。
- [0038] また、本実施の形態によれば、電界緩和領域104を利用して第1p+層109を引き出すための引出部である第2p+層105を配置したので、n+ソース層102を小さくすることができる。また、単位面積当たりのセル数を多くでき、チャンネル領域の割合を大きくできる。これにより、例えば、オン

抵抗を低減することができる。また、単位面積当たりの電流量を、向上させることができる。このように、DMOSFETの特性を向上させることができる。

[0039] また、n⁺ソース層中に引出部を形成する場合と比較し、n⁺ソース層102とソース電極(124、124s)との接続面積を大きくすることができ、ソース抵抗を低減することができる。

[0040] 上記各効果については、以下の「製造方法説明」の欄において、比較例と対比しながら、より詳細に説明する。

[0041] [製造方法説明]

次いで、図3～図19を参照しながら、本実施の形態の半導体装置の製造方法を説明するとともに、当該半導体装置の構成をより明確にする。図3～図19は、本実施の形態の半導体装置の製造工程を示す要部断面図または要部平面図である。

[0042] 図3に示すように、基板として例えばSiC基板106を準備する。このSiC基板106は、例えば、n⁺型の4H-SiC基板(六方晶のSiC基板)である。基板の不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-2}$ の範囲である。n型不純物として、例えば、窒素(N)を含有している。また、4H-SiC基板106は、その一方の面に薄いSi(シリコン)面を有し、他方の面に薄いC(炭素)面を有するが、そのいずれの面を表面として用いてもよい。言い換えれば、いずれの面に後述する半導体装置を形成してもよい。

[0043] 基板106としてSi基板を用いてもよい。しかしながら、SiC(炭化珪素)は、Si(シリコン)よりも絶縁破壊電界が1.5～3倍であり、DMOSFETなどのパワーデバイスに用いて好適である。中でも、4H-SiC(六方晶のSiC)は、高い絶縁破壊電界と高い移動度を示し、このような半導体を、基板(106)として、また、半導体領域(107)として用いることで、半導体装置(DMOSFET)の特性を向上させることができる。

[0044] 上記SiC基板106の表面に、エピタキシャル成長法によりSiCよりなる半導体領域を成長させることにより、n-ドリフト層107を形成する。例えば、Si源としてSiH₄、C源としてC₃H₈を原料ガスとして基板106上に、4H-SiCを2μm~50μm程度の膜厚となるようにエピタキシャル成長させる。この際、原料ガス中に窒素(N₂)を含有させることにより、4H-SiC中にn型不純物が導入される。このn-ドリフト層107と後述するpボディ層103は、pn接合を構成する。よって、これらの半導体領域(103、107)の不純物濃度は、pn接合の空乏層の幅を決定する要因となる。このn-ドリフト層107の不純物濃度は、例えば、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲である。なお、上記SiC基板106と上記n-ドリフト層107との積層体を基板と見なしてもよい。

[0045] 次いで、図4に示すように、n-ドリフト層107の表面に部分的にpボディ層103を形成する。具体的には、n-ドリフト層107上にフォトレジスト膜108を塗布し、パターンを露光転写した後、現像処理を行う(フォトリソグラフィ)。なお、電子線などを用いてパターンを描画した後、現像処理を行ってもよい。これにより、pボディ層103を形成しない領域がフォトレジスト膜108で覆われる。この現像後のフォトレジスト膜108をマスクとして、p型不純物を注入することにより、pボディ層103を形成する。例えば、不純物の注入深さは、n-ドリフト層107の底部より浅く、例えば、1μm程度である。また、不純物濃度は、例えば、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。また、p型不純物としては、例えば、Al(アルミニウム)を用いる。

[0046] この後、フォトレジスト膜108をアッシングなどで除去することにより、図5に示すように、部分的にn-ドリフト層107が露出したpボディ層103が形成される。このn-ドリフト層107の露出領域を、平面図において108aと示す。図5に、pボディ層103の形成領域をドットのハッチングをつけて示す。

[0047] 次いで、図6に示すように、pボディ層103の中層に、第1p⁺層109

を形成する。具体的には、露出領域108aを含む上記pボディ層103上にフォトレジスト膜110を塗布し、パターンを露光転写した後、現像処理を行う。これにより、上記露出領域108aより一回り大きい領域上に、フォトレジスト膜110を残存させる。この現像後のフォトレジスト膜110をマスクとして、p型不純物を注入することにより、第1p⁺層109を形成する。例えば、不純物の注入深さは、pボディ層103の底部より浅く、pボディ層103の上部よりは深い。これにより、pボディ層103の中層に位置するよう第1p⁺層109が形成される。不純物の深さは、例えば、0.5 μm ~1 μm の範囲であり、上記pボディ層103の底部よりも浅く、後述するn⁺ソース層102の底部より深い位置に第1p⁺層109の底部が位置するように、不純物の注入エネルギーを調整する。不純物濃度は、上記pボディ層103の不純物濃度 ($1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲) より高く、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度に設定する。また、不純物層の厚さは、例えば、0.1 μm ~0.5 μm 程度である。また、p型不純物としては、例えば、Alを用いる。

[0048] この後、フォトレジスト膜110をアッシングなどで除去することにより、n⁻ドリフト層107の露出領域108aおよびその外周を開口した、第1p⁺層109が、pボディ層103の表面より深い位置に形成される。言い換えれば、開口部110aを有する第1p⁺層109が形成される。図7に、第1p⁺層109の形成領域をハッチングをつけて示す。

[0049] 次に、図8に示すように、第1p⁺層109上であって、「構造説明」の欄で説明した電界緩和領域(104、図1参照)に第2p⁺層105を形成する。具体的には、露出領域108aを含む上記pボディ層103上にフォトレジスト膜112を塗布し、パターンを露光転写した後、現像処理を行う。これにより、電界緩和領域104のフォトレジスト膜112を開口する。この現像後のフォトレジスト膜112をマスクとして、p型不純物を注入することにより、第2p⁺層105を形成する。例えば、不純物の注入深さは、第1p⁺層109まで到達する深さとし、pボディ層103の表面まで不純物が

注入される。これにより、第1 p⁺層109上に、この第1 p⁺層109と電氣的に接続可能に第2 p⁺層105が形成される。不純物濃度は、上記pボディ層103の不純物濃度（ $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲）より高く、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度に設定する。また、不純物層の厚さは、例えば、 $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ 程度である。また、p型不純物としては、例えば、Alを用いる。

[0050] この後、フォトレジスト膜112をアッシングなどで除去することにより、接続領域上に、第2 p⁺層105が形成される。図9に、第2 p⁺層105の形成領域をハッチングをつけて示す。

[0051] 次いで、図10に示すように、pボディ層103の表面部に、n⁺ソース層102を形成する。具体的には、第2 p⁺層105上を含む上記pボディ層103上にフォトレジスト膜113を塗布し、パターンを露光転写した後、現像処理を行う。これにより、ソース形成領域を開口したフォトレジスト膜113を残存させる。この現像後のフォトレジスト膜113をマスクとして、n型不純物を注入することにより、n⁺ソース層102を形成する。例えば、不純物の注入深さは、第1 p⁺層109の上部より浅く、例えば、 $0.5 \mu\text{m}$ 程度である。これにより、pボディ層103の表面部に、n⁺ソース層102が形成される。不純物濃度は、例えば、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。また、p型不純物としては、例えば、窒素（N）を用いる。

[0052] この後、フォトレジスト膜113をアッシングなどで除去することにより、セル領域の略中心部に、n⁺ソース層102が形成される。図11に、n⁺ソース層102の形成領域をドットのハッチングをつけて示す。

[0053] 次いで、以上のイオン導入（注入）工程により、乱された結晶性の回復と、導入された不純物の活性化を図るために、例えば、 1700°C 程度で、アニール処理（熱処理）を行う。

[0054] なお、各種イオン導入（注入）工程の順序は、上記工程に限られるものではない。例えば、注入条件（不純物イオンの種類、濃度、打ち込みエネルギーなど）を調整することで、図1、2に示す位置に各半導体領域（不純物領

域、102、103、105、109)を形成することができる。よって、例えば、第2 p+層105を形成した後、第1 p+層109を形成してもよく、各半導体領域をどのような順序で形成してもよい。

[0055] 次いで、図12に示すように、ゲート絶縁膜形成領域に開口を有する絶縁膜(フィールド絶縁膜、層間絶縁膜)1L1を形成する。具体的には、n+ソース層102および第2 p+層105等の領域上を含むpボディ層103の表面部に、絶縁膜1L1として例えば酸化シリコン(SiO₂)膜をCVD(Chemical Vapor Deposition; 化学気相成長)法などにより形成する。次いで、絶縁膜1L1上にフォトレジスト膜114を塗布し、パターンを露光転写した後、現像処理を行う(フォトリソグラフィ)。これにより、ゲート絶縁膜形成領域に開口部を形成する。この現像後のフォトレジスト膜114をマスクとして、絶縁膜1L1をエッチングすることにより、ゲート絶縁膜形成領域の絶縁膜1L1を除去する。ここでは、少なくとも上記露出領域108aおよびこれに近接するpボディ層103上にゲート絶縁膜が形成されるように絶縁膜1L1をエッチングする。なお、上記フォトリソグラフィおよびエッチング工程をパターニングとすることがある。上記絶縁膜1L1のエッチングとしては、例えば、バッファードフッ酸を用いたウエットエッチングを行うことができる。この後、フォトレジスト膜114をアッシングなどで除去することにより、ゲート絶縁膜形成領域に開口部を有する絶縁膜1L1が形成される。なお、ゲート電極の形成領域は、後述の図16に示すように、n+ソース層102および第2 p+層105上のコンタクトホール形成領域以外の領域となる。

[0056] 次いで、図13に示すように、絶縁膜1L1の開口部内に、ゲート絶縁膜115を例えば熱酸化法を用いて形成する。例えば、SiC基板106を、1050℃程度の酸素雰囲気中に晒すことにより、上記開口部から露出した半導体領域(107、103)の表面を酸化する。これにより、上記開口部内に、酸化珪素(酸化Si)よりなるゲート絶縁膜115が形成される。なお、CVD法などを用いて、上記開口部内を含む絶縁膜1L1上に酸化シリ

コン膜などの絶縁膜を堆積することによりゲート絶縁膜 115 を形成してもよい。

[0057] 次いで、図 14 に示すように、絶縁膜 111 の開口部内のゲート絶縁膜 115 上に、ゲート電極 116 を形成する。例えば、上記開口部内を含む絶縁膜 111 上に、導電性膜としてシリコン膜を CVD 法などにより堆積する。このシリコン膜としては、例えば、P (リン) などの不純物ドーパされた多結晶シリコンとすることができる。次いで、シリコン膜 (116) 上にフォトレジスト膜 117 を塗布し、パターンを露光転写した後、現像処理を行う。これにより、ゲート電極形成領域にフォトレジスト膜 117 を残存させる。この現像後のフォトレジスト膜 117 をマスクとして、シリコン膜 (116) をドライエッチングすることにより、ゲート電極 116 を形成する (図 15)。この後、フォトレジスト膜 117 をアッシングなどで除去する。

[0058] ゲート電極 116 は、A-A' 断面において、その幅が、絶縁膜 111 の開口部の幅より大きく、ゲート電極 116 は、ゲート絶縁膜 115 上のみならず、開口部の側壁および絶縁膜 111 上にもその一部が延在している (図 15)。また、前述したとおり、ゲート電極 116 は、n⁺ソース層 102 および第 2 p⁺層 105 上のコンタクトホール形成領域以外の領域に配置される (図 16 参照)。言い換えれば、ゲート電極 116 は、n⁺ソース層 102 間上を X 方向および Y 方向に延在するものの、その交点 (電界緩和領域 104) には形成されず、開口部が設けられている。この開口部の下部には第 2 p⁺層 105 が配置されている (図 2 参照)。また、この開口部 (電界緩和領域 104) の周囲において、ゲート電極 116 は接続されている。よって、ゲート電極 116 は、複数の開口部 (n⁺ソース層 102 および第 2 p⁺層 105 上のコンタクトホール形成領域に対応する開口部) を有する連続した膜となり、各セル領域のゲート電極 116 が電氣的に接続される。なお、図 16 に、ゲート電極 116 の形成領域をドットのハッチングをつけて示す。また、ゲート電極 116 の材料としては、上記シリコン膜の他、タングステン (W) などの高融点金属などを用いてもよい。

- [0059] 次いで、図17に示すように、ゲート電極116上を含む絶縁膜1L1上に層間絶縁膜1L2を形成する。層間絶縁膜1L2として、例えば、酸化シリコン膜をCVD法などにより形成する。
- [0060] 次いで、図18に示すように、n⁺ソース層102および第2 p⁺層105上にコンタクトホールを形成する。例えば、後述のシリサイド工程において層間絶縁膜1L2とメタルとの反応を防ぐため、窒化チタン(TiN)122などからなるバリア膜をスパッタリング法により層間絶縁膜1L2上に堆積する。そして、窒化チタン(TiN)122上にフォトレジスト膜123を塗布し、パターンを露光転写した後、現像処理を行う。これにより、n⁺ソース層102および第2 p⁺層105上のフォトレジスト膜123を除去する。この現像後のフォトレジスト膜123をマスクとして、窒化チタン(TiN)122および層間絶縁膜1L2をドライエッチングすることにより、n⁺ソース層102および第2 p⁺層105上にコンタクトホールを形成する。この後、フォトレジスト膜123をアッシングなどにより除去する。
- [0061] 次いで、図19に示すように、コンタクトホールの底部から露出したn⁺ソース層102および第2 p⁺層105上に金属シリサイド(金属シリサイド層)124sを形成する。また、SiC基板106の裏面に金属シリサイドよりなる裏面電極(ドレイン電極)121を形成する。例えば、コンタクトホール内部を含む窒化チタン(TiN)122上に、ニッケル(Ni)、チタン(Ti)およびニッケル(Ni)を、順次、スパッタリング法により堆積することにより金属積層膜を形成する。また、SiC基板106の裏面に、ニッケル(Ni)およびチタン(Ti)を、順次、スパッタリング法により堆積することにより金属積層膜を形成する。次いで、半導体領域(102、105、106)と金属との界面をシリサイド化するために熱処理(アニール処理)を施す。例えば、アルゴン(Ar)雰囲気中で、700~1000℃程度の熱処理を施す。次いで、未反応の金属積層膜をエッチングにより除去する。例えば、硫酸過酸化水素水などを用いたウエットエッチングにより除去する。これにより、コンタクトホールの底部に金属シリサイド124s

が形成され、SiC基板106の裏面に金属シリサイドよりなる裏面電極（ドレイン電極）121が形成される。

[0062] 次いで、SiC基板106の表面側の金属シリサイド124s（n⁺ソース層102および第2 p⁺層105）上に、ソース電極124を形成する。例えば、コンタクトホール内部を含む窒化チタン（TiN）122上に、導電性膜として例えばAlなどの金属膜をスパッタリング法などで堆積することにより、ソース電極124を形成する。このソース電極124は、n⁺ソース層102同士を接続し、さらに、第2 p⁺層105とも接続される。

[0063] この後、ソース電極124上に保護膜（図示せず）として例えばポリイミド膜などの絶縁膜を形成してもよい。

[0064] 以上の工程により、本実施の形態の半導体装置（DMOSFET）が略完成する。

[0065] <1>このように、本実施の形態の半導体装置（DMOSFET）によれば、pボディ層103の中層に、第1 p⁺層109を形成したので、pボディ層103の拡散抵抗を低減し、寄生のnpn領域で構成される寄生バイポーラトランジスタの動作を抑制することができる。その結果、サージ電流を低減でき、サージ電流によるDMOSFETの特性劣化や破壊を防止することができる。

[0066] 図28および図29は、本実施の形態の比較例の半導体装置（DMOSFET）の構造を示す要部断面図および要部平面図である。この場合、pボディ層203の中層に第1 p⁺層（109）が形成されておらず、pボディ層203への電位の印加は、n⁺ソース層202の中心部に配置されたp⁺層205を介して行われる。216は、ゲート電極である。また、224aおよび224bは、導電性膜であり、これらの積層体によりソース電極が構成される。また、221は、SiC基板206の裏面に配置された裏面電極（ドレイン電極）である。この場合、SiC基板206上のエピタキシャル層よりなるn⁻ドリフト層207中に、pボディ層203、n⁺ソース層202およびp⁺層205が設けられている。

[0067] この比較例のDMOSFETにおいては、寄生のnpn領域で構成される寄生バイポーラトランジスタが存在する。n⁺ソース層(202)直下のpボディ層(203)の抵抗、n⁻ドリフト層(207)とpボディ層(203)との間の寄生容量、ゲート電極(216)とn⁻ドリフト層(207)との間の寄生容量、ゲート電極(216)とpボディ層(203)との間の寄生容量から構成される寄生バイポーラトランジスタがある。ここで、上記3つの寄生容量の合成容量をCとすると、等価回路は図30に示すようになる。図30は、本実施の形態の比較例の半導体装置に係る等価回路を示す回路図である。この寄生のバイポーラトランジスタは、次のように動作し得る。

[0068] 例えば、裏面電極221とソース電極(224a、224b)との間にサージなどに起因する電圧(サージ電圧)が印加されると、これに起因したサージ電流Iが、寄生容量Cを介してpボディ層203からn⁺ソース層202を介してソース電極(224a、224b)へ流れ込む。この際、pボディ層203の内部の抵抗Rにより、pボディ層203とその近傍のn⁻ドリフト層207との間において、電位差Vが、サージ電流と抵抗の積($V = R \times I$)で表される分だけ生じる。この電位差Vにより、n⁺ソース層202とpボディ層203との電位差が、これらのpn接合の順方向電圧より大きくなると、pボディ層203とその近傍のn⁻ドリフト層207との間においてpボディ層203に流れ込んだサージ電流Iが、そのままn⁺ソース層202へ流れ込む。このサージ電流Iが、寄生バイポーラトランジスタのベース電流となり、寄生バイポーラトランジスタがオンする(動作する)ことになる。

[0069] さらに、寄生バイポーラトランジスタに電流(ベース電流)が流れると、ジュール熱により寄生バイポーラトランジスタの温度が上昇する。この温度上昇に伴い寄生バイポーラトランジスタを構成する各部位の抵抗が下がるので、さらに大きな電流が流れる。このように電流量が多くなると、さらにジュール熱が大きくなり、抵抗低減による電流量が増加するという悪循環が生じてしまう。

[0070] 特に、DMOSFETは、アレイ状に配置された複数のセルで構成される

ため、各セル中の寄生バイポーラトランジスタの中で、最も抵抗が低い寄生バイポーラトランジスタを有するセルにサージ電流が集中する。その結果、DMOSFET全体が破壊してしまう恐れがある。

[0071] これに対し、本実施の形態によれば、前述したように、pボディ層103の中層に、第1 p+層109を形成したので、pボディ層103の拡散抵抗を低減することができる。このため、サージ電圧が印加されても、pボディ層203とその近傍のn-ドリフト層207との間の電位差Vを小さくすることができる。その結果、上記寄生バイポーラトランジスタをオンし難くすることができる。よって、サージ電流を低減でき、サージ電流によるDMOSFETの特性劣化や素子の破壊を防止することができる。

[0072] <2>また、本実施の形態によれば、電界緩和領域104を利用して下層のpボディ層103の中層の第1 p+層109を引き出すための第2 p+層105を配置したので、n+ソース層202を小さくすることができる。即ち、図29に示すp+層205の分だけn+ソース層202を小さくすることができる。このように、セル面積の縮小化を図ることができる。このように、セル面積の縮小化によれば、基板中にランダムに存在し得る欠陥が、素子に含まれる確率を低下させ、装置特性の向上を図り、また、歩留まりを向上させることができる。

[0073] また、単位面積当たりのセル数を多くでき、チャンネル領域の割合を大きくできる。これにより、例えば、オン抵抗を低減することができる。また、単位面積当たりの電流量を、向上させることができる。このように、DMOSFETの特性を向上させることができる。

[0074] また、n+ソース層202中のp+層205（図28）を省略することで、n+ソース層102とソース電極（124、124s、図2参照）との接続面積を大きくことができ、ソース抵抗を低減することができる。

[0075] <3>本実施の形態のDMOSFETは基板表面に平行方向にチャンネルを有し、“プレーナ型”と呼ばれる。対して、表面に溝を形成しその中にゲート電極を埋め込んだ“トレンチゲート型”と呼ばれる構造がある。よって、

本実施の形態においてトレンチゲート構造を採用してもよい。

[0076] この“トレンチゲート型”の場合、“プレーナ型”と比較し、J F E T 抵抗（接合型電界効果トランジスタ（Junction Field Effect Transistor）抵抗）が低いため、オン抵抗を低減することができる。しかしながら、例えば（1 1 2 - 0）方向に4度のオフ角を設けた4 H - S i Cよりなる基板（1 0 6）や半導体領域（1 0 7）を用いた場合、S iとは異なる六方晶系となる。このような結晶構造に起因して、チャンネル抵抗が最も小さくなる（1 1 2 - 0）面を有するように溝を形成することが困難となる。

[0077] よって、上記の“プレーナ型”構造を採用することで、溝形成工程が不要となり、簡易な工程で、特性の良好な半導体装置（D M O S F E T）を形成することができる。また、本実施の形態によれば、前述したように、電界緩和領域1 0 4を利用して第1 p⁺層1 0 9を引き出すための引出部である第2 p⁺層1 0 5を配置したので、n⁺ソース層1 0 2を小さくすることができ、単位面積当たりのセル数を多くでき、チャンネル領域の割合を大きくできる。これにより、オン抵抗を低減することができ、“トレンチゲート型”に迫るオン抵抗を実現することが可能となる。

[0078] （実施の形態2）

実施の形態1においては、9つのセル領域（図1）について説明したが、この領域は、セルアレイ領域の内部に位置するものである。本実施の形態においては、セルアレイ領域の端部における各パターン（1 0 2、1 0 5、1 0 3等）のレイアウトの一例について説明する。

[0079] （応用例1）

図20は、本実施の形態の応用例1の半導体装置の要部平面図である。図中のA Eは、セルアレイ領域を示し、図20は、セルアレイ領域の端部における各パターンのレイアウトを示す。

[0080] 図20においては、図1に示す各パターンと同様に各パターンが配置されている。なお、対応する部材には同一の符号を付し、その繰り返しの説明は省略する。このように、セルアレイ領域の端部においても、セルアレイ領域

の内部のパターンレイアウトと同じレイアウトとしてもよい。

[0081] (応用例 2)

図 2 1 は、本実施の形態の応用例 2 の半導体装置の要部平面図である。図中の A E は、セルアレイ領域を示し、図 2 1 は、セルアレイ領域の端部における各パターンのレイアウトを示す。

[0082] 図 2 1 においては、図 1 に示す各パターンのうち、第 2 p⁺層（引出部、コンタクト部）1 0 5 をセルアレイ領域の端部に配置している。このように、第 2 p⁺層（引出部、コンタクト部）1 0 5 をセルアレイ領域の端部に配置することにより、セルアレイ領域（p ボディ層 1 0 3）中の第 2 p⁺層 1 0 5 の占有面積が大きくなり、DMOS F E T の特性をさらに向上させることができる。なお、p ボディ層 1 0 3 の端部を L 1 0 3（太線）で示す。

[0083] (応用例 3)

図 2 2 は、本実施の形態の応用例 3 の半導体装置の要部平面図である。図中の A E は、セルアレイ領域を示し、図 2 2 は、セルアレイ領域の端部における各パターンのレイアウトを示す。

[0084] 図 2 2 においては、図 1 に示す各パターンのうち、n⁺ソース層（ソース領域）1 0 2 および第 2 p⁺層 1 0 5 をセルアレイ領域の端部に配置している。このように、ソース電極 1 2 4 と接続される n⁺ソース層 1 0 2 および第 2 p⁺層 1 0 5 をセルアレイ領域の端部に配置することにより、セルアレイ領域（p ボディ層 1 0 3）中の第 2 p⁺層 1 0 5 の占有面積が大きくなり、DMOS F E T の特性をさらに向上させることができる。また、セルアレイ領域（p ボディ層 1 0 3）中の n⁺ソース層 1 0 2 の占有面積が大きくなり、DMOS F E T の特性をさらに向上させることができる。なお、p ボディ層 1 0 3 の端部を L 1 0 3 で示す。

[0085] (実施の形態 3)

実施の形態 1 においては、上記電界緩和領域 1 0 4 に、第 2 p⁺層（引出部、コンタクト部）1 0 5 を形成し、第 1 p⁺層 1 0 9 と電氣的に接続したが、第 2 p⁺層（引出部、コンタクト部）1 0 5 を n⁺ソース層 1 0 2 中に設けて

もよい。

- [0086] 図23および図24を参照しながら、本実施の形態の半導体装置(DMOSFET)の構成について説明する。図23は、本実施の形態の半導体装置の要部断面図であり、図24は、本実施の形態の半導体装置の要部平面図である。図23は、例えば、図24のB-B”断面に対応する。
- [0087] なお、実施の形態1との違いは、n⁺ソース層102中の第2 p⁺層105 a(引出部、コンタクト部)だけであるので、当該構成およびその近傍の構成について詳細に説明し、他の構成については、その説明を省略する。
- [0088] ここで、本実施の形態においても、実施の形態1と同様に、pボディ層103の内部(中庸)に、第1 p⁺層109(埋め込み層、埋め込み半導体領域)が配置されている(図23、図2参照)。
- [0089] また、この第1 p⁺層109の形成領域は、開口部110 a以外の領域に配置されている(図24)。この開口部110 aは、上記露出領域108 aより一回り大きい領域である。よって、第1 p⁺層109も、図24の領域Aを介してセル領域間において電氣的に接続されている(図7参照)。
- [0090] また、図23に示すように、第1 p⁺層109は、上記電界緩和領域104において、第2 p⁺層105 b(引出部、コンタクト部)と電氣的に接続されている。また、第1 p⁺層109は、上記n⁺ソース層102の内部に配置された、第2 p⁺層105 a(引出部、コンタクト部)と電氣的に接続されている。図24に示すように、第2 p⁺層105 a(引出部、コンタクト部)は、n⁺ソース層102に囲まれている。また、図23から明らかなように、第2 p⁺層105 a(引出部、コンタクト部)の底部は、n⁺ソース層102の底部より深い位置に配置されている。
- [0091] この第1および第2 p⁺層(109、105 a、105 b)の不純物濃度は、pボディ層103の不純物濃度より高い。
- [0092] このように、本実施の形態の半導体装置(DMOSFET)においても、pボディ層103の中庸に、第1 p⁺層109を形成したので、pボディ層103の拡散抵抗を低減し、寄生のnpn領域で構成される寄生バイポーラト

ランジスタの動作を抑制することができる。その結果、サージ電流を低減でき、サージ電流によるDMOSFETの特性劣化や破壊を防止することができる。

[0093] なお、本実施の形態の半導体装置の製造方法については、実施の形態1の第2 p⁺層105の形成工程の際、第2 p⁺層(105a、105b)を同時に形成すればよい(図8参照)。他の工程については、実施の形態1と同様であるためその説明を省略する。

[0094] また、本実施の形態においては、第2 p⁺層(105a、105b)で、第1 p⁺層109との接続を図ったが、第2 p⁺層105bを省略し、n⁺ソース層102中の第2 p⁺層105a(引出部、コンタクト部)だけで、第1 p⁺層109との接続を図ってもよい。

[0095] 上記構成においても、pボディ層103の中庸の第1 p⁺層109により、pボディ層103の拡散抵抗を低減し、寄生のnpn領域で構成される寄生バイポーラトランジスタの動作を抑制することができる。その結果、サージ電流を低減でき、サージ電流によるDMOSFETの特性劣化や破壊を防止することができる。

[0096] 以上の説明のように、第2 p⁺層(引出部、コンタクト部)については、電界緩和領域104の他、n⁺ソース層(ソース領域)102中に配置してもよい。

[0097] (実施の形態4)

実施の形態1においては、n⁺ソース層(ソース領域)102およびセル領域を正方形(正四角形)状とした(図1参照)が、これらの領域は、かかる形状に制限されるものではなく、他の形状としてもよい。

[0098] (応用例A)

図25は、本実施の形態の応用例Aの半導体装置の要部平面図である。この応用例Aにおいては、n⁺ソース層(ソース領域)102の平面形状を長方形状(四角形状)としている。ここでは、Y方向に延在する辺が長辺であり、X方向に延在する辺が短辺となっている。このn⁺ソース層(ソース領域)

102の外周には、pボディ層（p型ボディ領域）103が配置されている。

[0099] ここでも、4つのn+ソース層（ソース領域）102の近接する頂角（角部）を結んだ領域A内に、電界緩和領域を設け、この電界緩和領域に、第2 p+層（引出部、コンタクト部）105を配置し、その下部から、前記n+ソース層（ソース領域）102の下部まで延在するように第1 p+層109を配置する。

[0100] 例えば、図25のC-C'の断面部の構成は、各パターンの寸法が異なるだけで、その配置は、図2を参照しながら説明した実施の形態1の場合と同様の構成となる。

[0101] （応用例B）

図26は、本実施の形態の応用例Bの半導体装置の要部平面図である。この応用例Bにおいては、n+ソース層（ソース領域）102の平面形状を正三角形形状としている。このn+ソース層（ソース領域）102の外周には、pボディ層（p型ボディ領域）103が配置されている。

[0102] ここでは、6つのn+ソース層（ソース領域）102の近接する頂角（角部）を結んだ領域A内に、電界緩和領域104を設け、この電界緩和領域104に、第2 p+層（引出部、コンタクト部）105を配置し、その下部から、前記n+ソース層（ソース領域）102の下部まで延在するように第1 p+層109を配置する。言い換えれば、電界緩和領域104を中心として複数のn+ソース層102（図26においては、6個のn+ソース層102）を離間して配置し、これらの下部に延在する第1 p+層109を電界緩和領域104において第2 p+層（引出部、コンタクト部）105と接続する。

[0103] 例えば、図26のD-D'の断面部の構成は、各パターンの寸法が異なるだけで、その配置は、図2を参照しながら説明した実施の形態1の場合と同様の構成となる。

[0104] このように、n+ソース層（ソース領域）102およびセル領域の平面形状を四角形や三角形状とすることができる。また、これ以外の形状、例えば、

正六角形状などとしてもよい。また、必ずしも正多角形状でなくてもよい。

[0105] 以上詳細に説明したように、 n^+ ソース層（ソース領域）102およびセル領域の形状を変更した場合においても、実施の形態1と同様の効果を奏することができる。

[0106] （実施の形態5）

実施の形態1においては、層間絶縁膜1L2の上部に、ソース電極（ソース配線、配線）124を配置したが、このソース電極124上にさらに層間絶縁膜を設けゲート配線127を形成してもよい。図27は、本実施の形態の半導体装置の要部断面図である。

[0107] なお、層間絶縁膜1L2より下層の構成および製造工程は、実施の形態1の場合と同様であるためその説明を省略する。

[0108] 図27に示すように、実施の形態1と同様に、層間絶縁膜1L1、1L2中にコンタクトホールを形成し、その底部から露出した n^+ ソース層102および第2 p^+ 層105上に金属シリサイド124sを形成する（図19参照）。また、SiC基板106の裏面に金属シリサイドよりなる裏面電極（ドレイン電極）121を形成する（図19参照）。

[0109] 次いで、SiC基板106の表面側の金属シリサイド124s（ n^+ ソース層102および第2 p^+ 層105）上に、ソース電極124を形成する。例えば、コンタクトホール内部を含む層間絶縁膜1L2上に、導電性膜として例えばAlなどの金属膜をスパッタリング法などで堆積することにより、ソース電極124を形成する（図27においては、窒化チタン122の図示を省略してある）。次いで、ゲート電極116上のソース電極124をパターニングにより除去することにより開口部を形成する（図27）。次いで、開口部内を含むソース電極124上に層間絶縁膜1L3を形成する。この層間絶縁膜1L3は、層間絶縁膜1L2、1L3と同様に形成することができる。次いで、ゲート電極116上の層間絶縁膜1L2および1L3をエッチングなどにより除去し、コンタクトホールを形成する。次いで、コンタクトホール内部を含む層間絶縁膜1L3上に、導電性膜として例えばAlなどの金属

膜をスパッタリング法などで堆積することにより、ゲート配線127を形成する。この後、ゲート配線127上に保護膜（図示せず）として例えばポリイミド膜などの絶縁膜を形成してもよい。

[0110] このように、ゲート電極116と電氣的に接続されるゲート配線127を形成してもよい。なお、本実施の形態においては、ゲート配線127を上層に、ソース電極124を下層に配置したが、これらを逆に配置し、ゲート配線127を下層に、ソース電極124を上層に配置してもよい。

[0111] 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

産業上の利用可能性

[0112] 本発明は、半導体装置および半導体装置の製造方法に関し、特に二重拡散型MOSFET（DMOSFET）を有する半導体装置に適用して有効である。

符号の説明

[0113] 102 n⁺ソース層
103 pボディ層
104 電界緩和領域
105 第2 p⁺層
105 a 第2 p⁺層
105 b 第2 p⁺層
106 SiC基板
107 n-ドリフト層
108 フォトレジスト膜
108 a 露出領域
109 第1 p⁺層
110 フォトレジスト膜
110 a 開口部

1 1 2	フォトレジスト膜
1 1 3	フォトレジスト膜
1 1 4	フォトレジスト膜
1 1 5	ゲート絶縁膜
1 1 6	ゲート電極
1 1 7	フォトレジスト膜
1 2 1	ドレイン電極
1 2 2	窒化チタン
1 2 3	フォトレジスト膜
1 2 4	ソース電極
1 2 4 s	金属シリサイド
1 2 7	ゲート配線
2 0 2	n ⁺ ソース層
2 0 3	pボディ層
2 0 5	p ⁺ 層
2 0 6	SiC基板
2 0 7	n ⁻ ドリフト層
2 1 6	ゲート電極
2 2 1	裏面電極
2 2 4 a	導電性膜
2 2 4 b	導電性膜
A E	セルアレイ領域
C	寄生容量
I	サージ電流
I L 1	絶縁膜
I L 2	層間絶縁膜
I L 3	層間絶縁膜
R	抵抗

請求の範囲

- [請求項1] 基板の第1面側の上部に配置された第1導電型の第1ソース領域と、
、
前記第1ソース領域を囲む第2導電型の第1半導体領域であって、
チャンネル領域を有する第1半導体領域と、
前記第1半導体領域に接する前記第1導電型の第2半導体領域と、
前記チャンネル領域の上部にゲート絶縁膜を介して配置されたゲート電極と、
前記第1半導体領域中に配置された前記第2導電型の埋込み半導体領域であって、前記ソース領域の下方に延在し、前記第1半導体領域より前記第2導電型の不純物の濃度が高い埋込み半導体領域と、を有することを特徴とする半導体装置。
- [請求項2] 前記第1ソース領域の底部は、前記埋込み半導体領域の上部より浅く、前記第1ソース領域の底部と前記埋込み半導体領域の上部との間には、前記第1半導体領域が介在することを特徴とする請求項1記載の半導体装置。
- [請求項3] 前記第1ソース領域の対角に配置する前記第1導電型の第2ソース領域と、
前記第1ソース領域と前記第2ソース領域との間に配置された前記第2導電型の第3半導体領域と、を有し、
前記第3半導体領域の下部に接するよう前記埋込み半導体領域が配置されることを特徴とする請求項1記載の半導体装置。
- [請求項4] 前記第3半導体領域は、前記第1半導体領域より前記第2導電型の不純物の濃度が高いことを特徴とする請求項3記載の半導体装置。
- [請求項5] 前記第1ソース領域内に配置された第4半導体領域を有し、
前記第4半導体領域の下部に接するよう前記埋込み半導体領域が配置されることを特徴とする請求項1記載の半導体装置。
- [請求項6] 前記第1ソース領域および前記第3半導体領域は、第1配線に接続

されていることを特徴とする請求項3記載の半導体装置。

[請求項7] 前記第2半導体領域は、前記基板の第2面側に配置されたドレイン電極と接続されていることを特徴とする請求項1記載の半導体装置。

[請求項8] 基板の第1面側の上部に配置された第2導電型の第1半導体領域と、

前記基板の第1面側の上部に配置され、前記第1半導体領域の周囲に離間して配置された複数の前記第1導電型のソース領域と、

前記複数のソース領域のそれぞれを囲む前記第2導電型の第2半導体領域と、

前記第2半導体領域の上部にゲート絶縁膜を介して配置されたゲート電極と、

前記第1半導体領域中に配置された前記第2導電型の埋込み半導体領域であって、前記第1半導体領域の下部から前記複数のソース領域の下方に延在し、前記第2半導体領域より前記第2導電型の不純物の濃度が高い埋込み半導体領域と、

を有することを特徴とする半導体装置。

[請求項9] 前記第1半導体領域は、前記第2半導体領域より前記第2導電型の不純物の濃度が高いことを特徴とする請求項8記載の半導体装置。

[請求項10] 前記複数のソース領域および前記第1半導体領域は、第1配線に接続されていることを特徴とする請求項8記載の半導体装置。

[請求項11] 前記第2半導体領域に接する前記第1導電型の第3半導体領域を有し、

前記第3半導体領域は、前記基板の第2面側に配置されたドレイン電極と接続されていることを特徴とする請求項8記載の半導体装置。

[請求項12] 前記複数のソース領域のそれぞれの平面形状は、四角形であることを特徴とする請求項8記載の半導体装置。

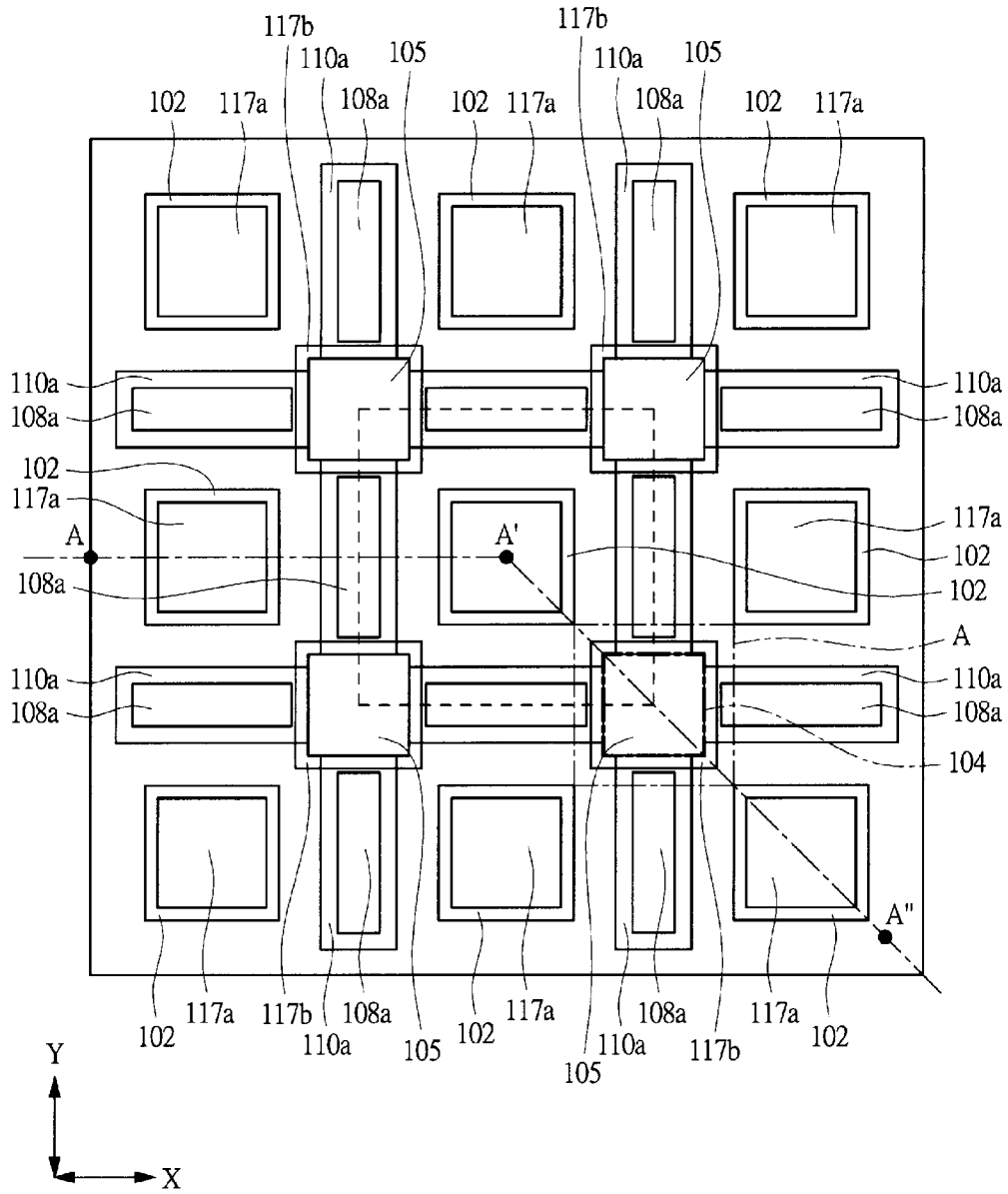
[請求項13] 前記複数のソース領域のそれぞれの平面形状は、三角形であることを特徴とする請求項8記載の半導体装置。

- [請求項14] 前記複数のソース領域のそれぞれの平面形状は、多角形であることを特徴とする請求項8記載の半導体装置。
- [請求項15] (a) 第1面側に、第1導電型の第1半導体領域を有する基板を準備する工程と、
(b) 前記第1半導体領域中に第2導電型の第2半導体領域を形成する工程と、
(c) 前記第2半導体領域中に前記第2導電型の埋め込み半導体領域を形成する工程と、
(d) 前記第2半導体領域中であって、前記埋め込み半導体領域の上方に、前記第1導電型のソース領域を形成する工程と、
を有することを特徴とする半導体装置の製造方法。
- [請求項16] (e) 前記(c)工程の前、若しくは後に、
前記第2半導体領域中であって、前記埋め込み半導体領域上に、前記埋め込み半導体領域まで到達する前記第2導電型の第3半導体領域を形成する工程を有することを特徴とする請求項15記載の半導体装置の製造方法。
- [請求項17] 前記埋め込み半導体領域および前記第3半導体領域の前記第2導電型の不純物濃度は、前記第2半導体領域の前記第2導電型の不純物濃度より高いことを特徴とする請求項16記載の半導体装置の製造方法。
- [請求項18] (f) 前記第2半導体領域上にゲート絶縁膜を介してゲート電極を形成する工程を有することを特徴とする請求項15記載の半導体装置の製造方法。
- [請求項19] (g) 前記基板の第2面側に、前記第1半導体領域と電氣的に接続されるドレイン電極を形成する工程を有することを特徴とする請求項15記載の半導体装置の製造方法。
- [請求項20] (h) 前記ソース領域および第3半導体領域と電氣的に接続されるソース電極を形成する工程を有することを特徴とする請求項16記載

の半導体装置の製造方法。

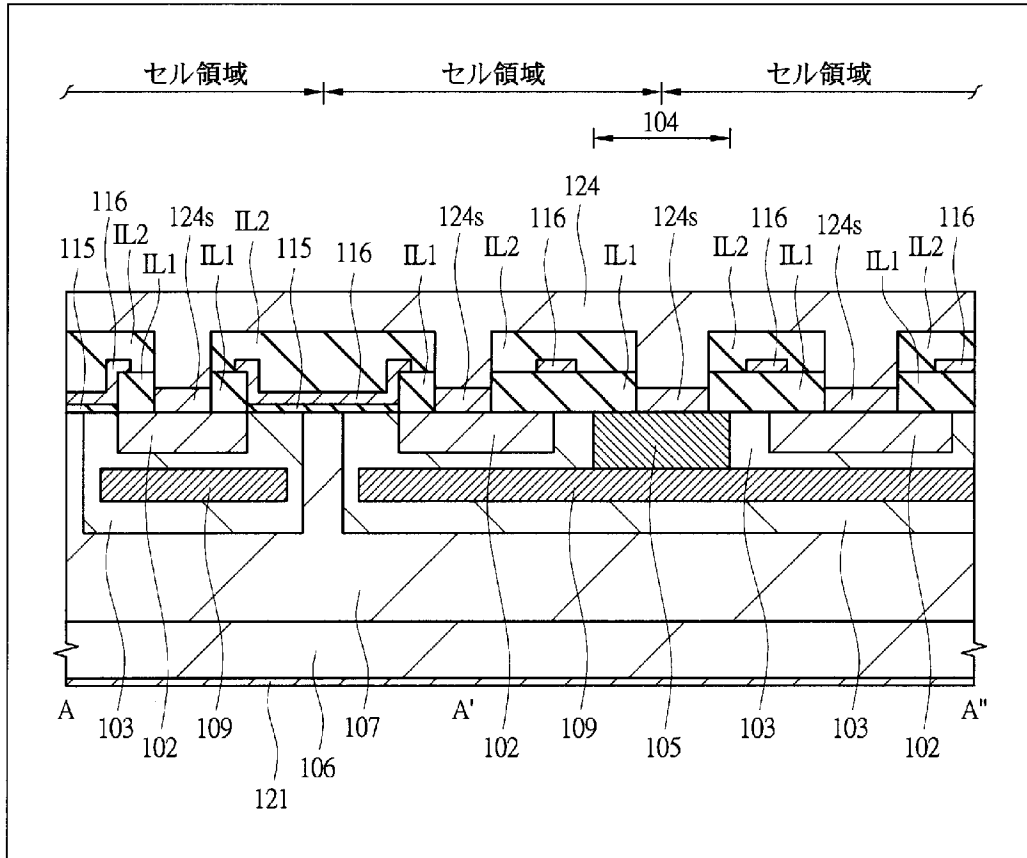
[図1]

図 1

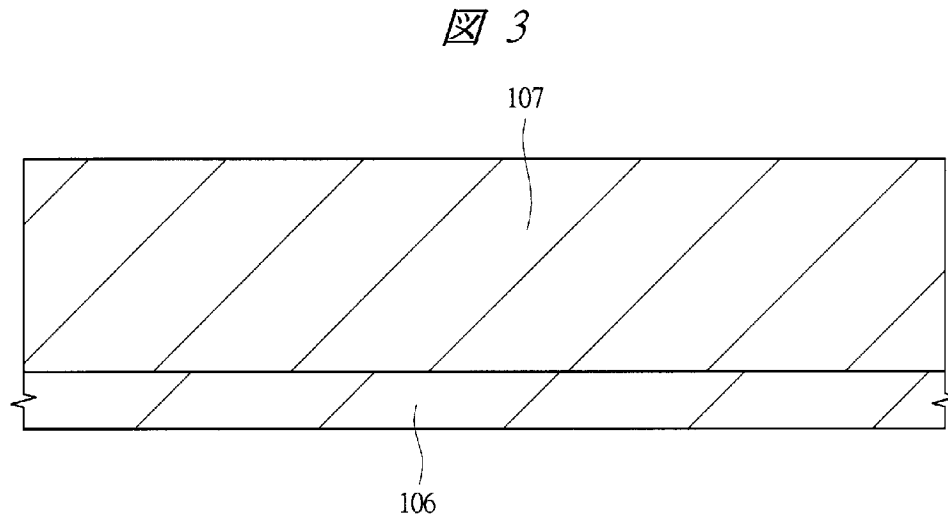


[図2]

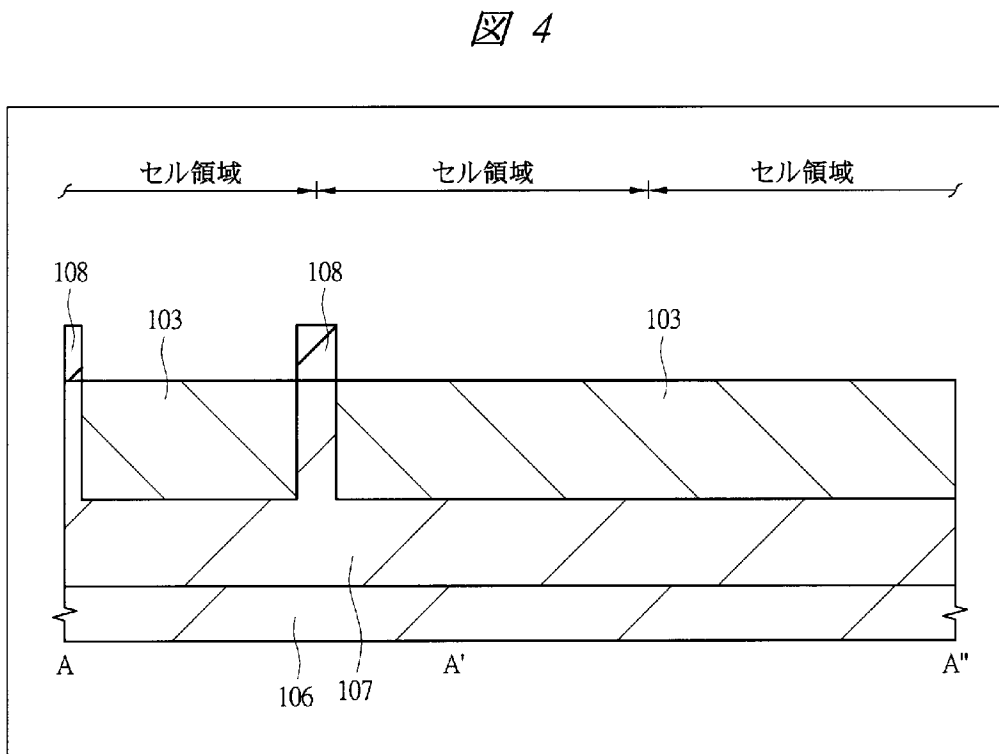
図 2



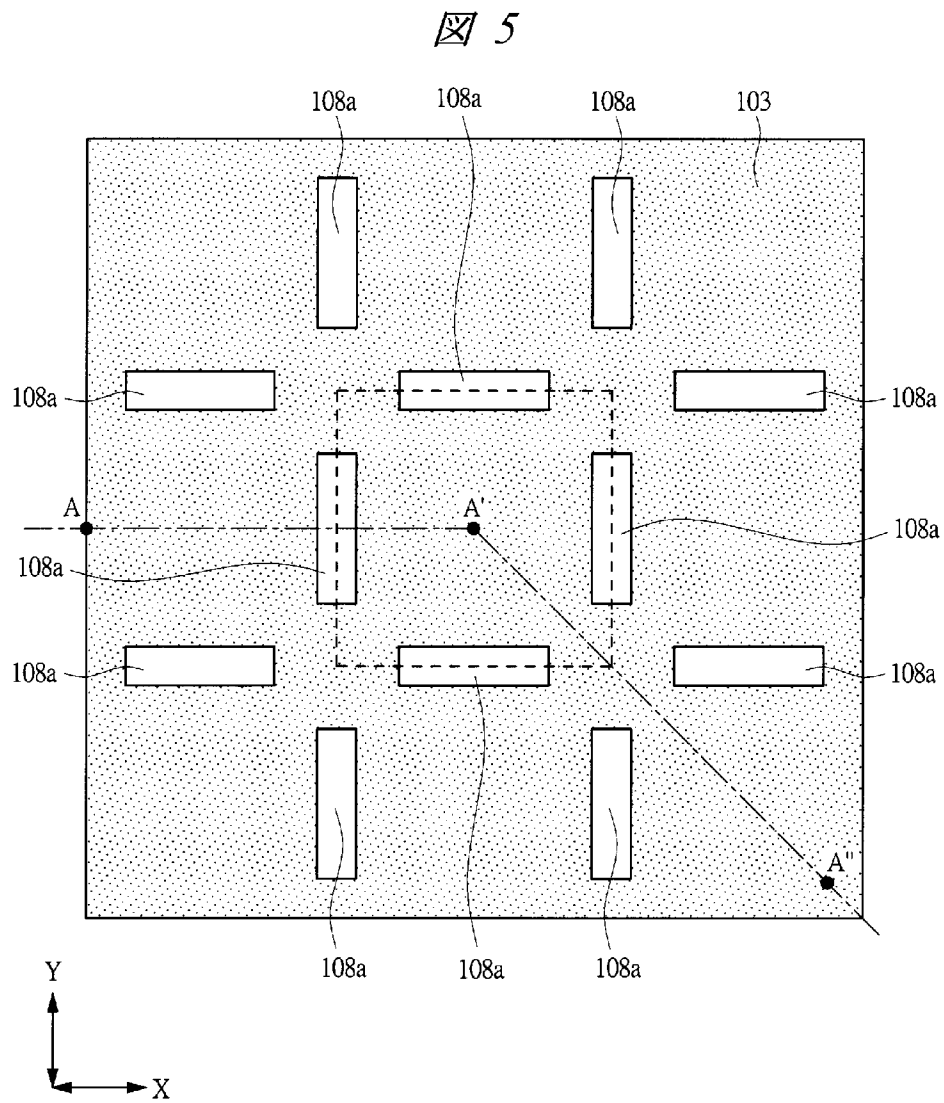
[図3]



[図4]

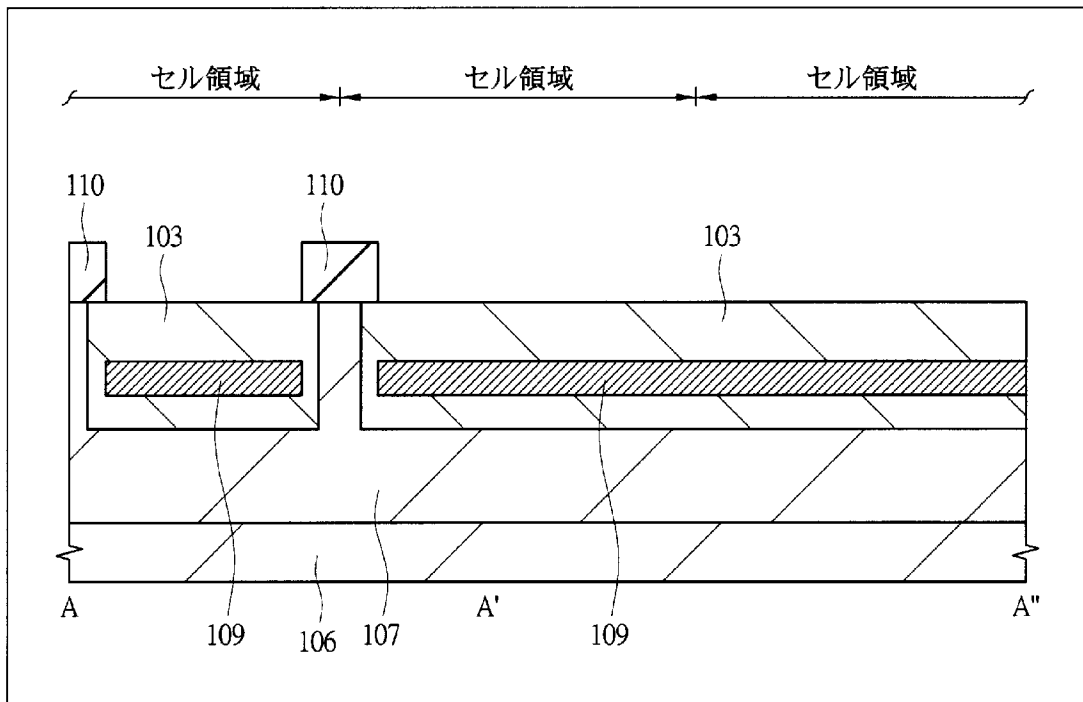


[図5]



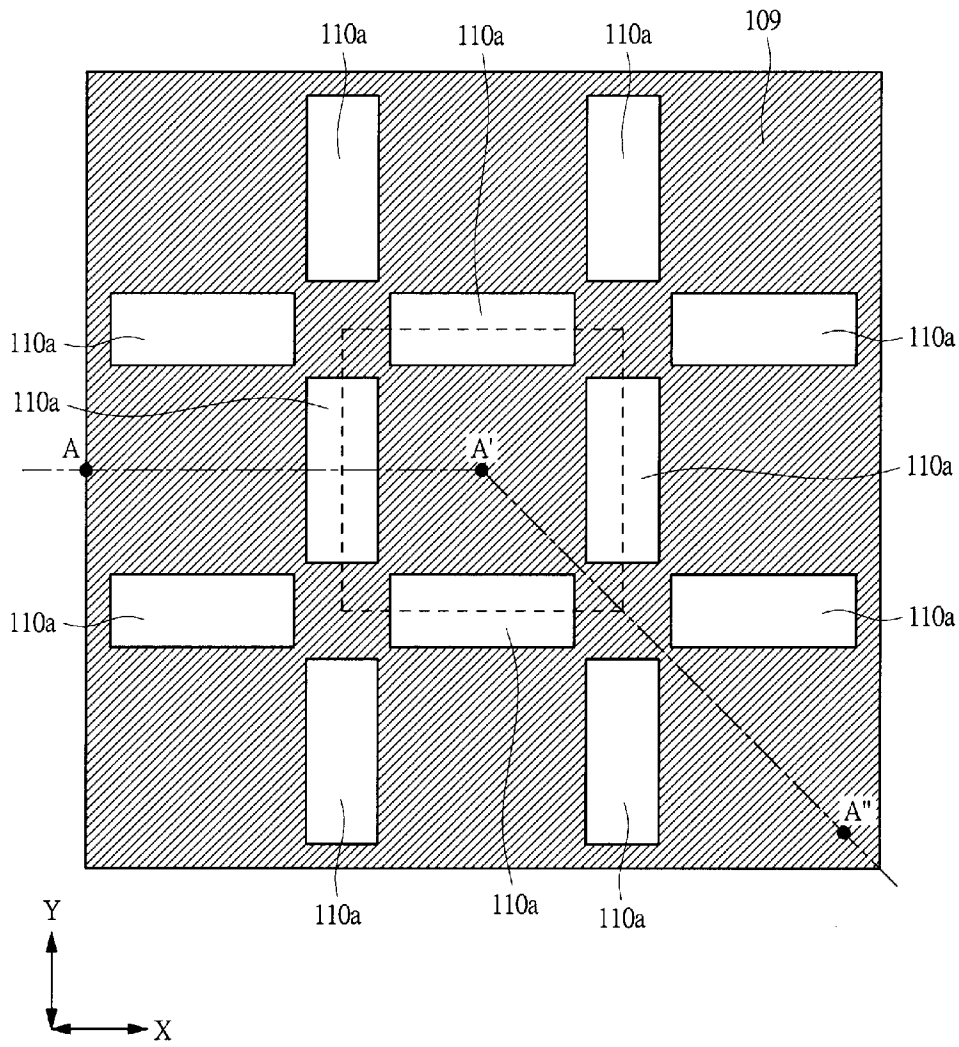
[図6]

図 6



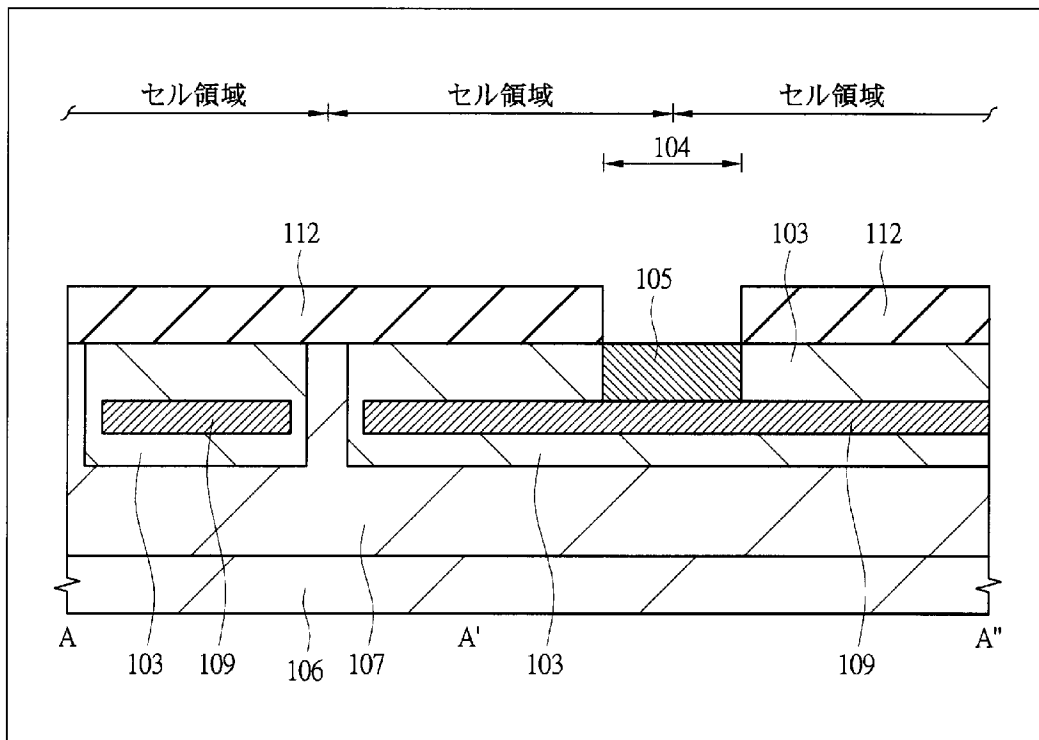
[図7]

図 7



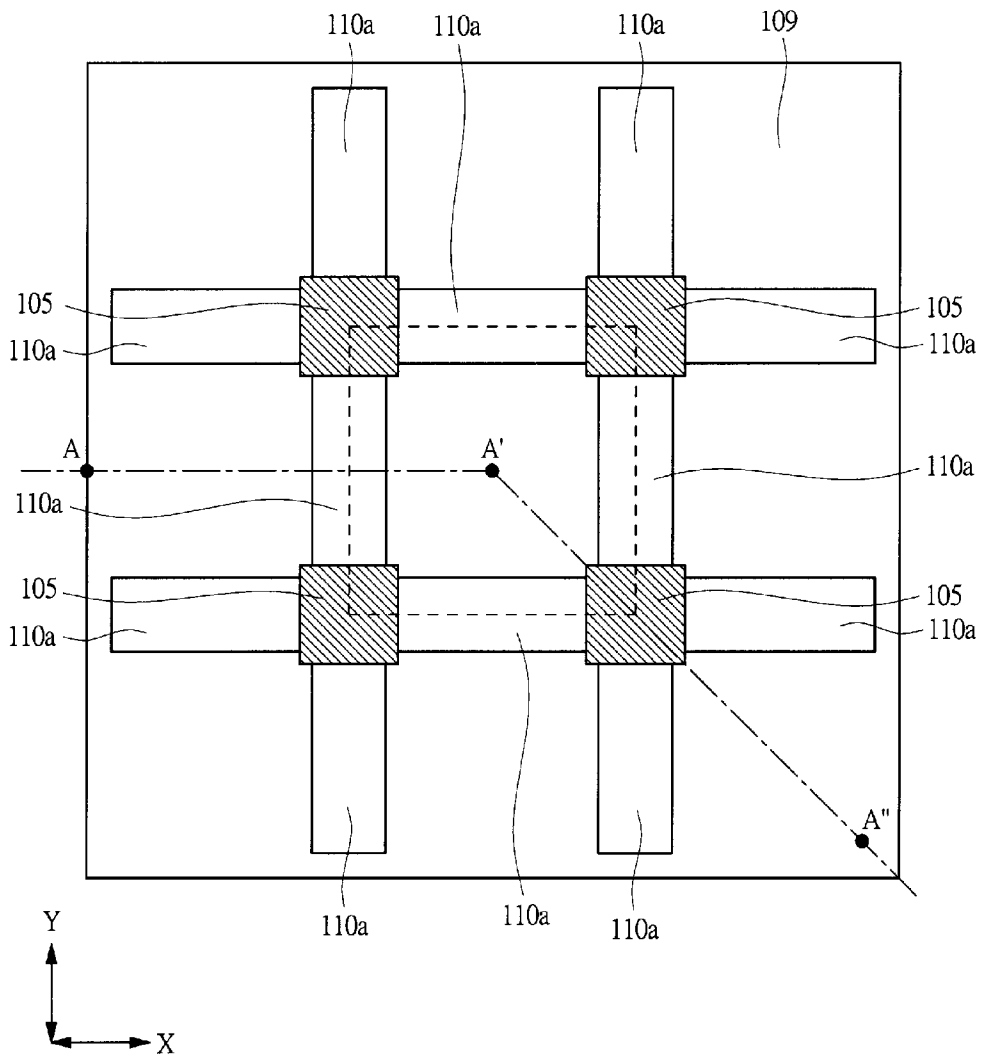
[図8]

図 8



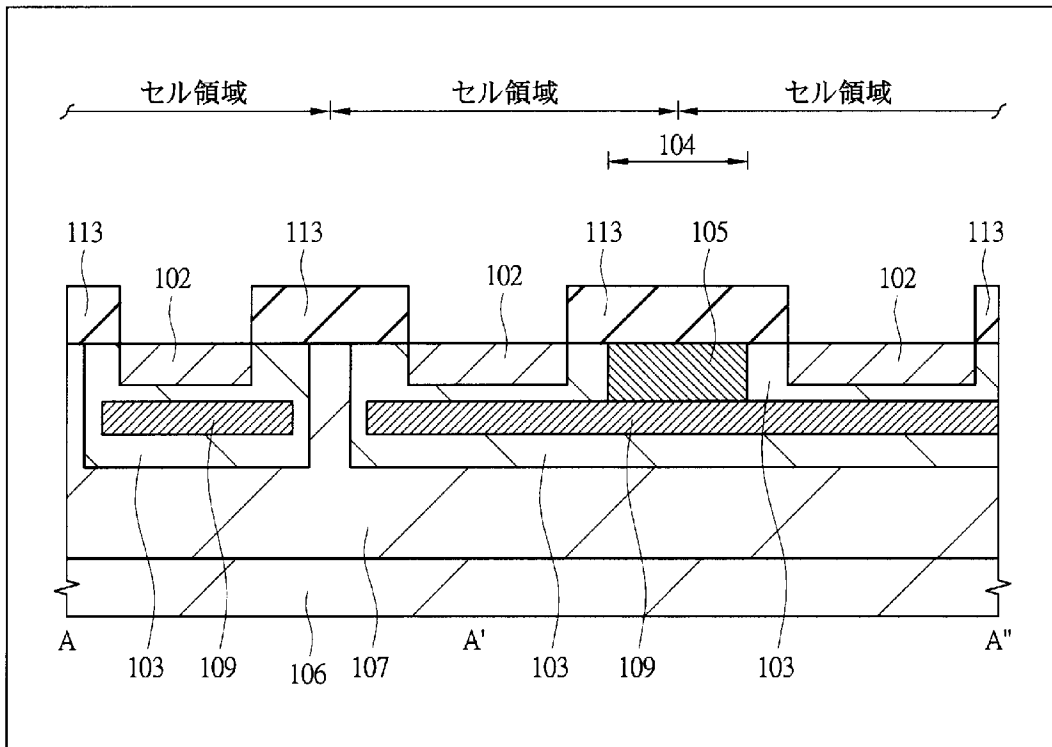
[図9]

図 9



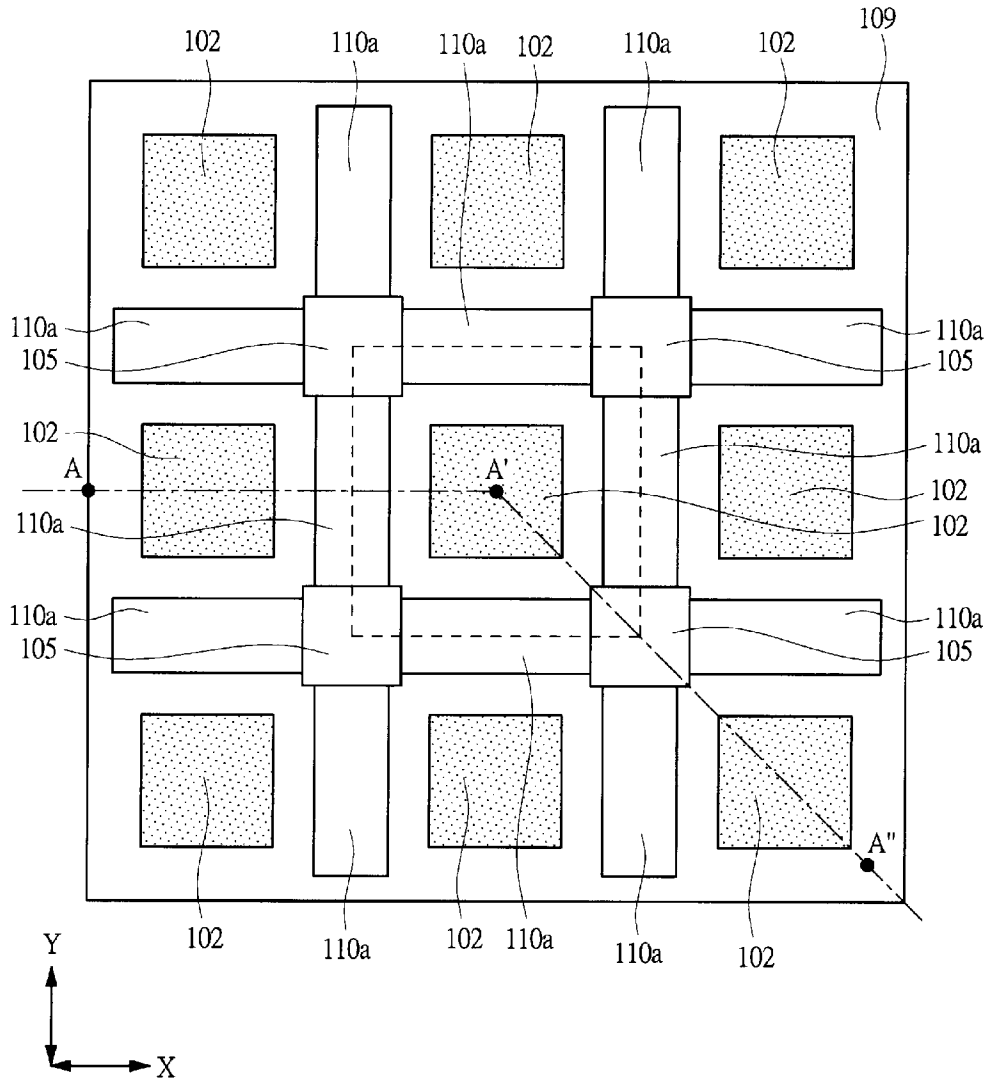
[図10]

図 10



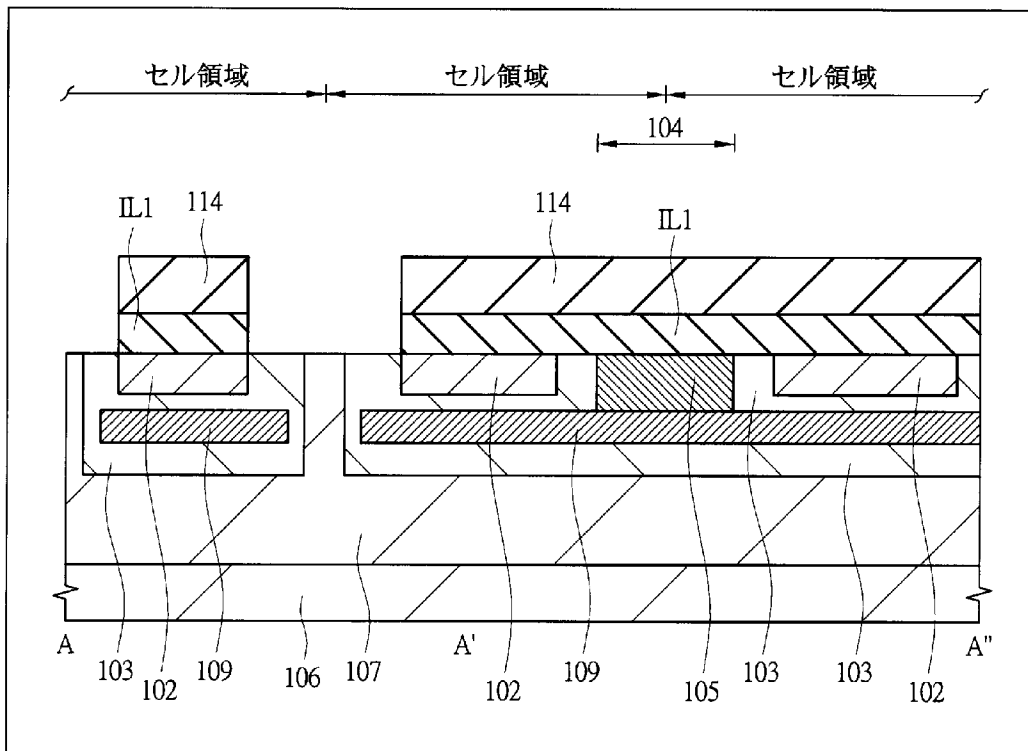
[図11]

図 11



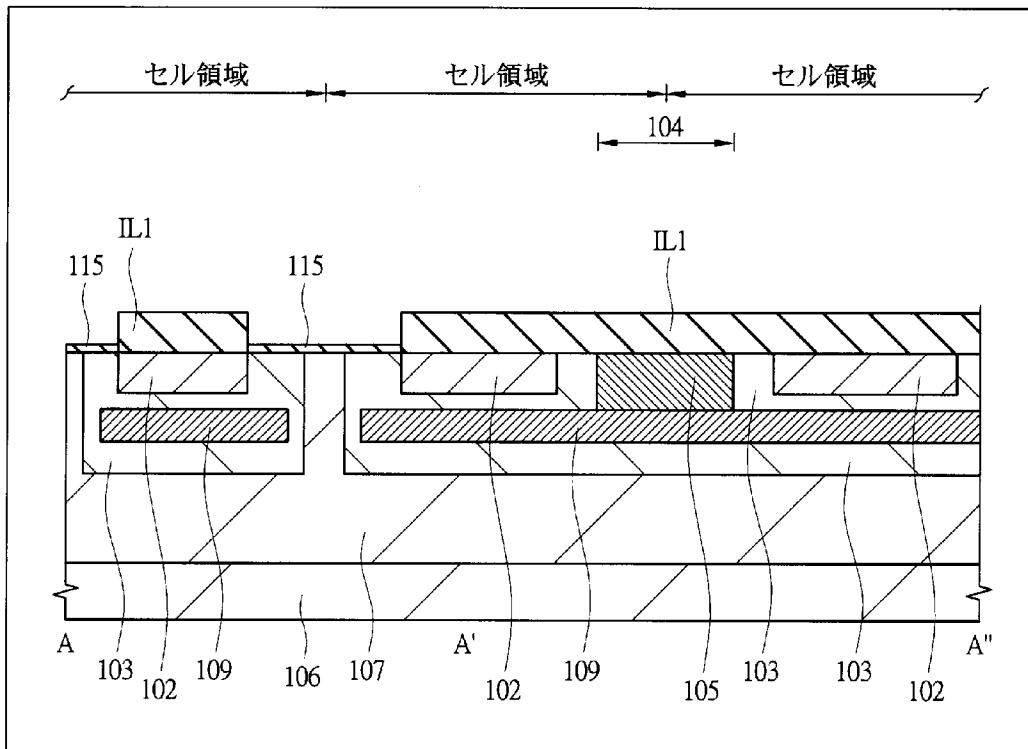
[図12]

図 12



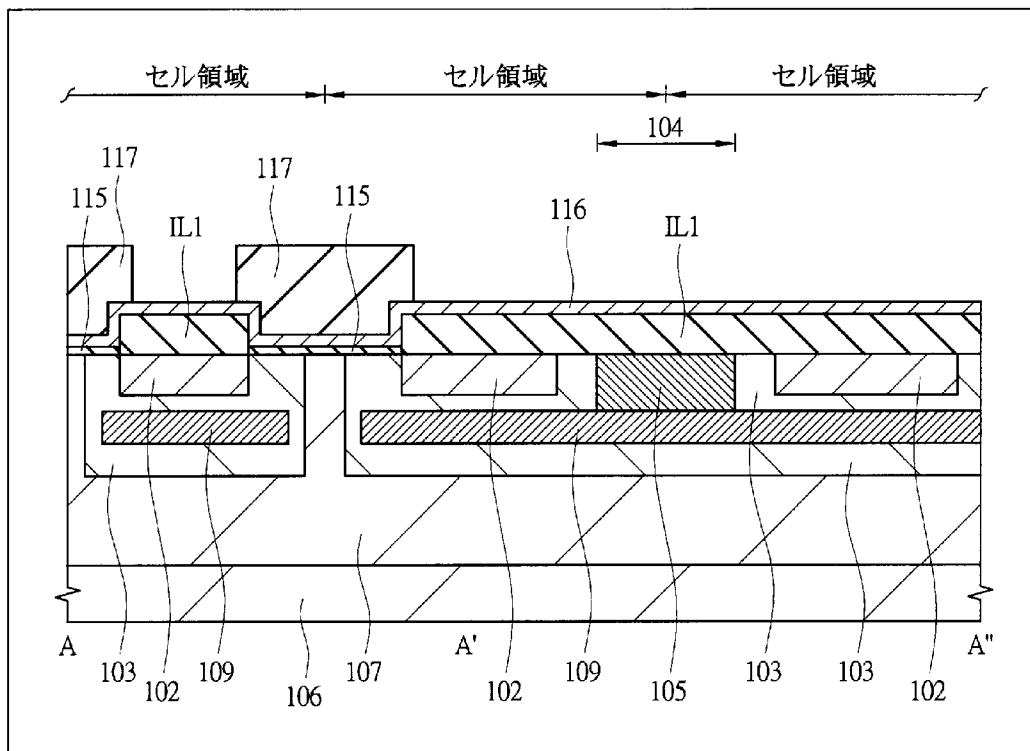
[図13]

図 13



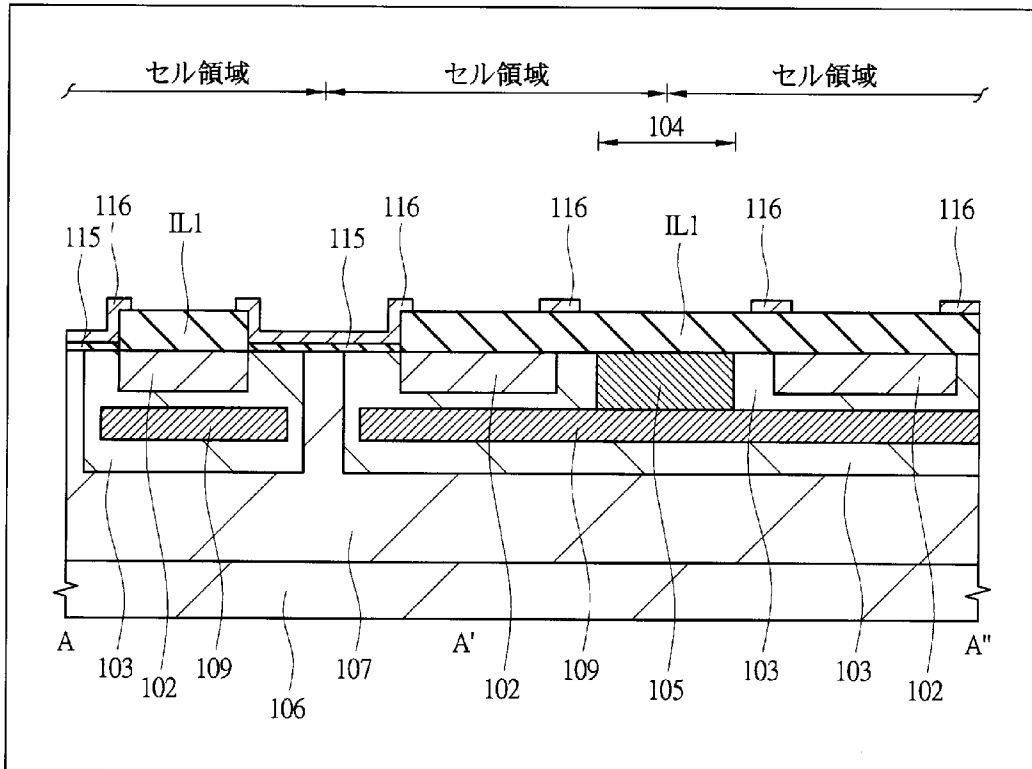
[図14]

図 14



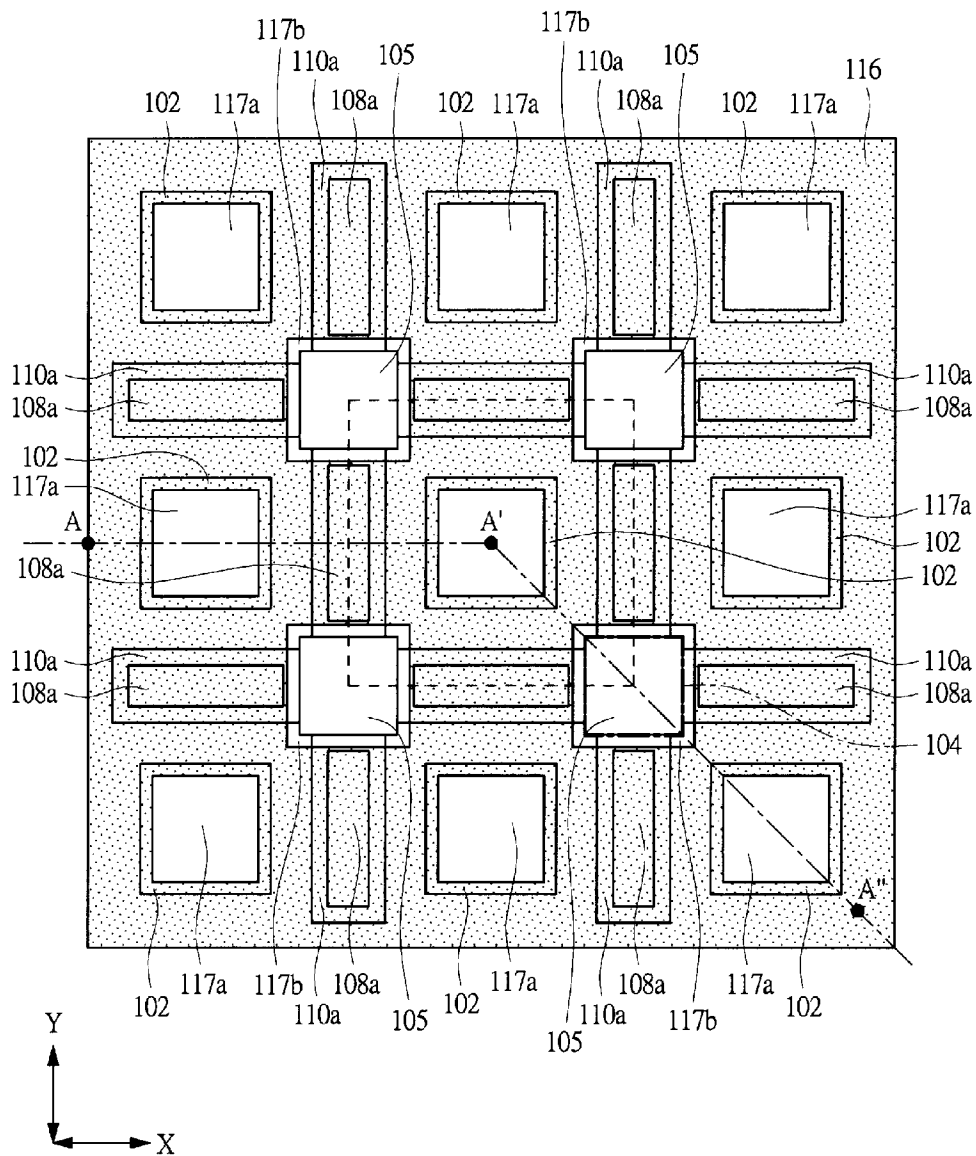
[図15]

図 15



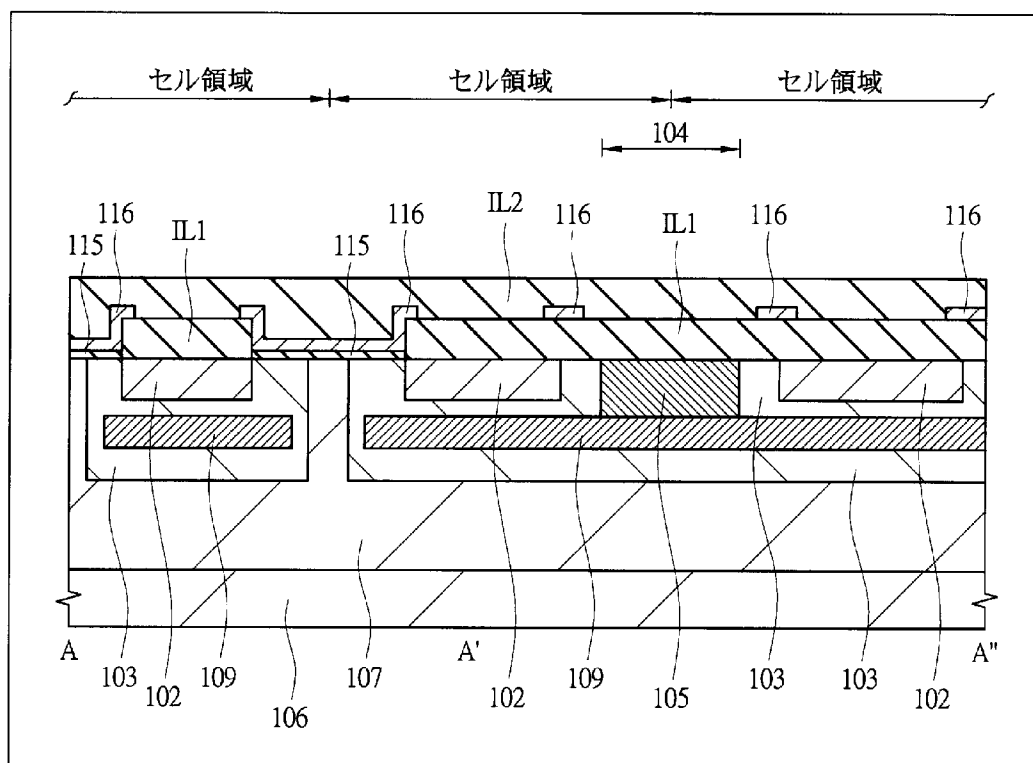
[図16]

図 16



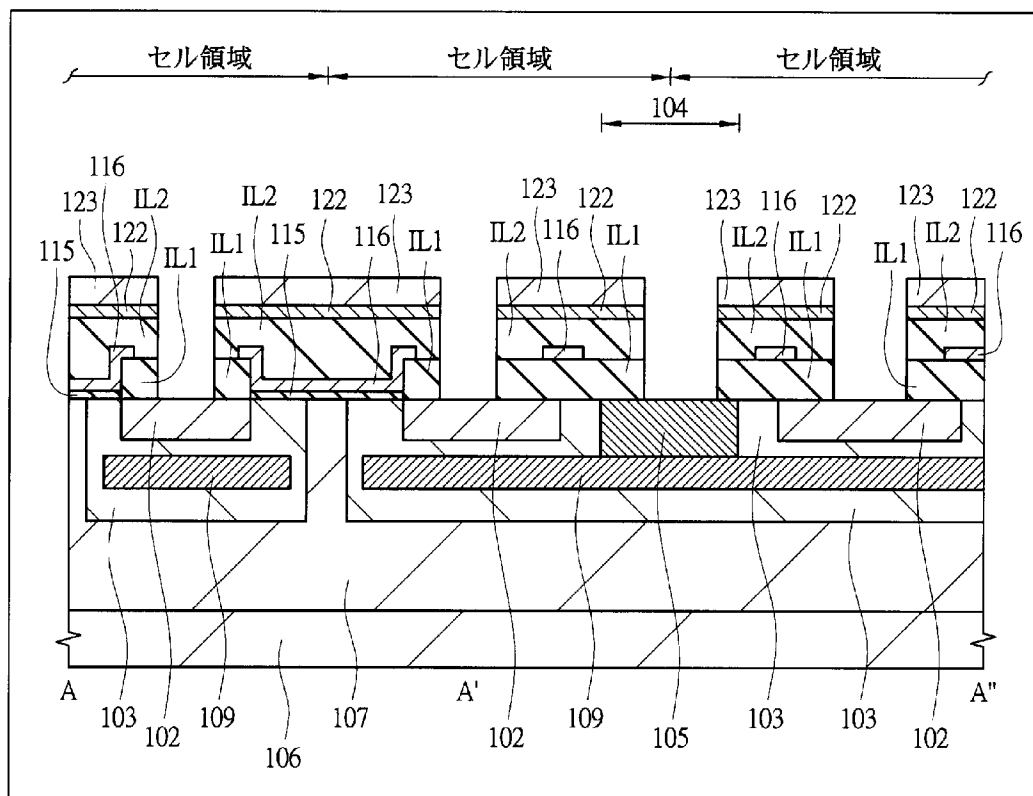
[図17]

図 17



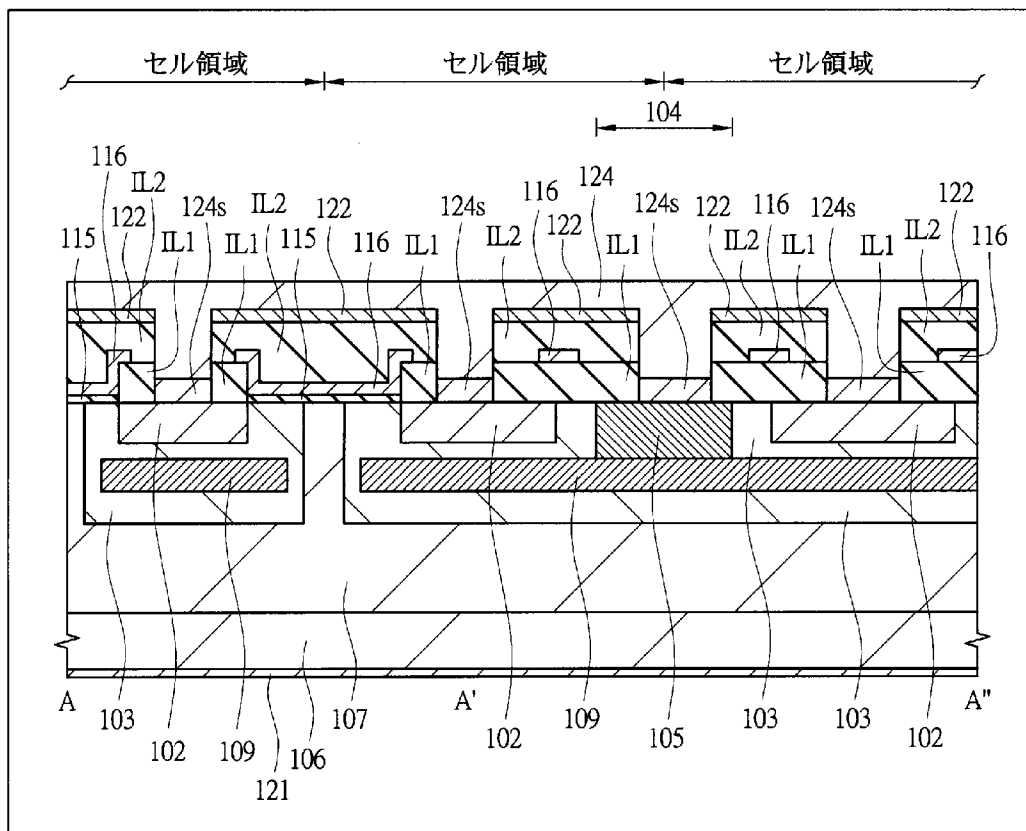
[図18]

図 18



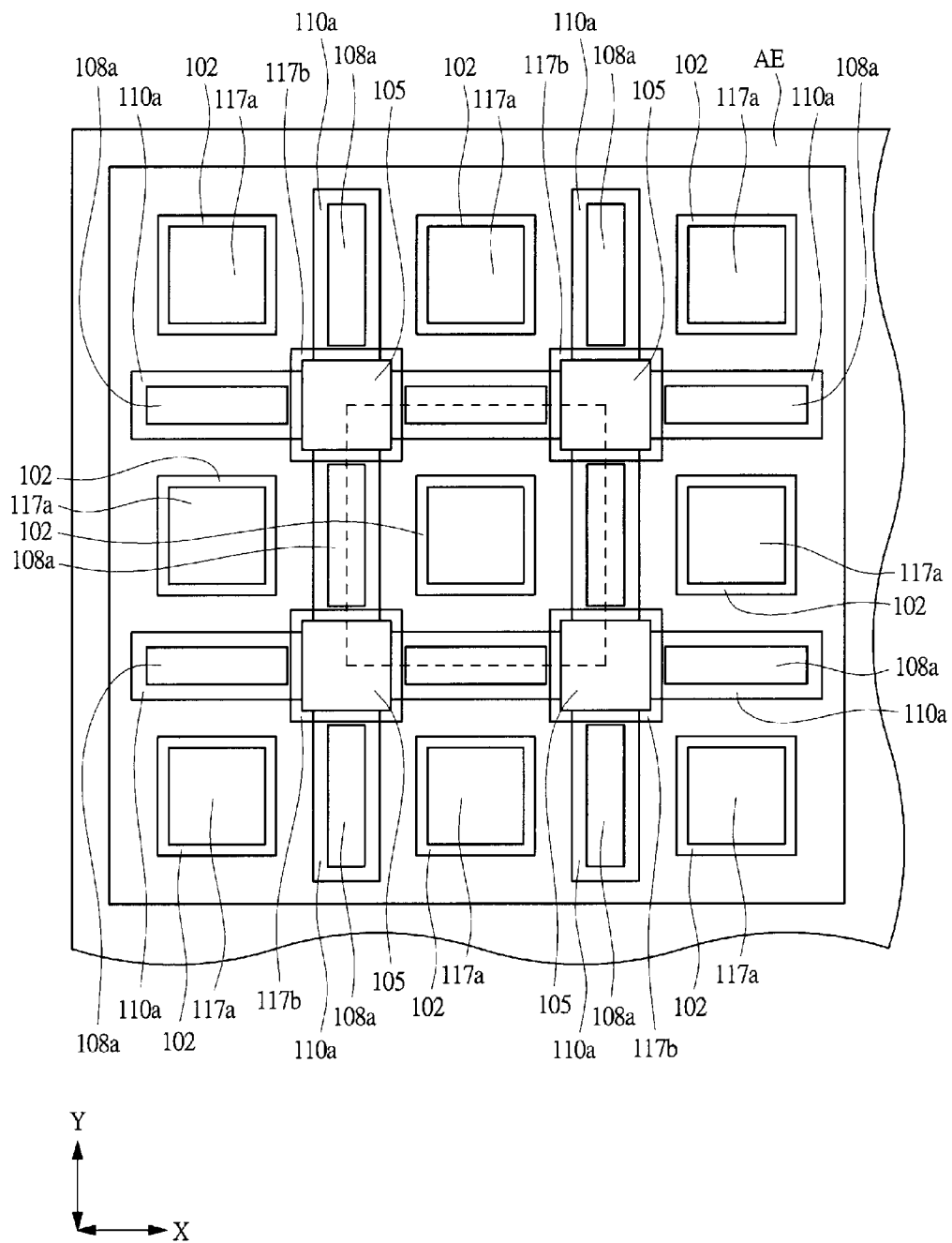
[図19]

図 19



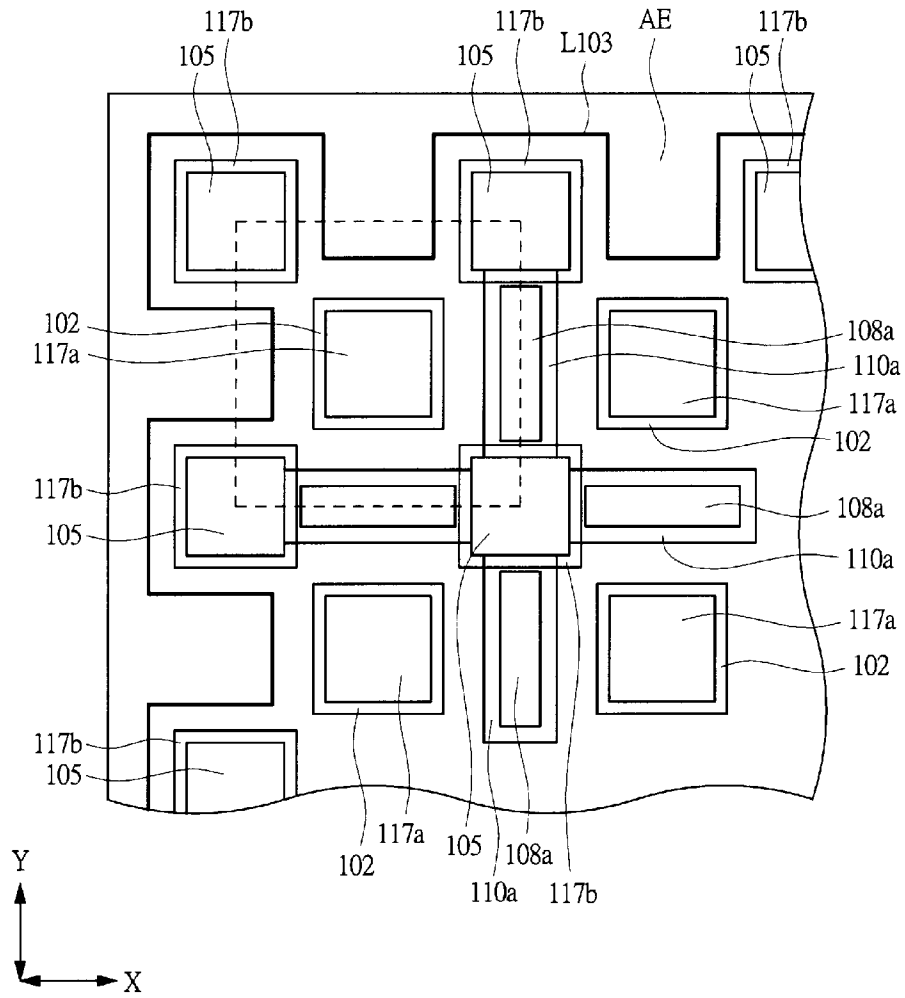
[図20]

図 20



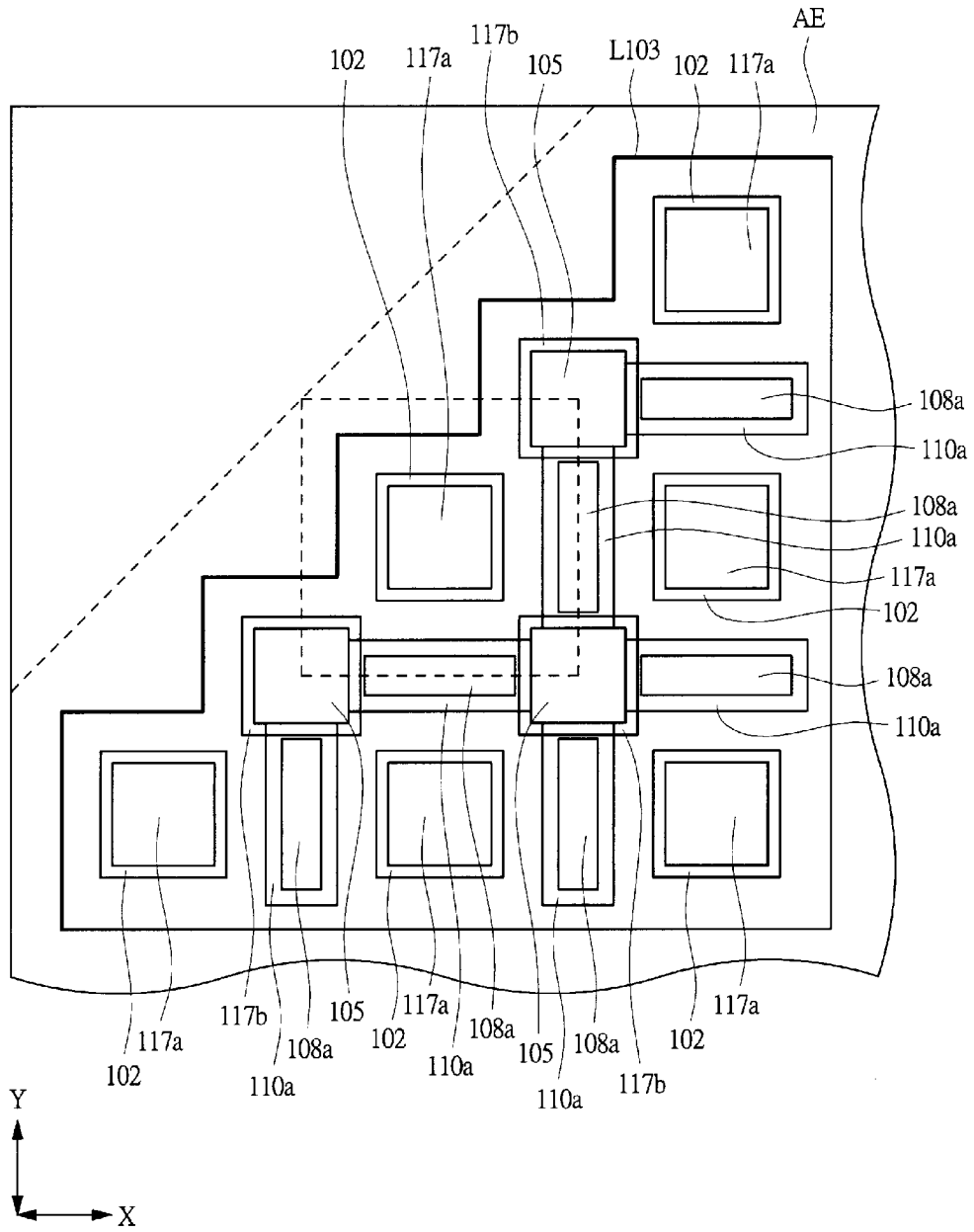
[図21]

図 21



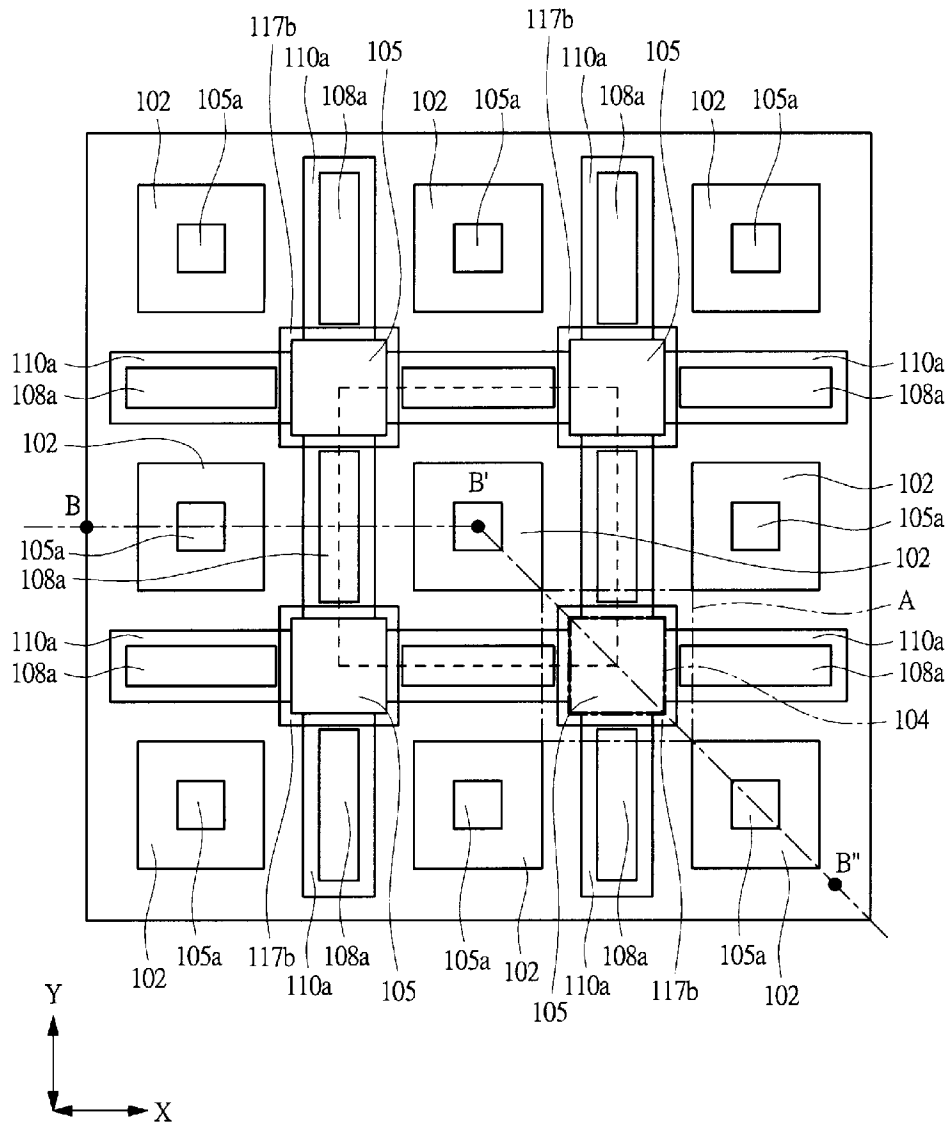
[図22]

図 22



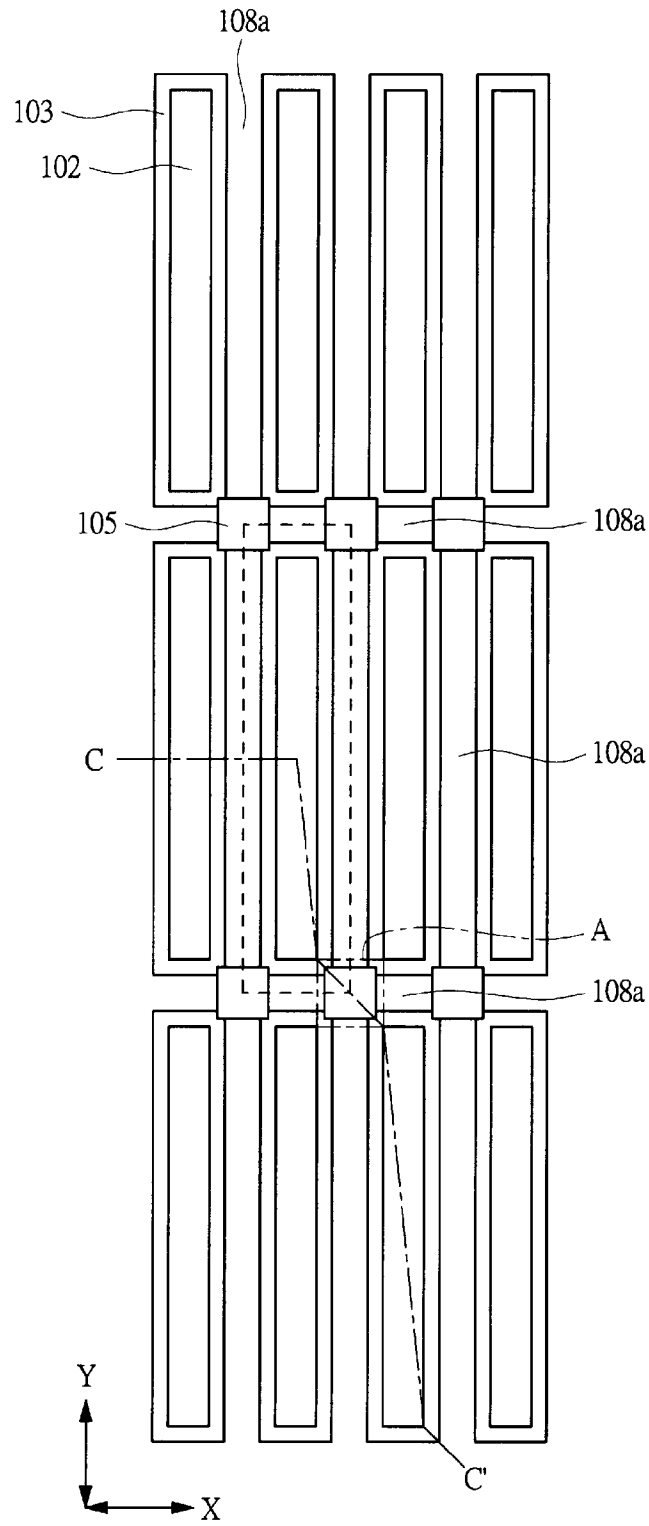
[図24]

図 24



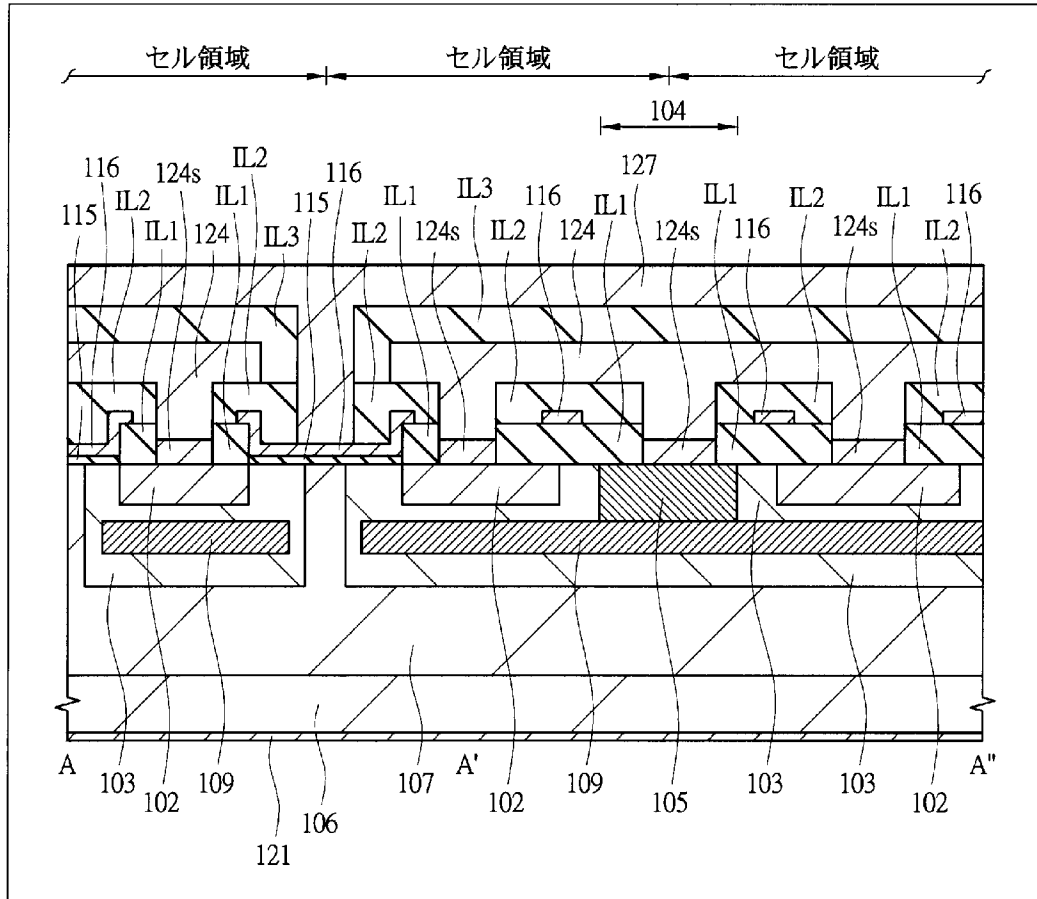
[図25]

図 25



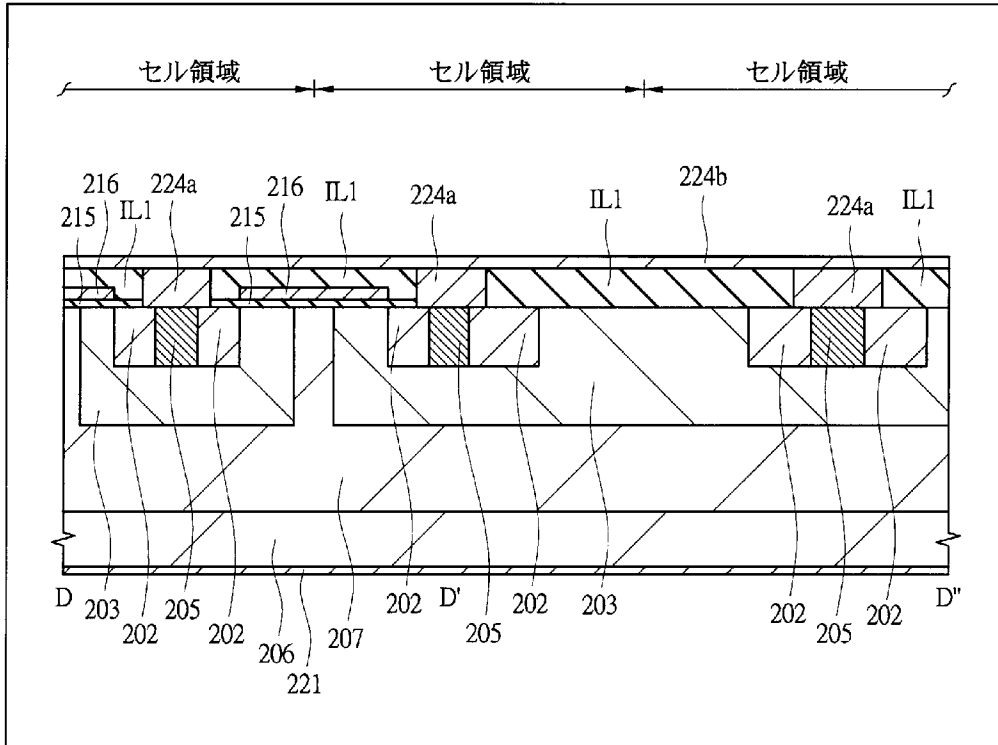
[図27]

図 27



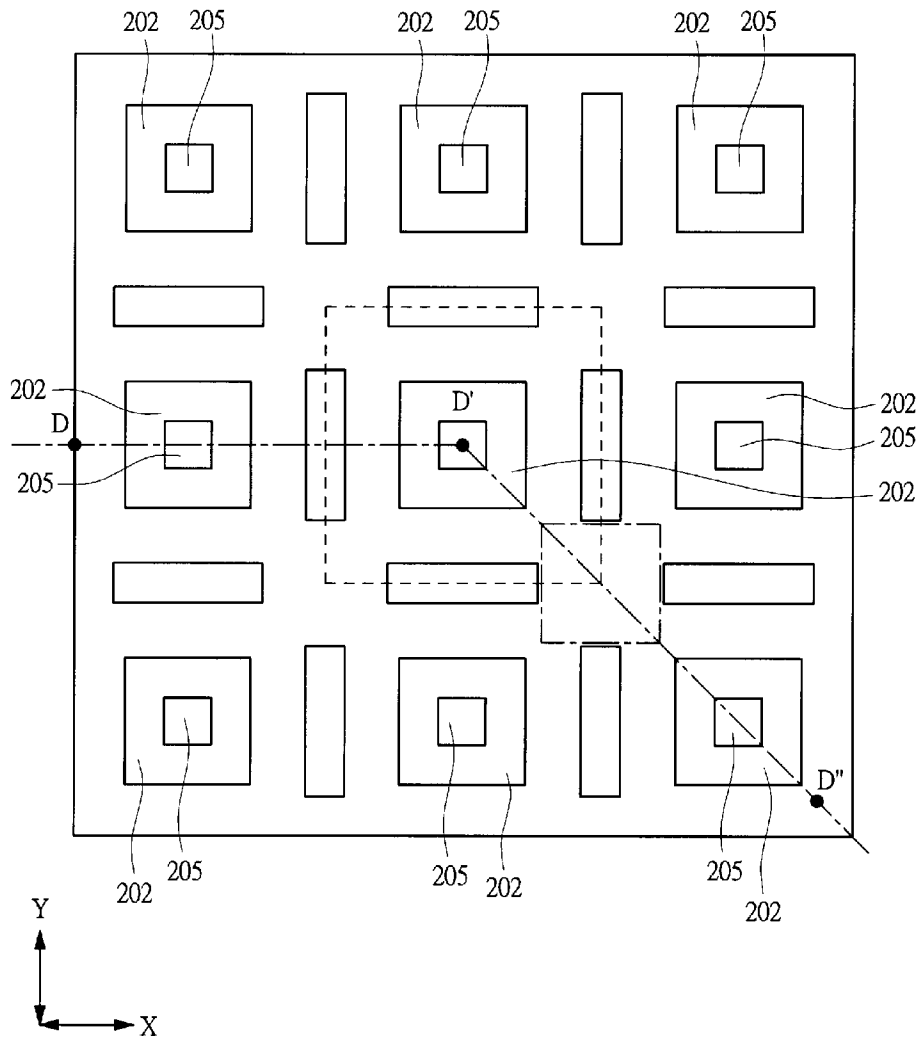
[図28]

図 28



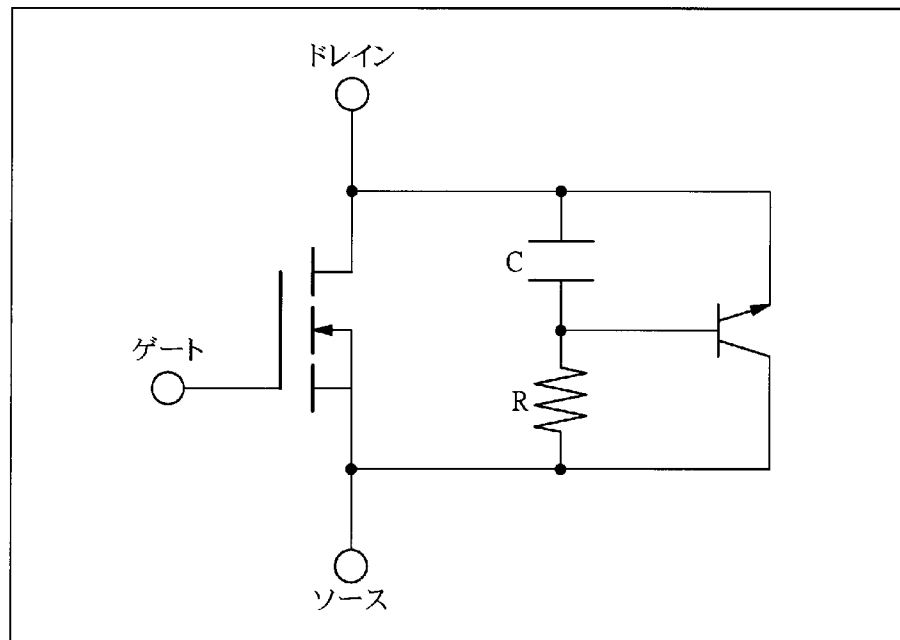
[図29]

図 29



[図30]

図 30



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064646

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-207492 A (Mitsubishi Electric Corp.), 22 July 2004 (22.07.2004), entire text; all drawings (Family: none)	1, 2, 7
X	WO 2011/033550 A1 (Toshiba Corp.), 24 March 2011 (24.03.2011), entire text; fig. 7 (Family: none)	1, 7
A	JP 2009-146946 A (Rohm Co., Ltd.), 02 July 2009 (02.07.2009), entire text; fig. 1 (Family: none)	1, 2, 7

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 August, 2012 (22.08.12)Date of mailing of the international search report
04 September, 2012 (04.09.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064646

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1, 2 and 7

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064646

Continuation of Box No.III of continuation of first sheet(2)

The invention of claim 1 is disclosed in the document 1 (see fig. 1 and explanation passages thereof), the document 2 (see fig. 7 and explanation passages thereof) and the document 3 (see particularly fig. 1 and explanation passages thereof).

Therefore, the inventions of claims 1-20 cannot be considered to be novel in the light of the inventions disclosed in the documents 1, 2 and 3, and have no special technical feature.

Consequently, five inventions (invention groups) each having a special technical feature indicated below are involved in claims.

Meanwhile, the inventions of claims 1, 2 and 7 having no special technical feature are classified into invention 1.

(Invention 1) the inventions of claims 1, 2 and 7

(Invention 2) the inventions of claims 3, 4 and 6

(Invention 3) the invention of claim 5

(Invention 4) the inventions of claims 8-14

(Invention 5) the inventions of claims 15-20

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01)i, H01L29/12(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78, H01L29/12		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-207492 A (三菱電機株式会社) 2004.07.22, 全文, 全図 (ファミリーなし)	1, 2, 7
X	WO 2011/033550 A1 (株式会社東芝) 2011.03.24, 全文, 図7 (ファミリーなし)	1, 7
A	JP 2009-146946 A (ローム株式会社) 2009.07.02, 全文, 図1 (ファミリーなし)	1, 2, 7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 22.08.2012	国際調査報告の発送日 04.09.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 柴山 将隆 電話番号 03-3581-1101 内線 3516	5 F 3035

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1, 2, 7

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項1に係る発明は、文献1（図1及びその説明箇所参照）、文献2（図7及びその説明箇所参照）及び文献3（特に図1及びその説明箇所参照）に記載されている。したがって、請求項1-20に係る発明は、文献1, 2, 3に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。したがって、請求の範囲には、以下の特別な技術的特徴を有する5の発明（群）が含まれる。

なお、特別な技術的特徴を有しない請求項1, 2, 7に係る発明は、発明1に区分する。

- （発明1）請求項1, 2, 7に係る発明
- （発明2）請求項3, 4, 6に係る発明
- （発明3）請求項5に係る発明
- （発明4）請求項8-14に係る発明
- （発明5）請求項15-20に係る発明