



(21)申請案號：105126352

(22)申請日：中華民國 105 (2016) 年 08 月 18 日

(51)Int. Cl. : H01L23/522 (2006.01)

H01L23/50 (2006.01)

(71)申請人：恆勁科技股份有限公司 (中華民國) PHOENIX PIONEER TECHNOLOGY CO., LTD.
(TW)

新竹縣湖口鄉新興路 458 之 17 號

(72)發明人：胡竹青 HU, CHU CHIN (TW)；許哲瑋 HSU, CHE WEI (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 200612530

TW 201131735A1

審查人員：蕭允政

申請專利範圍項數：10 項 圖式數：3 共 19 頁

(54)名稱

電子封裝件之製法

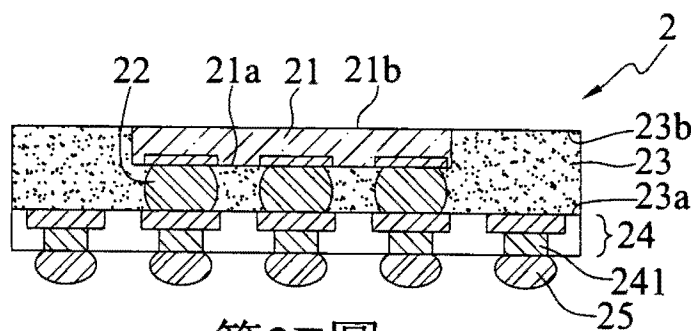
METHOD FOR MANUFACTURING ELECTRONIC PACKAGE

(57)摘要

一種電子封裝件係包括：絕緣層、嵌埋於該絕緣中之電子元件與導電凸塊、以及形成於該絕緣層上且電性連接該導電凸塊之線路結構，避免使用習知封裝基板之板體，以降低該電子封裝件之整體厚度，滿足輕薄化之需求。本發明復提供該電子封裝件之製法。

Provided is an electronic package, comprising an insulating layer, an electronic element and a conductive bump embedded in the insulating layer, and a circuit structure formed on the insulating layer and electrically connected to the conductive bump, thereby avoiding the use of a conventional board body to reduce the overall package thickness and thus meet the demand for miniaturization. The invention further provides a method for manufacturing the electronic package as described above.

指定代表圖：



第2E圖

符號簡單說明：

2 . . . 電子封裝件

21 . . . 電子元件

21a . . . 作用面

21b . . . 非作用面

22 . . . 導電凸塊

23 . . . 絕緣層

23a . . . 第一表面

23b . . . 第二表面

24 . . . 線路結構

241 . . . 導電體

公告本**發明摘要**

※ 申請案號：105126352

※ 申請日：2016.08.18

※ IPC 分類：H01L 23/522 (2006.01)

H01L 23/50 (2006.01)

【發明名稱】(中文/英文)

電子封裝件之製法

METHOD FOR MANUFACTURING ELECTRONIC
PACKAGE**【中文】**

一種電子封裝件係包括：絕緣層、嵌埋於該絕緣中之電子元件與導電凸塊、以及形成於該絕緣層上且電性連接該導電凸塊之線路結構，避免使用習知封裝基板之板體，以降低該電子封裝件之整體厚度，滿足輕薄化之需求。本發明復提供該電子封裝件之製法。

【英文】

Provided is an electronic package, comprising an insulating layer, an electronic element and a conductive bump embedded in the insulating layer, and a circuit structure formed on the insulating layer and electrically connected to the conductive bump, thereby avoiding the use of a conventional board body to reduce the overall package thickness and thus meet the demand for miniaturization. The invention further provides a method for manufacturing the electronic package as described above.

【代表圖】

【本案指定代表圖】：第（ 2E ）圖。

【本代表圖之符號簡單說明】：

- 2 電子封裝件
- 21 電子元件
- 21a 作用面
- 21b 非作用面
- 22 導電凸塊
- 23 絕緣層
- 23a 第一表面
- 23b 第二表面
- 24 線路結構
- 241 導電體
- 25 導電元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電子封裝件之製法

METHOD FOR MANUFACTURING ELECTRONIC
PACKAGE

【技術領域】

本發明係有關一種半導體封裝技術，尤指一種電子封裝件及其製法。

【先前技術】

隨著半導體封裝技術的演進，半導體裝置 (Semiconductor device) 已開發出不同的封裝型態，另為提升電性功能及節省封裝空間，遂開發出覆晶 (flip chip) 技術。

第 1 圖係為習知半導體封裝件 1 的剖面示意圖。如第 1 圖所示，該半導體封裝件 1 之製法係先提供一具有板體 10a 與線路結構 10b 之封裝基板 10，再藉由覆晶方式結合一半導體元件 11 於該線路結構 10b 上，之後形成封裝膠體 13 於該封裝基板 10 上以包覆該半導體元件 11。

具體地，該半導體元件 11 具有相對之作用面 11a 與非作用面 11b，該作用面 11a 具有複數電極墊 110，以藉由複數如錫錫凸塊 12 電性連接該電極墊 110 與該線路結構 10b 之線路層 100，且該封裝膠體 13 復形成於該半導體元件 11 與該封裝基板 10 之間，以包覆該些錫錫凸塊 12。

然而，習知半導體封裝件 1 之製程中，當該半導體元

件 11 為大尺寸或高接腳數 (high pin count) 時，該封裝膠體 13 之流動不易填滿該半導體元件 11 與該封裝基板 10 之間的空間，致使於該半導體元件 11 與該封裝基板 10 之間產生空洞 (void) 14，故於後續固化該封裝膠體 13 之過程中，該空洞 14 容易發生爆米花效應 (popcorn effect)，導致產品良率下降。

再者，習知半導體封裝件 1 中，由於該封裝基板 10 具有板體 10a，致使該半導體封裝件 1 之整體厚度難以有效減少，無法滿足現今電子產品輕薄化之需求。

因此，如何克服習知技術之缺點，實為目前各界亟欲解決之技術問題。

【發明內容】

鑒於上述習知技術之缺失，本發明提供一種電子封裝件，係包括：絕緣層；結合有複數導電凸塊之電子元件，係嵌埋於該絕緣層中，且令該導電凸塊之部分表面外露於該絕緣層；以及線路結構，係形成於該絕緣層及該導電凸塊外露於該絕緣層之部分表面上且電性連接該導電凸塊。

本發明復提供一種電子封裝件之製法，係包括：設置一結合有複數導電凸塊之電子元件於一承載件上；形成絕緣層於該承載件上，以令該絕緣層包覆該電子元件，且令該導電凸塊之部分表面外露於該絕緣層；形成線路結構於該絕緣層及該導電凸塊外露於該絕緣層之部分表面上，且令該線路結構電性連接該導電凸塊；以及移除該承載件。

前述之電子封裝件及其製法中，該電子元件係具有相

對之作用面與非作用面，且該作用面係結合至該些導電凸塊，而使該電子元件電性連接該導電凸塊。例如，於移除該承載件之後，該電子元件之非作用面外露於該絕緣層；或者，該電子元件之非作用面上結合散熱件。

前述之電子封裝件及其製法中，於移除該承載件之後，該電子元件外露於該絕緣層。

前述之電子封裝件及其製法中，該導電凸塊係為焊錫凸塊。

前述之電子封裝件及其製法中，復包括形成複數導電元件於該線路結構上。

另外，前述之電子封裝件及其製法中，復包括形成複數導電柱於該絕緣層中，且該導電柱電性連接該線路結構。例如，於移除該承載件之後，該導電柱之端面外露於該絕緣層。進一步地，復包括接置電子裝置於該導電柱之端面上。

由上可知，本發明之電子封裝件及其製法，主要藉由先以該絕緣層包覆該電子元件與該導電凸塊，再於該絕緣層上形成該線路結構，故該絕緣層無需流過該電子元件與該線路結構之間，因而該電子元件與該線路結構之間不會產生空洞，故相較於習知技術，本發明能有效提升產品良率。

再者，本發明之電子封裝件僅形成線路結構，而無需使用習知封裝基板之板體，故相較於習知技術，該電子封裝件之整體厚度能大幅減少，以滿足輕薄化之需求。

【圖式簡單說明】

第 1 圖係為習知半導體封裝件的剖面示意圖；以及

第 2A 至 2E 圖係為本發明之電子封裝件之第一實施例之製法的剖面示意圖；其中，第 2E' 及 2E'' 圖係為第 2E 圖之不同實施例；以及

第 3A 至 3C 圖係為本發明之電子封裝件之第二實施例之製法的剖面示意圖；其中，第 3C' 圖係為第 3C 圖之另一實施例。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如「上」、「第一」、「第二」及「一」等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2E 圖係為本發明之電子封裝件 2 之第一實施

例之製法的剖面示意圖。

如第 2A 圖所示，設置一結合有複數導電凸塊 22 之電子元件 21 於一承載件 20 上。

於本實施例中，該承載件 20 之表面係形成有一金屬層 200。於本實施例中，該承載件 20 係為基材，例如銅箔基板或其它板體，但無特別限制，本實施例係以銅箔基板作說明，其兩側具有金屬層 200。

再者，該電子元件 21 係為半導體元件係為主動元件、被動元件或其二者組合，且該主動元件係例如半導體晶片，而該被動元件係例如電阻、電容及電感。例如，該電子元件 21 係為半導體晶片，其具有相對之作用面 21a 與非作用面 21b，該作用面 21a 具有複數電極墊 210 以結合該些導電凸塊 22，而使該導電凸塊 22 電性連接該電子元件 21，且該電子元件 21 以其非作用面 21b 藉由結合層（圖略）黏固至該金屬層 200 上。

又，該導電凸塊 22 係為焊錫凸塊。

如第 2B 圖所示，形成一絕緣層 23 於該承載件 20 之金屬層 200 上，以令該絕緣層 23 包覆該電子元件 21 與該些導電凸塊 22。

於本實施例中，該絕緣層 23 係定義有相對之第一表面 23a 與第二表面 23b，以令該第二表面結合至該承載件 20 之金屬層 200 上。

再者，該絕緣層 23 係為環氧樹脂 (epoxy) 之封裝膠體，其可用壓合 (lamination) 或模壓 (molding) 之方式形成於

該承載件 20 上。

又，該導電凸塊 22 之頂表面 22a 外露於該絕緣層 23。例如，可藉由整平製程，令該導電凸塊 22 之頂表面 22a 齊平該絕緣層 23 之第一表面 23a。具體地，該整平製程可藉由研磨方式，移除該導電凸塊 22 之部分材質與該絕緣層 23 之部分材質。

如第 2C 至 2D 圖所示，形成一線路結構 24 於該絕緣層 23 及該導電凸塊 22 之頂表面 22a 上，且該線路結構 24 電性連接該些導電凸塊 22。

於本實施例中，該線路結構 24 係包括一設於該絕緣層 23 與該導電凸塊 22 上之線路層 240、設於該線路層 240 上之複數導電體 241、及一包覆該線路層 240 與該些導電體 241 之介電層 242，且該線路層 240 電性連接該些導電凸塊 22，並令該些導電體 241 之部分表面外露於該介電層 242。

再者，形成該線路層 240 之材質係為銅，且該導電體 241 係為銅柱體。

又，該介電層 242 係以鑄模方式、塗佈方式或壓合方式形成於該絕緣層 23 上，且形成該介電層 242 之材質係為鑄模化合物 (Molding Compound)、底層塗料 (Primer)、或如環氧樹脂 (Epoxy) 之介電材料。

如第 2E 圖所示，移除該承載件 20 及其金屬層 200，以令該電子元件 21 外露於該絕緣層 23，以完成本發明之電子封裝件 2。

於本實施例中，該電子元件 21 之非作用面 21b 外露於

該絕緣層 23 之第二表面 23b，且可形成複數如錫球之導電元件 25 於該線路結構 24 之導電體 241 上，俾供後續接置如電路板、封裝結構或其它結構（如另一晶片）之電子裝置（圖略）。

再者，如第 2E' 圖所示，形成於絕緣層 23 上之線路結構 24' 亦可具有複數線路層 240 與複數介電層 242。

又，如第 2E'' 圖所示，復可於該電子元件 21 之非作用面 21b 與該絕緣層 23 之第二表面 23b 上結合一散熱件 26。於一實施例中，如在本案第 2A 圖所使用之承載件可為金屬板，而於製程中僅移除部分該承載件，保留對應該電子元件 21 之非作用面 21b 處之承載件，以作為該散熱件 26。本發明之電子封裝件 2 之製法係藉由先以該絕緣層 23 包覆該電子元件 21 與該導電凸塊 22，再於該絕緣層 23 上形成該線路結構 24，故該絕緣層 23 無需流過該電子元件 21 與該線路結構 24 之間。因此，當該電子元件 21 為大尺寸或高接腳數時，該電子元件 21 與該線路結構 24 之間不會產生空洞，因而能避免滲入水氣之問題，更不會發生爆米花效應，故能有效提升產品良率。

再者，本發明之電子封裝件 2 僅形成線路結構 24，而無需製作習知封裝基板之板體，故相較於習知技術，該電子封裝件 2 之整體厚度能大幅減少，以滿足輕薄化之需求。

第 3A 至 3C 圖係為本發明之電子封裝件 3 之第二實施例之製法的剖面示意圖。本實施例與第一實施例之差異在於新增導電柱，其它製程大致相同，故以下僅說明相異處，

而不再贅述相同處。

如第 3A 圖所示，設置複數導電柱 30 與一結合有複數導電凸塊 22 之電子元件 21 於一承載件 20 上。

於本實施例中，該導電柱 30 係為銅柱。

如第 3B 圖所示，進行如第 2B 至 2D 圖之製程，以令該些導電柱 30 形成於該絕緣層 23 中，且該導電柱 30 電性連接該線路結構 24 之線路層 240。

於本實施例中，於進行如第 2B 圖之整平製程時，可移除該導電柱 30 之部分材質，使該導電柱 30 之其中一端面 30a 齊平該絕緣層 23 之第一表面 23a。

再者，於移除該承載件 20 之後，該導電柱 30 之另一端面 30b 外露於該絕緣層 23 之第二表面 23b。

又，如第 3C 圖所示，可形成複數如錫球之導電元件 25 於該線路結構 24 之導電體 241 上，俾供後續接置如電路板、封裝結構或其它結構（如另一晶片）之電子裝置（圖略）。

另外，於後續製程中，如第 3C 圖所示，可藉由連接凸塊 32 接置一電子裝置 31 於各該導電柱 30 之端面 30b 上，使該電子裝置 31 電性連接各該導電柱 30。例如，該電子裝置 31 係為封裝件、主動元件或被動元件。

應可理解地，如第 3C' 圖所示，亦可於該電子元件 21 之非作用面 21b 上結合一散熱件 26'。於一實施例中，該散熱件 26' 可為保留對應該電子元件 21 之非作用面 21b 處之承載件（例如為金屬板）。

本發明提供一種電子封裝件 2,3，其包括：一絕緣層 23、具有複數導電凸塊 22 之電子元件 21、以及一線路結構 24。

所述之絕緣層 23 係具有相對之第一表面 23a 與第二表面 23b。

所述之電子元件 21 與導電凸塊 22 係嵌埋於該絕緣層 23 中，以令該導電凸塊 22 之部分表面(頂表面 22a)外露於該絕緣層 23 之第一表面 23a。

所述之線路結構 24 係形成於該絕緣層 23 之第一表面 23a 上且電性連接該導電凸塊 22。

於一實施例中，該電子元件 21 係具有相對之作用面 21a 與非作用面 21b，且該作用面 21a 結合該些導電凸塊 22。

於一實施例中，該電子元件 21 之非作用面 21b 上結合一散熱件 26,26'。

於一實施例中，該電子元件 21 外露於該絕緣層 23。例如，該電子元件 21 之非作用面 21b 外露於該絕緣層 23 之第二表面 23b。

於一實施例中，該導電凸塊 22 係為焊錫凸塊。

於一實施例中，所述之電子封裝件 2,3 復包括形成於該線路結構 24 上之複數導電元件 25。

於一實施例中，所述之電子封裝件 3 復包括形成於該絕緣層 23 中之複數導電柱 30，且該導電柱 30 電性連接該線路結構 24。

於一實施例中，該導電柱 30 之端面 30b 外露於該絕緣

層 23 之第二表面 23b。

於一實施例中，所述之電子封裝件 3 復包括一接置於該導電柱 30 之端面 30b 上之電子裝置 31。

綜上所述，本發明之電子封裝件及其製法，係藉由先以該絕緣層包覆該電子元件與該導電凸塊，再於該絕緣層上形成該線路結構，故該電子元件與該線路結構之間不會產生空洞，因而能有效提升產品良率。

再者，本發明之電子封裝件僅形成線路結構，而無需製作習知封裝基板之板體，故該電子封裝件之整體厚度能大幅減少，以滿足輕薄化之需求。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

| | |
|------------|--------|
| 1 | 半導體封裝件 |
| 10 | 封裝基板 |
| 10a | 板體 |
| 10b,24,24' | 線路結構 |
| 100,240 | 線路層 |
| 11 | 半導體元件 |
| 11a,21a | 作用面 |
| 11b,21b | 非作用面 |

| | |
|---------|-------|
| 110,210 | 電極墊 |
| 12 | 鍍錫凸塊 |
| 13 | 封裝膠體 |
| 14 | 空洞 |
| 2,3 | 電子封裝件 |
| 20 | 承載件 |
| 200 | 金屬層 |
| 21 | 電子元件 |
| 22 | 導電凸塊 |
| 22a | 頂表面 |
| 23 | 絕緣層 |
| 23a | 第一表面 |
| 23b | 第二表面 |
| 241 | 導電體 |
| 242 | 介電層 |
| 25 | 導電元件 |
| 26,26' | 散熱件 |
| 30 | 導電柱 |
| 30a,30b | 端面 |
| 31 | 電子裝置 |
| 32 | 連接凸塊 |

申請專利範圍

1. 一種電子封裝件之製法，係包括：

設置一結合有複數導電凸塊之電子元件於一承載件上；

形成絕緣層於該承載件上，以令該絕緣層包覆該電子元件，且令該導電凸塊之部分表面外露於該絕緣層；

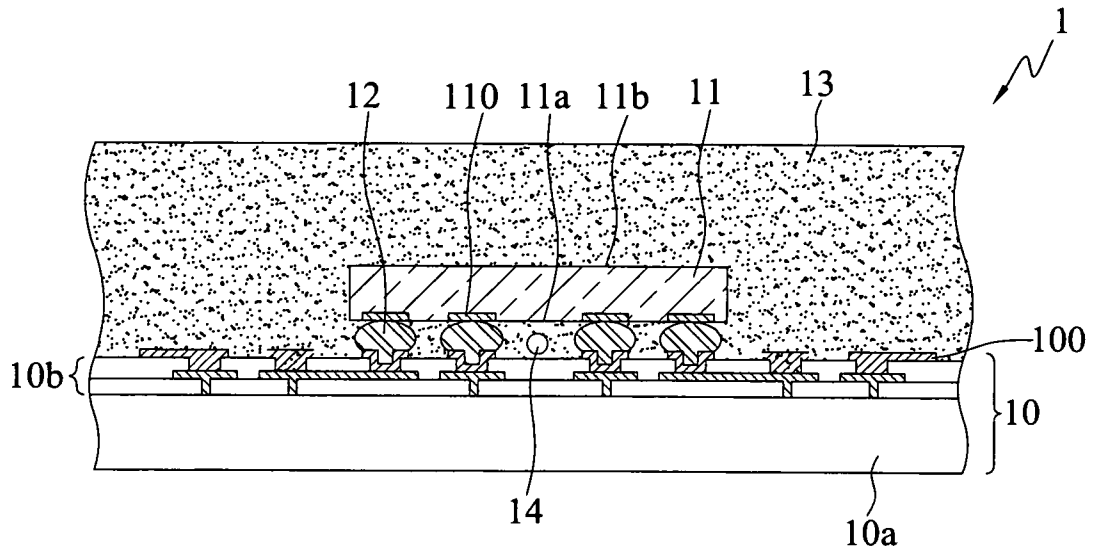
形成線路結構於該絕緣層及該導電凸塊外露於該絕緣層之部分表面上，且令該線路結構電性連接該導電凸塊；以及

移除該承載件。

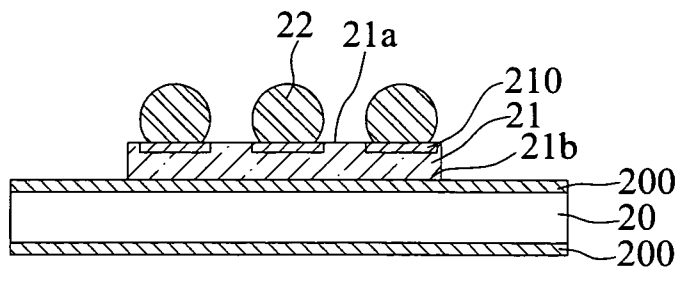
2. 如申請專利範圍第 1 項所述之電子封裝件之製法，其中，該電子元件係具有相對之作用面與非作用面，且該作用面係結合至該些導電凸塊，而使該電子元件電性連接該導電凸塊。
3. 如申請專利範圍第 2 項所述之電子封裝件之製法，其中，於移除該承載件後，該電子元件之非作用面外露於該絕緣層。
4. 如申請專利範圍第 2 項所述之電子封裝件之製法，其中，該電子元件之非作用面上結合有散熱件。
5. 如申請專利範圍第 1 項所述之電子封裝件之製法，其中，於移除該承載件後，該電子元件外露於該絕緣層。
6. 如申請專利範圍第 1 項所述之電子封裝件之製法，其中，該導電凸塊係為焊錫凸塊。
7. 如申請專利範圍第 1 項所述之電子封裝件之製法，復包

- 括形成複數導電元件於該線路結構上。
8. 如申請專利範圍第 1 項所述之電子封裝件之製法，復包括形成複數導電柱於該絕緣層中，且令該導電柱電性連接該線路結構。
 9. 如申請專利範圍第 8 項所述之電子封裝件之製法，其中，於移除該承載件後，該導電柱之端面外露於該絕緣層。
 10. 如申請專利範圍第 9 項所述之電子封裝件之製法，復包括接置電子裝置於該導電柱之端面上。

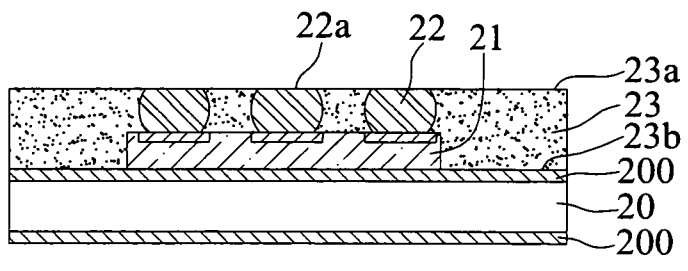
圖式



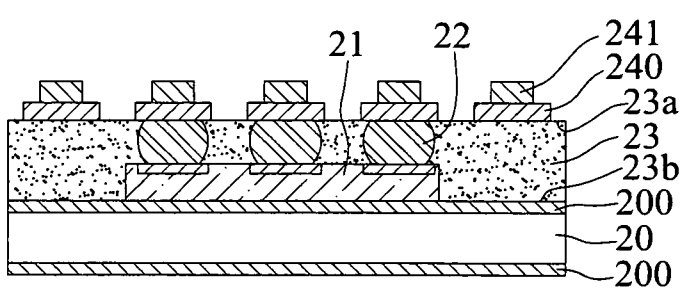
第1圖



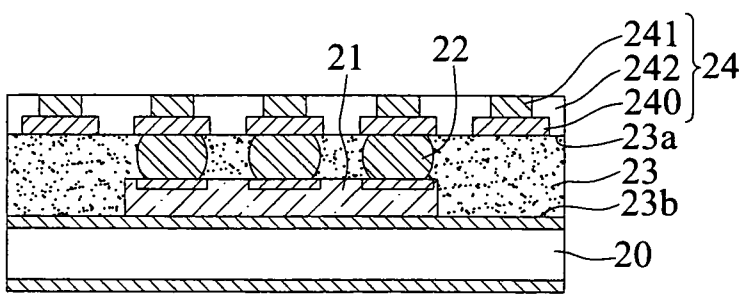
第2A圖



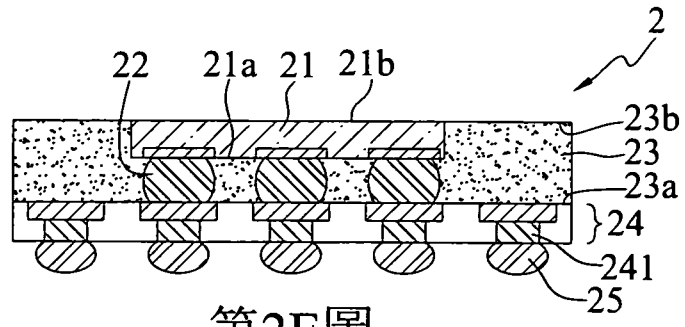
第2B圖



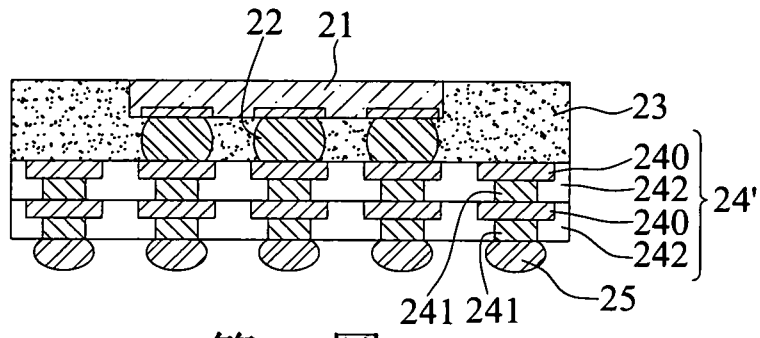
第2C圖



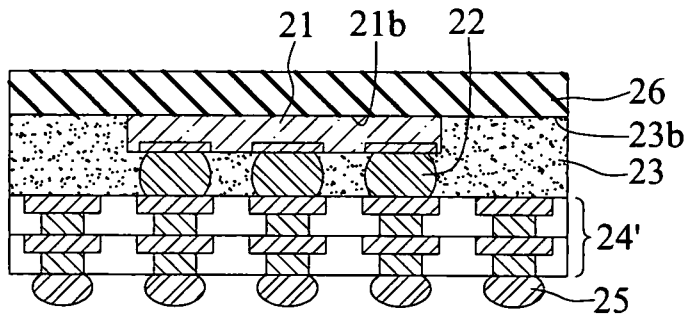
第2D圖



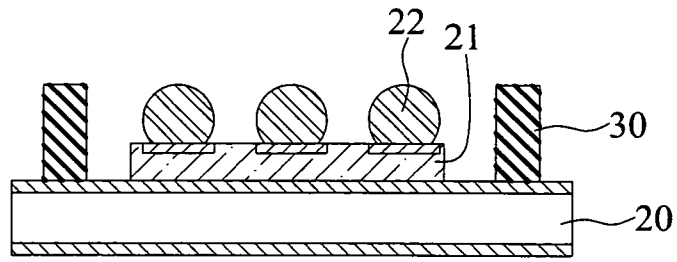
第2E圖



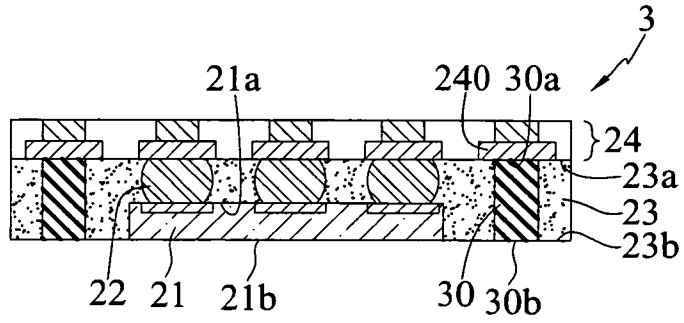
第2E'圖



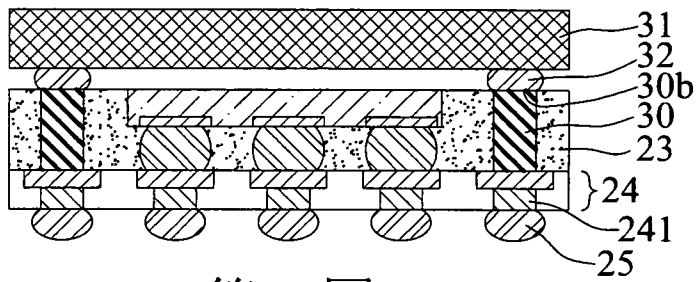
第2E''圖



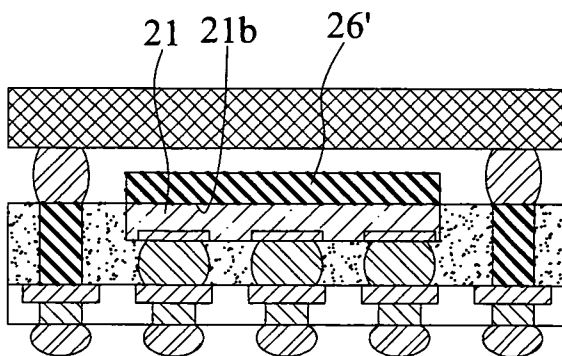
第3A圖



第3B圖



第3C圖



第3C'圖