

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200610100215.6

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
G06F 1/32 (2006.01)
H04N 5/66 (2006.01)

[45] 授权公告日 2009 年 12 月 23 日

[11] 授权公告号 CN 100573644C

[22] 申请日 1995.5.24

[21] 申请号 200610100215.6

分案原申请号 200510054392.0

[30] 优先权

[32] 1994.5.24 [33] JP [31] 133634/1994

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 河崎祐司 小山润

[56] 参考文献

JP3109524A 1991.5.9

CN1062791A 1992.7.15

JP4003112A 1992.1.8

EP0533472A1 1993.3.24

审查员 罗 赟

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 梁 永

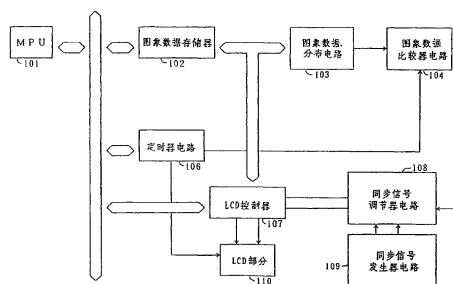
权利要求书 3 页 说明书 8 页 附图 6 页

[54] 发明名称

液晶显示装置

[57] 摘要

在一个液晶显示(LCD)装置中,通过一个比较器电路对在一个显示部分上要显示的两个持续帧图象数据进行比较,并且根据比较的结果调节水平和垂直同步信号。即当两帧图象数据彼此一致时,则不会通过控制器向显示部分输出水平和垂直同步信号,以便减少要显示帧的扫描数。另外,当该LCD装置具有背后照明部分并且两帧图象数据彼此一致时,则关断背后照明部分。



1. 一种液晶显示器, 包括:

显示部分;

用于存储第一帧的第一图象数据的第一视频随机存取存储器;

用于存储邻接所述第一帧的第二帧的第二图象数据的第二视频随机存取存储器;

用于比较所述第一图象数据和第二图象数据的比较器电路;

用于根据所述比较器电路的输出, 控制对液晶显示器控制器的水平和垂直同步信号的供应的同步信号调制电路; 和

与所述比较器电路操作地连接的定时器电路, 其中所述定时器电路在所述第一和第二图象数据相同时开始计数,

其中, 在所述第一和第二图象数据相同时, 从同步信号调制电路到所述液晶显示器控制器的水平和垂直同步信号的输出被停止, 且

其中, 在所述第一和第二图象数据不不同时, 水平和垂直同步信号从同步信号调制电路输出到所述液晶显示器控制器。

2. 一种液晶显示器, 包括:

显示部分;

用于存储第一帧的第一图象数据的第一视频随机存取存储器;

用于存储邻接所述第一帧的第二帧的第二图象数据的第二视频随机存取存储器;

用于比较所述第一图象数据和第二图象数据的比较器电路;

用于根据所述比较器电路的输出, 控制对液晶显示器控制器的垂直同步信号的供应的同步信号调制电路; 和

与所述比较器电路操作地连接的定时器电路, 其中所述定时器电路在所述第一和第二图象数据相同时开始计数,

其中, 在所述第一和第二图象数据相同时, 从同步信号调制电路到所述液晶显示器控制器的水平和垂直同步信号的输出停止, 且

其中, 在所述第一和第二图象数据不不同时, 水平和垂直同步信号从同步信号调制电路输出到所述液晶显示器控制器。

3. 一种液晶显示器，包括：

显示部分；

用于存储至少第一帧的第一图象数据和邻接所述第一帧的第二帧的第二图象数据的至少一个视频随机存取存储器；

图象数据分布电路，用于同步输出从所述视频随机存取存储器获取的所述第一和第二图像数据到比较器电路；

所述比较器电路用于比较所述第一图象数据和第二图象数据；

用于控制水平同步信号和垂直同步信号的供应的同步信号发生器电路；

用于接收所述比较器电路的输出和所述水平同步信号和垂直同步信号的同步信号调制电路；

与所述同步信号调制电路操作地连接的控制器；和

与所述比较器电路操作地连接的定时器电路，其中所述定时器电路在所述第一和第二图象数据相同时开始计数，

其中，在所述第一和第二图象数据相同时，从同步信号调制电路到液晶显示器控制器的水平和垂直同步信号的输出停止，且

其中，在所述第一和第二图象数据不不同时，水平和垂直同步信号从同步信号调制电路输出到所述液晶显示器控制器。

4. 根据权利要求 1-3 中任一权利要求所述的液晶显示器，其中所述同步信号调制电路包括与门电路。

5. 一种液晶显示器，包括：

含有背光单元的液晶显示器单元；

用于存储至少第一和第二帧图像数据的存储器；

图象数据分布电路，用于同步输出从所述存储器获取的所述第一和第二帧图像数据到比较器电路；所述比较器电路，用于比较所述第一和第二帧图象数据；

同步信号调制电路，用于根据所述比较器电路的输出而控制对液晶显示器控制器的水平和垂直同步信号的供应；

与所述存储器和所述液晶显示器单元操作地连接的控制器；

其中所述背光单元与所述控制器操作地连接，

其中，在所述第一和第二帧图象数据相同时，从同步信号调制电路到所述液晶显示器控制器的水平和垂直同步信号的输出停止，且

其中，在所述第一和第二帧图象数据不不同时，水平和垂直同步信号从同步信号调制电路输出到所述液晶显示器控制器。

液晶显示装置

本申请是申请日为1995年5月24日、分案提交日为2005年3月7日、申请号为200510054392.0、发明名称为“液晶显示装置”的发明专利申请的分案申请。

技术领域

本发明涉及一种能够降低能耗的液晶显示装置。

背景技术

如图2所示,一个液晶显示(LCD)控制器203与一个LCD部分205,一个图象数据存储器202,一个微处理器(MPU)201 和一个同步信号发生器电路204连接。在MPU 201的命令下,储存在图象数据存储器202中的图象数据输入到LCD控制器203并且进行信号转换,这样在LCD部分205显示转换了的图象信号。

在一个常规LCD控制器中,当在LCD部分长时间显示相同(帧)图象数据时,(1)持续显示,或者(2)在检测到来自键盘、鼠标或类似物的输入中断并且经过一定时间流逝之后,在存储器中重新存储要显示的图象数据之后停止驱动液晶,或者关闭背后照明部分。

在长时间显示相同帧图象时,除向存储器进行图象数据重新存储和关闭背后照明部分以外的方法并不会节省LCD部分的能量。因此,需要一种不采用不必要的存储器而能节省能量的帧图象存储方法。另外,由于并不是在所有LCD装置中包括一个背后照明部分,就需要一种在长时间显示相同帧图象的情况下不关闭背后照明部分而节省能量的方法。

发明内容

本发明的目的是解决上面的问题。

根据本发明,一个图1的液晶显示装置包括:一个用于控制整个辅助电路的微处理器(MPU)101,一个能够存储两帧图象数据的图象数据存储器102,一个用于分布两帧图象数据的图象数据分布电路103,一个能够比较以毕特为单位的两帧图象数据的图象数据比较器电路104,一个定时器电路106,一个液晶显示(LCD)部分110,一个用于控制LCD部分110的LCD控制器107,一个用于产生同步信号(垂直和水平同步信号)的同步信号发生器电路109,和一个用于根据来自电路104的输出信号而调节垂直和水平同步信号的同步信号调节电路108。把来自电路108的输出信号输入给LCD控制器107以控制传到LCD部分110的同步信号。

在上述结构中,在LCD装置中的辅助电路代表一个具有用于驱动构成LCD部分的显示部分的功能的电路。在LCD装置中的显示部分具有这样一个结构,其中由布置在至少一对电极之间的液晶构成的象素以矩阵形式布置。作为显示部分的结构,有两种类型。一种是简单矩阵,另一种是有源矩阵。

基本地,一个LCD部分包括:用于驱动每个以矩阵形式布置的液晶象素的模拟缓冲器,用于存贮要显示的图象的模拟存储器,和用于产生矩阵电路中在沿X及Y方向的操作定时的移位寄存器。还有,LCD装置的辅助电路包括一个用于向LCD部分提供用于X及Y方向的移位寄存器的数据及时钟的LCD控制器,一个用于向LCD控制提供水平及垂直同步信号及定时信号的同步信号发生电路,和一个用于存贮要显示的图象的图象数据存储器。

上述结构可用于一个简单矩阵或有源矩阵型LCD装置。所使用的液晶材料并不限于一种特定的材料。

能够存贮两帧图象数据的存储单元具有存贮要显示两帧所必需的两帧图象数据的功能。可以采用一个图象随机存取存储器

(VRAM)作为存储单元。VRAM是一种动态随机存取存储器(DRAM),并且具有并行的输入和输出部分,以及串行的输入和输出部分。

通过图象数据比较器电路104以毕特为单位对存贮在图象数据存储单元102中的两帧图象数据进行比较,然后电路104输出一个代表比较结果的输出信号。根据输出信号,同步信号调节电路108 调节水平和垂直同步信号,并且把调节的水平和垂直同步信号供给LCD控制器107。

在长时间显示相同帧的情况下,如果减少LCD装置的显示部分(屏幕)上的扫描数,可以降低能耗。

通过定时器电路106来设定减少扫描数的时间,可以选择和设定一个在既使不向LCD装置中的液晶施加交流电压的情况下液晶的特性也不会变差的时间间隔,一个用于在LCD的辅助电路中存贮图象数据的存储器的刷新时间,或包括在LCD部分中的模拟存储器的刷新时间。

附图说明

图1表示一个根据本发明一个实施例的液晶显示(LCD)装置的方框图;

图2表示一个常规LCD装置的方框图;

图3表示一个根据本发明另一个实施例的LCD装置的方框图;

图4表示一个在图3的LCD装置中的图象数据分布电路的方框图;

图5表示一个在图3的LCD装置中的图象数据比较器电路的方框图;和

图6表示一个根据本发明另一实施例的LCD器的方框图。

具体实施方式

实施例1

在如图3所示的液晶显示(LCD)装置的辅助电路中,采用图象随

机存取存储器 (VRAM) 301 作为图象数据存储单元, 由先进先出 (FIFO) 电路 302 构成图象数据分布电路, 由比较器电路 304 构成图象数据比较器电路, 并且由 "与" 电路 305 构成同步信号调节电路。另外, LCD 装置包括一个 LCD 控制器 306, 一个具有背后照明部分 307a 的 LCD 部分 307, 一个包含有一个计数器 (未表示) 的定时器 308, 和一个同步信号发生器电路 309。

下面描述图 3 所示的装置的操作。

LCD 控制器 306 对读到 VRAM 301 的图象数据进行处理。从 VRAM 301 读出的图象数据输入给 FIFO 电路 302。

图 4 表示 FIFO 电路 302 的结构。由一个 FIFO 选择器 401, FIFO 0402 和 FIFO 1403 和触发器 (FF) 电路 404 及 405 构成 FIFO 电路 302。FIFO 选择器 401 接通或关断以把第一帧存储进 FIFO 0402 和把第二 (下一) 帧存储进 FIFO 1403 中。当将数据输入到 FIFO 1403 中时, 根据数据输出设置 FIFO 0402 和 FIFO 1403 以得到一个启动状态。使来自 FIFO 0402 和 FIFO 1403 的数据同步并且根据一个标准时钟从触发器电路 404 和 405 输出。

如图 5 所示, 把来自 FIFO 电路 302 的输出数据信号输入给比较器电路 304。比较器电路 304 包括两个比较器 501a 和 502b, 两个 "与" (门) 电路 502a 和 502b, 两个触发器 (FF) 电路 503a 和 503b, 以及用于延迟比较电路输出的延迟电路 504a 和 504b。每两个电路用来调节水平和垂直同步信号。延迟电路 504a 和 504b 用于与标准时钟同步地输出信号, 以便避免在准确地输出两帧图象的比较结果的情况下一个元件的延迟或类似的情况。

用比较器 501a 和 501b 对关于两帧图象的以毕特为单位的图象

数据信号进行相互比较。当两个图象数据信号彼此一致时,"与"电路502a和502b输出一个低电平(L),当两个图象数据信号彼此不同时,"与"电路502a和502b输出一个高电平(H)。两个输出信号借助于触发器电路503a和503b两与一个标准时钟同步并且通过延迟电路504a和504b输出。因此,在比较器电路304中,两帧图象彼此比较,并且确定代表两帧图象是否一致的电平。

把来自比较器电路304的输出信号输入给一个由"与"电路构成的同步信号调节电路305中。如图3所示,在"与"电路305中,在来自电路304的输出信号和来自同步信号发生器电路309的水平及垂直同步信号之间进行"与"逻辑操作。

如上所述,当两个图象数据信号彼此一致时,从比较器电路304输出一个低电平(L)信号。因此,当在"与"电路305中进行"与"逻辑操作时,不会从"与"电路305中向LCD控制器306输出水平和垂直同步信号。或许只有垂直同步信号不被输出。

另一方向,当两个图象数据信号彼此不同时,从比较器电路304中输出一个高电平(H)信号。因此,当在"与"电路中进行"与"操作时,从"与"电路305中向LCD控制器306输出水平和垂直同步信号。

在上面两种状态的任一种中,通过LCD控制器306使水平和垂直同步信号输入给LCD部分307。

当两个图象数据彼此一致时,定时器308开始计数,并且水平和垂直同步信号维持在相同的状态下直到定时器308的计数值达到一个设定值为止。定时器308通过一个中断信号线320与比较器电路304连接。当定时器308的计数值达到设定值时,来自计时器308的中断信号输出把比较器304的输出信号电平变为高电平(H)。

还有,当两个图象数据彼此一致时,由于定时器308通过一个背后照明部分开关线321与LCD部分307连接,在定时器308的计数值达到一个初始设定值之后,定时器308向背后照明部分开关线321输出一个信号(具有断开背后照明部分307a的电平),这样可以断开LCD部分307的背后照明部分307a。当重新设置定时器308时,把背后照明部分开关线321上的信号的电平维持在接通背后照明部分307a的电平上。

借助于上面的操作,当相同帧的图象是持续的时,可以控制背后部分307a的开和关。

实施例2

在图6中,VRAM602和603是图象数据存储单元,并且通过用于选择VRAM602和603的的VRAM输入选择器601分别把第一帧图象和第二(下一)帧图象存储在VRAM602和603中。由于VRAM 602和603用于图6的LCD装置中,图1的图象数据分布电路就没有必要了。由一个比较器电路606构成图象数据比较器电路,并且由"与"(门)电路607构成同步信号调节电路。另外,该LCD装置包括:一个VRAM输出选择器604,一个LCD控制器608,一个具有背后照明部分609a的LCD部分609,一个定时器电路610和一个同步信号发生器电路611。

下面描述图6的LCD装置的操作。

从与一个MPU(未表示)相连的MPU 总线把连续的图象数据输入给VRAM输出选择器601。偶数帧图象存储在VRAM 602中,奇数帧图象存储在VRAM 603中。

把存储在VRAM 602和603 中的图象数据输入给比较器电路606

和VRAM输出选择器604。该VRAM输出选择器604是一个用于根据来自LCD控制器608的数据读出信号而交替地从VRAM 602和603中读出图象数据的电路。

如图5所示,比较器电路606的结构与比较器电路304的结构相同。用比较器501a和502b对从VRAM 602和603读出的两个帧图象数据(以毕特为单位)进行比较。在比较器501a和501b中,当两个图象数据信号彼此一致时,则输出一个低电平(L),并且当两个图象数据信号彼此不同时,则输出一个高电平(H)。借助于触发器电路503a和503b使这两个输出信号与一个标准时钟同步并且通过延迟电路504a和504b输出。

通过上述操作,可以确定代表这两帧图象是否一致的电平。

把来自比较器电路606的输出信号输入给同步信号调节器电路607。如图6所示,在"与"电路607中对来自电路606的输出信号和来自同步信号发生器电路611的水平及垂直同步信号进行"与"逻辑操作。

如上所述,当两个图象数据信号彼此一致时,则从比较器电路606中输出一个低电平(L)信号。因此,当在"与"电路607中进行"与"逻辑操作时,水平和垂直同步信号不会从"与"电路607向LCD控制器608输出。或许只有垂直同步信号不输出。

另一方面,当两个图象数据信号彼此不相同时,从比较器电路606中输出一个高电平(H)信号。因此,当在"与"电路607中进行"与"逻辑操作时,从"与"电路向LCD控制器608输出水平和垂直同步信号。

在上面两种状态的任一种中,通过LCD控制器608把水平和垂直

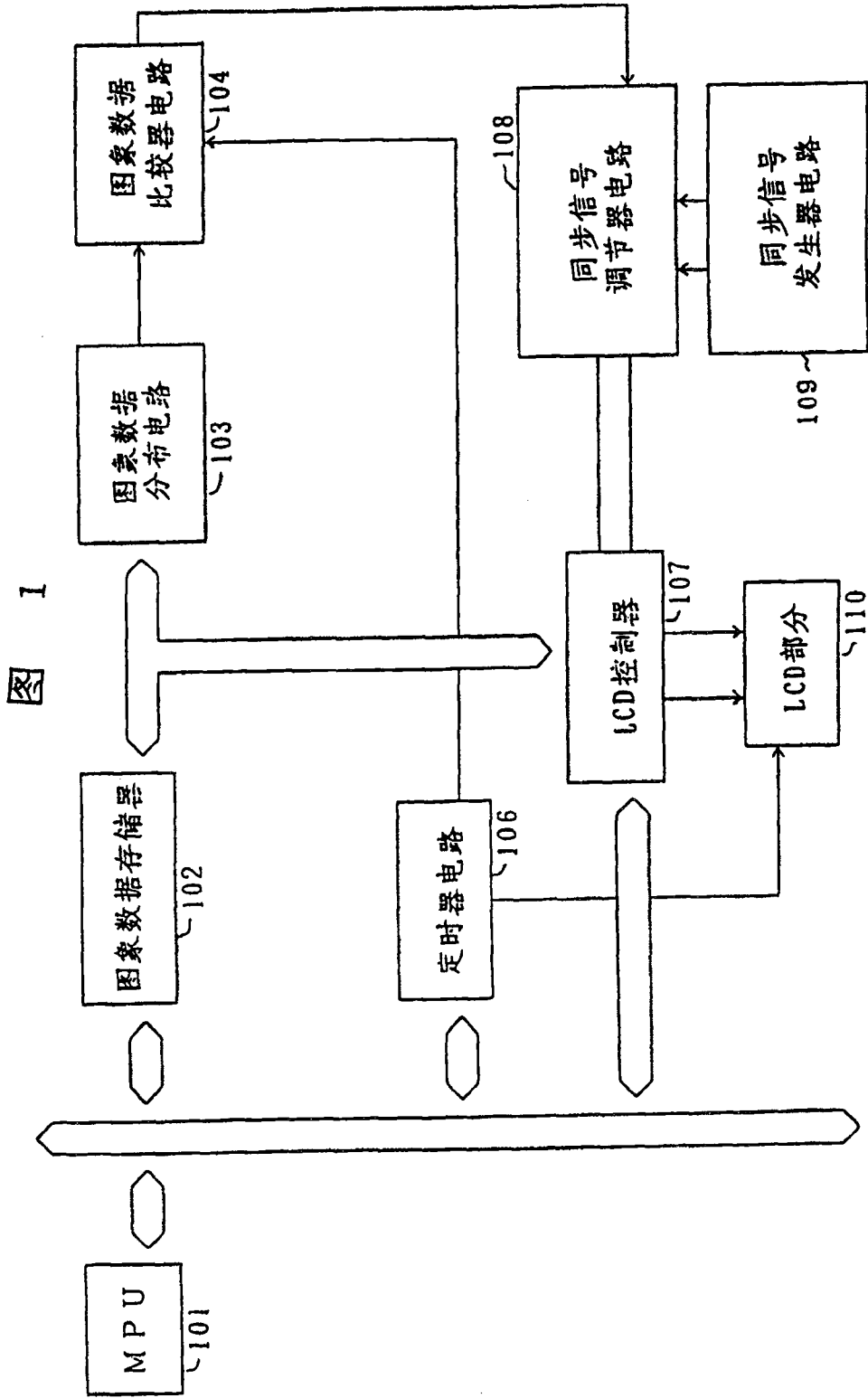
同步信号输入给LCD部分609。

当两个图象数据信号彼此一致时,定时器电路610开始计数,并且水平和垂直同步信号维持在同一状态,直到定时器电路610的计数值达到一个设定值为止。定时器电路610通过一个中断信号线620与比较器电路606连接。当定时器电路610的计数值达到该个设定值时,来自定时器610的中断信号的输出把比较器电路606的输出信号电平变成为高电平(H)。

还有,当两个图象数据彼此一致时,由于定时器电路610通过一个背后照明部分开关线621与LCD部分609相连,在定时器电路610的计数值达到一个初始设定值之后,定时器电路610向背后照明部分开关线621输出一个信号(该信号具有断开背后照明部分609a的电平),这样可以断开该LCD部分609的背后照明部分609a。当重新设置定时器电路610时,把背后照明部分开关线621的信号的电平维持在接通背后照明部分609a的一个电平上。

借助于上述操作,当相同帧图象是持续的时,可以控制背后照明部分609a的打开和关闭。

根据本发明,当相同帧图象是持续的时,不向液晶显示装置输出同步信号(或者仅仅垂直同步信号)。其结果是,在液晶显示装置上显示的帧扫描数降低并且背后照明部分断开,这样可以降低液晶显示装置的能量消耗。



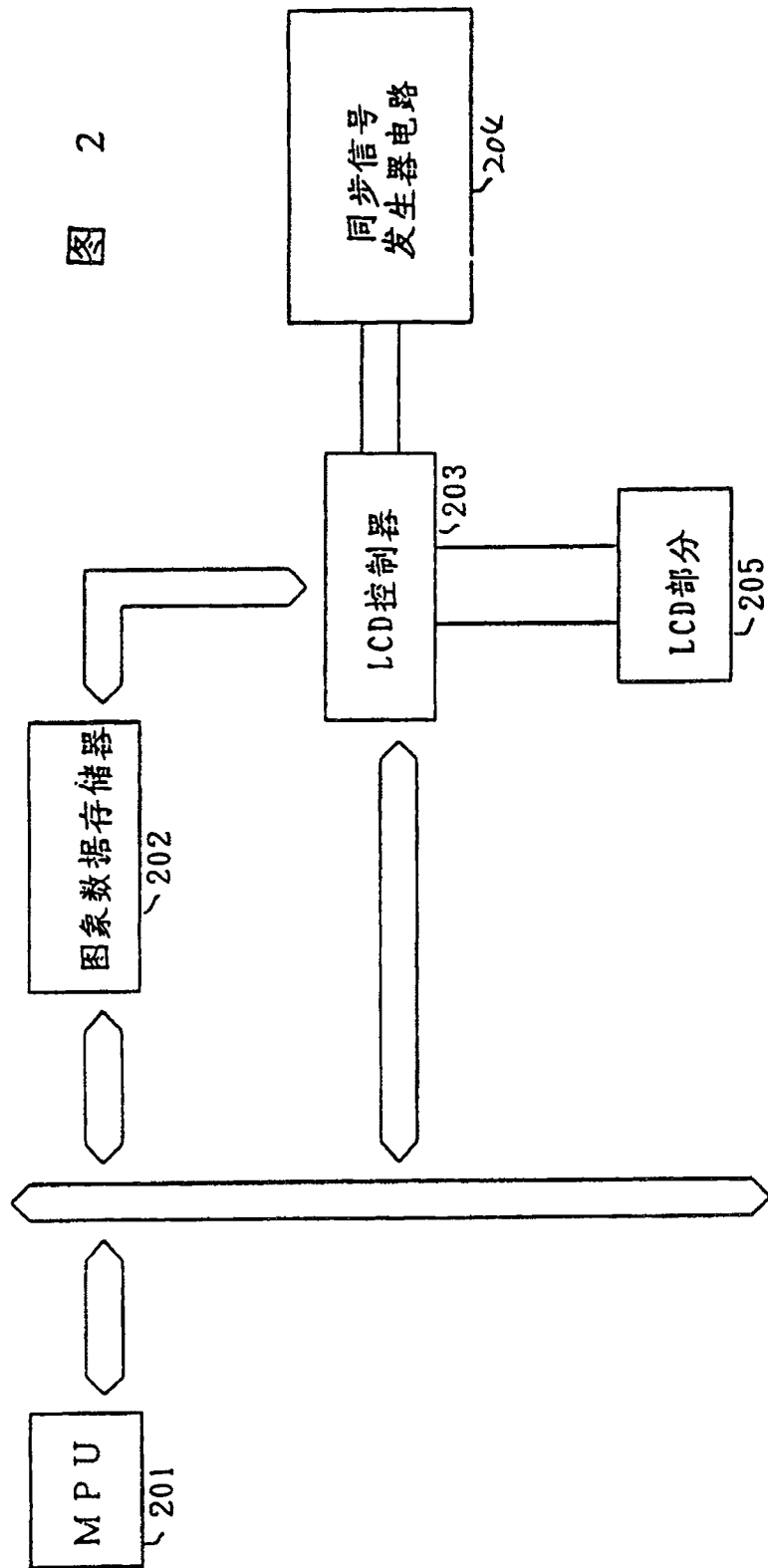


图 2

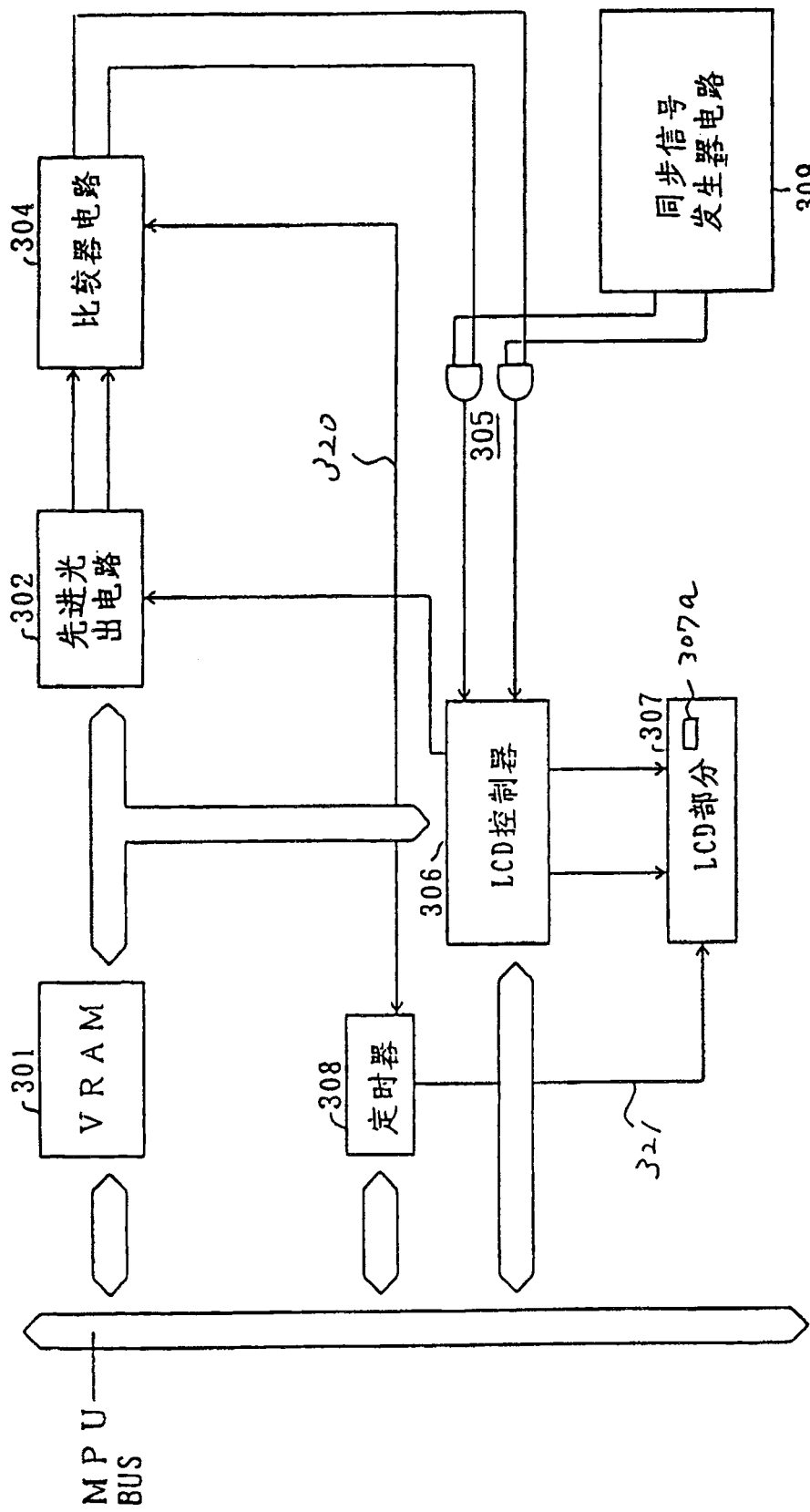


图 3

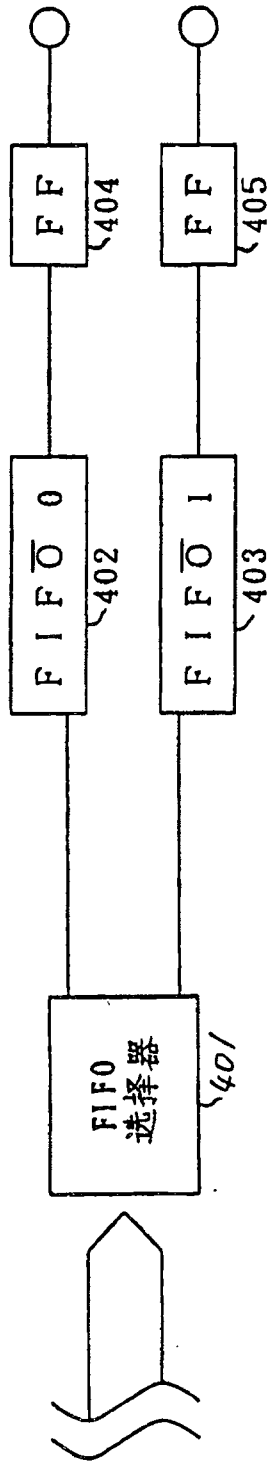


图 4

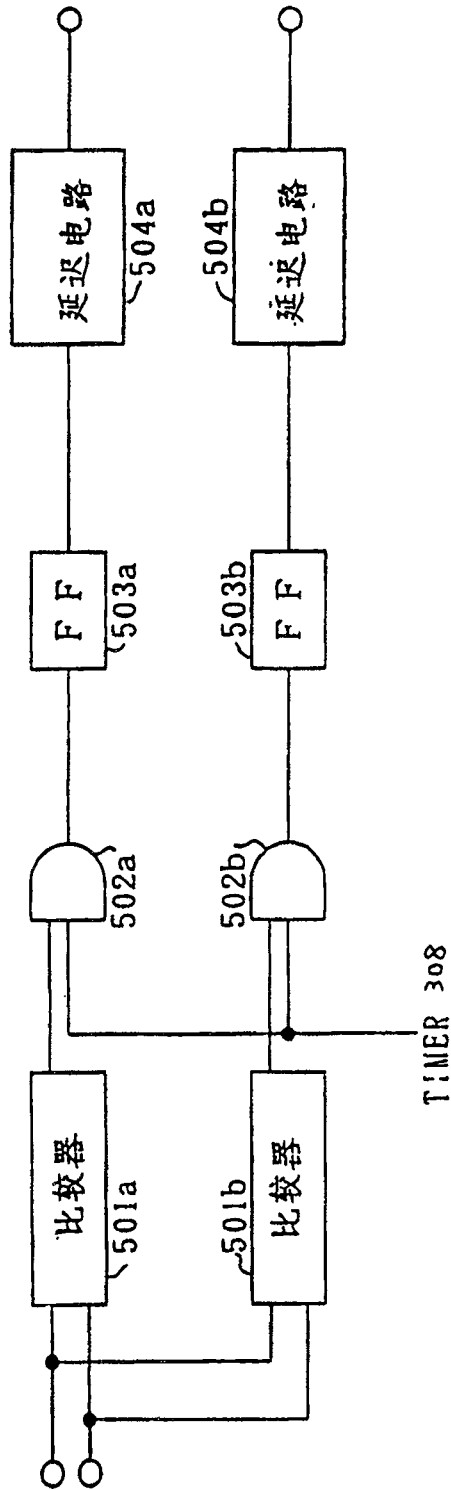


图 5

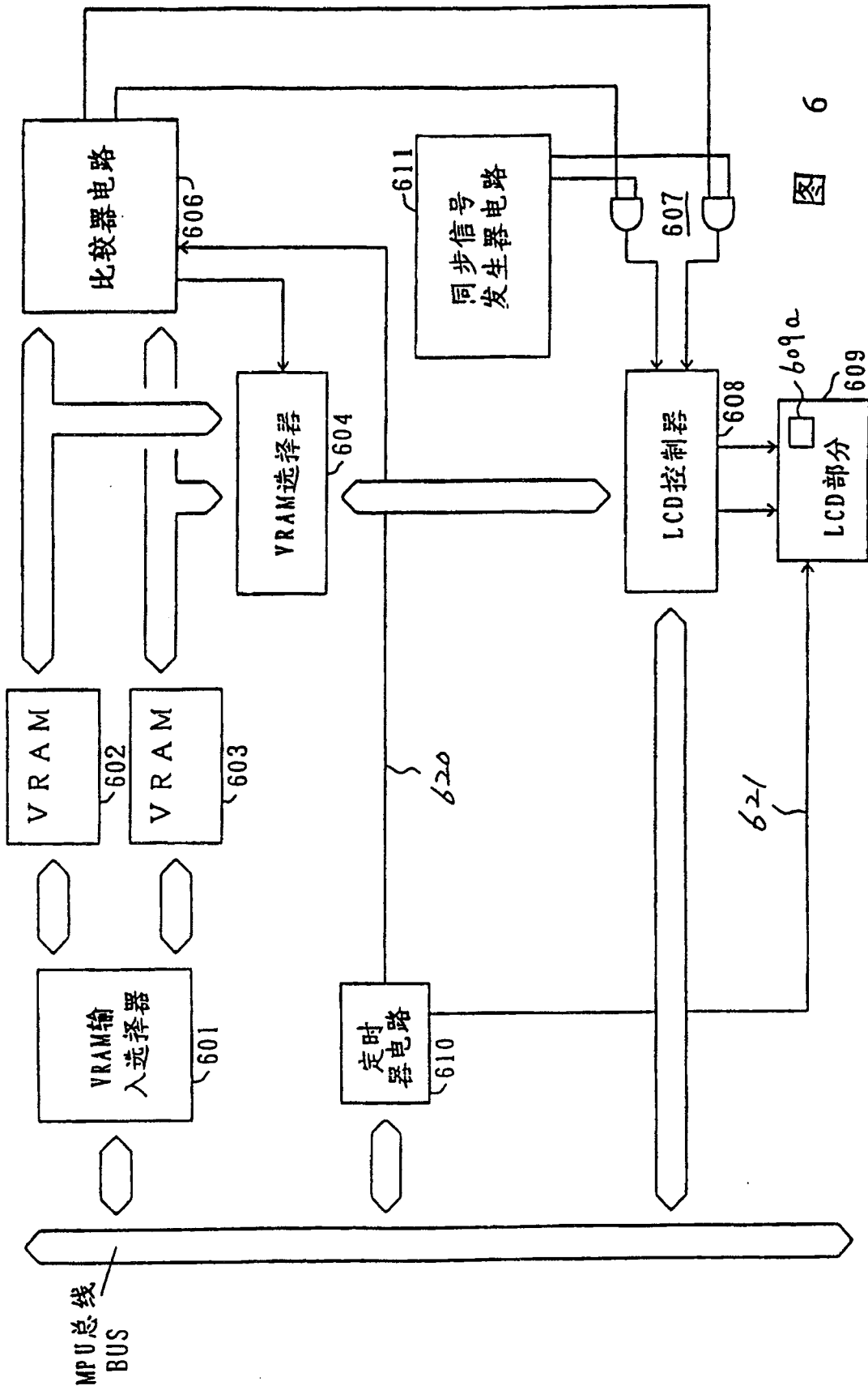


图 6