



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년09월01일
(11) 등록번호 10-1061080
(24) 등록일자 2011년08월25일

(51) Int. Cl.
G11C 29/00 (2006.01) *G11C 11/413* (2006.01)
(21) 출원번호 10-2005-7016826
(22) 출원일자(국제출원일자) 2004년03월03일
심사청구일자 2009년03월03일
(85) 번역문제출일자 2005년09월09일
(65) 공개번호 10-2005-0107786
(43) 공개일자 2005년11월15일
(86) 국제출원번호 PCT/IB2004/050192
(87) 국제공개번호 WO 2004/081948
국제공개일자 2004년09월23일
(30) 우선권주장
03100633.1 2003년03월12일
유럽특허청(EPO)(EP)
(56) 선행기술조사문헌
US05276647 A1
US06501692 B1
전체 청구항 수 : 총 17 항

(73) 특허권자
엔엑스피 비 브이
네덜란드 엔엘-5656 아게 아인드호펜 하이 테크 캠퍼스 60
(72) 발명자
피네다 드 기베즈 요세 디 제이
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
사츠데브 마노즈
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
파블로브 안드레이
네덜란드 엔엘-5656 에이에이 아인드호펜 홀스트란 6
(74) 대리인
제일특허법인

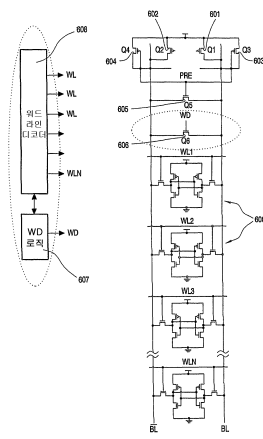
심사관 : 임인권

(54) SRAM 셀과 어레이 테스트 장치 및 방법

(57) 요약

본 발명은 결함이 존재하는 SRAM 어레이를 테스트하는 방법 및 장치에 관한 것이다. 먼저, 0/1 비율이 메모리 어레이에 기록되고(단계 100), 이어서 비트 라인 BL과 BLB가 사전충전되어 임계 검출 전압으로 등화된다(단계 102). 임계 검출 전압은 셀의 0/1 비율에 따라 프로그래밍되어, 특정 셀 기준 및/또는 특성을 고려하도록 한다. 이어서, 어레이 내의 모든 셀과 연관된 워드 라인이 실질적으로 동시에 인에이블되고(단계 104), 비트 라인이 단락되며(단계 106), 워드 라인이 디스에이블되고(단계 108), 비트 라인이 릴리스된다(단계 110). 다음에는, SRAM 어레이의 콘텐츠가 판독되고 원래 0/1 비율과 비교된다(단계 112). 그 콘텐츠가 원래 0/1 비율과 일치하지 않는(그 콘텐츠가 변경된) 모든 셀은 "약한 셀"로 표시되거나 식별된다(단계 114).

대표도 - 도6



특허청구의 범위

청구항 1

SRAM(a static random access memory) 셀 - 상기 SRAM 셀은 초기 로직 상태를 가지고, 두 개의 비트 라인들(BL, BLB) 사이에 접속되며 하나의 워드 라인(WL)에 결합되는 플립플롭 회로를 포함함 - 을 약한 결함(a weak defect)의 존재에 대해 테스트하는 장치에 있어서,

상기 비트 라인들(BL, BLB) 중 적어도 하나를 사전결정된 레벨로 사전충전(pre-charging)하는 수단과,

상기 워드 라인(WL)을 인에이블시키는 수단과,

상기 워드 라인(WL)이 인에이블된 후, 상기 SRAM 셀의 로직 상태가 상기 초기 로직 상태로부터 변경되었는 지 판단하기 위해 상기 SRAM 셀의 로직 상태를 판단하는 수단과,

특정 셀 기준 및 특성 중 하나 이상에 기초하여 트립 전압(a trip voltage)을 프로그래밍하는 수단과,

상기 워드 라인(WL)이 인에이블된 후 상기 로직 상태를 판단하기 전에, 상기 비트 라인들(BL, BLB) 중 적어도 하나 또는 그에 비례하는 노드 전압을 상기 트립 전압으로 만드는 수단과,

로직 상태가 상기 초기 로직 상태로부터 변경된 것으로 판단된 셀을 약한 셀로 표시(marking)하거나 식별하는 수단을 포함하는

SRAM 셀 테스트 장치.

청구항 2

제 1 항에 있어서,

상기 트립 전압은 상기 SRAM 셀의 상기 초기 로직 상태에 따라 프로그래밍되는

SRAM 셀 테스트 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 SRAM 셀 테스트 장치는 약한 셀들의 존재에 대해 SRAM 어레이를 테스트하기 위한 것이되,

상기 SRAM 어레이는 상기 동일한 두 개의 비트 라인들(BL, BLB) 사이에 모두 접속된 복수의 SRAM 셀을 포함하고, 각각의 SRAM 셀은 각각의 워드 라인(WL)에 결합되는

SRAM 셀 테스트 장치.

청구항 4

제 3 항에 있어서,

상기 워드 라인(WL)을 인에이블시키는 수단은 상기 복수의 SRAM 셀이 각각 결합되는 모든 워드 라인을 실질적으로 동시에 인에이블시키는 수단을 포함하는

SRAM 셀 테스트 장치.

청구항 5

제 3 항에 있어서,

상기 어레이 내의 각각의 상기 SRAM 셀의 상기 초기 로직 상태를 결정하고, 그 안에 포함된 '0'과 '1'의 비율에 따라 상기 트립 전압을 프로그래밍하는 수단을 포함하는

SRAM 셀 테스트 장치.

청구항 6

제 5 항에 있어서,

상기 워드 라인(WL)이 인에이블된 후 상기 SRAM 셀 모두의 상기 로직 상태를 판단하고, 그 로직 상태가 상기 초기 로직 상태로부터 변경되었다고 판단되는 셀들을 약한(weak) 셀로 표시하거나 식별하는 수단을 포함하는 SRAM 셀 테스트 장치.

청구항 7

제 6 항에 있어서,
약한 셀은 양호한 셀보다 상당히 낮은 정적 노이즈 마진(static noise margin)을 갖는 것으로 정의되는 SRAM 셀 테스트 장치.

청구항 8

정적 랜덤 액세스 메모리(SRAM) 어레이 - 상기 메모리 어레이는 각각이 초기 로직 상태를 가지고, 비트 라인 쌍 (BL, BLB)에 접속되며 각각의 워드 라인(WL)에 결합되는 복수의 SRAM 셀을 포함함 - 를 약한 결합의 존재에 대해 테스트하는 장치에 있어서,

상기 비트 라인들(BL, BLB) 중 적어도 하나를 사전결정된 레벨로 사전충전하는 수단과,

상기 워드 라인(WL)을 인에이블시키는 수단과,

상기 비트 라인들 중 적어도 하나 또는 그에 비례하는 노드 전압을 사전결정된 트립 전압으로 만드는 수단과,

상기 적어도 하나의 비트 라인 또는 그에 비례하는 노드 전압이 상기 사전결정된 트립 전압으로 된 후 상기 SRAM 셀 각각의 상기 로직 상태를 식별하여 상기 SRAM 셀들 중 임의의 셀의 상기 로직 상태가 상기 초기 로직 상태로부터 변경되었는 지 여부를 판단하는 수단과,

로직 상태가 상기 초기 로직 상태로부터 변경된 것으로 판단된 셀을 약한 셀로 표시하거나 식별하는 수단을 포함하되,

상기 워드 라인을 인에이블시키는 수단은 상기 메모리 어레이 내의 상기 워드 라인 모두를 실질적으로 동시에 인에이블시키는 수단을 포함하는

SRAM 어레이 테스트 장치.

청구항 9

제 8 항에 있어서,

특정 셀 기준 및 특성 중 하나 이상에 기초하여 상기 사전결정된 트립 전압을 프로그래밍하는 수단을 포함하는

SRAM 어레이 테스트 장치.

청구항 10

제 9 항에 있어서,

상기 트립 전압을 프로그래밍하는 수단은 상기 SRAM 셀의 상반되는 초기 로직 상태의 비율(the ratio of opposing initial logic states)에 기초하여 상기 트립 전압을 프로그래밍하는

SRAM 어레이 테스트 장치.

청구항 11

제 8 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 워드 라인이 인에이블된 후 상기 비트 라인들(BL, BLB)을 함께 단락시키는 수단을 포함하는

SRAM 어레이 테스트 장치.

청구항 12

제 11 항에 있어서,

상기 비트 라인들을 함께 단락시키는 수단은 상기 비트 라인들 사이에 접속된 MOS 트랜지스터를 포함하는 SRAM 어레이 테스트 장치.

청구항 13

제 12 항에 있어서,
상기 비트 라인들을 함께 단락시키는 수단은 NMOS 트랜지스터를 포함하는 SRAM 어레이 테스트 장치.

청구항 14

제 11 항에 있어서,
상기 비트 라인들(BL, BLB)을 함께 단락시키는 수단은 상기 비트 라인들 사이에 접속된 CMOS 스위치를 포함하는 SRAM 어레이 테스트 장치.

청구항 15

제 14 항에 있어서,
상기 CMOS 스위치는 두 개의 트랜지스터를 포함하는 SRAM 어레이 테스트 장치.

청구항 16

SRAM 셀 - 상기 SRAM 셀은 초기 로직 상태를 가지고, 두 개의 비트 라인들(BL, BLB) 사이에 접속되며 하나의 워드 라인(WL)에 결합되는 플립플롭 회로를 포함함 - 을 약한 결합의 존재에 대해 테스트하는 방법에 있어서,
상기 비트 라인들 중 적어도 하나를 사전결정된 레벨로 사전충전하는 단계와,
상기 워드 라인을 인에이블시키는 단계와,
상기 워드 라인이 인에이블된 후, 상기 SRAM 셀의 로직 상태가 상기 초기 로직 상태로부터 변경되었는지 판단하기 위해 상기 SRAM 셀의 로직 상태를 판단하는 단계를 포함하되,
특정 셀 기준 및 특성 중 하나 이상에 기초하여 트립 전압을 프로그래밍하는 단계와,
상기 워드 라인이 인에이블된 후 상기 로직 상태를 판단하기 전에, 상기 비트 라인들 중 적어도 하나 또는 그에 비례하는 노드 전압을 상기 트립 전압으로 만드는 단계와,
로직 상태가 상기 초기 로직 상태로부터 변경된 것으로 판단된 셀을 약한 셀로 표시하거나 식별하는 단계를 더 포함하는
SRAM 셀 테스트 방법.

청구항 17

정적 랜덤 액세스 메모리(SRAM) 어레이 - 상기 메모리 어레이는 각각이 초기 로직 상태를 가지고, 비트 라인 쌍(BL, BLB)에 접속되며 각각의 워드 라인(WL)에 결합되는 복수의 SRAM 셀을 포함함 - 를 약한 결합의 존재에 대해 테스트하는 방법에 있어서,
상기 비트 라인들 중 적어도 하나를 사전결정된 레벨로 사전충전하는 단계와,
상기 워드 라인을 인에이블시키는 단계와,
상기 비트 라인들 중 적어도 하나 또는 그에 비례하는 노드 전압을 사전결정된 트립 전압으로 만드는 단계와,
상기 적어도 하나의 비트 라인들 또는 그에 비례하는 노드 전압이 상기 사전결정된 트립 전압으로 된 후 상기 SRAM 셀 각각의 상기 로직 상태를 식별하여 상기 SRAM 셀들 중 임의의 셀의 상기 로직 상태가 상기 초기 로직 상태로부터 변경되었는지 여부를 판단하는 단계와,

로직 상태가 상기 초기 로직 상태로부터 변경된 것으로 판단된 셀들을 약한 셀로 표시하거나 식별하는 단계를 포함하되,

상기 워드 라인을 인에이블시키는 단계는 상기 메모리 어레이 내의 상기 워드 라인 모두를 실질적으로 동시에 인에이블시키는 단계를 포함하는

SRAM 어레이 테스트 방법.

명세서

기술분야

[0001] 본 발명은 전반적으로 SRAM에 관한 것으로서, 보다 구체적으로는 결합이 있는 SRAM 셀의 검출 방법 및 장치에 관한 것이다.

배경기술

[0002] SRAM은 그 콘텐츠를 유지하기 위해서는 전력을 필요로 하는 메모리 칩으로서, 전력이 공급되는 동안에 한해 그 메모리 내에 데이터 비트를 유지한다. 이는 두 개의 선택 트랜지스터 중 어느 것이 활성화되었는가에 따라 한 쪽 또는 다른 한쪽을 통해 전류가 흐르도록 하는 플립-플롭 회로로 이루어진다. DRAM과는 달리, SRAM은 주기적으로 셀을 리프레쉬하는 리프레쉬 회로를 요하지 않는다. SRAM은 DRAM에 비해 데이터에 대한 빠른 액세스를 제공한다. 그러나, SRAM은 더 넓은 공간을 차지하고, 더 많은 전력을 소모하며, 더 비싼 경향이 있다. SRAM은 예컨대 컴퓨터의 캐쉬 메모리와 비디오 카드 상의 랜덤 액세스 메모리 디지털-아날로그 변환기의 일부로서 흔히 사용된다.

[0003] 도 1은 통상적으로 사용되는 6-트랜지스터(6T) SRAM 셀을 도시하고 있다. P-채널 트랜지스터(102)와 N-채널 트랜지스터(104)를 포함하는 제 1 인버터(100)와 P-채널 트랜지스터(202)와 N-채널 트랜지스터(204)를 포함하는 제 2 인버터(200)가 알려진 방식으로 상호접속되어 래치를 형성하고 있다. 제 1 N-채널 선택 트랜지스터(106)는 래치를 제 1 비트 라인 BLB에 결합시키고, 제 2 N-채널 선택 트랜지스터(108)는 래치를 제 2 비트 라인 BL에 결합시킨다. N-채널 선택 트랜지스터(106, 108)는 워드 라인 WL에 결합된다.

[0004] 전술한 6-트랜지스터(6T) CMOS SRAM 셀은 그 풀업 PMOS 트랜지스터가 활성화되어 완벽한 데이터 보존이 가능하다는 점을 비롯하여 마이크로프로세서 또는 마이크로 컨트롤러 설계를 위한 통상적인 4-트랜지스터(4T) SRAM 셀에 비해 많은 장점을 갖는다. 그러나, 이러한 완벽한 데이터 보존 가능성은 종종 약한 결함(weak defect)이라 지칭되는 개방-회로 결함이 보존 장애(retention failure)를 일으키는 것으로 알려져 있어 이전에는 구현될 수 없었다. 전형적으로 저항성 결함, 과도한 프로세스 시프트, 트랜지스터 미스매치, IR 드롭 등과 같은 원인에 의해 야기되는 이러한 종류의 결함은 프로세서, 온도, 시간에 따라 예측할 수 없는 데이터 보존 장애를 유발할 수 있다. 셀 전체가 손상된 것이 아니고 (상태 변경을 특징으로 하는) 보존 장애는 SRAM의 정규 동작 동안의 전기적 교란(이를테면 전력 노이즈), 판독/기록 셀 교란 등과 같은 소정 동작 상태 하에서만 트리거되기 때문에, 이러한 보존 장애는 랜덤하게 되는 경향이 있다. 결과적으로, N-마치(N-March)와 같은 테스트 알고리즘과 고온 베이킹(high-temperature bakes)와 같은 통상적인 보존 검출 기법은 이러한 종류의 결함을 검출하지 못할 수도 있다.

[0005] 이하의 목적을 위해, 정적 노이즈 마진(SNM : static noise margin)이 0에 가까운 셀을 약한 셀로 정의할 수 있으며, 그러한 셀은 의도함이 없이 그들의 상태를 플립할 수 있다. SNM은 양 상태에서 노이즈에 대한 로직 회로의 공차를 나타내는 척도로서, 즉, 현재 로직 상태를 교란하지 않으면서 얼마나 많은 입력 전압을 변경시킬 수 있는가를 나타낸다. 달리 말해서, SNM은 셀 강건성(cell robustness)의 척도이다. 도 2를 참조하면, 정적 노이즈 마진을 강조하여 메모리 셀의 전달 함수를 도시하였다. SNM은 두 셀 인버터의 전달 특성 사이에 긴 최대 사각형의 변으로 정의된다. 특성 곡선 상의 X점과 Y점은 두 개의 안정 상태를 나타내고, 교차점 Z는 준안정 상태를 나타낸다. X 또는 Y를 향한 Z 주변의 작은 교란으로 인해 셀은 상태 X 또는 Y로 각각 변경될 것이다.

[0006] 위에서 언급한 유형은 하나 이상의 트랜지스터를 원치않는 전기적 파라미터 시프트, 예를 들어, 임계 전압의 이동, 유효 트랜지스터 길이의 감소뿐 아니라 저항성 결함으로 인한 "약한-저항성" 전기적 개방 및 단락("weak-

ohmic" electrical opens and shorts) 등과 연관시키는 경향이 있다. 이들 결함을 이하에서는 "약한 결함 (weak defect)"이라 지칭하기로 한다. 미국 특허 제 5,034,923 호는 약한 결함이 존재하는 SRAM 회로의 인버터를 완전히 테스트하기 위한 세 가지 약한 결함 검출 과정을 묘사하고 있다.

[0007] 첫 번째 약한 결함 검출 과정은 도 1을 다시 참조하여 요약할 수 있다. 먼저, 비트 라인 BLB를 로우 로직 상태(즉, 그 전압이 트랜지스터의 임계 전압 아래의 값이 됨)로 사전충전한다. 이어서, 워드 라인 WL을 하이 로직 상태(즉, 그 전압이 트랜지스터의 임계 전압 위의 값으로 구동됨)로 구동하여 트랜지스터(106, 108)를 도통시킴으로써 테스트 중인 인버터(예컨대, 100)의 출력단을 비트 라인 BLB와 BL에 결합시킨다. 그런 다음, 비트 라인 BL을 로우 로직 상태로 구동한다. 마지막으로, 비트 라인 BLB의 로직 상태를 검출한다.

[0008] 두 번째 약한 결함 검출 과정은 첫 번째 과정과 유사하지만, BLB와 BL의 상태의 논리적 검출이 반대로 된다. 다시 말해서, BLB를 하이 로직 상태로 사전충전하고, WL을 하이 상태로 구동한 후, BL을 하이 로직 상태로 구동하고, BLB의 상태를 검출한다.

[0009] 명백하게도, 처음 두 과정 각각의 결과, 인버터(100)가 적절하게 동작하고 있다면 BLB의 로직 상태가 그 사전충전된 상태에서부터 변경되어 있을 것이다. 즉, BLB는 제 1 과정 후에는 하이 상태로 제 2 과정 후에는 로우 상태로 되어야 한다.

[0010] 미국 특허 제 5,034,923 호에서 설명된 세 번째 약한 결함 검출 과정은 처음 두 과정에서는 검출할 수 없었던 작은 결함까지 검출하도록 설계된 것이다. 이 과정은 BL의 상태를 하이로 유지하고 인버터(100)를 통해 누설되는 전류의 양을 검출한다. SRAM 셀용 V_{dd} 전원 라인에 결합된 전류 센서는 누설 전류가 사전선택된 한계를 초과하는지 확인하여, 그 경우 셀을 결함있는 셀로 식별해낸다.

[0011] 도 3을 참조하면, 양호한 SRAM 셀(실선)과 약한 SRAM 셀(점선)의 전달 특성이 도시되어 있다. 양 축은 비트 라인 전압에 비례하는 노드 전압을 나타낸다. $V_{M_{good}}$ 과 $V_{M_{weak}}$ 은 양호한 셀 및 약한 셀의 준안정 점을 나타낸다. SRAM 셀 내부 노드가 VM 레벨이 되면, 작은 전압 증가로도 셀이 그 증가 방향으로 변경된다. 전달 특성 곡선상의 지점 X1, Y1 (X2, Y2)은 안정 상태 Z1(Z2) - 양호한 (약한) 셀의 준안정 상태를 각각 나타낸다. 도 3으로부터 명백히 알 수 있듯이, 약한 셀은 양호한 셀에 비해 상당히 작은 SNM을 갖는다.

[0012] 그러나, 모든 셀이 동일한 전달 특성을 갖는 것은 아니어서, 준안정 점은 셀마다 다를 수 있다. 준안정 점은 기술과 회로 설계에 따라서도 달라질 수 있다. 또한, 소비자의 요구사항은 목표로 하는 응용분야에 따라 달라질 수 있다. 미국 특허 제 5,034,923 호에 기술된 테스트 과정은 테스트 전압이 이들 이슈를 고려할 수 있도록 변경되지 못한다는 점에서 다소 비실용적이다. 이는 진술한 방법의 응용 분야를 상당히 제한한다. 나아가, 미국 특허 제 5,034,923 호에 기술된 기법은 하나의 어레이 내의 각 워드 라인을 개별적으로 활성화하는 것이어서, 약한 셀을 검출하는 과정을 수행하는 데 소요되는 시간이 어레이 내의 워드 라인 수에 비례하게 되어 테스트 시간이 상대적으로 길어진다.

발명의 상세한 설명

[0013] 우리는 이제 이러한 문제점을 극복할 수 있는 장치를 고안하였다.

[0014] 따라서, 본 발명의 제 1 측면에 따르면, 약한 결함이 존재하는 SRAM 셀 - SRAM 셀은 초기 로직 상태를 가지며 두 개의 비트 라인(BL, BLB) 사이에 접속되고 하나의 워드 라인(WL)에 결합되는 플립플롭 회로를 포함함 - 을 테스트하는 장치가 제공되는데, 이 장치는 비트 라인(BL, BLB) 중 적어도 하나를 사전결정된 레벨로 사전충전(pre-charging)하는 수단과, 워드 라인(WL)을 인에이블시키는 수단과, 워드 라인(WL)이 인에이블된 후, SRAM의 로직 상태를 판단하여 로직 상태가 초기 상태로부터 변경되었는지 판단하는 수단과, 특정 셀 기준 및/또는 특성에 기초하여 트립 전압(a trip voltage)을 프로그래밍하는 수단과, 워드 라인(WL)이 인에이블된 후 로직 상태를 판단하기 전에, 비트 라인(BL, BLB) 중 적어도 하나 또는 그에 비례하는 노드 전압을 트립 전압으로 구동하는 수단을 포함한다.

[0015] 또한, 본 발명의 제 1 측면에 따르면, 약한 결함이 존재하는 SRAM 셀 - SRAM 셀은 초기 로직 상태를 가지며 두 개의 비트 라인(BL, BLB) 사이에 접속되고 하나의 워드 라인(WL)에 결합되는 플립플롭 회로를 포함함 - 을 테스트하는 방법이 제공되는데, 이 방법은 비트 라인 중 적어도 하나를 사전결정된 레벨로 사전충전하는 단계와, 워드 라인을 인에이블시키는 단계와, 워드 라인이 인에이블된 후, SRAM의 로직 상태를 판단하여 로직 상태가 초기

상태로부터 변경되었는지 판단하는 단계와, 특정 셀 기준 및/또는 특성에 기초하여 트립 전압을 프로그래밍하는 단계와, 워드 라인이 인에이블된 후 로직 상태를 판단하기 전에, 비트 라인 중 적어도 하나 또는 그에 비례하는 노드 전압을 상기 트립 전압으로 구동하는 단계를 포함한다.

[0016] 본 발명의 제 1 측면에 따른 장치와 방법의 검출 임계 (또는 트립 전압) 프로그래밍가능성으로 인해 상이한 통과 기준을 만족시키기 위해 검출 임계값을 변경할 수 있게 된다. 결과적으로, 본 발명의 제 1 측면에 따른 방법은 종래 기술에 비해 상당히 융통성이 있다.

[0017] 본 발명의 제 2 측면에 따르면 약한 결합이 존재하는 SRAM 어레이 - 메모리 어레이는 각각이 초기 로직 상태를 가지며 비트 라인 쌍(BL, BLB) 사이에 접속되고 하나의 워드 라인(WL)에 결합되는 복수의 SRAM 셀을 포함함 - 을 테스트하는 장치가 제공되는데, 이 장치는 비트 라인(BL, BLB) 중 적어도 하나를 사전결정된 레벨로 사전충전하는 수단과, 워드 라인(WL)을 인에이블시키는 수단과, 비트 라인 중 적어도 하나 또는 그에 비례하는 노드 전압을 사전결정된 트립 전압으로 구동하는 수단과, 적어도 하나의 비트 라인 또는 그에 비례하는 노드 전압이 사전결정된 트립 전압으로 구동된 후 SRAM 셀 각각의 로직 상태를 식별하여 셀 중 어느 하나의 로직 상태가 초기 로직 상태로부터 변경되었는지 여부를 판단하는 수단과, 그 로직 상태가 초기 로직 상태로부터 변경된 셀들을 약한 셀로 표시하거나 식별하는 수단을 포함하되, 워드 라인 인에이블 수단은 메모리 어레이 내의 워드 라인 모두를 실질적으로 동시에 인에이블시키는 수단을 포함한다.

[0018] 또한, 본 발명의 제 2 측면에 따르면, 약한 결합이 존재하는 SRAM 어레이 - 메모리 어레이는 각각이 초기 로직 상태를 가지며 비트 라인 쌍(BL, BLB) 사이에 접속되고 하나의 워드 라인(WL)에 결합되는 복수의 SRAM 셀을 포함함 - 을 테스트하는 방법이 제공되는데, 상기 방법은 비트 라인 중 적어도 하나를 사전결정된 레벨로 사전충전하는 단계와, 워드 라인을 인에이블시키는 단계와, 비트 라인 중 적어도 하나 또는 그에 비례하는 노드 전압을 사전결정된 트립 전압으로 구동하는 단계와, 적어도 하나의 비트 라인 또는 그에 비례하는 노드 전압이 사전결정된 트립 전압으로 구동된 후 SRAM 셀 각각의 로직 상태를 식별하여 셀 중 어느 셀의 로직 상태가 초기 로직 상태로부터 변경되었는지 여부를 판단하는 단계와, 그 로직 상태가 초기 로직 상태로부터 변경된 셀들을 약한 셀로 표시하거나 식별하는 단계를 포함하되, 워드 라인 인에이블 단계는 메모리 어레이 내의 워드 라인 모두를 실질적으로 동시에 인에이블시키는 단계를 포함한다.

[0019] 본 발명의 제 2 측면에 따른 장치와 방법은 워드 라인을 병렬적으로 활성화하기 때문에 어레이 내의 모든 셀을 테스트하는 데 걸리는 시간이 종래 기술의 단일 워드 라인 활성화 기법에 비해 적게 된다.

[0020] 바람직한 실시예에서, 트립 전압은 SRAM 셀 내에 포함된 "0"과 "1"의 비율에 따라 프로그래밍된다. 발명의 상세한 설명에서, 약한 셀은 양호한 SRAM 셀에 비해 상당히 낮은 정적 노이즈 마진을 갖는 것으로 정의된다.

[0021] 본 발명의 이러한 특징 및 기타 특징은 후술하는 실시예를 참조하면 명백해질 것이다.

[0022] 도면의 간단한 설명

[0023] 본 발명의 실시예들은 예시를 위해 다음 첨부 도면을 참조하여 도시될 것이다.

[0024] 도 1은 통상적인 6-트랜지스터 SRAM 셀의 구성을 나타내는 회로도,

[0025] 도 2는 정적 노이즈 마진을 강조하여 메모리 셀의 전달 함수를 도시한 도면,

[0026] 도 3은 양호한 SRAM 셀과 약한 SRAM 셀의 전달 함수를 각각 도시한 도면,

[0027] 도 4는 BL과 BLB에 대한 R의 함수로서 V_{TEST} 를 도시한 도면,

[0028] 도 5는 본 발명의 예시적인 실시예에 따른 방법을 나타내는 개략적 흐름도,

[0029] 도 6은 본 발명의 제 1 실시예에 따른 장치를 나타내는 회로도,

[0030] 도 7은 도 6의 장치의 동작의 시뮬레이션 결과를 나타내는 그래프,

[0031] 도 8은 본 발명의 제 2 실시예에 따른 장치를 나타내는 회로도,

[0032] 도 9는 도 8의 장치의 동작 동안 비트 라인 전압을 도시하는 그래프,

[0033] 도 10은 신호 WD를 시간에 적시에 생성했을 때 도 8의 장치의 올바른 동작을 나타내는 그래프.

실시예

[0034] 도 1 및 도 3에서, SRAM 셀의 노드 1은 로직 상태 "1"을 가지며 비트 라인들은 알려진 값(이를테면, $V_{dd/2}$)으로 충전되어 있다고 가정한다. 이제 비트 라인에 소정의 조작을 가하여, 본 발명의 실시예에 따른 방법에 의해 V_{node1} 을 안정 상태 'X'로부터 V_{TEST} 로 변경하고 비트 라인은 플로팅 상태로 내버려 둔다. V_{TEST} 는 프로그래밍가능한 약한 셀 검출 임계값을 나타낸다. 도 3으로부터 명백히 알 수 있듯이, 약할 셀이라면 ($V_{dd}-V_{TEST}$) < ($V_{dd}-V_{M_{weak}}$)인 경우 장애를 일으킬 것이고, 양호한 셀이라면 그 상태를 유지할 것이다.

[0035] 도 3에 도시된 바와 같이, 전압 레벨 V_{TEST} 는 지점 "1" 및 "2"에서 양호한 셀의 전달 특성과 교차하고 지점 "3" 및 "4"에서 약한 셀의 전달 특성과 교차한다. 양호한 셀의 노드 1은 그 값(상태 "1")을 유지할 것이지만, 약한 셀의 노드 1은 상태 "0"으로 변경될 것이다. 도 3에서 화살표는 이 경우 전달 특성 역학 방향을 나타낸다.

[0036] 진술한 원칙은 본 발명의 후속하는 실시예에 따른 방법에서 활용되어, V_{TEST} 위의 노드 전압에서 변경되는 모든 셀은 약한 셀로 간주되어 분류될 것이다.

[0037] 이제 비율 R을 다음과 같이 정의하기로 한다.

$$R = \frac{\text{하나의 열에서 상태 "1"을 갖는 셀의 개수}}{\text{그 열의 모든 셀의 개수}}$$

[0038] 위에서, $R \in [0, 1]$ 인 정의로부터 알 수 있듯이, 상태 "1"을 갖지 않는 셀은 상태 "0"으로 기록된다.

[0040] 사전결정된 0/1 패턴 R이 SRAM 셀의 메모리 어레이에 기록되는 것으로 가정한다. 이제, 모든 워드 라인이 동시에 인에이블되면, 비트 라인 상의 프로그래밍가능한 V_{TEST} 전압을 달성할 수 있다. 비율 R을 변경함으로써 상이한 V_{TEST} 전압 및 그에 따른 약한 셀 검출 임계값을 얻을 수 있다. BL 및 BLB에 있어 R에 대한 V_{TEST} 의 의존도를 도 4에 도시하였다.

[0041] 도 5를 참조하면, 본 발명의 실시예에 따른 방법을 예시적으로 나타내고 있다. 단계 100에서 0/1 비율을 메모리 어레이에 기록한다. 단계 102에서 비트 라인 BL과 BLB를 사전충전하고 V_{TEST} 로 등화시킨다. V_{TEST} 는 도 4를 참조하여 진술한 바와 같이 0/1 비율에 따라 선택하거나 프로그래밍한다. 단계 104에서, 어레이 내의 모든 SRAM 셀과 연관된 워드 라인들을 동시에 병렬적으로 인에이블시키고, 단계 106에서 비트 라인 BL과 BLB를 서로 단락시킨다. 이어서, 워드 라인들을 디스에이블시키고(단계 108), 비트 라인들은 릴리시시킨다(단계 110). 후속하여, SRAM 어레이의 콘텐츠를 판독하고 단계 100에서 어레이에 기록된 현재 0/1 비율과 비교한다(단계 112). 그 콘텐츠가 원래 0/1 비율과 일치하지 않는 모든 셀(즉, 그 상태가 변경된 셀)을 "약한 셀"로 표시하거나 식별한다(단계 114). 0/1 비율을 반전시키고(단계 116), 반전된 0/1 비율에 대해 단계 100 내지 단계 114를 반복한다. 이 반전된 0/1 비율은 반대 방향으로 변경되었을지도 모르는 약한 셀들을 검출하는 데 사용된다. 이 방법을 테스트할 모든 0/1 비율에 대해 반복한다.

[0042] 도 6을 참조하여, 본 발명의 제 1 실시예에 따른 장치에 대해 설명하도록 한다. 도시한 장치는 메모리 셀(600)의 한 열을 포함하는데, 두 개의 교차 결합된 PMOS 트랜지스터(601, 602)가 비트 라인을 풀업하고, 세 개의 다른 PMOS 트랜지스터(603, 604, 605)가 비트 라인을 V_{dd} 로 사전충전하며, 하나의 NMOS 트랜지스터(606)가 비트 라인들을 서로 단락시키고, 적절한 로직(607)이 약한 셀 검출(WD : weak detect) 신호를 발생시키며, 워드 라인 디코더(608)가 워드 라인들을 동시에 인에이블시킨다.

[0043] 약한 셀 검출 단계는 셀을 검출하는 데 필요한 트립 포인트 V_{TEST} 를 로우 SNM으로 프로그래밍함으로써 개시된다. 이는 사전결정된 개수의 셀을 "1" 또는 "0" 상태로 기록함으로써 수행한다. 이어서, 트랜지스터(603, 604, 605)에 의해 비트 라인들을 V_{dd} 로 사전충전한다. 이러한 비트 라인 사전충전을 완료한 후, 모든 워드 라인들을 동시에 인에이블시켜서 동일한 열 내의 모든 셀(600)을 병렬로 접속한다. 이 구성에서는, 액세스 트랜지스터가 공통 게이트 및 공통 비트 라인 노드를 공유한다. 다른 액세스 트랜지스터 단자는 메모리 셀의 대응하는 NMOS 또는 PMOS 드라이버 트랜지스터를 통해 접지나 V_{dd} 에 접속된다. 액세스 트랜지스터는 저항으로 동작하여, 등가

DC 경로 저항에 따라 양 비트 라인 상의 전원 전압을 V_{dd} 와 접지 사이에서 분할한다. 예컨대, 셀의 50%가 "0" 상태에 있으면 접지에 대한 경로 저항과 V_{dd} 에 대한 경로 저항이 동일하게 되어 $R = 0.5$ 가 되므로 비트 라인 노드는 $V_{dd}/2$ 가 된다.

[0044] 도 7의 그래프는 전술한 구현의 시뮬레이션 결과를 도시하고 있다. 이 곡선들은 비트 라인 BL(702), BLB(704), 약한 셀 검출 신호 WD(706), 셀의 상태 전압(708)에 해당한다. 위쪽에 있는 그래프(700a)는 비트 라인들이 적시에 단락된 경우를 나타낸 것이고, 아래쪽에 있는 그래프(700b)는 비트 라인들이 너무 늦게 단락된 경우를 나타낸 것이다. 후자의 경우, 셀의 초기 상태가 어떻게 "0" 상태로 변경되는지를 보여준다. 워드 라인들이 인에이블되면, 등가 경로 저항에 의해 생성된 시상수에 따라 비트 라인 캐패시터가 방전된다는 점에 주목해야 한다. 나아가, 방전 전압이 $V_{dd}/2$ (준안정 상태일 수도 있는) 아래로 강하하면, 양호한 셀일지라도 변경될 수 있어서, 비트 라인들 중 하나는 접지로 풀업되고 다른 하나는 V_{dd} 로 풀업될 수도 있다. 따라서, 셀들이 준안정 지점에 도달하는 것을 방지하기 위해, 신호 WD를 사용하여 비트 라인들을 NMOS 패스 트랜지스터(606)를 통해 단락시켜야 한다. 이는 셀 동역학이 새로운 평형점을 찾는 동안 비트 라인 상의 전압이 $V_{dd}/2$ 근처에서 일정하게 유지되도록 해준다. 달리 말해서, 비트 라인들은 보수의 논리값으로 풀업되지 않는다. 그러나, $V_{dd}/2$ 근처의 비트 라인 전압은 약한 셀들을 변경시키기에 충분하다. 비율 R이 0.5가 아닌 경우, V_{dd} 와 접지에 대응하는 경로 저항도 달라져서 비트 라인 전압은 $V_{dd}/2$ 보다 크거나 작은 값으로 풀업된다.

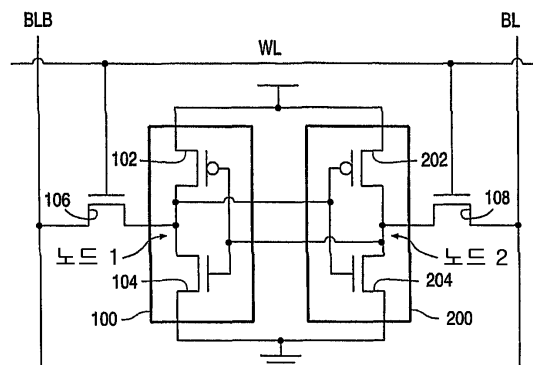
[0045] 도 8을 참조하면, 본 발명의 두 번째 실시예에 따른 장치는 메모리 셀(800)의 한 열, 비트 라인에 결합되는 풀업 및 풀다운 트랜지스터(803, 804), 트랜지스터(805, 806)를 포함하여 비트 라인을 서로 단락시키는 CMOS 스위치(807), 모든 워드 라인을 동시에 인에이블시키고 비트 라인들을 테스트 사전충전시키는 적절한 로직(808)을 포함한다.

[0046] 도 6을 참조하여 설명한 장치와는 달리, 이 장치의 실시예에서는 비트 라인들이 V_{dd} 뿐만이 아니라 V_{dd} 와 접지로 사전충전된다. 워드 라인들이 인에이블되면, 비트 라인 사전충전은 도 6을 참조하여 설명한 것과 마찬가지로 방식으로 수행되고, 기록 작업으로 인해 모든 셀은 동일한 상태를 갖게 된다. 사전충전 및 워드 라인 인에이블 단계는 상호 배타적인 것으로 기술되었지만, 실제로 이들 단계는 약간 중복되게 된다. 이러한 중복 시간은 실질적으로 길어서, 양호한 셀일지라도 변경될 것이다. 도 9는 WD 펄스가 없는 상태에서 이러한 동작을 나타낸다. 위쪽 그래프(900a)는 사전충전과 WL 신호 사이의 중복 시간이 120 ps인 경우 양호한 셀이 변경되는 상황을 도시한 것이다. 아래쪽 그래프(900b)는 중복 시간이 60 ps인 경우 예상 동작을 나타낸다. 다행히도, 도 10의 그래프에 도시한 바와 같이, 중복 시간 윈도우는 비트 라인을 적시에 단락시킴으로써 보상할 수 있다.

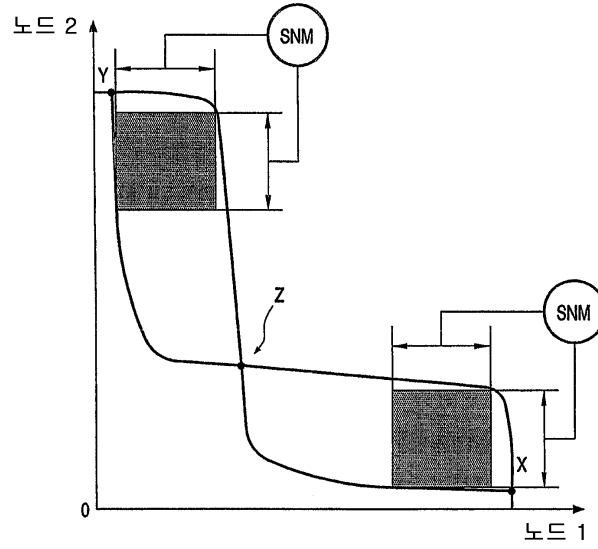
[0047] 본 발명의 실시예는 단순한 예로서 상세한 설명을 통해 기술된 것으로서, 당업자는 첨부하는 청구범위에서 정의된 발명의 범위를 벗어나지 않으면서 기술된 실시예에 대해 수정과 변경을 가할 수 있음을 명백히 알 것이다. 나아가, "포함"한다는 용어는 다른 구성요소나 단계를 배제하는 것이 아니며, "하나"라는 용어는 복수의 구성요소를 배제하는 것이 아니고, 하나의 구성요소나 유닛이 청구범위에 기재된 여러 개의 수단의 기능을 수행할 수도 있다.

도면

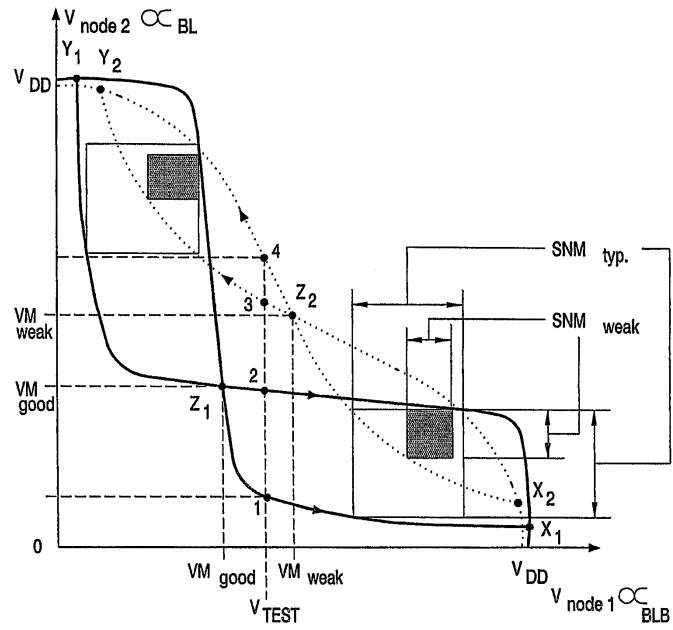
도면1



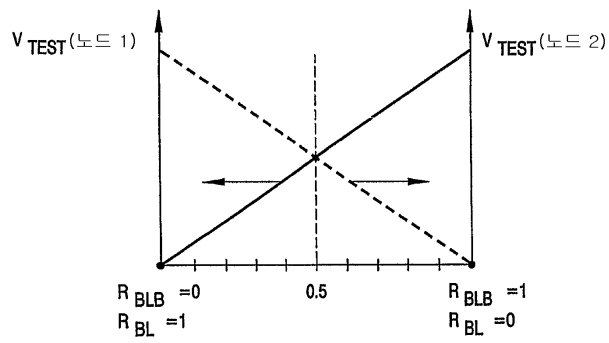
도면2



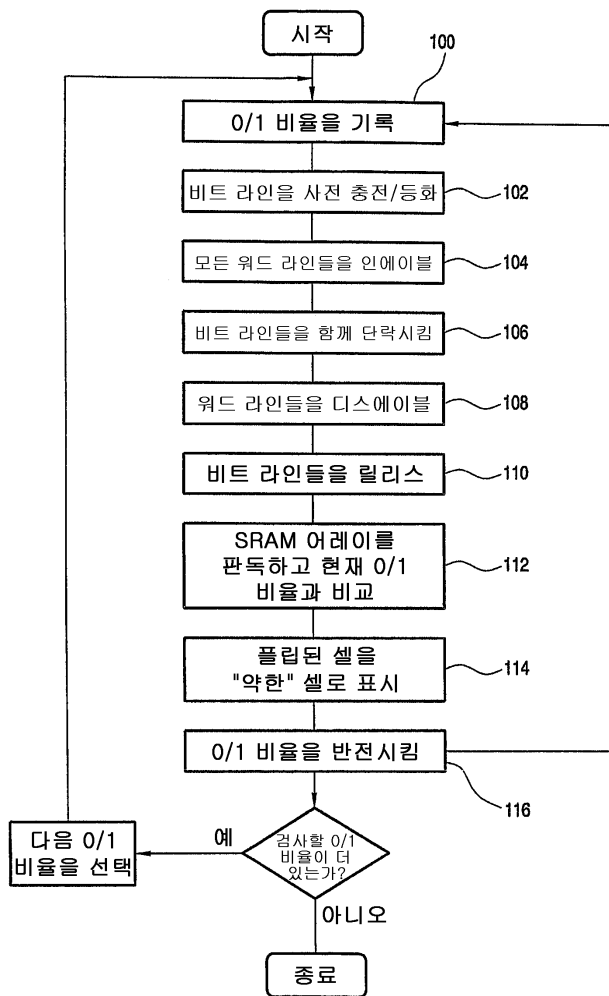
도면3



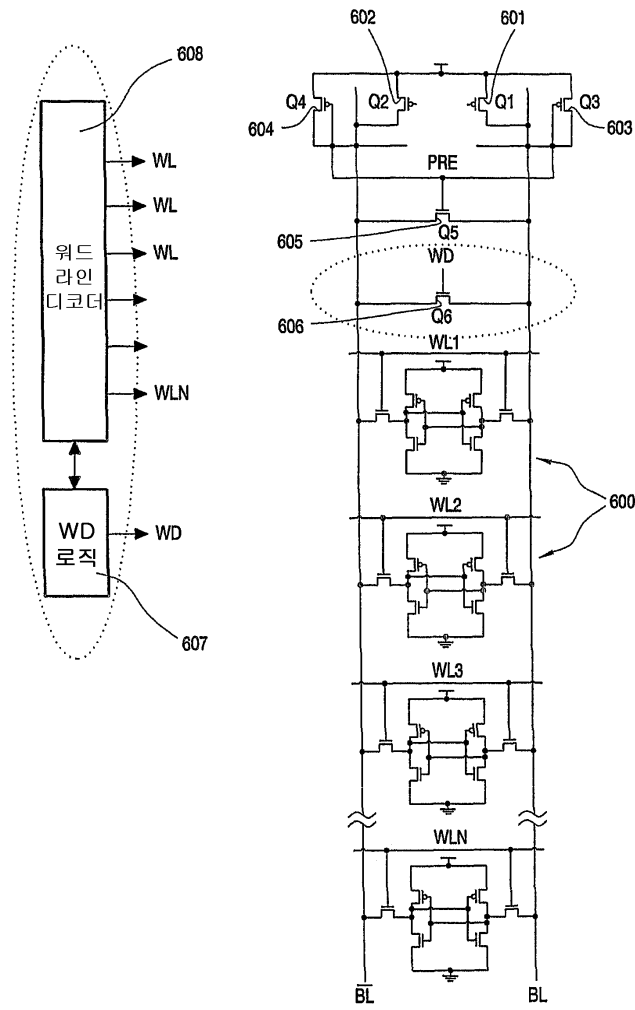
도면4



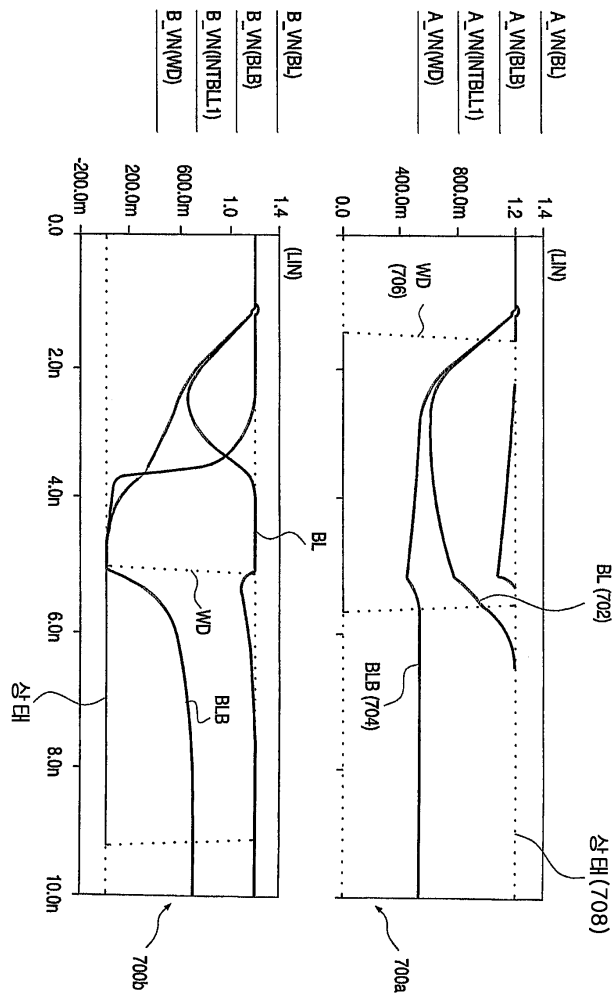
도면5



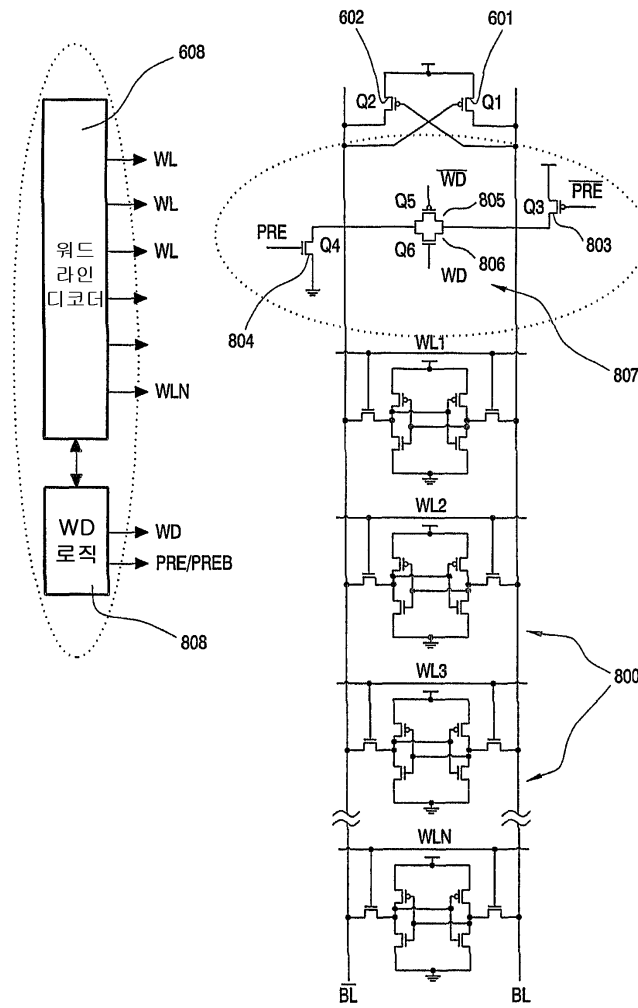
도면6



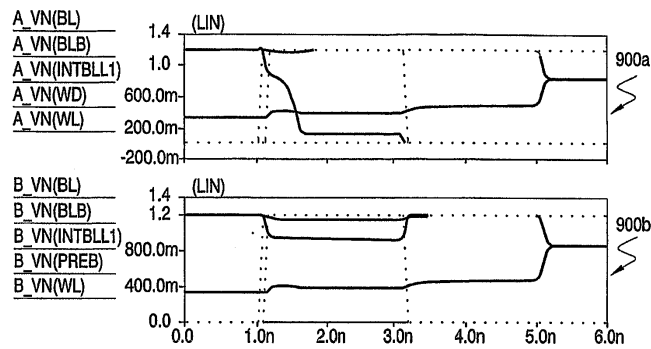
도면7



도면8



도면9



도면10

