

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-182494

(P2005-182494A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G05F 1/56	G05F 1/56 310L	5C006
G09G 3/20	G05F 1/56 310K	5C080
G09G 3/36	G09G 3/20 611A	5H430
H03F 3/45	G09G 3/20 612F	5J500
	G09G 3/20 623B	
審査請求 未請求 請求項の数 22 O L (全 33 頁) 最終頁に続く		

(21) 出願番号	特願2003-422998 (P2003-422998)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成15年12月19日 (2003.12.19)	(74) 代理人	100064746 弁理士 深見 久郎
		(74) 代理人	100085132 弁理士 森田 俊雄
		(74) 代理人	100083703 弁理士 仲村 義平
		(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100098316 弁理士 野田 久登
		(74) 代理人	100109162 弁理士 酒井 将行
		最終頁に続く	

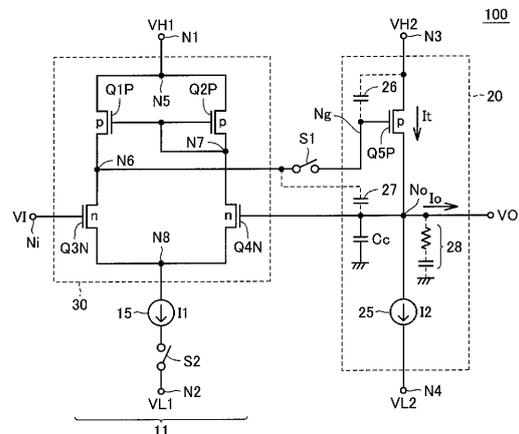
(54) 【発明の名称】 電流増幅回路およびそれを備える液晶表示装置

(57) 【要約】

【課題】 発振動作に対する安定性が高く低消費電力の電流増幅回路および、それをデータ線駆動用または階調電圧駆動用として備えた液晶表示装置を提供する。

【解決手段】 差動増幅回路11は、入力ノードNiおよび出力ノードNoの電圧差に応じた電圧差をノードN6およびN7の間に生じさせる。出力回路20は、制御ノードNgの電圧に応じた電圧および電流を出力ノードNoに生成する。スイッチ素子S1は、ノードN6と制御ノードNgとの間に設けられる。差動増幅回路11および出力回路20は、スイッチ素子S1のオンによって帰還ループが形成されると、出力ノードNoの電圧を入力ノードNiの電圧を一致させるように動作する。スイッチ素子S1は、帰還ループの形成によって出力ノードNoの電圧が入力ノードNiの電圧と同等となった後オフされる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力ノードおよび出力ノードの電圧差に応じた電圧差を第 1 のノードおよび第 2 のノード間に生じさせる差動増幅回路と、

制御ノードの電圧に応じた電圧および電流を前記出力ノードに生成するための出力回路と、

前記第 1 および第 2 のノードの所定の一方と前記制御ノードとの間に設けられた帰還ループスイッチとを備え、

前記差動増幅回路および前記出力回路は、前記帰還ループスイッチのオンによって帰還ループが形成されたときに、前記出力ノードの電圧を前記入力ノードの電圧を一致させるように動作し、

前記帰還ループスイッチは、前記帰還ループの形成によって前記出力ノードの電圧が前記入力ノードの電圧と同等となった後オフされる、電流増幅回路。

【請求項 2】

前記差動増幅回路は、高電圧源および低電圧源の間に前記差動増幅回路の動作電流源と直列に接続されて、前記差動増幅回路の動作電流を供給あるいは遮断するための動作電流スイッチを含み、

前記動作電流スイッチは、前記出力ノードの電圧が前記入力ノードの電圧へ近づいた後にオフされて、前記動作電流を遮断する、請求項 1 に記載の電流増幅回路。

【請求項 3】

前記動作電流スイッチは、前記帰還ループスイッチがオフされてから所定時間経過後にオフされる、請求項 2 に記載の電流増幅回路。

【請求項 4】

前記動作電流スイッチは、ゲート電圧を制御可能な電界効果型トランジスタで構成される、請求項 2 に記載の電流増幅回路。

【請求項 5】

前記出力回路は、高電圧源および低電圧源の間に前記出力ノードを介して直列に接続された、電界効果型トランジスタである出力トランジスタおよび電流制限回路を含み、

前記出力トランジスタのゲートは、前記制御ノードと接続され、

前記電流制限回路は、定電流源で構成される、請求項 1 に記載の電流増幅回路。

【請求項 6】

前記出力回路は、高電圧源および低電圧源の間に前記出力ノードを介して直列に接続された、電界効果型トランジスタである出力トランジスタおよび電流制限回路を含み、

前記出力トランジスタのゲートは、前記制御ノードと接続され、

前記電流制限回路は、抵抗素子で構成される、請求項 1 に記載の電流増幅回路。

【請求項 7】

前記出力回路は、前記制御ノードの電圧を保持するように接続されたキャパシタを含む、請求項 1 に記載の電流増幅回路。

【請求項 8】

前記出力回路は、前記電流増幅回路の発振動作を防ぐために前記出力ノードに接続された位相補償素子をさらに含む、請求項 1 に記載の電流増幅回路。

【請求項 9】

前記出力回路は、前記制御ノードの電圧に応じた電流を前記出力ノードへ流入させる、請求項 1 に記載の電流増幅回路。

【請求項 10】

前記出力回路は、前記制御ノードの電圧に応じた電流を前記出力ノードから流出させる、請求項 1 に記載の電流増幅回路。

【請求項 11】

前記帰還ループスイッチをオフする際に前記制御ノードに生じる電圧変動を補償して、前記制御ノードの電圧を前記帰還ループスイッチをオフする直前の電圧に復帰させるため

10

20

30

40

50

のフィードスルー補償回路をさらに備える、請求項 1 に記載の電流増幅回路。

【請求項 1 2】

前記フィードスルー補償回路は、

前記制御ノードおよび第 3 のノード間に接続されたキャパシタと、

前記入力ノードおよび前記第 3 のノードの間に接続された第 1 の補償スイッチと、

前記第 3 のノードおよび前記出力ノードの間に接続された第 2 の補償スイッチとを含み

、
前記第 2 の補償スイッチは、前記帰還ループスイッチと同じタイミングでオン・オフされ、

前記第 1 の補償スイッチは、前記帰還ループスイッチがオフされた後にオンされる、請求項 1 1 に記載の電流増幅回路。 10

【請求項 1 3】

前記差動増幅回路でのオフセット電圧を補償して前記電流増幅回路が入力電圧に等しい出力電圧を前記出力ノードに生成するように、前記入力ノードの電圧を修正するオフセット補償回路をさらに備える、請求項 1 に記載の電流増幅回路。

【請求項 1 4】

前記オフセット補償回路は、

前記オフセット電圧を保持するようにその一端が前記入力ノードと接続されたキャパシタと、

前記キャパシタと他のノードとの接続を制御する複数のスイッチ素子とを含み、 20

前記複数のスイッチ素子は、前記入力ノードを前記入力電圧と接続するとともに、前記キャパシタの他端を前記出力ノード間と接続した後、前記出力ノードの電圧が定常値に達した後に、前記入力ノードを前記入力電圧から切り離すとともに、前記キャパシタの前記他端を前記入力電圧と接続するように動作する、請求項 1 3 に記載の電流増幅回路。

【請求項 1 5】

前記オフセット補償回路は、

前記オフセット電圧を保持するように一端が前記入力ノードと接続されたキャパシタと

、
前記キャパシタと他のノードとの接続を制御する複数のスイッチ素子とを含み、

前記複数のスイッチ素子は、前記入力ノードを基準電圧と接続するとともに、前記キャパシタの他端を前記出力ノード間と接続した後、前記出力ノードの電圧が定常値に達した後に、前記入力ノードを前記基準電圧から切り離すとともに、前記キャパシタの前記他端を前記入力電圧と接続するように動作する、請求項 1 3 に記載の電流増幅回路。 30

【請求項 1 6】

前記出力ノードと負荷との間に設けられる負荷スイッチをさらに備え、

前記入力ノードの電圧は前記負荷への供給電圧に応じた一定電圧に設定され、

前記負荷スイッチと前記帰還ループスイッチとは、互いに相補的にオンおよびオフされる、請求項 1 に記載の電流増幅回路。

【請求項 1 7】

第 1 および第 2 の電流増幅ユニットを備え、 40

前記第 1 および第 2 の電流増幅ユニットの各々は、

入力ノードおよび出力ノードの電圧差に応じた電圧差を第 1 のノードおよび第 2 のノード間に生じさせる差動増幅回路と、

制御ノードの電圧に応じた電圧および電流を前記出力ノードに生成するための出力回路と、

前記第 1 および第 2 のノードの所定の一方と前記制御ノードとの間に設けられた帰還ループスイッチとを含み、

前記差動増幅回路および前記出力回路は、前記帰還ループスイッチのオンによって帰還ループが形成されたときに、前記出力ノードの電圧を前記入力ノードの電圧を一致させるように動作し、かつ、前記帰還ループスイッチは、前記帰還ループの形成によって前記出 50

力ノードの電圧が前記入力ノードの電圧と同等となった後オフされ、

前記第 1 の電流増幅ユニット中の前記出力回路は、対応の前記制御ノードの電圧に応じた電流を前記出力ノードへ流入させ、かつ、前記第 2 の電流増幅ユニット中の前記出力回路は、対応の前記制御ノードの電圧に応じた電流を前記出力ノードへ流出させ、

前記第 1 および第 2 の電流増幅ユニットの前記入力ノード同士および前記出力ノード同士は、電氣的にそれぞれ接続される、電流増幅回路。

【請求項 18】

前記第 1 の電流増幅ユニット中の前記出力ノードと、前記第 2 の電流増幅ユニット中の前記出力ノードとの間に配置されたスイッチ素子とをさらに備え、

前記スイッチ素子は、各前記帰還ループスイッチのオン期間にはオフされ、かつ、前記各前記帰還ループスイッチがオフされた後にオンされる、請求項 17 に記載の電流増幅回路。

10

【請求項 19】

前記第 1 および第 2 の電流増幅ユニットの各々は、高電圧源および低電圧源の間に前記差動増幅回路と直列に接続されて、前記差動増幅回路の動作電流を供給あるいは遮断するための動作電流スイッチをさらに含み、

前記動作電流スイッチは、前記出力ノードの電圧が前記入力ノードの電圧へ近づいた後にオフされて、前記動作電流を遮断する、請求項 17 または 18 に記載の電流増幅回路。

【請求項 20】

前記第 1 および第 2 の電流増幅ユニットの各々に対応して設けられたオフセット補償回路をさらに備え、

前記オフセット補償回路は、対応の前記電流増幅ユニットにおいて、前記差動増幅回路でのオフセット電圧を補償して入力電圧に等しい出力電圧が前記出力ノードに生成されるように、前記入力ノードの電圧を修正する、請求項 17 または 18 に記載の電流増幅回路。

20

【請求項 21】

行列状に配置され、各々が書込まれた表示電圧に応じた輝度を発する複数の画素と、

前記画素の行ごとに設けられ、それぞれが周期的に選択される複数のゲート線と、

前記画素の列ごとに設けられる複数のデータ線と、

前記複数の画素のそれぞれでの表示輝度を示す表示信号に応じて前記表示電圧を順次生成して、前記複数のデータ線へ出力するデータ駆動回路とを備え、

30

前記データ駆動回路は、

前記表示信号のデコード結果に応じた階調電圧を前記表示電圧として生成するデコード回路と、

前記複数のデータ線ごとにデータ線駆動回路として設けられる、請求項 1 から 20 のいずれか 1 項に記載の電流増幅回路とを含み、

前記電流増幅回路の前記入力ノードは、前記デコード回路からの前記表示電圧を受け、かつ、前記電流増幅回路の前記出力ノードは、前記複数のデータ線のうちの対応する 1 本と接続され、

前記複数の画素は、前記複数のゲート線のうちの対応する 1 本が選択されたときに、前記複数のデータ線のうちの対応する 1 本と電氣的に接続されて、前記表示電圧を書込まれる、液晶表示装置。

40

【請求項 22】

行列状に配置され、各々が書込まれた表示電圧に応じた輝度を発する複数の画素と、

前記画素の行ごとに設けられ、それぞれが周期的に選択される複数のゲート線と、

前記画素の列ごとに設けられる複数のデータ線と、

前記複数の画素のそれぞれでの表示輝度を示す表示信号に応じて前記表示電圧を順次生成して、前記複数のデータ線へ出力するデータ駆動回路とを備え、

前記データ駆動回路は、

階調的な複数の表示輝度のそれぞれ対応した複数の階調電圧を複数の階調電圧ノードへ

50

生成する階調電圧回路と、

前記表示信号のデコード結果に応じて、前記複数の階調電圧ノードに生成された前記複数の階調電圧の1つを選択的に前記表示電圧として出力するデコード回路と、

前記複数のデータ線ごとに設けられ、前記デコード回路によって選択された前記表示電圧を、前記複数のデータ線のうちの対応する1本に駆動するデータ線駆動回路とを含み、

前記複数の画素は、前記複数のゲート線のうちの対応する1本が選択されたときに、前記複数のデータ線のうちの対応する1本と電氣的に接続されて、前記表示電圧を書込まれ

、
前記階調電圧回路は、

高電圧源および低電圧源の間に直列接続された、階調数に応じた個数の複数の分圧抵抗と、 10

前記複数の分圧抵抗間の接続ノードに対応して設けられた、請求項1から20のいずれか1項に記載の電流増幅回路とを含み、

前記電流増幅回路の前記入力ノードは、前記複数の分圧抵抗間の前記接続ノードと接続され、かつ、前記電流増幅回路の前記出力ノードは、対応の前記階調電圧ノードと接続される、液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、絶縁ゲート型電界効果トランジスタを用いた電流増幅回路に関し、より特定のには、出力電圧が安定化された電流増幅回路およびそれをデータ線駆動または階調電圧発生に用いた液晶表示装置に関する。 20

【背景技術】

【0002】

電圧駆動型素子である液晶表示素子を備えた液晶表示装置では、各画素における表示輝度は、液晶表示素子に書込まれる電圧に依存する。特に、各画素で階調的な多段階表示を実行する場合には、データ線等を介して画素に書込まれる電圧を負荷電流の供給に伴う電圧変動が発生しないように高精度に制御する必要がある。また、液晶表示装置以外の他の電子機器等においても、出力電圧を高精度に維持した上で負荷電流を供給することが求められるケースは多い。 30

【0003】

一般的に、このようなケースでは、出力電圧の設定値を示す基準電圧と実際の出力電圧とを差動入力とする差動増幅回路と、当該差動増幅回路の出力に応じて出力ノードへ電流を供給する出力回路との組合せによって、電流増幅回路が構成される(たとえば、非特許文献1)。まず、上記非特許文献1に開示された電流増幅回路(以下、「従来の電流増幅回路」と称する)の構成および動作について説明する。

【0004】

図26は、従来の技術の電流増幅回路の構成を示す回路図である。

【0005】

図26を参照して、従来の電流増幅回路100は、差動増幅回路10と、出力回路20とを備える。 40

【0006】

差動増幅回路10は、動作電流源15およびカレントミラーアンプ30を有する。

【0007】

カレントミラーアンプ30は、1対のカレントミラー負荷として設けられるp型電界効果型トランジスタ(以下、単に「p型トランジスタ」と称する)Q1P、Q2Pと、差動入力を受ける1対の入力トランジスタとして設けられるn型電界効果型トランジスタ(以下、単に「n型トランジスタ」と称する)Q3N、Q4Nとを有する。

【0008】

p型トランジスタQ1Pは高電圧VH1を供給する電圧源ノードN1と接続されたノード 50

ドN5と、ノードN6との間に電氣的に接続される。p型トランジスタQ2Pは、ノードN5およびノードN7との間に電氣的に接続される。p型トランジスタQ1PおよびQ2Pの各ゲートは、ノードN7と共通に接続される。

【0009】

n型トランジスタQ3Nは、ノードN6およびノードN8の間に電氣的に接続され、n型トランジスタQ4Nは、ノードN7およびノードN8の間に電氣的に接続される。n型トランジスタQ3Nのゲートは入力ノードNiと接続され、n型トランジスタQ4Nのゲートは、出力ノードNoと接続される。入力ノードNiへは入力電圧VIが伝達され、出力ノードNoからは出力電圧VOが供給される。

【0010】

動作電流源15は、低電圧VL1を供給する電圧源ノードN2およびノードN8の間に接続されて、カレントミラーアンプ30の動作電流I1を供給する。

【0011】

出力回路20は、「出力トランジスタ」であるp型トランジスタQ5Pと、「電流制限回路」である定電流源25とを有する。出力トランジスタQ5Pは、高電圧VH2を供給する電圧源ノードN3および出力ノードNoの間に電氣的に接続される。定電流源25は、低電圧VL2を供給する電圧源ノードN4および出力ノードNoの間に接続される。出力ノードNoに対しては、回路の発振を防止するための位相補償の一例として、支配極補償を行なうための容量素子Ccが接続されている。

【0012】

カレントミラーアンプ30は、動作電流I1の供給を受けて動作し、動作時には、入力トランジスタQ3NおよびQ4Nのゲートにそれぞれ入力された入力電圧VIおよび出力電圧VOの電圧差に応じた電圧差をノードN6およびN7の間に生じさせる。カレントミラーアンプ30の差動増幅動作により、ノードN6およびN7間の電圧差は、電圧差VO-VIを増幅したものとなる。

【0013】

出力回路20では、ノードN6の電圧、すなわちカレントミラーアンプ30の出力電圧に応じた電流が出力トランジスタQ5Pによって出力ノードNoに供給される一方で、定電流源25は、制限された一定電流I2を出力ノードNoから電圧源ノードN4へ流す。

【0014】

出力トランジスタQ5Pのゲートとカレントミラーアンプ30の出力ノード(ノードN7)とを接続することで形成された帰還ループにより、カレントミラーアンプ30の入力トランジスタQ3NおよびQ4Nのゲート電圧が等しくなるように制御されるので、出力電圧VOは入力電圧VIへ近づいていき、定常的に両者は等しくなるように制御される。

【0015】

この結果、電流増幅回路100は、出力電圧VO=VIとなるように制御した上で、出力トランジスタQ5Pの駆動電流Itから定電流源25による一定電流I2を差し引いた出力電流Ioを、出力ノードNoに供給することができる。すなわち、図26に示した回路は、入力電圧VIを生成する回路からの出力電流を大きくできない場合でも、同電圧での大電流を出力ノードNoへ供給可能な電流増幅回路として動作できる。

【0016】

同様に、差動増幅回路による負帰還を前提とした電圧発生回路の構成が、種々開示されており(たとえば特許文献1および2)、また、差動増幅回路の高性能化やオフセット補正についても開示されている(たとえば特許文献3、4および5)。さらに、このような差動増幅回路を液晶表示装置に用いる構成についても開示されている(たとえば特許文献6および7)。

【特許文献1】特開2000-148263号公報

【特許文献2】特開2002-297248号公報

【特許文献3】特開2002-258821号公報

【特許文献4】特開2002-76799号公報

10

20

30

40

50

【特許文献5】特開平3 - 139908号公報

【特許文献6】特開2001 - 159885号公報

【特許文献7】特開平6 - 95623号公報

【非特許文献1】伊藤清男著,「超LSIメモリ」,初版,培風館,1994年11月,
p. 271

【発明の開示】

【発明が解決しようとする課題】

【0017】

図26に示した従来の電流増幅回路は、負帰還増幅回路として動作するため発振動作を内在している。特に、出力ノードNoへの外乱ノイズの影響で差動増幅回路10が発振すると、出力電圧V0が不安定となってしまう。差動増幅回路10での発振動作を防止するには、動作電流源15によって供給される動作電流I1が大きい方が望ましい。このため、動作の安定化を図るために消費電力が増大してしまう。

10

【0018】

特に、液晶表示装置では、画素マトリクスに対応したデータ線の駆動回路や階調表示のための多段階電圧(階調電圧)の発生回路として上述の電流増幅回路が複数個(数十個~数百個レベル)配置される構成となるので、各電流増幅回路での消費電力が液晶表示装置全体の消費電力に大きく影響する。

【0019】

すなわち、電流増幅回路を繰返し多数配置する必要がある場合には、発振動作を安定化するために増加した動作電流が装置全体の消費電流に大きな影響を及ぼしてしまう。このため、電流増幅回路において、外乱ノイズに対する発振動作の危険性を抑制した安定動作可能な構成が望まれている。

20

【0020】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、発振動作に対する安定性が高く低消費電力の電流増幅回路および、それをデータ線駆動用または階調電圧駆動用として備えた液晶表示装置を提供することである。

【課題を解決するための手段】

【0021】

この発明による電流増幅回路は、入力ノードおよび出力ノードの電圧差に応じた電圧差を第1のノードおよび第2のノード間に生じさせる差動増幅回路と、制御ノードの電圧に応じた電圧および電流を出力ノードに生成するための出力回路と、第1および第2のノードの所定の一方と制御ノードとの間に設けられた帰還ループスイッチとを備え、差動増幅回路および出力回路は、帰還ループスイッチのオンによって帰還ループが形成されたときに、出力ノードの電圧を入力ノードの電圧を一致させるように動作し、帰還ループスイッチは、帰還ループの形成によって出力ノードの電圧が入力ノードの電圧と同等となった後オフされる。

30

【0022】

好ましくは、差動増幅回路は、高電圧源および低電圧源の間に差動増幅回路の動作電流源と直列に接続されて、差動増幅回路の動作電流を供給あるいは遮断するための動作電流スイッチを含み、動作電流スイッチは、出力ノードの電圧が入力ノードの電圧へ近づいた後にオフされて動作電流を遮断する。

40

【0023】

この発明による液晶表示装置は、行列状に配置され、各々が書込まれた表示電圧に応じた輝度を発する複数の画素と、画素の行ごとに設けられ、それぞれが周期的に選択される複数のゲート線と、画素の列ごとに設けられる複数のデータ線と、複数の画素のそれぞれでの表示輝度を示す表示信号に応じて表示電圧を順次生成して、複数のデータ線へ出力するデータ駆動回路とを備える。データ駆動回路は、表示信号のデコード結果に応じた階調電圧を表示電圧として生成するデコード回路と、複数のデータ線ごとにデータ線駆動回路として設けられる、請求項1から20のいずれか1項に記載の電流増幅回路とを含み、電

50

流増幅回路の入力ノードは、デコード回路からの表示電圧を受け、かつ、電流増幅回路の出力ノードは、複数のデータ線のうちの対応する1本と接続される。複数の画素は、複数のゲート線のうちの対応する1本が選択されたときに、複数のデータ線のうちの対応する1本と電氣的に接続されて、表示電圧を書込まれる。

【0024】

この発明の他の構成による液晶表示装置は、行列状に配置され、各々が書込まれた表示電圧に応じた輝度を発する複数の画素と、画素の行ごとに設けられ、それぞれが周期的に選択される複数のゲート線と、画素の列ごとに設けられる複数のデータ線と、複数の画素のそれぞれでの表示輝度を示す表示信号に応じて表示電圧を順次生成して、複数のデータ線へ出力するデータ駆動回路とを備える。データ駆動回路は、階調的な複数の表示輝度のそれぞれ対応した複数の階調電圧を複数の階調電圧ノードへ生成する階調電圧回路と、表示信号のデコード結果に応じて、複数の階調電圧ノードに生成された複数の階調電圧の1つを選択的に表示電圧として出力するデコード回路と、複数のデータ線ごとに設けられ、デコード回路によって選択された表示電圧を、複数のデータ線のうちの対応する1本に駆動するデータ線駆動回路とを含む。複数の画素は、複数のゲート線のうちの対応する1本が選択されたときに、複数のデータ線のうちの対応する1本と電氣的に接続されて、表示電圧を書込まれる。階調電圧回路は、高電圧源および低電圧源の間に直列接続された、階調数に応じた個数の複数の分圧抵抗と、複数の分圧抵抗間の接続ノードに対応して設けられた、請求項1から20のいずれか1項に記載の電流増幅回路とを含み、電流増幅回路の入力ノードは、複数の分圧抵抗間の接続ノードと接続され、かつ、電流増幅回路の出力ノードは、対応の階調電圧ノードと接続される。

【発明の効果】

【0025】

この発明による電流増幅回路は、差動増幅回路および出力回路によって形成される帰還ループによって、出力ノードの電圧が入力ノードの電圧と同等となった後は、当該帰還ループを遮断して、それ以降では、帰還ループの遮断時における制御ノードの電圧に応じた電圧・電流を出力ノードに生成させることができる。したがって、外乱ノイズ等の影響による出力ノードに電圧変動が生じて発振動作が生じることなく、出力ノードの電圧および電流を安定化することが可能である。なお、出力ノードの電圧は、制御ノードからのリーク電流によって時間とともに変化する可能性があるが、一定時間内であればほとんど変化しない。

【0026】

さらに、動作電流スイッチによって、帰還ループの遮断後には差動増幅回路の動作電流を停止できるので、低消費電力化を図ることができる。

【0027】

この発明による液晶表示装置では、上記の電流増幅回路を各データ線のデータ線駆動回路として適用する。したがって、表示信号に応じた表示電圧を、発振動作を防止して正確かつ安定的に各データ線へ駆動できる。また、データ線の本数分配する必要があるデータ線駆動回路の消費電力が抑制されるので、液晶表示装置全体での消費電力が抑制される。

【0028】

この発明の他の構成による液晶表示装置では、上記の電流増幅回路を階調電圧回路において、直列接続された分圧抵抗によって分圧された階調電圧を入力電圧として配置される。階調電圧を分圧電圧から直接生成するのではなく、電流増幅回路によって生成することにより、分圧抵抗の各抵抗値を高くして階調電圧回路消費電力を低減することが可能となる。

【発明を実施するための最良の形態】

【0029】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。なお、図中における同一符号は同一または相当部分を示すものとする。

10

20

30

40

50

【0030】

[実施の形態1]

図1は、この発明の実施の形態1に従う電流増幅回路の回路構成を示す回路図である。

【0031】

図1を参照して、実施の形態1に従う電流増幅回路100は、差動増幅回路11と出力回路20と、「帰還ループスイッチ」として設けられるスイッチ素子S1とを備える。

【0032】

差動増幅回路11は、図26に示した差動増幅回路10と比較して、動作電流源15およびカレントミラーアンプ30に加えて、「動作電流スイッチ」として設けられるスイッチ素子S2を含む点で異なる。動作電流源15およびカレントミラーアンプ30については、図26に示したのと同様であるので詳細な説明は繰り返さない。

10

【0033】

スイッチ素子S2は、電圧源ノードN1（高電圧源）および電圧源ノードN2（低電圧源）の間に、動作電流源15と直列に接続される。図1の構成例では、スイッチ素子S2は、電圧源ノードN2およびノードN8の間に動作電流源15と直列に接続される。なお、スイッチ素子S2は、動作電流I1の経路を遮断すればよいので、電圧源ノードN1およびノードN5の間に配置してもよい。

【0034】

スイッチ素子S1およびS2は、図示しない制御信号によってその開閉を制御可能である。スイッチ素子S2のオン時には、カレントミラーアンプ30に動作電流が供給されて、図26で説明したように、「第1のノード」および「第2のノード」に相当するノードN6およびN7に、入力ノードNiおよび出力ノードNoの電圧差（すなわち、 $V_O - V_I$ ）を増幅した電圧差が発生する。

20

【0035】

出力回路20の構成は、図26に示したのと基本的には同様である。出力トランジスタQ5Pのゲートと接続されるノードNgは「制御ノード」に相当し、スイッチ素子S1を介して、カレントミラーアンプ30の出力ノードN6と接続される。なお、「電流制限回路」である定電流源25は、抵抗素子で置換可能である。抵抗素子を用いた場合には、回路を簡略化できる。

【0036】

また、出力回路20では、図26に示した支配極補償用の容量素子Ccに代えて、ミラー補償のためのミラー補償容量27あるいはポール・ゼロ補償のための補償素子群28（キャパシタおよび抵抗）を容量素子Ccに代えて用いることもできる。さらに、電圧源ノードN3およびノードNgの間に、制御ノードNgの電圧すなわち出力トランジスタQ5Pのゲート電圧を保持するための保持容量26を設けることが好ましい。

30

【0037】

なお、以降の各構成例では、保持容量26、ミラー補償容量27および補償素子群28の図示を省略するが、これらの素子群の少なくとも一部を図1の構成例と同様に配置することも可能である。

【0038】

なお、高電圧側の電圧源ノードN1およびN3からそれぞれ供給される高電圧VH1およびVH2は同一電圧としてもよく、同様に、低電圧側の電圧源ノードN2およびN4からそれぞれ供給される低電圧VL1およびVL2を同一電圧としてもよい。

40

【0039】

次に、図2を用いて図1に示した電流増幅回路の動作を説明する。

【0040】

図2を参照して、時刻t1において、入力電圧VIがV1からV2に変化した後、時刻t2において、スイッチ素子S1およびS2がオンされる。

【0041】

これにより、カレントミラーアンプ30への動作電流供給が開始されるとともに、帰還

50

ループの形成によって、図 26 に示した電流増幅回路 100 と同様の動作が実行され、出力電圧 V_O が徐々に V_1 から V_2 へ近づいていく。なお、スイッチ素子 S_1 および S_2 のターンオンは必ずしも同時でなくてもよく、また、時刻 t_1 より前にスイッチ素子 S_1 および S_2 がオンされてもよい。

【0042】

帰還ループの形成によって出力電圧 V_O が入力電圧 $V_I (= V_2)$ と同等となった後の時刻 t_3 において、スイッチ素子 S_1 がターンオフされて、当該帰還ループが遮断される。これにより、以降のノード N_g の電圧は、時刻 t_3 での電圧、すなわち、出力ノード N_o を V_2 とするための出力トランジスタ $Q_5 P$ のゲート電圧から、カレントミラーアンプ 30 の出力にかかわらず変化しない。

10

【0043】

ノード N_g の電圧は、出力トランジスタ $Q_5 P$ のゲート容量を主とする寄生容量および保持容量 26 によって保持される。すなわち、保持容量 26 を設けることにより、ノード N_g における電圧保持時間を長くすることができる。

【0044】

時刻 t_3 より後の時刻 t_4 において、スイッチ素子 S_2 がターンオフされて、カレントミラーアンプ 30 への動作電流の供給が停止される。スイッチ素子 S_3 のオフによる帰還ループの遮断後には、カレントミラーアンプ 30 による差動増幅動作が停止されても、出力電圧 V_O が入力電圧 V_I と同等になるように制御した上で、出力ノード N_o へ電流を供給できるからである。

20

【0045】

したがって、実施の形態 1 に従う電流増幅回路 100 は、出力電圧 V_O の安定後に帰還ループを遮断することによって、外乱ノイズ等の影響による出力ノード N_o の電圧変動が生じて発振動作が生じることなく、出力ノード N_o の電圧および電流を安定化することが可能であり、さらに、カレントミラーアンプ 30 の動作電流を停止することで低消費電力化を図ることができる。

【0046】

なお、スイッチ素子 S_1 および S_2 を同時にターンオフした場合には、スイッチ素子 S_2 のオフにตอบสนองしてカレントミラーアンプ 30 の動作が正常に行なわれなくなり、スイッチ素子 S_1 のターンオフ時におけるノード N_g の電圧が、出力電圧 $V_O =$ 入力電圧 V_I となる所望値から変動するおそれがある。このため、図 2 に示したように、出力トランジスタ $Q_5 P$ の所望のゲート電圧がノード N_g に確保されてから、カレントミラーアンプ 30 の動作電流を遮断するように、スイッチ素子 S_1 のオフ後、所定時間経過後にスイッチ素子 S_2 をターンオフするシーケンスとしている。

30

【0047】

なお、上述のようにスイッチ素子 S_1 のオフタイミング（時刻 t_3 ）は、帰還ループの形成によって出力電圧 V_O が入力電圧 $V_I (= V_2)$ と同等となった後とする必要がある。たとえば、帰還ループ形成時での動作を解析することにより、出力電圧 V_O の制御に必要な所要時間を予め求めておき、当該所要時間の経過を検知するタイマー（図示せず）を設けて、スイッチ素子 S_1 のオフタイミングを指示する構成とすることができる。あるいは、ノード N_6 および N_7 の電圧差、すなわち出力電圧 V_O および入力電圧 V_I の電圧差に応じて、スイッチ素子 S_1 のオフタイミングを指示する構成としてもよい。

40

【0048】

出力トランジスタ $Q_5 P$ のゲート電圧はリーク電流により時間とともに低下していくが、一定時間内であればほとんど変化しない。たとえば、電流増幅回路 100 を液晶表示装置に適用する場合には、出力ノード N_o の電圧は 1 行のゲート線の選択時間（一般的には数十 μ 秒）の間保持されれば十分であるため、実用上、出力トランジスタのゲート電圧低下が問題とならない範囲で使用することができる。

【0049】

[実施の形態 1 の変形例 1]

50

図 3 は、この発明の実施の形態 1 の変形例 1 に従う電流増幅回路 101 の構成を示す回路図である。

【0050】

図 3 を参照して、実施の形態 1 の変形例 1 に従う電流増幅回路 101 は、差動増幅回路 11 と、スイッチ素子 S1 と、出力回路 22 とを備える。実施の形態 1 の変形例 1 に従う電流増幅回路 101 は、出力回路 20 に代えて出力回路 22 を備える点で、実施の形態 1 に従う電流増幅回路 100 と異なる。

【0051】

出力回路 22 は、定電流源 25 および n 型トランジスタの出力トランジスタ Q5N を含む。定電流源 25 は、電圧源ノード N3 (高電圧源) および出力ノード No の間に接続され、制限された一定電流 I2 を電圧源ノード N3 から出力ノード No へ流す。 10

【0052】

出力トランジスタ Q5N は、ノード Ng と接続されたゲートを有し、かつ、出力ノード No および電圧源ノード N4 (低電圧源) の間に接続される。ノード Ng は、電流増幅回路 100 と同様に、「帰還ループスイッチ」であるスイッチ素子 S1 を介してカレントミラーアンプ 30 のノード N6 と接続される。

【0053】

なお、スイッチ素子 S1 および S2 は、電流増幅回路 100 と同様に図 2 に従って制御される。

【0054】

このような構成としても、電流増幅回路 100 と同様に、発振動作の防止による動作安定化および低消費電力化を達成して、出力ノード No の電圧を入力ノード Ni の電圧と同等に制御できる。なお、出力回路 22 は、図 1 に示した出力回路 20 と異なり、出力ノード No から出力電流 Io を流出させる。すなわち、実施の形態 1 の変形例 1 に従う電流増幅回路 101 は、「プル型 (流出型)」の電流増幅回路である。これに対して、出力ノード No へ出力電流 Io を流入させる電流増幅回路 100 は、「プッシュ型 (流入型)」の電流増幅回路である。 20

【0055】

[実施の形態 1 の変形例 2]

図 4 は、実施の形態 1 の変形例 2 に従う電流増幅回路の構成を示す回路図である。 30

【0056】

図 4 を参照して、実施の形態 1 の変形例 2 に従う電流増幅回路 102 は、差動増幅回路 12 と、出力回路 20 と、スイッチ素子 S1 とを有する。実施の形態 1 の変形例 2 に従う電流増幅回路 102 は、差動増幅回路 11 に代えて差動増幅回路 12 を備える点で、実施の形態 1 に従う電流増幅回路 100 と異なる。

【0057】

差動増幅回路 12 は、動作電流源 15 と、カレントミラーアンプ 31 と、「動作電流スイッチ」として設けられるスイッチ素子 S2 とを有する。すなわち、差動増幅回路 12 は、図 1 に示した差動増幅回路 11 と比較して、カレントミラーアンプ 30 に代えてカレントミラーアンプ 31 を有する点で異なる。 40

【0058】

カレントミラーアンプ 31 は、n 型トランジスタを負荷とするように構成され、1 対のカレントミラー負荷として設けられる n 型トランジスタ Q1N, Q2N と、差動入力を受ける 1 対の入カトランジスタとして設けられる p 型トランジスタ Q3P, Q4P とを有する。

【0059】

n 型トランジスタ Q1N は、ノード N6 および N8 の間に電氣的に接続され、n 型トランジスタ Q2N はノード N7 および N8 の間に電氣的に接続される。ノード N8 は電圧源ノード N2 と接続される。n 型トランジスタ Q1N および Q2N の各ゲートは、ノード N7 と接続される。 50

【0060】

p型トランジスタQ3Pは、ノードN5およびN6の間に電氣的に接続され、p型トランジスタQ4Pは、ノードN5およびN7の間に電氣的に接続される。p型トランジスタQ3Pのゲートは入力ノードNiと接続され、トランジスタQ4Pのゲートは出力ノードNoと接続される。このように、カレントミラーアンプ31は、負荷トランジスタおよび入力トランジスタの導電型が異なる点のみがカレントミラーアンプ30と異なり、その動作、すなわちノードN6およびN7に生じる電圧については、カレントミラーアンプ30と同様である。

【0061】

スイッチ素子S1は、カレントミラーアンプ31の出力ノードN6と、出力トランジスタQ5Pのゲートと接続されたノードNgとの間に接続される。スイッチ素子S2は、電圧源ノードN1およびノードN5の間に、動作電流源15と直列に接続されて、カレントミラーアンプ31の動作電流を供給あるいは遮断する。

【0062】

したがって、実施の形態1の変形例2に従う電流増幅回路102においても、スイッチ素子S1およびS2を図2に示したのと同様に制御することにより、電流増幅回路100と同様の動作を実現することができる。すなわち、発振動作を防止した動作安定化の高い、低消費電力のプッシュ型の電流増幅回路を実現することができる。

【0063】

[実施の形態1の変形例3]

図5は、この発明の実施の形態1の変形例3に従う電流増幅回路の構成を示す回路図である。

【0064】

図5を参照して、実施の形態1の変形例3に従う電流増幅回路103は、差動増幅回路12と、出力回路22と、スイッチ素子S1とを備える。

【0065】

差動増幅回路12は、図4に示したのと同様であり、n型トランジスタを負荷とするカレントミラーアンプ31を含む。出力回路22は、図3に示したのと同様のプル型の出力回路である。

【0066】

スイッチ素子S1は、カレントミラーアンプ31の出力ノードN6と、出力トランジスタQ5Nのゲートと接続されるノードNgとの間に設けられている。このように、n型トランジスタを負荷とするカレントミラーアンプを含む差動増幅回路12と、プル型の出力回路22との組合せによっても、スイッチ素子S1およびS2を図2に示したのと同様に制御することにより、実施の形態1に従う電流増幅回路100と同様の動作を実現できる。すなわち、発振動作を防止した動作安定化の高い、低消費電力のプル型の電流増幅回路を実現することができる。

【0067】

[実施の形態2]

図6は、この発明の実施の形態2に従う電流増幅回路の回路構成を示す回路図である。

【0068】

図6を参照して、この発明の実施の形態2に従う電流増幅回路104は、差動増幅回路11と、スイッチ素子S1と、出力回路21とを備える。実施の形態2に従う電流増幅回路104は、出力回路20に代えて出力回路21を備える点で、実施の形態1に従う電流増幅回路100と異なる。

【0069】

出力回路21は、図1に示された出力回路20と同様に、出力ノードNoへ出力電流を流入させるプッシュ型であるが、出力トランジスタの極性が出力回路20とは異なる。出力回路21では、n型トランジスタである出力トランジスタQ5Nのドレインおよびソースは、電圧源ノードN3（高電圧源）および出力ノードNoとそれぞれ接続される。すな

10

20

30

40

50

わち、出力トランジスタQ5Nはソースフォロワ接続されている。

【0070】

このように出力トランジスタの極性が出力回路20と逆であることから、カレントミラーアンプ30において、負荷トランジスタであるp型トランジスタQ1PおよびQ2の各ゲートはノードN6と接続される。さらに、「帰還ループスイッチ」であるスイッチ素子S1は、ノードN7とノードNg（すなわち、出力トランジスタQ5Nのゲート）との間に接続される。スイッチ素子S1およびS2は、図2に示したシーケンスと同様に制御される。

【0071】

これにより、実施の形態2に従う電流増幅回路104では、実施の形態1に従う電流増幅回路100と同様に、出力電圧VOの安定後に帰還ループを遮断することにより、発振動作を防止して動作安定性を向上したプッシュ型の電流増幅回路を実現できる。さらに、出力回路21がn型トランジスタを用いたソースフォロワ回路構成となっているので、特開2000-148263号公報（特許文献1）にも開示されるように、帰還ループの形成中においても発振が起こりにくいという利点を有している。このため、動作安定性をさらに向上できる。

【0072】

なお、出力回路21において出力トランジスタをn型トランジスタとすることにより、出力トランジスタQ5Nでのしきい値電圧降下分だけ、カレントミラーアンプ30からの出力電圧を高くする必要がある。このため、カレントミラーアンプ30の高電圧源である高電圧VH1を高くする必要があるので、消費電流の増大が懸念される。

【0073】

しかしながら、実施の形態2に従う電流増幅回路104では、出力電圧VOの安定後にスイッチ素子S2をターンオフしてカレントミラーアンプ30の動作電流を遮断することにより、高電圧VH1の上昇による消費電力増加という悪影響を抑制することができる。これにより、実施の形態2に従う構成とすることにより、発振動作が防止されたより動作安定化の高いプッシュ型の電流増幅回路を、低消費電力で実現することができる。

【0074】

[実施の形態2の変形例1]

図7は、この発明の実施の形態2の変形例1に従う電流増幅回路105の回路構成を示す回路図である。

【0075】

図7を参照して、この発明の実施の形態2の変形例2に従う電流増幅回路105は、差動増幅回路11と、スイッチ素子S1と、出力回路23とを備える。実施の形態2の変形例1に従う電流増幅回路105は、出力回路22に代えて出力回路23を備える点で、実施の形態1の変形例1に従う電流増幅回路101と異なる。

【0076】

出力回路23は、図3に示された出力回路22と同様に、出力ノードNoから出力電流を流出させるプル型であるが、出力トランジスタの極性が出力回路22とは異なる。出力回路23では、p型トランジスタである出力トランジスタQ5Pのドレインおよびソースは、電圧源ノードN4（低電圧源）および出力ノードNoとそれぞれ電氣的に接続されている。すなわち、出力トランジスタQ5Pはソースフォロワ接続されている。

【0077】

このように出力トランジスタの極性が出力回路22と逆であることから、カレントミラーアンプ30は図6と同様の構成となっている。したがって、「帰還ループスイッチ」であるスイッチ素子S1についても、ノードN7とノードNg（すなわち、出力トランジスタQ5Pのゲート）との間に接続される。電流増幅回路105においても、スイッチ素子S1およびS2は、図2に示したシーケンスと同様に制御される。

【0078】

これにより、実施の形態2の変形例1に従う電流増幅回路105では、実施の形態1の

変形例 1 に従う電流増幅回路 101 と同様に、出力電圧 V_O の安定後に帰還ループを遮断することにより、発振動作を防止して動作安定性を向上したプル型の電流増幅回路を実現できる。さらに、出力回路 23 が p 型トランジスタを用いたソースフォロワ回路構成となっているので、帰還ループの形成中においても発振が起こりにくいという利点を有している。このため、動作安定性をさらに向上できる。

【0079】

なお、出力回路 23 において出力トランジスタを p 型トランジスタとすることにより、出力トランジスタ Q_{5P} でのしきい値電圧分だけ、カレントミラーアンプ 30 の低電圧源である低電圧 V_{L1} を低くする必要があるので、消費電流の増大が懸念される。

【0080】

しかしながら、実施の形態 2 の変形例 1 による電流増幅回路 105 では、出力電圧 V_O の安定後にスイッチ素子 S_2 をターンオフしてカレントミラーアンプ 30 の動作電流を遮断することにより、低電圧 V_{L1} の低下による消費電力増加という悪影響を抑制することができる。これにより、実施の形態 2 の変形例 1 に従う構成とすることにより、発振動作が防止されたより動作安定性の高いプル型の電流増幅回路を、低消費電力で実現することができる。

【0081】

[実施の形態 2 の変形例 2]

図 8 は、この発明の実施の形態 2 の変形例 2 に従う電流増幅回路の構成を示す回路図である。

【0082】

図 8 を参照して、実施の形態 2 の変形例 2 に従う電流増幅回路 106 は、差動増幅回路 12 と、スイッチ素子 S_1 と、電流増幅回路 21 とを備える。実施の形態 2 の変形例 2 に従う電流増幅回路 106 は、実施の形態 2 に従う電流増幅回路 104 (図 6) と比較して、差動増幅回路 11 に代えて差動増幅回路 12 を備える点で異なる。

【0083】

差動増幅回路 12 は、図 4 に示したのと同様であり、n 型トランジスタを負荷とするカレントミラーアンプ 31 を含む。出力回路 21 は、図 6 に示したように、ソースフォロワ接続された n 型の出力トランジスタ Q_{5N} を有するプッシュ型の出力回路である。

【0084】

スイッチ素子 S_1 は、カレントミラーアンプ 31 の出力ノード N_7 と、出力トランジスタ Q_{5N} のゲートと接続されるノード N_g との間に設けられている。このように、n 型トランジスタを負荷とするカレントミラーアンプを含む差動増幅回路 12 と、プッシュ型の出力回路 21 との組合せによっても、スイッチ素子 S_1 および S_2 を図 2 に示したのと同様に制御することにより、実施の形態 2 に従う電流増幅回路 104 と同様の動作を実現できる。すなわち、発振動作が防止されたより動作安定性の高いプッシュ型の電流増幅回路を、低消費電力で実現することができる。

【0085】

[実施の形態 2 の変形例 3]

図 9 は、この発明の実施の形態 2 の変形例 3 による電流増幅回路の構成を示す回路図である。

【0086】

図 9 を参照して、実施の形態 2 の変形例 3 に従う電流増幅回路 107 は、差動増幅回路 12 と、スイッチ素子 S_1 と、出力回路 23 とを備える。実施の形態 2 の変形例 2 に従う電流増幅回路 106 は、実施の形態 2 の変形例 1 に従う電流増幅回路 105 (図 7) と比較して、差動増幅回路 11 に代えて差動増幅回路 12 を備える点で異なる。

【0087】

差動増幅回路 12 は、図 4 に示したのと同様であり、n 型トランジスタを負荷とするカレントミラーアンプ 31 を含む。出力回路 23 は、図 7 に示したように、ソースフォロワ接続された p 型の出力トランジスタを有するプル型の出力回路である。

10

20

30

40

50

【 0 0 8 8 】

スイッチ素子 S 1 は、カレントミラーアンプ 3 1 の出力ノード N 7 と、出力トランジスタ Q 5 N のゲートと接続されるノード N g との間に設けられている。このように、n 型トランジスタを負荷とするカレントミラーアンプを含む差動増幅回路 1 2 と、プル型の出力回路 2 3 との組合せによっても、スイッチ素子 S 1 および S 2 を図 2 に示したのと同様に制御することにより、実施の形態 2 の変形例 1 に従う電流増幅回路 1 0 5 と同様の動作を実現できる。すなわち、発振動作が防止されたより動作安定化の高いプル型の電流増幅回路を、低消費電力で実現することができる。

【 0 0 8 9 】

なお、実施の形態 1 および 2 ならびにそれらの変形例では、カレントミラーアンプおよび出力トランジスタでのトランジスタの極性（導電性）に関する種々のバリエーションを例示したが、同一サイズ（ゲート幅 / ゲート長）では n 型トランジスタの方が p 型トランジスタよりも電流駆動能力が大きいので、カレントミラーアンプでの負荷トランジスタおよび出力トランジスタには n 型トランジスタを用いる方が、回路の小型化に有利である。

【 0 0 9 0 】

[実施の形態 3]

実施の形態 1 および 2 ならびにそれらの変形に従う電流増幅回路 1 0 0 ~ 1 0 7 の各々では、出力電圧 V O の安定後にスイッチ素子 S 1 のターンオフによって帰還ループを遮断することで、発振動作を防止して動作安定性を向上している。帰還ループの遮断後には、出力トランジスタのゲート電圧が所望レベルに保持されることにより、出力電圧 V O が維持される。

【 0 0 9 1 】

実際の回路では、スイッチ素子 S 1 は、p 型トランジスタ単独、n 型トランジスタ単独あるいは、両者の並列接続によって実現される。したがって、スイッチ素子 S 1 を構成するトランジスタのゲート電極とソース電極あるいはドレイン電極との間に存在する寄生容量によって、スイッチ素子 S 1 のターンオフの際に、ノード N g の電圧、すなわち出力トランジスタのゲート電圧が、スイッチ素子 S 1 のターンオフ直前での所望レベルからずれてしまう、いわゆるフィードスルーが発生してしまう。

【 0 0 9 2 】

このようなフィードスルーに対しては、図 1 に示した保持容量 2 6 の配置がある程度の効果を有するが、実施の形態 3 においては、フィードスルーを補償するための回路構成について説明する。

【 0 0 9 3 】

図 1 0 は、この発明の実施の形態 3 に従う電流増幅回路の回路構成を示す回路図である。

【 0 0 9 4 】

図 1 0 を参照して、実施の形態 3 に従う電流増幅回路 1 1 0 は、図 6 に示した電流増幅回路 1 0 4 の構成に加えて、フィードスルー補償回路 5 0 をさらに備える。

【 0 0 9 5 】

フィードスルー補償回路 5 0 は、キャパシタ 5 2 と、「第 1 の補償スイッチ」に相当するスイッチ素子 S 3 と、「第 2 の補償スイッチ」に相当するスイッチ素子 S 4 とを含む。

【 0 0 9 6 】

スイッチ素子 S 3 は、入力ノード N i およびノード N 1 0 の間に接続され、スイッチ素子 S 4 は、ノード N 1 0 および出力ノード N o の間に接続される。キャパシタ 5 2 は、「制御ノード」であるノード N g と、ノード N 1 0 の間に接続される

図 1 1 は、図 1 0 に示されたフィードスルー補償回路 5 0 の動作を説明する動作波形図である。

【 0 0 9 7 】

図 1 1 を参照して、スイッチ素子 S 4 は、「帰還ループスイッチ」であるスイッチ素子 S 1 と同様のタイミングで、時刻 t 2 にターンオンされて、時刻 t 3 でターンオフされる

。図2で説明したように、スイッチ素子S1のターンオフ直前において、ノードNgの電圧は、出力電圧VOを入力電圧VIと同等とできるような出力トランジスタQ5Nのゲート電圧Vgとなっている。

【0098】

この状態からスイッチ素子S1がターンオフされると、ノードNgに $-V1$ のフィードスルー電圧変動が生じる。フィードスルー補償回路50中のキャパシタ52の容量をノードN10の寄生容量よりも十分大きく設計すると、ノードNgでの電圧変動 $-V1$ は、キャパシタ52によってほぼ100%ノードN10へ伝達される。

【0099】

同様に、スイッチ素子S4のターンオフによって、ノードN10にフィードスルーによる電圧変動 $-V4$ が生じ、電圧変動 $-V4$ はノードVgへほぼ100%伝達される。これにより、時刻t3を境に、ノードN10およびノードNgの電圧は、各々 $Vg(Vg = V1 + V4)$ 低下する。

【0100】

次に、時刻t3より後の時刻t5にスイッチ素子S3がオンされると、ノードN10の電圧は、低インピーダンス状態にある入力ノードNiの電圧、すなわち入力電圧VIと等しくなる。すなわち、ノードN10の電圧は、時刻t3での電圧低下分に相当するVgだけ上昇する。この電圧変化は、キャパシタ52を介した容量結合によって、ノードNgに伝達されるので、ノードNgの電圧は、時刻t3でのスイッチ素子S1のターンオフ直前での所望レベルのゲート電圧Vgへ復帰する。このように、フィードスルー補償回路50によってノードNgでのフィードスルーをキャンセルすることにより、実施の形態3に従う電流増幅回路110では出力電圧VOが安定的に維持される。

【0101】

なお、フィードスルー補償回路50中のキャパシタ52は、帰還ループが遮断されるスイッチ素子S1およびS4のオフ期間では、図1に示した保持容量26として作用する。このため、上述したフィードスルーキャンセル効果に加えて、帰還ループの遮断時において出力トランジスタのゲート電圧保持時間を長くして出力電圧VOの制御性を向上できる。

【0102】

[実施の形態3の変形例]

図12は、この発明の実施の形態3の変形例に従う電流増幅回路の回路構成を示す回路図である。

【0103】

図12を参照して、実施の形態3の変形例に従う電流増幅回路111は、図10に示した電流増幅回路110の構成と比較して、フィードスルー補償回路50に代えてフィードスルー補償回路51を備える点で異なる。

【0104】

フィードスルー補償回路51は、スイッチ素子S3、S4およびキャパシタ52を含むが、スイッチ素子S4が出力ノードNoおよび入力トランジスタQ4Nのゲート間の帰還経路中の設けられる点がフィードスルー補償回路50と異なる。すなわち、入力トランジスタQ4Nのゲートは、ノードN10と接続され、スイッチ素子S4を介して出力ノードNoと接続される。スイッチ素子S3、S4を図11に示すように制御することにより、実施の形態3の変形例に従う電流増幅回路111は、図10に示した電流増幅回路110と同様に動作する。

【0105】

実施の形態3の変形例に従う電流増幅回路111では、スイッチ素子S4の配置個所の配線部分を共有できるので、回路の占有面積を削減できる。しかしながら、入力トランジスタQ4NがノードN10の寄生容量として作用するようになるというデメリットが生じる。

【0106】

10

20

30

40

50

なお、実施の形態 3 およびその変形例では、実施の形態 2 に従う電流増幅回路 104 (図 6) に、フィードスルー補償回路 50 または 51 を付加する構成を例示したが、出力回路がソースフォロワ構成であるその他の電流増幅回路 105 ~ 107 についても、フィードスルー補償回路 50 または 51 を付加して、フィードスルーをキャンセルして出力電圧 V_O を精度良く設定することが可能である。

【0107】

[実施の形態 4]

実施の形態 4 では、実施の形態 1 ~ 3 およびそれらの変形例で説明した、電流流出型 (プル型) の電流増幅回路と、電流流入型 (プッシュ型) の電流増幅回路との組合せによって、電流増幅回路を構成する。

【0108】

図 13 は、実施の形態 4 に従う電流増幅回路 200 の構成を示すブロック図である。

【0109】

図 13 を参照して、実施の形態 4 に従う電流増幅回路 200 は、流出型 (プッシュ型) の電流増幅回路 210 と、電流流入型 (プル型) の電流増幅回路 220 とを備える。流出型の電流増幅回路 210 および流入型の電流増幅回路 220 の入力ノード N_i 同士および出力ノード N_o 同士は、それぞれ電氣的に接続されている。接続された入力ノード N_i には、電流増幅回路 200 への入力電圧 V_I が入力され、同様に、接続された出力ノード N_o には、電流増幅回路 200 の出力電圧 V_O が生成される。

【0110】

流出型の電流増幅回路 210 としては、これまでに説明した電流増幅回路 100, 102, 104, 106, 110, 111 ならびに、出力回路がソースフォロワ構成の電流増幅回路 106 にフィードスルー補償回路 50 または 51 を付加した電流増幅回路を適用することが可能である。同様に、流入型の電流増幅回路 220 としては、これまでに説明した電流増幅回路 101, 103, 105, 107 ならびに、出力回路がソースフォロワ構成の電流増幅回路 105, 107 にフィードスルー補償回路 50 または 51 を付加した電流増幅回路を適用することが可能である。

【0111】

流出型の電流増幅回路 210 では、低消費電力化のために出力回路 20, 21 で定電流源 25 による一定電流 I_2 を絞ると、正方向 (出力電圧 V_O の上昇方向) の外乱ノイズに対しては弱い構成となってしまう。同様に、流入型の電流増幅回路 220 では、低消費電力化のために一定電流 I_2 を絞ると、負方向 (出力電圧 V_O の低下方向) の外乱ノイズに対しては弱い構成となってしまう。

【0112】

これに対して、実施の形態 4 に従う電流増幅回路 200 では、流出型の電流増幅回路 210 および流入型の電流増幅回路 220 を組合せることにより、各電流増幅回路での一定電流 I_2 を絞って低消費電力化を図った上で、出力ノード N_o における正および負いずれの方向の外乱ノイズに対しても抑制能力を高めることができる。

【0113】

[実施の形態 4 の変形例]

図 14 は、実施の形態 4 の変形例に従う電流増幅回路 201 の構成を示すブロック図である。

【0114】

図 14 を参照して、実施の形態 4 の変形例に従う電流増幅回路 201 は、実施の形態 4 に従う電流増幅回路 200 (図 13) と比較して、電流増幅回路 210 および 220 の出力ノード N_o 間に接続されたスイッチ素子 S_5 をさらに備える点で異なる。

【0115】

スイッチ素子 S_5 は、入力電圧 V_I の設定に応答して電流増幅回路 210 および 220 の出力電圧が安定した後に、すなわち図 2 における時刻 t_3 以降のタイミングでオンされる。これにより、スイッチ素子 S_5 がターンオンするまでは、電流流出型の電流増幅回路

10

20

30

40

50

210および電流流入型の電流増幅回路220の出力ノードNoの間は切り離される。

【0116】

これに対して、実施の形態4に従う電流増幅回路200では、流出型の電流増幅回路210および流入型の電流増幅回路220の出力ノードNoの間が常時接続される構成となるため、電圧源ノードN3（高電圧源）および電圧源ノードN4（低電圧源）の間に、プッシュ側の出力回路20, 21中の出力トランジスタおよびプル側の出力回路22, 23中出力トランジスタを介した貫通電流経路が形成されやすくなる。

【0117】

したがって、実施の形態4の変形例に従う電流増幅回路201では、出力電圧V0が安定するまでの期間における貫通電流の発生を防止して、実施の形態4に従う電流増幅回路200と同様の効果に加えて、消費電力を削減することができる。

10

【0118】

[実施の形態5]

実施の形態5では、実施の形態1～3およびそれらの変形例に示した、「動作電流スイッチ」として動作するスイッチ素子S2と同様の機能を有する電流供給回路の構成について説明する。

【0119】

図15は、実施の形態5に従う電流供給回路230の構成を示す図である。

【0120】

図15を参照して、実施の形態5に従う電流供給回路230は、電圧源ノードN2（低電圧源）およびN8の間に接続されたn型トランジスタQ6Nと、スイッチ素子S6とを有する。

20

【0121】

スイッチ素子S6は、所定電圧VBおよび低電圧VL1のいずれか一方をトランジスタQ6Nのゲートへ選択的に伝達する。トランジスタQ6Nのゲート電圧が低電圧VL1である場合には、トランジスタQ6Nはターンオフされるので、電圧源ノードN2からノードN8への供給電流はゼロとなり、カレントミラーアンプ30, 31への動作電流の供給は停止される。すなわち、これまで説明したスイッチ素子S2のターンオフと同様の状態が作り出せる。

【0122】

これに対して、トランジスタQ6Nのゲート電圧が所定電圧VBであるときには、トランジスタQ6Nは、電圧源ノードN2およびノードN8の間に所定電圧VBに応じた電流を通過させる。このため、所定電圧VBを、カレントミラーアンプ30, 31の動作電流I1に合わせて適切に設定することにより、電流供給回路230を、これまで説明した動作電流源15として用いることができる。

30

【0123】

この結果、これまで説明した電流増幅回路100～107, 110, 111において、動作電流源15およびスイッチ素子S2の組を、図15に示した電流供給回路230によって置換することが可能となり、その回路構成を簡素化することができる。

【0124】

あるいは、実施の形態5に従う電流供給回路230は、図16に示すように、電圧源ノードN1（高電圧源）およびノードN5の間に電氣的に接続されたp型トランジスタQ6Pおよびスイッチ素子S6で構成することも可能である。

40

【0125】

この場合には、スイッチ素子S6は、スイッチ素子S2のオン期間に対応してトランジスタQ6Pのゲートを所定電圧VBと接続し、スイッチ素子S2のオフ期間に対応してトランジスタQ6Pのゲートを高電圧VH1と接続する。

【0126】

この結果、これまで説明した電流増幅回路100～107, 110, 111において、動作電流源15およびスイッチ素子S2の組を、図16に示した電流供給回路230によ

50

って置換することが可能となり、その回路構成を簡素化することができる。

【0127】

[実施の形態6]

これまで説明した電流増幅回路を液晶表示装置に適用した場合、電流増幅回路は、ポリシリコンによる薄膜トランジスタ(TFT)を用いて構成されるのが一般的である。しかしながら、TFTのしきい値電圧の製造ばらつきが一般的に大きいため、カレントミラーアンプ30(または31)における入力トランジスタQ3N, Q4N(またはQ3P, Q4P)の間にしきい値電圧の差が生じた場合には、差動増幅回路11(または12)にオフセット電圧が発生して、出力電圧VOを入力電圧VIに設定することができなくなってしまうことが予想される。実施の形態5では、このようなオフセット電圧を補償することが可能な回路構成について説明する。

10

【0128】

図17は、実施の形態5に従う電流増幅回路300の構成を示すブロック図である。

【0129】

図17を参照して、実施の形態5に従う電流増幅回路300は、実施の形態1に従う電流増幅回路100と、オフセット補償回路310とを備える。オフセット補償回路310は、オフセット電圧保持用のキャパシタ320と、複数のスイッチ素子SA~SCとを含む。

【0130】

スイッチ素子SAは、電流増幅回路100の入力ノードNiと、入力電圧VIが入力されるノードNiの間に接続される。スイッチ素子SBは、出力ノードNoおよびノードN12の間に接続される。スイッチ素子SCは、ノードN12およびNiの間に接続される。キャパシタ320の一端は入力ノードNiと接続され、他端はノードN12と接続される。

20

【0131】

オフセット補償回路310は、以下に説明する動作により、差動増幅回路11でのオフセット電圧を補償して、電流増幅回路300が入力電圧VIに等しい出力電圧VOを出力ノードNoに生成するように、入力ノードNiの電圧を修正する。

【0132】

まず、スイッチ素子SAおよびSBがオンされるとともにスイッチ素子SCがオフされて、入力ノードNiへ入力電圧VIが伝達されるとともに、キャパシタ320の他端が出力ノードNoと接続される。この状態で、電流増幅回路100においてスイッチ素子S1およびS2(図1および図2)がオンされる。これにより、電流増幅回路100は、出力ノードNoの出力電圧VOを入力ノードNiへ伝達された入力電圧VIへ近づけようと動作する。

30

【0133】

電流増幅回路100を構成するTFTのしきい値電圧ばらつきが存在しないときには、 $V_I = V_O$ となるので、出力ノードと接続されたノードN12および入力ノードNiには電圧差が発生せず、オフセット電圧 $V_{of} = 0$ となる。

【0134】

これに対して、TFTのしきい値電圧ばらつきによって、 $V_I < V_O$ となった場合には、オフセット電圧 V_{of} ($V_{of} = V_O - V_I$)が、キャパシタ320に保持される。

40

【0135】

出力電圧VOが定常状態に達した後、スイッチ素子SAおよびSBをターンオフする一方で、スイッチ素子SCをターンオンする。これにより、入力ノードNiが入力電圧VIと切離されるとともに、キャパシタ320の他端が入力電圧VIと接続される。

【0136】

これにより、ノードN12の電圧が入力電圧VIとなり、キャパシタ320による容量結合によって、電流増幅回路100の入力ノードNiの電圧は $V_I - V_{of}$ となる。したがって、この状態では、オフセット電圧 V_{of} を補償するように、電流増幅回路100の

50

入力ノード N_i の電圧がシフト（修正）されるので、出力電圧 V_O は、本来の目標値である入力電圧 V_I に正しく設定される。

【0137】

このように、実施の形態6に従う電流増幅回路300によれば、電流増幅回路100を液晶表示装置等に適用して、しきい値電圧ばらつきの比較的大きいTFTで構成した場合においても、出力電圧 V_O を正確に生成することができる。なお、電流増幅回路100に代えて、実施の形態1の変形例ならびに実施の形態2およびその変形例に従う電流増幅回路101～107あるいは、実施の形態3およびその変形例に従う電流増幅回路を適用することも可能である。

【0138】

[実施の形態6の変形例1]

図18は、実施の形態6の変形例1に従う電流増幅回路301の構成を示すブロック図である。

図18を参照して、実施の形態6の変形例1に従う電流増幅回路301は、実施の形態6に従う電流増幅回路300と比較して、オフセット補償回路310に代えてオフセット補償回路311を備える点で異なる。

【0139】

オフセット補償回路311は、オフセット補償回路310と同様に、複数のスイッチ素子 $S_A \sim S_C$ およびオフセット電圧保持用のキャパシタ320で構成される。しかし、オフセット補償回路311では、スイッチ素子 S_A は基準電圧 V_R が入力されるノード N_R と電流増幅回路100の入力ノード N_i の間に設けられる。さらに、スイッチ素子 S_2 は、入力電圧 V_I が入力されるノード N_i およびノード N_{12} の間に設けられる。スイッチ素子 S_C は、オフセット補償回路310と同様に、ノード N_{12} および出力ノード N_o の間に設けられる。

【0140】

オフセット補償回路311においても、オフセット補償回路310と同様に、まずスイッチ素子 S_A および S_B がオンされるとともにスイッチ素子 S_C がオフされて、入力ノード N_i へ基準電圧 V_R が伝達されるとともに、キャパシタ320の他端が出力ノード N_o と接続される。この状態で、電流増幅回路100においてスイッチ素子 S_1 および S_2 がオンされることにより、入力ノード N_i および出力ノード N_o の電圧差、すなわちオフセット電圧 $V_{of} = V_O - V_R$ がキャパシタ320に保持される。

【0141】

出力電圧 V_O が定常状態に達した後、スイッチ素子 S_A および S_B をターンオフし、スイッチ素子 S_C をターンオンすることにより、入力ノード N_i が基準電圧 V_R と切離されるとともに、キャパシタ320の他端が入力電圧 V_I と接続される。

【0142】

これにより、ノード N_{12} の電圧が入力電圧 V_I となり、キャパシタ320による容量結合によって、電流増幅回路100の入力ノード N_i の電圧は $V_I - V_{of}$ となる。このように、オフセット電圧 V_{of} を補償するように、電流増幅回路100の入力ノード N_i の電圧がシフト（修正）されるので、出力電圧 V_O は、本来の目標値である入力電圧 V_I に正しく設定される。

【0143】

特に、実施の形態6の変形例1に従う構成では、入力電圧 V_I を生成する信号源の負荷が大幅に軽減される。そのため、入力電圧 V_I が一定電圧ではなく時間に応じて高速に変化する信号である場合に、このような電流増幅回路を用いれば、入力電圧 V_I の変化にตอบสนองして、出力電圧 V_O を正確に追従して設定することが可能である。

【0144】

[実施の形態6の変形例2]

図19は、実施の形態6の変形例2に従う電流増幅回路302の構成を示すブロック図

10

20

30

40

50

である。

【0145】

図19を参照して、実施の形態6の変形例2に従う電流増幅回路302は、流出型の電流増幅回路210と、流入型の電流増幅回路220と、オフセット補償回路310a, 310bと、スイッチ素子S7およびS8とを備える。

【0146】

オフセット補償回路310aは、流出型の電流増幅回路210に対応して設けられ、その構成は、図17に示したオフセット補償回路310と同様である。同様に、オフセット補償回路310bは、流出型の電流増幅回路220に対応して設けられ、その構成は、図17に示したオフセット補償回路310と同様である。

10

【0147】

スイッチ素子S7は、電流増幅回路302の出力ノードNoと、流出型の電流増幅回路210の出力ノードNo1との間に設けられる。スイッチ素子S8は、出力ノードNoと、流入型の電流増幅回路220の出力ノードNo1との間に設けられる。

【0148】

次に、電流増幅回路302の動作について説明する。

【0149】

まず、オフセット補償回路310a, 310bの各々で、スイッチ素子SAおよびSBがオンし、スイッチ素子SCがオフされた状態で、電流増幅回路210および220がスイッチ素子S1, S2のオンにตอบสนองして動作し、キャパシタ320aおよび320bに、流出型の電流増幅回路210および流入型の電流増幅回路220でのオフセット電圧VofaおよびVofbがそれぞれ保持される。

20

【0150】

この段階では、スイッチ素子S7およびS8はターンオフされている。

【0151】

出力ノードNo1およびNo2の出力電圧が定常状態に達した後に、オフセット補償回路310a, 310bの各々において、スイッチ素子SCがターンオンされる一方で、スイッチ素子SAおよびSBがオフされる。さらに、スイッチ素子S7およびS8がオンされて、流出型の電流増幅回路210および流入型の電流増幅回路220のそれぞれの出力ノードNo1およびNo2は、電流増幅回路302の出力ノードNoと接続される。

30

【0152】

これにより、電流流出型の電流増幅回路210および流入型の電流増幅回路220のそれぞれでオフセット電圧VofaおよびVofbが補償された状態で、図14に示した電流増幅回路201と同様に、出力電圧VOを出力ノードNoに生成できる。したがって、実施の形態4の変形例に従う電流増幅回路201と同様の動作を、電流増幅回路を構成するTFTのしきい値電圧ばらつきを補償して実現することが可能となる。なお、オフセット補償回路310a, 310bの各々に、図18に示したオフセット補償回路311を適用することもできる。

【0153】

[実施の形態7]

実施の形態7では、本発明に従う電流増幅回路を液晶表示装置に適用した構成例について説明する。

40

【0154】

図20は、この発明の実施の形態7に従う液晶表示装置の全体構成を示すブロック図である。

【0155】

図20を参照して、この発明の実施の形態7に従う液晶表示装置410は、液晶アレイ部420と、ゲート駆動回路430と、データ駆動回路440とを備える。

【0156】

液晶アレイ部420は、行列状に配された複数の画素425を含む。画素の行(「画素

50

行」とも以下称する)にそれぞれ対応して、ゲート線GLが配置され、画素の列(「画素列」とも以下称する)にそれぞれ対応して、データ線DLがそれぞれ設けられる。図2には、第1行の第1列および第2列の画素ならびにこれに対応するゲート線GL1およびデータ線DL1, DL2が代表的に示されている。

【0157】

各画素425は、対応するデータ線DLと画素ノードNpとの間に設けられるスイッチ素子426と、画素ノードNpおよび共通電極ノードNcの間に並列に接続される保持容量427および液晶表示素子428とを有する。画素ノードNpおよび共通電極ノードNcの間の電圧差に応じて、液晶表示素子428中の液晶の配向性が変化し、これに回答して液晶表示素子428の表示輝度が変化する。これにより、データ線DLおよびスイッチ素子426を介して画素ノードNpへ伝達される表示電圧に応じて、各画素の輝度をコントロールすることが可能となる。

10

【0158】

すなわち、最大輝度に対応する電圧差と、最小輝度に対応する電圧差との間の中間的な電圧差を画素ノードNpと共通電極ノードNcとの間に印加することによって、中間的な輝度を得ることが可能となる。すなわち、表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

ゲート駆動回路430は、所定の走査周期に基づいて、ゲート線GLを順に活性化する。スイッチ素子426のゲートは対応するゲート線GLと接続される。したがって、対応するゲート線GLの活性化(Hレベル)期間中において、画素ノードNpは対応するデータ線DLと接続される。スイッチ素子426は、一般的には、液晶表示素子428と同一の絶縁体基板(ガラス基板・樹脂基板等)上に形成されるTFT(Thin-Film Transistor)素子で構成される。画素ノードNpへ伝達された表示電圧は、保持容量427によって保持される。

20

【0159】

データ駆動回路440は、Nビットのデジタル信号である表示信号SIGによって段階的に設定される表示電圧をデータ線DLへ出力する。図20では、N=6の場合、すなわち、表示信号SIGが表示信号ビットD0~D5からなる場合が例示される。6ビットの表示信号SIGに基づいて、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R(Red)、G(Green)およびB(Blue)の各1つの画素から1つのカラー表示

30

【0160】

データ駆動回路440は、シフトレジスタ450と、データラッチ回路452, 454と、階調電圧回路460と、デコード回路470と、データ線駆動部480とを含む。

【0161】

表示信号SIGは、画素425ごとの表示輝度に対応してシリアルに生成される。すなわち、各タイミングにおける表示信号ビットD0~D5は、液晶アレイ部420中の1つの画素425における表示輝度を示している。

【0162】

シフトレジスタ450は、表示信号SIGの設定が切換えられる所定周期に同期したタイミングで、データラッチ回路452に対して、表示信号ビットD0~D5の取込を指示する。データラッチ回路452は、シリアルに生成される1つの画素行分の表示信号SIGを、順に取込んで保持する。

40

【0163】

1つの画素行分の表示信号SIGがデータラッチ回路452に取込まれたタイミングで、ラッチ信号LTの活性化に回答して、データラッチ回路452にラッチされた表示信号群は、データラッチ回路454に伝達される。階調電圧回路460は、64段階の階調電圧V1~V64を、階調電圧ノードN1~N64にそれぞれ生成する。

【0164】

デコード回路470は、データラッチ回路454にラッチされた表示信号をデコードし

50

て、当該デコードに基づいて階調電圧 $V_1 \sim V_{64}$ を選択する。デコード回路 470 は、選択された階調電圧 ($V_1 \sim V_{64}$ のうちの 1 つ) を表示電圧としてデコード出力ノード N_d に生成する。この構成例では、デコード回路 470 は、データラッチ回路 454 にラッチされた表示信号に基づいて、1 行分の表示電圧を並列に出力する。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 DL_1 , DL_2 に対応するデコード出力ノード N_{d1} , N_{d2} が代表的に示されている。

【0165】

データ線駆動部 480 は、各データ線 DL に対応して設けられたデータ線駆動回路 482 を有する。

【0166】

各データ線駆動回路 482 は、デコード出力ノード N_{d1} , N_{d2} , ... へ出力された表示電圧にそれぞれ対応したアナログ電圧をデータ線 DL_1 , DL_2 , ... にそれぞれ駆動する。当該アナログ電圧の駆動時に、各データ線駆動回路 482 は、対応のデータ線 DL の寄生容量ならびに選択された画素 425 の画素ノード N_p の充電電流を供給する必要がある。

10

【0167】

したがって、各データ線駆動回路 482 として、この発明による電流増幅回路を適用する。具体的には、各電流増幅回路の入力ノード N_i はデコード出力ノード N_{d1} , N_{d2} , ... と接続され、出力ノード N_o はデータ線 DL_1 , DL_2 , ... と接続される。

【0168】

これにより、各データ線駆動回路 482 は、デコード回路 470 によって選択された表示電圧を、発振動作を防止して正確かつ安定的に対応のデータ線 DL へ駆動できる。また、

20

データ線駆動回路 482 は、データ線 DL の本数分配する必要があるが、各々での消費電力が抑制されるので、液晶表示装置 410 全体での消費電力が抑制される。

【0169】

なお、図 20 には、ゲート駆動回路 430 およびデータ駆動回路 440 が液晶アレイ部 420 と一体的に形成された液晶表示装置 410 の構成を例示したが、ゲート駆動回路 430 およびデータ駆動回路 440 については、液晶アレイ部 420 の外部回路として設けることも可能である。

30

【0170】

[実施の形態 8]

実施の形態 8 では、これまで説明した本発明に従う電流増幅回路を低消費電力の電源回路として用いる構成について説明する。

【0171】

図 21 は、この発明の実施の形態 8 に従う電源回路の構成を示すブロック図である。

【0172】

図 21 を参照して、実施の形態 8 に従う電源回路 500 は、電流増幅回路 505 と、スイッチ素子 SL と、キャパシタ 520 とを備える。

【0173】

電流増幅回路 505 は、実施の形態 1 ~ 7 およびこれらの変形例のいずれかに従う電流増幅回路で構成される。すなわち、電流増幅回路 505 には、これまで説明したスイッチ素子 S_1 および S_2 が含まれており、制御信号 SS_1 および SS_2 は、これらのスイッチ素子 S_1 および S_2 のオン・オフを制御する信号である。

40

【0174】

電流増幅回路 505 は、負荷 510 との間に「負荷スイッチ」として設けられたスイッチ素子 SL のオンにตอบสนองして、負荷 510 に対して出力電圧 V_o を供給する。キャパシタ 520 は、出力電圧 V_o を一定値とするための安定化容量である。

【0175】

図 22 は、実施の形態 7 に従う電源回路の動作を示す動作波形図である。

50

【0176】

図22を参照して、スイッチ素子S1およびS2は、図3に示したのと同様のタイミングで、オンおよびオフされる。

【0177】

すなわち、時刻 t_a においてスイッチ素子S1およびS2がオンされた後、スイッチ素子S1およびS2が段階的にオフされて出力トランジスタの供給電流が一定値に保持される。時刻 t_a から再びスイッチ素子S1およびS2がターンオンする時刻 t_b までの時間が1周期 T_c として定義される。

【0178】

スイッチ素子SLは、スイッチ素子S1とほぼ逆相で制御され、電流増幅回路の出力電圧VOが定常状態に達し、帰還ループが遮断された後にオンされる。 10

【0179】

既に説明したように、スイッチ素子S1およびS2のオフ期間においては、帰還ループが遮断されているので、出力ノードNoへの外乱ノイズに影響されることなく、一定電流が出力ノードNoに供給される。この供給電流と、負荷510の消費電流との関係に応じて、出力電圧VOは所定の基準値(すなわち入力電圧VI)から徐々に変化していく。時刻 t_b において、再び帰還ループを形成することによって、出力電圧VOは入力電圧VIへ再び復帰する。

【0180】

すなわち、1周期 T_c を、当該1周期内での出力電圧VOの電圧変動Vに合せて決めることにより、リフレッシュ周期 T_c を適正化して、低消費電力タイプの電源回路として本発明の電流増幅回路を用いることができる。 20

【0181】

[実施の形態8の変形例]

このように構成した実施の形態8に従う電源回路は、たとえば図20に示した液晶表示装置において、階調電圧回路として用いることができる。

【0182】

図23は、実施の形態8の変形例に従う階調電圧回路460の構成を示す回路図である。

【0183】

図23を参照して、階調電圧回路460は、高電圧VDHおよび低電圧VDLの間に直列に接続された63個の分圧抵抗465と、階調電圧V2~V63の各々に対応して設けられた電源回路500を含む。 30

【0184】

直列接続された63個の分圧電圧によって、高電圧VDHおよび低電圧VDLの間が64段階の階調電圧が生成される。階調電圧V1およびV64は、直接高電圧VDHおよび低電圧VDLの電圧源から取出せるため、電源回路500の配置は必要ない。

【0185】

各電源回路500において、電流増幅回路505の入力ノードは、対応の階調電圧を発生する分圧抵抗465の接続ノードと接続される。また、電流増幅回路505の出力ノードは、対応の階調電圧ノードNV2~NV63と接続される。これにより、電流増幅回路505の出力ノードNoには、対応の階調電圧が生成され、かつ、必要な電流供給を行うことができる。 40

【0186】

中間の階調電圧V2~V63を、分圧電圧から直接生成するのではなく、電源回路500を用いて生成することにより、階調電圧回路460の出力インピーダンスを低くすることができる。これにより、分圧抵抗465の各抵抗値を高くして、分圧抵抗465を流れる電流値を小さくしても、階調電圧V2~V63を生成することができるので、階調電圧回路460の消費電力を低減することが可能となる。なお、上記以外のこれまで説明した電流増幅回路についても、電源回路500として直接適用することが可能である。 50

【0187】

[実施の形態9]

これまで本実施の形態では、スイッチ素子S1およびS2を備えた電流増幅回路の低消費電力動作について説明を行なった。しかしながら、本発明に従う電流増幅回路では、スイッチ素子S2の配置を省略して、帰還ループを遮断するためのスイッチ素子S1のみを配置しても効果を上げることができる。

【0188】

たとえば、このような電流増幅回路を、図24に示すように容量性負荷に接続された電源回路として用いることができる。

【0189】

図24は、この発明の実施の形態9に従う電流増幅回路550を用いた電源システムを示すブロック図である。

【0190】

図24を参照して、この発明の実施の形態9に従う電流増幅回路550は、詳細な図示は省略するが、これまでに説明した電流増幅回路101から107, 110, 111等において、スイッチ素子S2を省略して、カレントミラーアンプ30または31に対して、常時動作電流が供給される構成となっている。

【0191】

さらに、電流増幅回路550の出力ノードNoと容量性負荷515の間には、スイッチ素子SLが設けられる。

【0192】

図24に従う構成では、電流増幅回路550によって出力ノードNoに出力電圧VOが発生された後、スイッチ素子SL等によって、容量性負荷515に出力電圧VOが供給される。

【0193】

図25に示されるように、スイッチ素子SLがオンするタイミング(時刻tx)において、出力電圧VOは負荷容量CLの充電のために瞬間的に急激に低下する。

【0194】

この状態で、スイッチ素子S1によって帰還ループを遮断していなければ、負荷電流による出力電圧の急激な低下により電流増幅回路を流れるカレントミラーアンプの出力が発振してしまう原因となる。しかしながら、電流増幅回路550では、スイッチ素子S1によって、スイッチ素子SLがオンする前に帰還ループが遮断されているので、このような発振が起こらない。

【0195】

出力電圧VOが復帰した後に、再びスイッチ素子S1をオンすれば、負荷接続直後における出力電圧変動による発振を防止して、安定的な出力電圧VOを容量性負荷に供給する電源システムを構成することが可能となる。

【0196】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0197】

【図1】この発明の実施の形態1に従う電流増幅回路の回路構成を示す回路図である。

【図2】図1に示した電流増幅回路の動作を説明する動作波形図である。

【図3】この発明の実施の形態1の変形例1に従う電流増幅回路の構成を示す回路図である。

【図4】この発明の実施の形態1の変形例2に従う電流増幅回路の構成を示す回路図である。

10

20

30

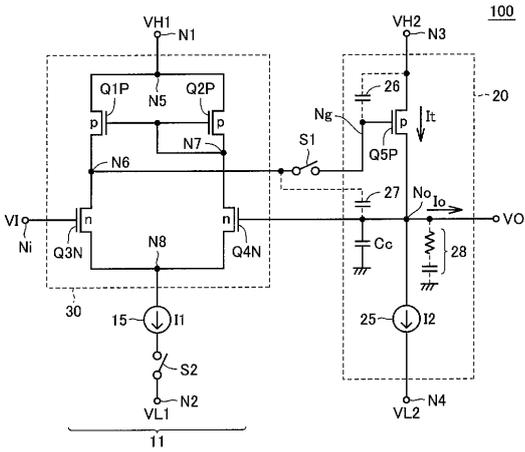
40

50

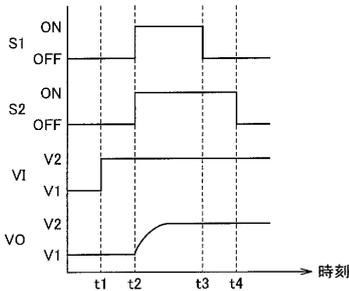
- 【図 5】この発明の実施の形態 1 の変形例 3 に従う電流増幅回路の構成を示す回路図である。
- 【図 6】この発明の実施の形態 2 に従う電流増幅回路の回路構成を示す回路図である。
- 【図 7】この発明の実施の形態 2 の変形例 1 に従う電流増幅回路の構成を示す回路図である。
- 【図 8】この発明の実施の形態 2 の変形例 2 に従う電流増幅回路の構成を示す回路図である。
- 【図 9】この発明の実施の形態 2 の変形例 3 に従う電流増幅回路の構成を示す回路図である。
- 【図 10】この発明の実施の形態 3 に従う電流増幅回路の回路構成を示す回路図である。 10
- 【図 11】図 10 に示されたフィードスルー補償回路の動作を説明する動作波形図である。
- 【図 12】この発明の実施の形態 3 の変形例に従う電流増幅回路の回路構成を示す回路図である。
- 【図 13】実施の形態 4 に従う電流増幅回路の構成を示すブロック図である。
- 【図 14】実施の形態 4 の変形例に従う電流増幅回路の構成を示すブロック図である。
- 【図 15】実施の形態 5 に従う電流供給回路の第 1 の構成例を示す図である。
- 【図 16】実施の形態 5 に従う電流供給回路の第 2 の構成例を示す図である。
- 【図 17】実施の形態 6 に従う電流増幅回路の構成を示すブロック図である。
- 【図 18】実施の形態 6 の変形例 1 に従う電流増幅回路の構成を示すブロック図である。 20
- 【図 19】実施の形態 6 の変形例 2 に従う電流増幅回路の構成を示すブロック図である。
- 【図 20】この発明の実施の形態 7 に従う液晶表示装置の全体構成を示すブロック図である。
- 【図 21】この発明の実施の形態 8 に従う電源回路の構成を示すブロック図である。
- 【図 22】この発明の実施の形態 8 に従う電源回路の動作を説明する波形図である。
- 【図 23】この発明の実施の形態 8 に従う電源回路を用いて構成された階調電圧回路の構成を説明するブロック図である。
- 【図 24】この発明の実施の形態 9 に従う電流増幅回路を用いた電源システムを示すブロック図である。
- 【図 25】図 24 に示した電源システムの動作を説明する図である。 30
- 【図 26】従来技術の電流増幅回路の構成を示す回路図である。
- 【符号の説明】
- 【0198】
- 10, 11, 12 差動増幅回路、15 動作電流源、20, 21 出力回路(プッシュ型)、22, 23 出力回路(プル型)、25 定電流源、26 保持容量、27 ミラ補償容量、30, 31 カレントミラーアンプ、50, 51 フィードスルー補償回路、52 キャパシタ(フィードスルー補償用)、100~107, 110, 111、200, 201, 300~302, 505, 550 電流増幅回路、310, 310a, 310b オフセット補償回路、320, 320a, 320b キャパシタ(オフセット電圧保持用)、410 液晶表示装置、420 液晶アレイ部、425 画素、428 液晶表示素子、430 ゲート駆動回路、440 データ駆動回路、460 階調電圧回路、465 分圧抵抗、470 デコード回路、480 データ線駆動部、482 データ線駆動回路、500 各電源回路、510 負荷、515 容量性負荷、DL, DL1, DL2 データ線、GL, GL1, GL2 ゲート線、I1 動作電流(カレントミラーアンプ)、I2 一定電流、Io 出力電流、N1, N3 電圧源ノード(高電圧源)、N2, N4 電圧源ノード(低電圧源)、Ng 制御ノード、Ni 入力ノード、No, No1, No2 出力ノード、Np 画素ノード、Q1N, Q2N, Q1P、Q2P 負荷トランジスタ(カレントミラーアンプ)、Q3N, Q4N, Q3P, Q4P 入力トランジスタ(カレントミラーアンプ)、Q5N, Q5P 出力トランジスタ、Q6N, Q6P トランジスタ、S1 スイッチ素子(帰還ループスイッチ)、S2 ス 40
- 50

スイッチ素子（動作電流スイッチ）、S3, S4 スイッチ素子（フィードミラー補償）、S5~S8, SL スイッチ素子、SA~SC スイッチ素子（オフセット補償回路）、V1~V6 4 階調電圧、Vg 制御ノード、VH1, VH2、VDH 高電圧、VI 入力電圧、VL1、VL2, VDL 低電圧、VO 出力電圧、Vof, Vofa、Vofb オフセット電圧、VR 基準電圧。

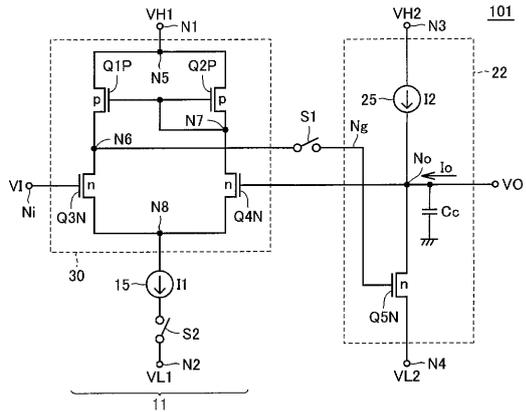
【図1】



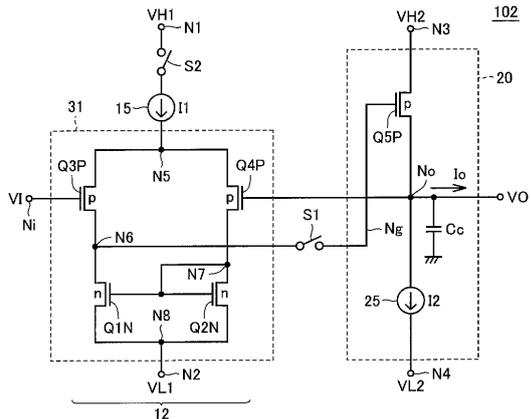
【図2】



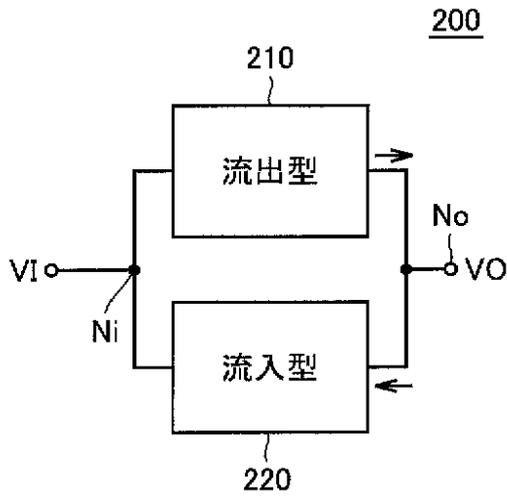
【図3】



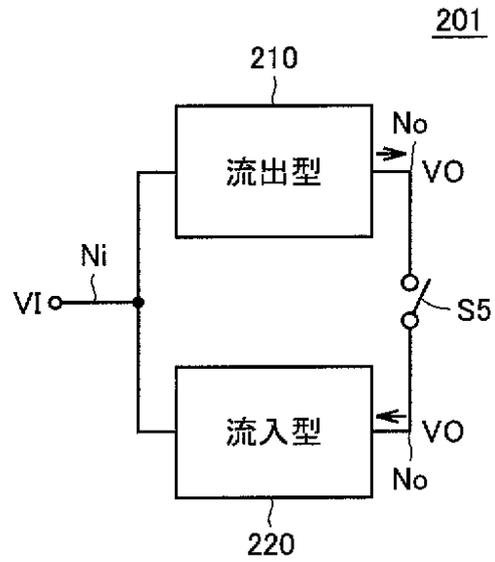
【図4】



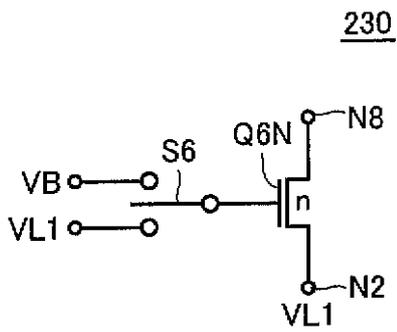
【 図 1 3 】



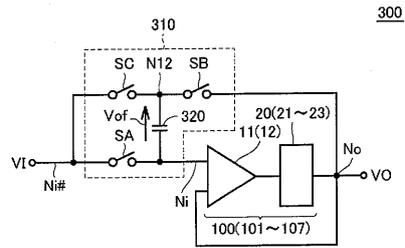
【 図 1 4 】



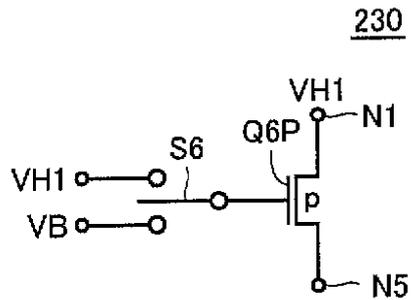
【 図 1 5 】



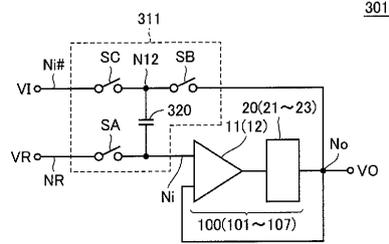
【 図 1 7 】



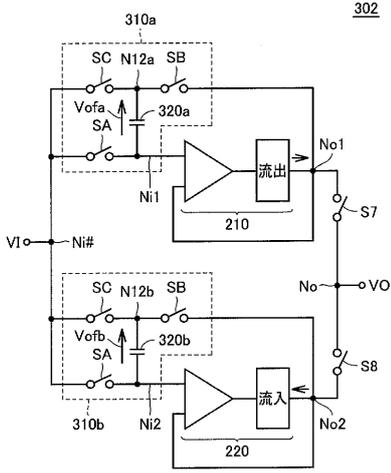
【 図 1 6 】



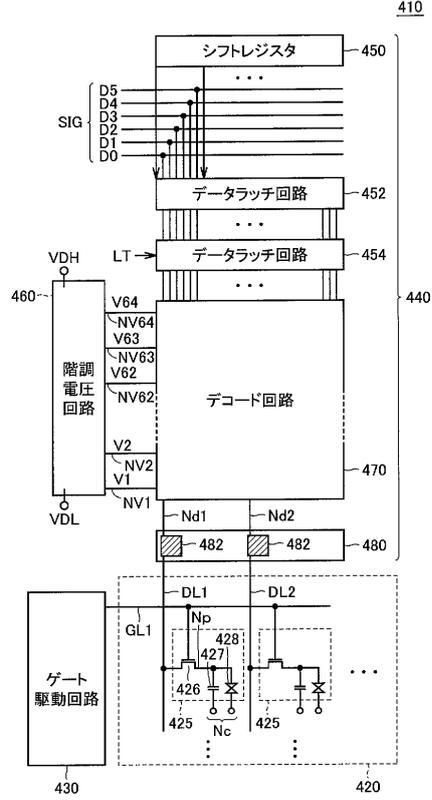
【 図 1 8 】



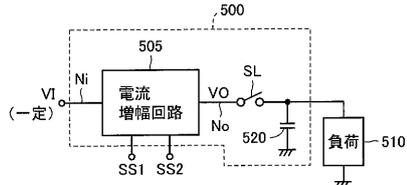
【図 19】



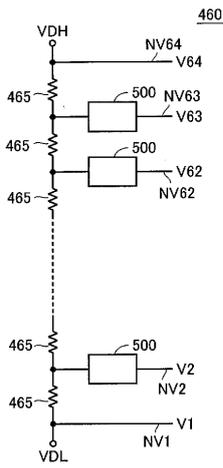
【図 20】



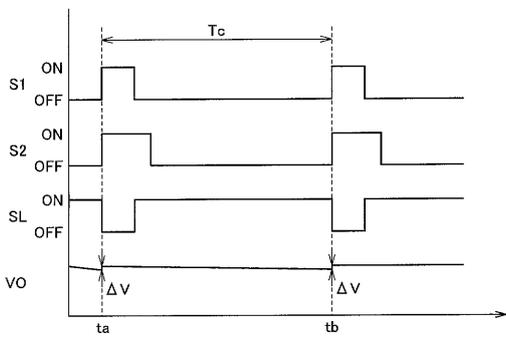
【図 21】



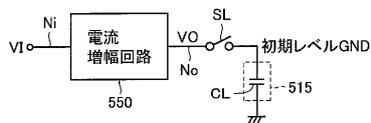
【図 23】



【図 22】



【図 24】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/36

H 0 3 F 3/45

B

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5C006 AC21 AF83 BB16 BC12 BF25 BF34 BF43 EB05 FA26 FA47
5C080 AA10 BB05 DD26 EE29 FF01 FF11 JJ02 JJ03 JJ04
5H430 BB01 BB09 BB11 CC07 EE04 FF01 FF13 HH03 KK02
5J500 AA03 AA12 AA42 AA51 AC36 AC54 AF18 AH17 AH25 AH29
AH38 AK00 AK02 AK05 AK09 AK48 AK67 AM05 AM11 AM22
AS00 AT01 AT06 DN12 DN22 DN23 DP01