



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I607220 B

(45) 公告日：中華民國 106 (2017) 年 12 月 01 日

(21) 申請案號：105128682

(22) 申請日：中華民國 105 (2016) 年 09 月 05 日

(51) Int. Cl. : G01R23/02 (2006.01)

G01R1/20 (2006.01)

(71) 申請人：中華精測科技股份有限公司 (中華民國) CHUNGHWA PRECISION TEST TECH. CO., LTD. (TW)

桃園市平鎮區工業三路 15 號

(72) 發明人：許芳儀 HSU, FANG I (TW)；李宗翰 LEE, TSUNG HAN (TW)；壽健文 TU, CHIEN WEN (TW)

(74) 代理人：康清敬

(56) 參考文獻：

TW M533746

TW 200942844A

TW 201243360A

TW 201502540A

TW 201606324A

審查人員：机亮燁

申請專利範圍項數：19 項 圖式數：4 共 21 頁

(54) 名稱

晶片測試架構及其電路板

CHIP TESTING APPARATUS AND ELECTRICAL CIRCUIT BOARD THEREOF

(57) 摘要

本發明提供一種晶片測試架構及其電路板，晶片測試架構包括波導結構的電路板，利用矩形波導結構之訊號傳輸特性，藉由調整波導結構沿著測試訊號的傳輸方向之截面積大小，以調制波導結構相關於該測試訊號的截止頻率，以用於晶片測試時之更高操作頻率範圍。

A chip testing apparatus and an electrical circuit board are described. The chip testing apparatus includes an electrical circuit having a wave-guiding structure. The cross-sectional area of the wave-guiding structure along a transmission direction of a testing signal by a signal transmission characteristic of a rectangular wave-guiding structure such that the wave-guiding structure adjusts the cut-off frequency of relative to the testing signal for a higher operational frequency range while performing a chip-testing procedure.

指定代表圖：

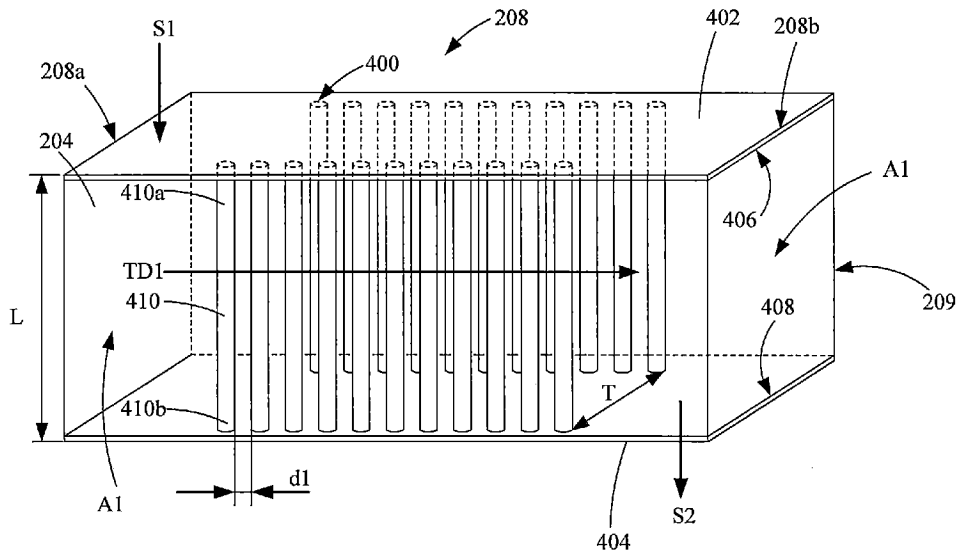


圖4

符號簡單說明：

- 204 . . . 電路板
- 208 . . . 波導結構
- 208a . . . 輸入端
- 208b . . . 輸出端
- 209 . . . 環形結構
- 400 . . . 導通孔
- 402 . . . 第一導電板
- 404 . . . 第二導電板
- 406 . . . 第一平面
- 408 . . . 第二平面
- 410 . . . 導電部
- 410a . . . 第一端部
- 410b . . . 第二端部
- A1 . . . 截面積
- d1 . . . 間隔
- L . . . 長度
- S1 . . . 第一測試訊號
- S2 . . . 第二測試訊號
- T . . . 距離
- TD1 . . . 傳輸方向

## 發明摘要

公告本

※ 申請案號：105128682

※ 申請日：105.9.5.

※IPC 分類：G01R 023/02 (2006.01)  
G01R 001/20 (2006.01)

## 【發明名稱】(中文/英文)

中文：晶片測試架構及其電路板

英文：CHIP TESTING APPARATUS AND ELECTRICAL CIRCUIT  
BOARD THEREOF

## 【中文】

本發明提供一種晶片測試架構及其電路板，晶片測試架構包括波導結構的電路板，利用矩形波導結構之訊號傳輸特性，藉由調整波導結構沿著測試訊號的傳輸方向之截面積大小，以調制波導結構相對於該測試訊號的截止頻率，以用於晶片測試時之更高操作頻率範圍。

## 【英文】

A chip testing apparatus and an electrical circuit board are described. The chip testing apparatus includes an electrical circuit having a wave-guiding structure. The cross-sectional area of the wave-guiding structure along a transmission direction of a testing signal by a signal transmission characteristic of a rectangular wave-guiding structure such that the wave-guiding structure adjusts the cut-off frequency of relative to the testing signal for a higher operational frequency range while performing a chip-testing procedure.

## 【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

204 電路板

圖式

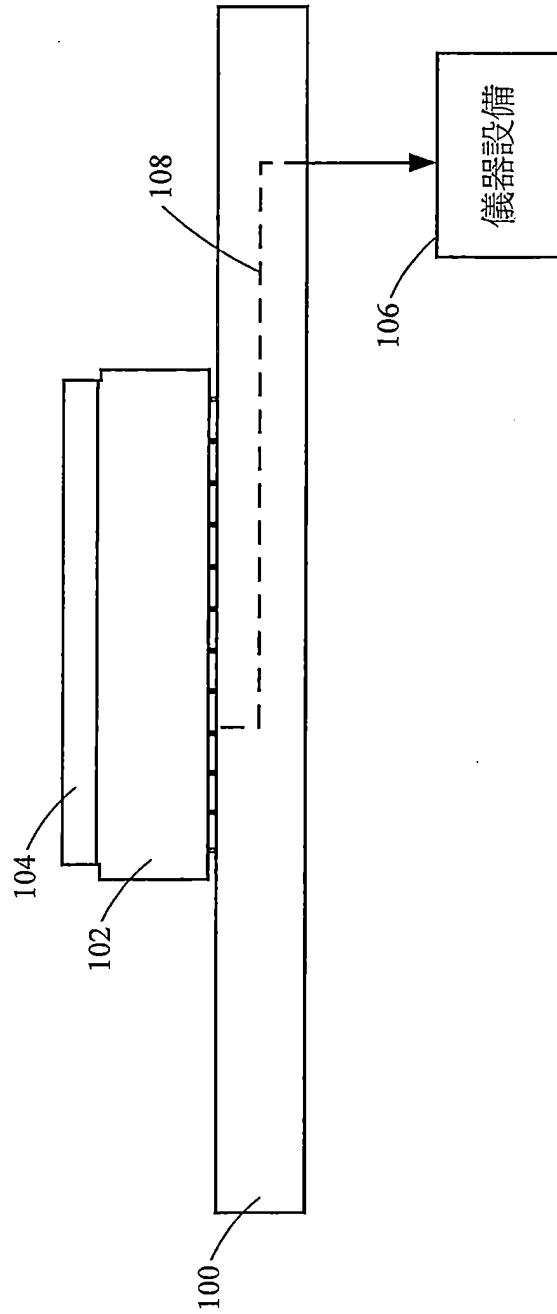


圖1

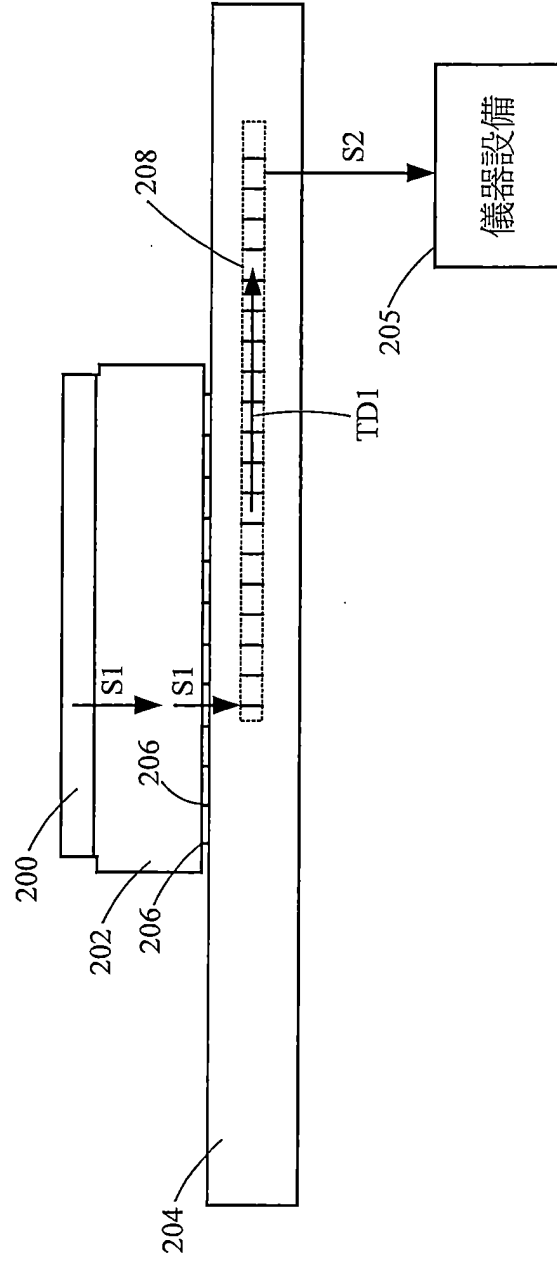


圖2A

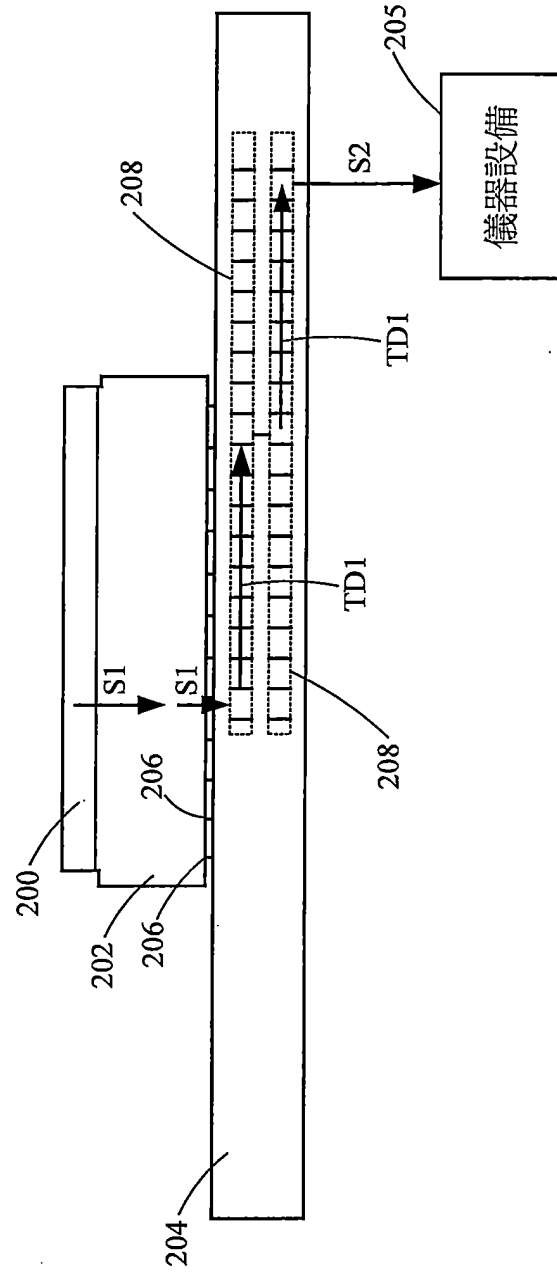


圖2B

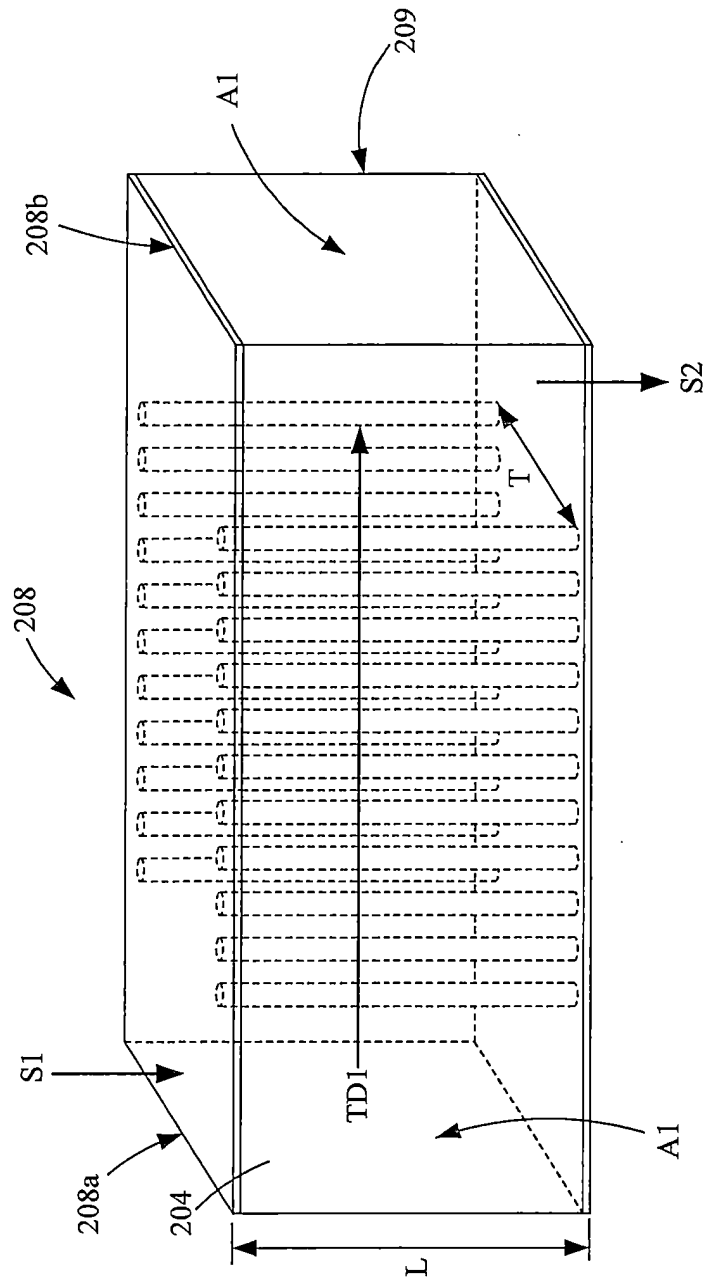


圖3

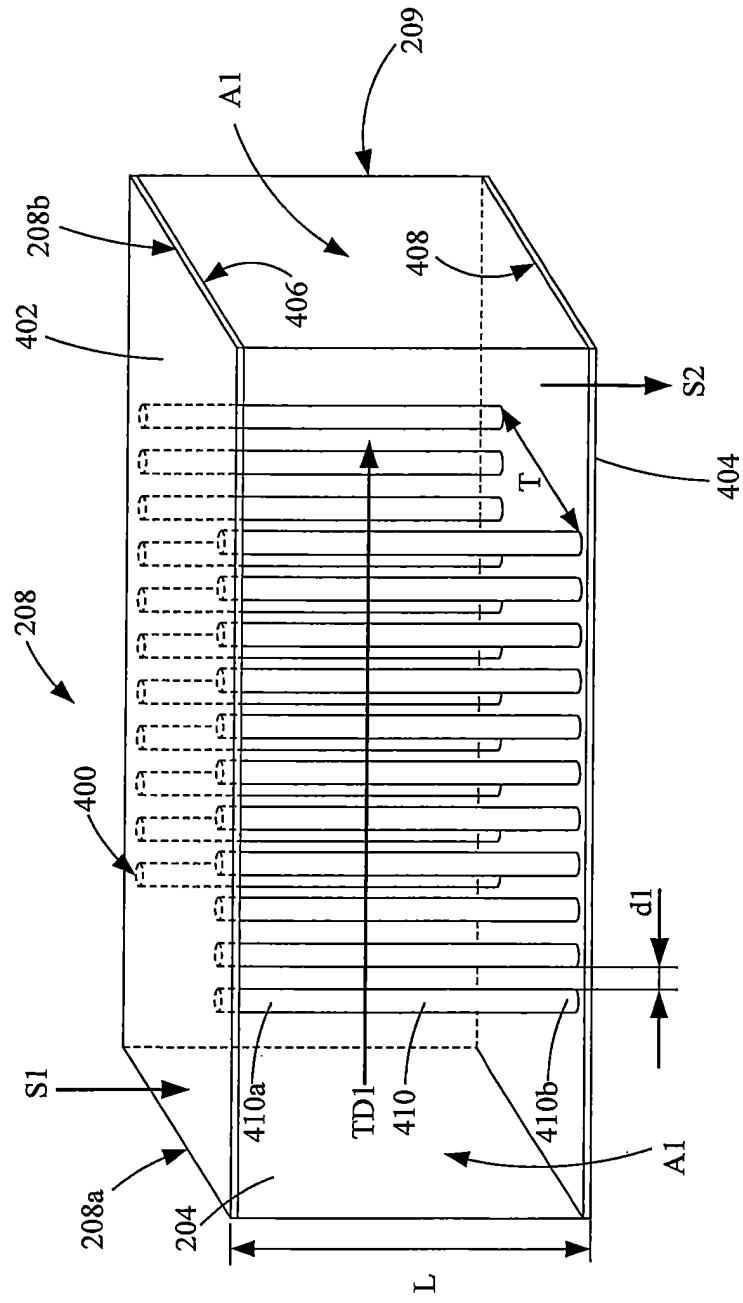


圖4



## 發明摘要

公告本

※ 申請案號：105128682

※ 申請日：105.9.5.

※IPC 分類：G01R 023/02 (2006.01)  
G01R 001/20 (2006.01)

## 【發明名稱】(中文/英文)

中文：晶片測試架構及其電路板

英文：CHIP TESTING APPARATUS AND ELECTRICAL CIRCUIT  
BOARD THEREOF

## 【中文】

本發明提供一種晶片測試架構及其電路板，晶片測試架構包括波導結構的電路板，利用矩形波導結構之訊號傳輸特性，藉由調整波導結構沿著測試訊號的傳輸方向之截面積大小，以調制波導結構相對於該測試訊號的截止頻率，以用於晶片測試時之更高操作頻率範圍。

## 【英文】

A chip testing apparatus and an electrical circuit board are described. The chip testing apparatus includes an electrical circuit having a wave-guiding structure. The cross-sectional area of the wave-guiding structure along a transmission direction of a testing signal by a signal transmission characteristic of a rectangular wave-guiding structure such that the wave-guiding structure adjusts the cut-off frequency of relative to the testing signal for a higher operational frequency range while performing a chip-testing procedure.

## 【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

204 電路板

208 波導結構

208a 輸入端

208b 輸出端

209 環形結構

400 導通孔

402 第一導電板

404 第二導電板

406 第一平面

408 第二平面

410 導電部

410a 第一端部

410b 第二端部

A1 截面積

d1 間隔

L 長度

S1 第一測試訊號

S2 第二測試訊號

T 距離

TD1 傳輸方向

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

中文：晶片測試架構及其電路板

英文：CHIP TESTING APPARATUS AND ELECTRICAL CIRCUIT BOARD THEREOF

## 【技術領域】

【0001】 本發明係關於一種測試架構及其電路板，特別是關於一種晶片測試架構及其電路板，其具有波導結構的電路板，例如是具有導通孔與導電板結合形成矩形波導管的印刷電路板(printed circuit board, PCB)。

## 【先前技術】

【0002】 隨著電子產品朝向精密化與多功能化發展，在電子產品內的積體電路之晶片結構趨於複雜，而且該晶片結構的操作頻率也大幅提高，以用於更高頻率波段的電子產品領域。其中用於測試該晶片結構的晶片測試裝置必須具有測試高頻信號的能力，如圖1所示，習知技術中晶片測試架構的示意圖，該測試架構包括印刷電路板(PCB)之負載板(load board)100、連接於該電路板上的腳座(socket)102、以及連接於該腳座的晶片104。該晶片104的訊號傳遞路徑係由該晶片104發送訊號經由該腳座102，接著傳送至印刷電路板之負載板100，以藉由儀器設備106進行各種訊號的分析以及測量，以確認該晶片104的功能是否正常。

【0003】 習知技術中，印刷電路板之負載板100係藉由微帶線(trace)108傳送訊號至儀器設備106，每條微帶線(trace)108係為一條細小導線。然而當該晶片104的操作頻率在較高頻段時，在負載板100的訊號響應

之耗損較大，例如介質(如PCB材質)耗損或是反射(如訊號的反射損失)耗損對於該訊號響應的影響很大，導致測試訊號的傳輸品質下降，而無法使該負載板100使用於較高的晶片104測試之頻率範圍。因此需要提出一種新式的電路板結構，以解決上述之問題。

### 【發明內容】

【0004】 本發明之一目的在於提供一種晶片測試架構以及電路板，其具有波導結構的電路板，例如是具有導通孔與導電板結合形成矩形波導管的印刷電路板(PCB)，以利用矩形波導管之較佳訊號傳輸特性取代傳統的微帶線，使印刷電路板(PCB)適用於晶片測試時之更高操作頻率範圍。

【0005】 為達成上述目的，本發明之一實施例中晶片測試架構包括：一晶片；一腳座，設有複數腳位，以供該晶片電性插接，該些腳位用以傳遞該晶片的第一測試訊號；一電路板，電性連接該腳座，用以傳送來自該些腳位的該第一測試訊號，該電路板之中設有至少一波導結構，該至少一波導結構的一輸入端電性連接該些腳位，以接收來自該些腳位的該第一測試訊號，並且該至少一波導結構導引該第一測試訊號沿著一傳輸方向傳送，以於該至少一波導結構的一輸出端輸出一第二測試訊號，藉由調整該至少一波導結構沿著該傳輸方向的截面積大小，以調制該至少一波導結構相關於該第一測試訊號的截止頻率。

【0006】 在一實施例中，其中該波導結構包括複數導通孔，由該電路板的第一平面連接至該第二平面，其中該第一平面與該第二平面係為電路板的相異兩平行面，每一該些導通孔中設有一導電部；第一導電板，設置於該第一平面上，以與該導電部的第一端部電性導通；以及第二導電板，

設置於該第二平面上，以與該導電部的第二端部電性導通。

【0007】 在一實施例中，該導電部、該第一導電板以及第二導電板係為相同的導電材質。

【0008】 在一實施例中，該導電材質係為金屬。

【0009】 在一實施例中，該第一平面與該第二平面係為該電路板的內部或是外表面的相異兩平行面。

【0010】 在一實施例中，每兩個導通孔之間間隔小於該第一測試訊號以及/或是該第二測試訊號的波長之1/20倍。

【0011】 在一實施例中，該些導通孔係為兩列互相平行的通孔，使該兩列互相平行的通孔內之該些導電部、該第一導電板、以及該第二導電板沿著該傳輸方向形成一矩形波導結構。

【0012】 在一實施例中該波導結構相對於該第一測試訊號的截止頻率係介於1GHz至300GHz之間。

【0013】 在一實施例中，該波導結構依據該第一測試訊號在該電路板的該截止頻率 $f_c$ 以下列公式表示：

$$\text{【0014】 } f_c = \frac{1}{2\sqrt{\mu\varepsilon}} \sqrt{\left(\frac{m}{T}\right)^2 + \left(\frac{n}{L}\right)^2}$$

【0015】 其中 $\mu$ 、 $\varepsilon$ 為該電路板的介質之導磁率以及介電常數， $m$ 、 $n = 1, 2, 3, \dots$ ，分別為一正整數， $T$ 係為該波導結構沿著該傳輸方向的截面積之距離， $L$ 係為該波導結構沿著該傳輸方向的截面積之長度。

【0016】 本發明之另一實施例中的電路板，電性連接一腳座，該電路板用以傳送來自該腳座的腳位之第一測試訊號，該電路板之中設有至少一

波導結構，該至少一波導結構的一輸入端電性連接該些腳位，以接收來自該些腳位的該第一測試訊號，並且該至少一波導結構導引該第一測試訊號沿著一傳輸方向傳送，以於該至少一波導結構的一輸出端輸出一第二測試訊號，藉由調整該至少一波導結構沿著該傳輸方向的截面積大小，以調制該至少一波導結構相關於該第一測試訊號的截止頻率。

### 【圖式簡單說明】

#### 【0017】

為了更清楚地說明本發明實施例中的技術方案，下面將對實施例描述中所需要使用的附圖作簡單地介紹：

圖 1 繪示習知技術中晶片測試架構的示意圖。

圖 2A 繪示本發明實施例中具有一波導結構的電路板之晶片測試架構的示意圖。

圖 2B 繪示本發明實施例中具有兩波導結構的電路板之晶片測試架構的示意圖。

圖 3 繪示本發明實施例中具有波導結構的電路板之局部立體示意圖。

圖 4 繪示本發明實施例中具有波導結構的電路板之局部立體透視圖。

### 【實施方式】

【0018】 請參照圖式，其中相同的元件符號代表相同的元件或是相似的元件，本發明的原理是以實施在適當的運算環境中來舉例說明。以下的說明是基於所例示的本發明具體實施例，其不應被視為限制本發明未在此詳述的其它具體實施例。

【0019】 參考圖2A，其繪示本發明實施例中具有波導結構208的電路

板204之晶片測試架構的示意圖。該晶片測試架構包括晶片200、腳座202以及電路板204，以藉由儀器設備205進行各種訊號的分析以及測量，以確認該晶片200的功能是否正常。該晶片200例如具有定功能的積體電路，具有複數針腳(未圖示)，用以產生第一測試訊號S1；該腳座202具有複數腳位206，該些腳位206相對應電性連接該晶片的針腳，以供該晶片200電性插接，使該些腳位206傳遞該晶片200的第一測試訊號S1；在一實施例中，晶片200依據測試需求，傳送不同的測試訊號至該腳座202的不同腳位206。

【0020】 參考圖2A以及圖3，圖3繪示本發明實施例中具有一波導結構的電路板之局部立體示意圖。如圖2A以及圖3所示，電路板204電性連接該腳座202，用以傳送來自該些腳位206的該第一測試訊號S1，該電路板204之中設有一波導結構(wave-guiding structure)208，該波導結構208的一輸入端208a電性連接該些腳位206，以接收來自該腳座202的第一測試訊號S1，並且該波導結構208導引該第一測試訊號S1沿著一傳輸方向TD1傳送，以於該波導結構208的一輸出端208b輸出一第二測試訊號S2，藉由調整該波導結構208沿著該傳輸方向TD1的截面積A1大小，以調制該至少一波導結構208相對於該第一測試訊號S1的截止頻率。截止頻率是指相對於第一測試訊號S1時第二測試訊號S2的輸出訊號能量開始大幅下降的邊界頻率。其中第一測試訊號S1以及第二測試訊號S2例如是電磁波的形式。換言之，本發明的波導結構208沿著該測試訊號的傳輸方向TD1係為一環形結構209(如圖3所示)，使該第一測試訊號S1的傳遞過程中侷限於環形結構之內，以減少第一測試訊號S1的功率耗損而形成第二測試訊號S2。在一實施例中，第一測試訊號S1在波導結構208內部碰到金屬板時即發生反射，反射後的第一測試訊

號S1碰到另一片金屬板又發生反射，如此反覆進行，第一測試訊號S1沿著金屬板傳送而輸出第二測試訊號S2。

【0021】 如圖2A以及圖3所示，該波導結構208相關於該第一測試訊號S1的截止頻率 $f_c$ 以下列公式F1表示：

$$\text{【0022】 } f_c = \frac{1}{2\sqrt{\mu\epsilon}} \sqrt{\left(\frac{m}{T}\right)^2 + \left(\frac{n}{L}\right)^2} \dots(\text{F1})$$

【0023】 其中 $\mu$ 、 $\epsilon$ 分別為電路板204的介質之導磁率以及介電常數， $m$ 、 $n=1, 2, 3\dots$ ，分別為一正整數， $T$ 係為波導結構208的截面積A1之距離， $L$ 係為波導結構208的截面積A1之長度。依據上述公式F1所示，本發明藉由調整距離 $T$ 以及長度 $L$ 以調制截止頻率，有效提高電路板204對於第一測試訊號S1的操作頻率。在一實施例中，該波導結構208相關於該第一測試訊號S1的截止頻率 $f_c$ 係介於1GHz至300GHz之間，但不限於此，例如是較高或是較低的頻率範圍。

【0024】 參考圖4，其繪示本發明實施例中具有波導結構208的電路板204之局部立體透視圖。該波導結構208包括複數導通孔400、第一導電板402以及第二導電板404。

【0025】 在圖4中，複數導通孔400由該電路板204的第一平面406連接至該第二平面408，其中該第一平面406與該第二平面408係為電路板204的相異兩平行面，每一該些導通孔400中設有一導電部410，具有導電部410的導通孔400如同一共平面的導電區域，以提供第一測試訊號S1進行波導反射之作用。該第一平面406與該第二平面408係為該電路板204的內部(例如是多層布線的電路板)或是外表面的相異兩平行面。在一實施例中，例如是以鑽



孔或是半導體製程(例如蝕刻方式)在電路板204中形成通孔400，其製造流程相當容易；導電部410例如在導通孔400的內壁形成或是填滿導通孔400。第一導電板402，設置於該第一平面406上，以與該導電部410的第一端部410a電性導通。在一實施例中，例如是以電鍍或是沉積方法形成第一導電板402。第二導電板404設置於該第二平面408上，以與該導電部410的第二端部410b電性導通。在一實施例中，例如是以電鍍或是沉積方法形成第二導電板404。

**【0026】** 如圖4所示，在一實施例中，該導電部410、該第一導電板402以及第二導電板404係為相同的導電材質，該導電材質係為金屬。在一實施例中，第一測試訊號S1在波導結構208內部碰到第一導電板402時即發生反射，反射後的第一測試訊號S1碰到第二導電板404又發生反射，如此反覆進行，第一測試訊號S1沿著導電板傳送而輸出第二測試訊號S2。

**【0027】** 在圖4中，在一實施例中，每兩個導通孔400之間の間隔d1小於該第一測試訊號S1以及/或是第二測試訊號S2的波長。在一較佳實施例中，每兩個導通孔400之間の間隔小於該第一測試訊號S1以及/或是該第二測試訊號S2的波長之1/20倍。

**【0028】** 如圖4所示，該些導通孔400係為兩列互相平行的通孔，使兩列平行的該些通孔內之該些導電部410、該第一導電板402、以及該第二導電板404形成矩形的波導結構208。本發明亦適用於不同形狀的波導結構208，例如圓形或是不規則形狀，並且藉由不同的截止頻率之計算，以調整第一測試訊號S1的操作頻率範圍。此外，本發明之波導結構208亦可為電路板204中的一材質層，如圖2A至圖4所示，或是波導結構208亦可為電路板204

中的多材質層形成，如圖2B所示具有上下兩層的波導結構208的電路板204之晶片測試架構，但其數量不限於此，例如是三層以上的波導結構208，每個波導結構208之間係以通孔(未圖示)電性連接。

**【0029】** 綜上所述，本發明之晶片測試架構以及電路板，其具有波導結構的電路板，例如是具有導通孔與導電板結合形成矩形波導管的印刷電路板(PCB)，以利用矩形波導管之較佳訊號傳輸特性取代傳統的微帶線，使印刷電路板(PCB)適用於晶片測試時之更高操作頻率範圍，並且製程簡單。

**【0030】** 雖然本發明已用較佳實施例揭露如上，然其並非用以限定本發明，本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### **【符號說明】**

#### **【0031】**

- 100 負載板
- 102 腳座
- 104 晶片
- 106 儀器設備
- 108 微帶線
- 200 晶片
- 202 腳座
- 204 電路板
- 205 儀器設備

- 206 腳位
- 208 波導結構
  - 208a 輸入端
  - 208b 輸出端
- 209 環形結構
- 400 導通孔
- 402 第一導電板
- 404 第二導電板
- 406 第一平面
- 408 第二平面
- 410 導電部
  - 410a 第一端部
  - 410b 第二端部
- A1 截面積
- d1 間隔
- L 長度
- S1 第一測試訊號
- S2 第二測試訊號
- T 距離
- TD1 傳輸方向

# 申請專利範圍

1. 一種晶片測試架構，包括：

一晶片；

一腳座，設有複數腳位，以供該晶片電性插接，該些腳位用以傳遞該晶片的第一測試訊號；

一電路板，電性連接該腳座，用以傳送來自該些腳位的該第一測試訊號，該電路板之中設有至少一波導結構，該至少一波導結構的一輸入端電性連接該些腳位，以接收來自該些腳位的該第一測試訊號，並且該至少一波導結構導引該第一測試訊號沿著一傳輸方向傳送，以於該至少一波導結構的一輸出端輸出一第二測試訊號，藉由調整該至少一波導結構沿著該傳輸方向的截面積大小，以調制該至少一波導結構相關於該第一測試訊號的截止頻率。

2. 如申請專利範圍第 1 項所述之晶片測試架構，其中該至少一波導結構包括：

複數導通孔，由該電路板的第一平面連接至第二平面，其中該第一平面與該第二平面係為該電路板的相異兩平行面，每一該些導通孔中設有一導電部；

第一導電板，設置於該第一平面上，以與該導電部的第一端部電性導通；以及

第二導電板，設置於該第二平面上，以與該導電部的第二端部電性導通。

3. 如申請專利範圍第 2 項所述之晶片測試架構，其中該導電部、該第

一導電板以及第二導電板係為相同的導電材質。

4. 如申請專利範圍第 3 項所述之晶片測試架構，其中該導電材質係為金屬。

5. 如申請專利範圍第 2 項所述之晶片測試架構，其中該第一平面與該第二平面係為該電路板的內部或是外表面的相異兩平行面。

6. 如申請專利範圍第 2 項所述之晶片測試架構，其中每兩個導通孔之間間隔小於該第一測試訊號以及/或是該第二測試訊號的波長之 1/20 倍。

7. 如申請專利範圍第 2 項所述之晶片測試架構，其中該些導通孔係為兩列互相平行的通孔，使該兩列互相平行的通孔內之該些導電部、該第一導電板、以及該第二導電板沿著該傳輸方向形成一矩形波導結構。

8. 如申請專利範圍第 1 項所述之晶片測試架構，其中該波導結構相關於該第一測試訊號的截止頻率係介於 1GHz 至 300GHz 之間。

9. 如申請專利範圍第 1 項所述之晶片測試架構，其中該波導結構相關於該第一測試訊號的該截止頻率  $f_c$  以下列公式表示：

$$f_c = \frac{1}{2\sqrt{\mu\varepsilon}} \sqrt{\left(\frac{m}{T}\right)^2 + \left(\frac{n}{L}\right)^2}$$

其中  $\mu$ 、 $\varepsilon$  為該電路板的介質之導磁率以及介電常數， $m$ 、 $n=1, 2, 3\dots$ ，分別為一正整數， $T$  係為該波導結構沿著該傳輸方向的截面積之距離， $L$  係為該波導結構沿著該傳輸方向的截面積之長度。

10. 一種電路板，電性連接一腳座，該電路板用以傳送來自該腳座的腳位之第一測試訊號，該電路板之中設有至少一波導結構，該至少一波導結構的一輸入端電性連接該些腳位，以接收來自該些腳位的該第一測試訊

號，並且該至少一波導結構導引該第一測試訊號沿著一傳輸方向傳送，以於該至少一波導結構的一輸出端輸出一第二測試訊號，藉由調整該至少一波導結構沿著該傳輸方向的截面積大小，以調制該至少一波導結構相關於該第一測試訊號的截止頻率。

11. 如申請專利範圍第 10 項所述之電路板，其中該至少一波導結構包括：

複數導通孔，由該電路板的第一平面連接至第二平面，其中該第一平面與該第二平面係為該電路板的相異兩平行面，每一該些導通孔中設有一導電部；

第一導電板，設置於該第一平面上，以與該導電部的第一端部電性導通；以及

第二導電板，設置於該第二平面上，以與該導電部的第二端部電性導通。

12. 如申請專利範圍第 11 項所述之電路板，其中該導電部、該第一導電板以及第二導電板係為相同的導電材質。

13. 如申請專利範圍第 12 項所述之電路板，其中該導電材質係為金屬。

14. 如申請專利範圍第 11 項所述之電路板，其中該第一平面與該第二平面係為該電路板的內部或是外表面的相異兩平行面。

15. 如申請專利範圍第 11 項所述之電路板，其中每兩個導通孔之間的間隔小於該第一測試訊號以及/或是該第二測試訊號的波長之  $1/20$  倍。

16. 如申請專利範圍第 11 項所述之電路板，其中該些導通孔係為兩列互相平行的通孔，使該兩列互相平行的通孔內之該些導電部、該第一導電

板、以及該第二導電板沿著該傳輸方向形成一矩形波導結構。

17. 如申請專利範圍第 10 項所述之電路板，其中該波導結構相關於該第一測試訊號的截止頻率係介於 1GHz 至 300GHz 之間。

18. 如申請專利範圍第 10 項所述之電路板，其中該至少一波導結構相關於該第一測試訊號的該截止頻率  $f_c$  以下列公式表示：

$$f_c = \frac{1}{2\sqrt{\mu\varepsilon}} \sqrt{\left(\frac{m}{T}\right)^2 + \left(\frac{n}{L}\right)^2}$$

其中  $\mu$ 、 $\varepsilon$  為該電路板的介質之導磁率以及介電常數， $m$ 、 $n=1, 2, 3, \dots$ ，分別為一正整數， $T$  係為該波導結構沿著該傳輸方向的截面積之距離， $L$  係為該波導結構沿著該傳輸方向的截面積之長度。

19. 如申請專利範圍第 10 項所述之電路板，其中該電路板係用於一晶片測試架構，以測試一晶片。