

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G06F 1/24 G06F 9/445	(45) 공고일자 1999년06월 15일 (11) 등록번호 10-0204616 (24) 등록일자 1999년03월29일
(21) 출원번호 10-1996-0033404 (22) 출원일자 1996년08월 12일 (30) 우선권주장 8/537,174 1995년09월29일 미국(US)	(65) 공개번호 특 1997-0016886 (43) 공개일자 1997년04월28일
(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 미국 10504 뉴욕주 아몬크	포맨 제프리 엘
(72) 발명자 존 엠. 카이저 미국 78613 텍사스주 세다 파크 카폴린 엠티. 204 워렌 이. 마우레 미국 78613 텍사스주 세다 파크 타쿠 로드 12131	
(74) 대리인 장수길, 김선택	

심사관 : 전병기

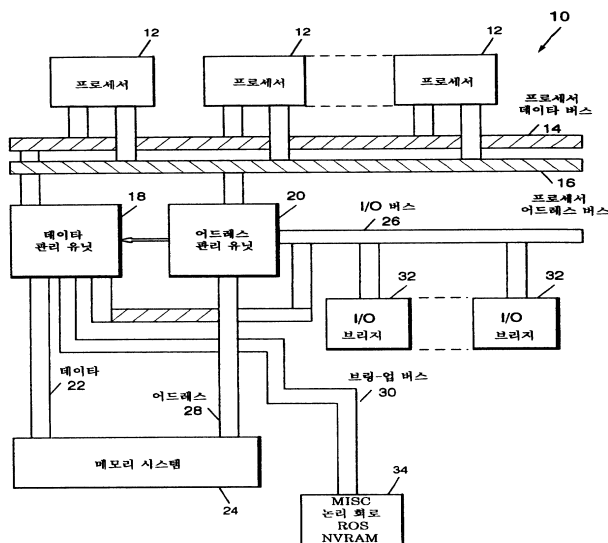
(54) 효율적인 파워 온 초기화를 갖는 정보 처리 시스템

요약

본 발명은 시스템 초기화를 위한 대체 수단을 포함하는 정보 처리 시스템에 관한 것으로, 초기화 루틴을 이용하여 시스템 초기화용 선택의 유연성을 증가시키는 것이다.

상기 목적을 위해, 본 발명의 정보 처리 시스템은 하나 이상의 프로세싱 유닛, 프로세서 데이터 버스, 메모리 시스템 및 I/O 버스에 접속된 데이터 관리 유닛, 프로세서 어드레스 버스, 메모리 시스템, I/O 버스 및 초기화 루틴 및 데이터를 기억하는 시스템 초기화 기억장치에 접속된 어드레스 관리 유닛을 구비하고, 시스템 초기화는 프로세서가 내린 초기화 프로그램 로드 판독 커맨드에 응답하여, IPL 판독이 상기 프로세서 버스에 부착된 장치에 의해 수락되면(IPL 데이터를 이용할 수 있음) 초기화 데이터를 상기 프로세서에 반환하는 단계; 상기 프로세서 버스에 부착된 어떠한 장치도 IPL 데이터에 응답하지 않으면 상기 데이터 관리 유닛의 제어하에 상기 I/O 버스에 상기 판독된 IPL 커맨드를 전달하는 단계; 상기 I/O 버스에 부착된 I/O 컨트롤러에 의해 상기 판독된 커맨드가 수락되면 상기 프로세서에 초기화 데이터를 반환하는 단계; 어떠한 I/O 컨트롤러도 상기 IPL 판독 커맨드를 수락하지 않으면 상기 데이터 관리 유닛의 제어하에 상기 시스템 초기화 기억장치에 상기 판독 커맨드를 전달하는 단계; 및 상기 프로세서에 초기화 데이터를 반환하는 단계를 구비한다.

대표도



명세서

[발명의 명칭]

효율적인 파워 온 초기화를 갖는 정보 처리 시스템

[도명의 간단한 설명]

제1도는 본 발명을 구현하는 정보 처리 시스템의 블록도.

제2a도, b도, c도 및 d도는 본 발명에 따른 데이터 관리 장치의 블록도.

제3a도, b도, c도 및 d도는 본 발명에 따른 어드레스 관리 장치의 블록도.

제4도는 본 발명에 따른 시스템 초기화 방법을 도시하는 순서도.

* 도면의 주요부분에 대한 부호의 설명

10 : 정보 처리 시스템	12 : 프로세서
14 : 프로세서 데이터 버스	16 : 프로세서 어드레스 버스
18 : 데이터 관리 유닛	20 : 어드레스 관리 유닛
24 : 메모리 시스템	26 : I/O 버스

[발명의 상세한 설명]

[발명의 목적]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

본 발명은 정보 처리 시스템에 관한 것으로, 더 상세하게는 시스템 초기화를 위한 대체 수단(alternate means for system initialization)을 포함하는 정보 처리 시스템에 관한 것이다.

종래 기술에서, 전원을 넣을 때 시스템 초기화를 많은 기술이 존재한다. 정보 처리 시스템에서, 시스템의 조건을 나타내는 래치에 기억된 많은 조건들이 존재한다. 모호성과 에러를 피하기 위해, 이들 래치는 전원을 넣을 때 또는 시스템 초기화시 선정된 조건으로 세트되어야 한다.

종래 기술의 시스템에서, 시스템 초기화 루틴과 지원 데이터(supporting data)가 기억되어 있는 아키텍처된 어드레스(an architected address)가 설정된다. 초기화 커맨드 또는 전원을 넣을 때, 프로세서는 시스템 초기화를 수행하기 위해 아키텍처된 어드레스로부터 루틴과 데이터를 판독한다.

초기화 프로그램 로드 정보 및 루틴용의 단일 소스를 갖는 종래 기술 시스템은 유연성(flexibility)이 부족하다.

종래 기술의 시스템 초기화의 예는 판독 전용 기억장치와 같이 아키텍처된 장소와, 디스크로부터 IPL 데이터가 로드되는 보다 복잡한 시스템에 판독 전용 메모리 칩을 프로그래밍한 결과 데이터가 기억될 수 있는 선정된 기억 장소로부터의 데이터로부터 초기화 루틴을 호출하는 다소 간단한 프로세서 개인용 컴퓨터 시스템으로부터 실행한다.

[발명이 이루고자 하는 기술적 과제]

따라서, 본 발명의 목적은, 먼저 프로세서 버스에 부착된 장치로부터 초기화 데이터를 판독하고, 만일 응답이 없으면 버스 격리 유닛의 제어하에 I/O 버스에 부착된 장치로부터 초기화 데이터의 판독을 시도하고, 만일 응답이 없으면 버스 격리 유닛에 부착된 시스템 초기화 기억장치로부터 시스템 초기화 데이터의 판독을 참조하는 초기화 루틴을 이용하여 시스템 초기화용 선택의 유연성(the flexibility of options for system initialization)을 증가시키는 것이다.

따라서, 정보 처리 시스템은 하나 이상의 프로세서 유닛, 프로세서 데이터 버스, 메모리 시스템 및 I/O 버스에 접속된 데이터 관리 유닛, 프로세서 어드레스 버스, 메모리 시스템, I/O 버스 및 초기화 루틴 및 데이터를 기억하는 시스템 초기화 기억장치에 접속된 어드레스 관리 유닛을 구비하고, 시스템 초기화는 프로세서가 내린 초기화 프로그램 로드 판독 커맨드에 응답하여, 상기 프로세서 버스에 부착된 장치에 의해 IPL 판독이 수락되면(IPL 데이터를 이용할 수 있음) 초기화 데이터를 상기 프로세서에 반환하는 단계; 상기 프로세서 버스에 부착된 어떠한 장치도 IPL 데이터에 응답하지 않으면 상기 데이터 관리 유닛의 제어하에 상기 I/O 버스에 상기 판독된 IPL 커맨드를 전달하는 단계; 상기 I/O 버스에 부착된 I/O 컨트롤러에 의해 상기 판독된 커맨드가 수락되면 상기 프로세서에 초기화 데이터를 반환하는 단계; 어떠한 I/O 컨트롤러도 상기 IPL 판독 커맨드를 수락하지 않으면 상기 데이터 관리 유닛의 제어하에 상기 시스템 초기화 기억장치에 상기 판독 커맨드를 전달하는 단계; 및 상기 프로세서에 초기화 데이터를 반환하는 단계를 구비한다.

본 발명의 장점은 프로세서 버스에 부착된 장치로부터 초기화 데이터의 액세스를 먼저 시도하고, 만일 이용할 수 없으면 I/O 버스에 부착된 장치로부터 초기화 데이터의 액세스를 시도하고, 만일 이용할 수 없다면 버스 격리 유닛의 제어하에 시스템 초기화 데이터 기억장치로부터 초기화 데이터를 판독하는 다단계 시스템 초기화 루틴(a multiple tiered system initialization routine)을 포함함으로써, 저속 I/O 버스로부터 프로세서 버스를 격리시켜 프로세서의 성능을 향상시키는 버스 격리 유닛을 갖는 복잡한 멀티프로세서 시스템에서의 시스템 초기화에 있다.

본 발명의 다른 장점은 시스템 초기화 데이터가 프로세서 버스, I/O 버스 또는 버스 격리 유닛에 부착하는 저가의 I/O 아키텍처에 의존하는 부속장치에 부착된 장치에 기억될 수 있다는 것이다.

본 발명의 다른 특징 및 장점은 첨부하는 도면을 참조로 본 발명의 바람직한 실시예에 대한 다음의 상세한 설명으로부터 명확할 것이다.

[발명의 구성 및 작용]

지금부터 제1도를 참조하면, 본 발명을 구현하는 정보 처리 시스템이 서술될 것이다. 정보 처리 시스템(10)은 각 프로세서 유닛이 프로세서 데이터 버스(14)에 접속된 데이터 출력과 프로세서 어드레스 버스

(16)에 접속된 어드레스 출력을 갖는 한 개 이상의 프로세싱 유닛(12)을 구비한다. 데이터 관리 유닛(DMU)(18)은 프로세서 어드레스 버스(16)에 접속된다. DMU(18)와 AMU(20)는 단일 버스 격리 유닛에 결합될 수 있다. 데이터 관리 유닛(18)은 메모리 데이터 버스(22)에 의해 메모리 시스템(24)에 그리고 I/O 버스(26)에 의해 I/O 브리지(32)에 접속된다. 어드레스 관리 유닛(20)은 메모리 시스템(24)의 어드레스 라인(28), I/O 버스(26)에 및 브링 업 버스(30)에 접속된다. 브링 업 버스(Bring up bus)(30)는 데이터 관리 유닛(18)을 판독 전용 기억장치 혹은 비휘발성 RAM으로 구현될 수 있는 브링 업 루틴 기억장치(34)에 접속한다.

상기 각각의 유닛은 기술분야에 공지되어 있어 데이터 관리 유닛(18)과 어드레스 관리 유닛(20)을 제외하고 이하 상세히 서술되지 않을 것이다.

지금부터 제2a, b, c도 및 d도를 참조하면, 데이터 관리 유닛(18)이 상세히 서술될 것이다.

데이터 관리 유닛(18)은 프로세서 데이터 버스(14), 메모리 데이터 버스(22) 및 I/O 데이터 버스(26)와 같은 다수의 버스로부터의 입력과 어드레스 관리 유닛(20)에 의해 발생된 다수의 제어 신호에 응답한다.

데이터 관리 유닛(18)에의 모든 입력 신호는 다음과 같이 입력 래치에서 래치된다 :

프로세서 데이터 버스 신호는 입력 래치(202)에서 래치되고, I/O 데이터 신호는 입력 래치(204)에서 래치되고, 메모리 데이터 신호는 입력 래치(206)에서 래치되고, 브링 업 버스로부터의 신호는 입력 래치(208)에서 래치된다.

어드레스 관리 유닛(20)으로부터의 제어 신호는 다음과 같이 래치된다 :

내부 레지스터 제어가 입력 래치(210)에 저장되고, 프로세서 제어가 입력 래치(212)에 저장되고, 메모리 제어가 입력 래치(214)에 저장되고, 그래픽스 제어가 입력 래치(216)에 저장된다. 제어 래치(210, 212, 214 및 216을 포함하여)의 출력은 데이터 관리 유닛(18)을 통해 데이터를 게이팅하기 위한 제어 신호를 제공하는 데이터 제어 논리회로(218)에의 입력이다. 부수적으로, 데이터 제어 논리회로(218)는 또한 AMU(20)의 그래픽스 커맨드 버스로 전송되는 그래픽스 커맨드를 나타내는 출력 래치(250)로 출력을 공급한다.

프로세서 데이터 버스 래치(202)의 출력은 데이터 버스 버퍼(222)와 내부 레지스터(220)의 입력에 접속된다. 프로세서 데이터 버스 버퍼(222)의 출력은 출력 래치(242)와 멀티플렉서(234와 236)에 접속된다. 데이터는 데이터 제어 논리회로(218)의 제어하에 버퍼(222)로부터 게이트 아웃(is gated out of buffers)된다. 내부 레지스터(220)는 멀티플렉서(238)의 입력에 접속된 출력을 갖는다. 다시, 상술된 바와 같이, 내부 레지스터(220)의 출력은 데이터 제어 논리회로(218)에 의해 제어된다.

I/O 데이터 래치(204)의 출력은 I/O 데이터 버퍼(224)와 그래픽스 제어 논리회로 및 버퍼(226)의 입력에 접속된다. I/O 데이터 버퍼(224)의 출력은 멀티플렉서(234와 238)에 입력으로서 접속된다. 그래픽스 제어 논리회로 및 버퍼(226)의 출력은 멀티플렉서(234와 236)에 접속된다. 메모리 데이터 버스 입력 래치(206)는 에러 교정 코드(ECC) 논리회로(232)에 접속된 출력을 갖는다. ECC 논리회로(232)의 출력은 메모리 데이터 버퍼(228)와 그래픽스 제어 논리회로 및 버퍼(226)의 입력에 접속된다. 메모리 데이터 버퍼(228)의 출력은 멀티플렉서(236과 238)에 접속된다.

브링 업 버스 입력 래치(208)는 멀티플렉서(238)에 접속된 출력을 갖는 데이터 버퍼(230)에 접속된 출력을 갖는다.

상기 서술된 바와 같이, 레지스터와 버퍼(220, 222, 224, 226, 228 및 230)로부터의 데이터의 게이팅은 데이터 제어 논리회로(218)에 의해 제어된다. 멀티플렉서(234, 236) 각각은 세 개의 입력을 가지며, 멀티플렉서(238)는 네 개의 입력을 가지며, 데이터 제어 논리회로(218)에 의해 제어됨에 따라, 레지스터 또는 버퍼(220, 222, 224, 226, 228 및 230)중 하나에서 멀티플렉서(234, 236 또는 238)의 각 출력으로의 입력을 나타내는 출력을 공급한다.

더 상세하게는, 멀티플렉서(234)의 출력은 메모리 시스템(24(제1도를 참조)에 전송될 데이터에 대해 에러 교정 코드를 발생시키는 ECC 발생 논리회로(240)에 접속된다. ECC 발생 래치(240)의 출력은 메모리 데이터 버스(22)에 접속된 출력 래치(244)에 접속된다. 멀티플렉서(236)의 출력은 I/O 데이터 버스(26)에 접속된 출력을 갖는 출력 래치(246)에 접속된다.

멀티플렉서(238)는 프로세서 데이터 버스(14)에 접속된 출력을 갖는 출력 래치(248)에 접속된 출력을 갖는다.

I/O 데이터 버스(26)를 위한 데이터를 제어하고 전달하는 블록(260과 262)에 포함된 회로 및 논리회로는 프로세서 데이터 버스(14)에 비동기로 클럭된다. 개별적인 클럭(도시되지 않음)은 프로세서 버스(14)의 프로세서 클럭의 속도에 동기적으로 또는 반드시 산술적으로 관련되지 않은 클럭 속도로 버스(26) 상의 I/O 데이터를 구동시키는데 사용된다. 예를들면 만일 프로세서 버스 클럭 속도가 100MHz이면 I/O 데이터 버스 클럭 속도는 예를들면 32MHz일 수 있다.

데이터 관리 유닛(18)을 사용하여 프로세서 클럭을 I/O 데이터 클럭으로부터 격리시킴으로써, 종래기술에서와 가타이 저속으로 실행하는 I/O 요청에 의해 느려지지 않는 프로세서 속도를 프로세서와 데이터 관리 유닛간의 트랜잭션이 수행된다.

지금부터 제2a, b, c도 및 d도를 참조하면, 본 발명에 따른 어드레스 관리 유닛이 상세히 서술될 것이다.

어드레스 관리 유닛(20)에의 다음 입력은 다음과 같이 입력 래치에 의해 래치된다 :

메모리 컨피그레이션 인터페이스 신호는 입력 래치(302)에 접속되고, 프로세서 어드레스 버스(16)로부터의 프로세서 어드레스 버스 신호는 입력 래치(304)에서 래치되고, I/O 어드레스 신호는 입력 래치(306)에서 래치되고, 그래픽스 커맨드 버스 신호는 입력 래치(308)에서 래치된다. 입력 래치(302)의 출력은 메모리 실행 큐 및 제어 논리회로(328)에 접속된다. 프로세서 어드레스 버스 래치(304)로부터의 출력은 커맨드 및 어드레스 디코드 논리회로(310)와 I/O 디렉토리 제어 논리회로(311)에 접속된다. 커맨드 및 어드레

스 디코드 논리회로(310)의 출력은 내부 레지스터 제어부(316), 메모리 기록 큐(320), I/O 커맨드 큐(322)에의 프로세서 및 인터럽트 제어부(324)에 입력으로서 접속된다. I/O 디렉토리 제어 논리회로(311)의 출력은 I/O 커맨드 큐(322)에의 프로세서에 접속된다.

I/O 어드레스 입력 래치(306)는 커맨드 및 어드레스 디코드 논리회로(312)에 접속된 출력을 갖는다. 커맨드 및 어드레스 디코드 논리회로(312)의 출력은 인터럽트 제어 논리회로(324)에의 입력과 프로세서 커맨드 큐 논리회로(326)에의 I/O 에 접속된다. 그래픽스 커맨드 입력 래치(308)는 그래픽스 제어를 위해 데이터 관리 유닛(18)에 출력 신호를 발생하는 출력 래치(348)에 접속된 제1출력을 갖는 커맨드 및 어드레스 디코드 논리회로(314)에 접속된 출력을 갖는다. 커맨드 및 어드레스 디코드 논리회로(314)의 제2출력은 I/O 커맨드 큐 논리회로(322)에의 프로세서와 프로세서 커맨드 큐 논리회로(326)에의 I/O에 접속된다.

I/O 커맨드 큐 논리회로(322)에의 프로세서와 프로세서 커맨드 큐 논리회로(326)에의 I/O는 각각 인터럽트 제어 논리회로(324)로부터의 출력인 제3입력을 갖는다.

내부 레지스터 제어 논리회로(316)의 출력은 데이터 관리 유닛(18)에 내부 레지스터 제어 신호를 공급하는 출력 래치(334)의 입력에 접속된다. 메모리 기록 큐 논리회로(328)에 접속된다. 또한, 메모리 컨피그레이션 인터페이스로부터 입력 래치(302)로부터의 출력은 메모리 실행 큐 및 제어 논리회로(328)에 접속된다. 제어 논리회로(328)에서 메모리 실행 큐의 제1출력은 데이터 관리 유닛(18)에 메모리 제어 신호를 공급하는 출력 래치(336)에 접속된다. 메모리 실행 큐 및 제어 논리회로(328)로부터의 제2출력은 메모리(24(제1도참조))에 메모리 어드레스 및 제어 신호를 공급하는 출력 래치(338)에 접속된다. I/O 커맨드 큐 논리회로(322)에의 프로세서의 출력은 I/O 커맨드 실행 논리회로(330)에의 입력에 접속된다. I/O 커맨드 실행 논리회로(330)으로부터의 제1출력은 I/O 어드레스 버스(26)에 전송하기 위해 래치(340)에서 래치된다. I/O 커맨드 실행 논리회로(330)로부터의 제2출력 세트는 래치(342)에 의해 래치되고, 데이터 관리 유닛(18)에 전송될 I/O 제어 신호를 표현한다. 프로세서 커맨드 큐 논리회로(326)에의 I/O의 출력은, 데이터 관리 유닛(18)에 전송될 프로세서 제어를 표현하는 출력 래치(344)에 접속된 제1출력 세트와, 프로세서 어드레스 버스(16)에 접속된 출력을 갖는 출력 래치(346)에서 래치된 제2출력 세트를 갖는 프로세서 커맨드 실행 논리회로(332)에 접속된다.

제2a, b, c도 및 d도에 대해 상기 서술된 바와 같이, I/O 버스(26)는 프로세서 데이터 및 어드레스 버스(14와 16)와 비동기하는 것과는 다른 주파수에서 동작할 수 있다. 제3a, b, c도 및 d도에 도시된 바와 같이, I/O 어드레스 커맨드 및 데이터에 관련된 블록(360과 362)에 포함된 논리회로는 프로세서 버스 클럭과는 독립적이고 프로세서 클럭 버스에 대해 비동기로 실행하는 제2a, b, c도 및 d도에 대해 상기 언급된 I/O 클럭의 제어하에 동작된다. 이와 같이 I/O 버스(26) 상의 어드레스, 데이터, 제어 신호 및 인터럽트는 프로세서 데이터 버스(14)와 프로세서 어드레스 버스(16)에 직접 접속된 프로세서(12)의 성능을 최적화하는 방식으로 데이터 관리 유닛(18)과 어드레스 관리 유닛(20)의 제어하에 처리된다.

지금부터 제4도를 참조하면, 본 발명에 따른 시스템 초기화 루틴이 서술될 것이다.

스텝 초기화 루틴(400)은 프로세서가 IPL R0S 판독 커맨드(404)를 내리면 시작한다(402). 만일 프로세서 버스에 부착된 판독 전용 기억장치에 의해 판독이 수락되면(406), 판독된 데이터는 직접 프로세서 버스상의 프로세서에 반환되고(408), 초기화 판독이 완료된다.

만일 시스템 버스에 부착된 어떠한 장치도 IPL 판독 커맨드를 수락하지 않으면, 데이터 관리 유닛(18)은 I/O 버스(26)에 IPL 판독 커맨드를 전달한다(410).

만일 I/O 버스(26)에 부착된 I/O 컨트롤러에 의해 IPL 판독이 수락되면(412), 판독된 데이터가 프로세서에 반환되고(414), 초기화 판독이 완료된다.

만일 I/O 버스(26) 상의 장치에 의해 판독이 수락되지 않으면, 데이터 관리 유닛(18)은 초기의 프로그램 로드 판독을 시스템 초기화 기억장치(34)에 전달한다(416). 만일 시스템 초기화 기억장치(34)에 의해 IPL 판독이 수락되지 않으면(418), 판독된 데이터는 프로세서로 반환되고(420), 초기화 판독이 완료된다. 만일 시스템 초기화 기억장치(34)에 의해 IPL 판독 커맨드가 수락되지 않으면, 데이터 관리 유닛(18)은 시스템 초기화에서의 에러를 가리키는 에러 신호 및 더미 데이터(dummy data)를 프로세서로 전달한다(422).

비록 본 발명의 특정 실시예가 예시 목적으로 서술되었지만, 본 발명의 정신과 영역으로부터 이탈하지 않고 여러 가지로 변형될 수 있다는 것을 알 수 있을 것이다.

따라서, 본 발명의 영역은 다음의 특허청구의 범위에 의해서만 한정되어 있다

(57) 청구의 범위

청구항 1

정보 처리 시스템에 있어서, 데이터 입력과 출력 및 어드레스 입력과 출력을 갖는 적어도 하나 이상의 프로세서 : 각 프로세서의 상기 데이터 입력과 출력에 접속된 프로세서 데이터 버스; 각 프로세서의 상기 어드레스 입력과 출력에 접속된 프로세서 데이터 버스; 상기 프로세서 데이터 버스에 접속되고, 상기 프로세서 데이터 및 어드레스 버스에/로부터의 정보 흐름을 제어하기 위한 버스 격리 유닛(a bus isolation unit); 데이터 및 어드레스 입력 및 출력을 갖는 메모리 시스템; 상기 버스 격리 유닛에 접속된 데이터 및 어드레스 라인을 갖는 I/O 버스; 상기 I/O 버스와 적어도 하나의 I/O 장치에 접속된 적어도 하나의 I/O 컨트롤러; 상기 버스중 적어도 하나의 버스에 접속된 시스템 초기화 기억장치; 및 상기 정보 처리 시스템의 초기화를 제어하기 위한 초기화 제어 논리회로를 구비하는 정보 처리 시스템.

청구항 2

정보 처리 시스템에 있어서, 하나 이상의 프로세서 유닛; 프로세서 버스, 메모리 시스템, I/O 버스에 접속된 버스 격리 유닛(a bus isolation unit); 및 시스템 초기화를 제어하는 수단을 구비하고, 초기화 루틴 및 데이터(an initialization routine and data)를 기억하는 수단; 프로세서가 내린 초기 프로그램 로

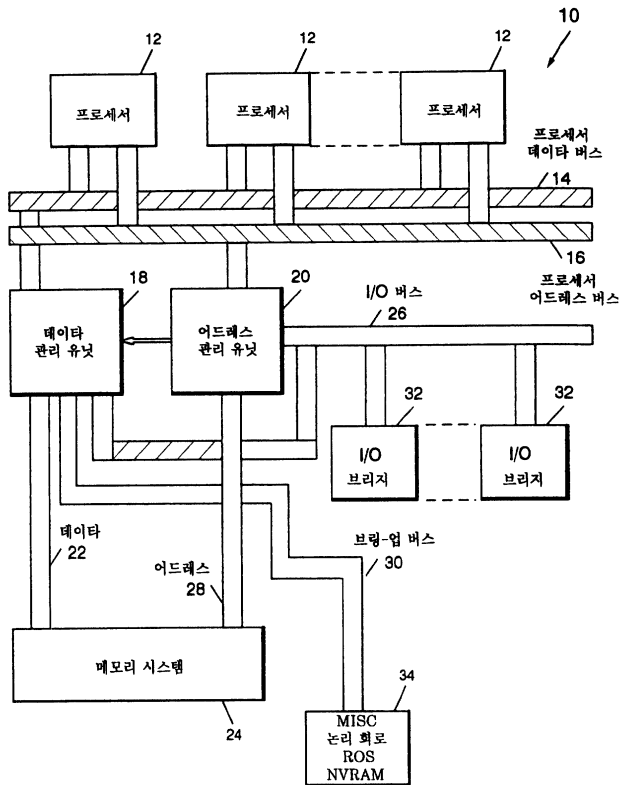
드 판독(IPL) 커맨드에 응답하여, 만일 상기 IPL 판독 커맨드가 상기 프로세서 버스에 부착된 장치에 의해 수락되면 상기 프로세서에 초기화 데이터를 반환하는 제1수단; 만일 상기 프로세서 버스에 부착된 어떠한 장치도 IPL 데이터에 응답하지 않으면, 상기 버스 격리 유닛의 제어하에 상기 IPL 판독 커맨드를 상기 I/O 버스에 전달하는 수단; 만일 상기 판독된 커맨드가 상기 I/O 버스에 부착된 I/O 컨트롤러에 의해 수락되면, 상기 프로세서에 초기화 데이터를 반환하는 제2수단; 만일 어떠한 I/O 컨트롤러도 상기 IPL 판독 커맨드를 수락하지 않으면, 상기 버스 격리 유닛의 제어하에 상기 시스템 초기화 데이터 기억수단으로 상기 IPL 판독 커맨드를 전달하는 수단; 및 상기 초기화 루틴 및 데이터 기억수단에서 상기 프로세서로 초기화 데이터를 반환하는 제3수단을 구비하는 정보 처리 시스템.

청구항 3

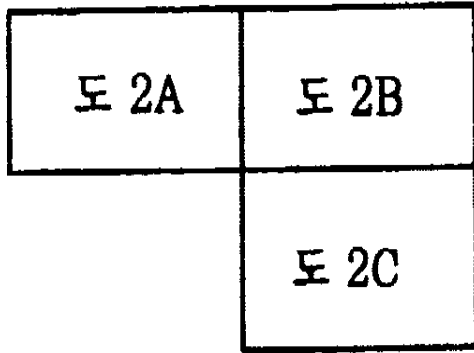
하나 이상의 프로세싱 유닛, 프로세서 버스, 메모리 시스템, I/O 버스에 접속된 버스 격리 유닛을 포함하는 정보 처리 시스템 초기화 방법에 있어서, 시스템 초기화 기억수단에 초기화 루틴과 데이터를 기억하는 단계; 프로세서가 내린 초기 프로그램 로드 판독(IPL) 커맨드에 응답하여, 만일 상기 IPL 판독 커맨드가 상기 프로세서 버스에 부착된 장치에 의해 수락되면 상기 프로세서에 초기화 데이터를 반환하는 단계; 만일 상기 프로세서 버스에 부착된 어떠한 장치도 IPL 데이터에 응답하지 않으면, 상기 버스 격리 유닛의 제어하에 상기 IPL 판독 커맨드를 상기 I/O 버스에 전달하는 단계; 만일 상기 판독된 커맨드가 상기 I/O 버스에 부착된 I/O 컨트롤러에 의해 수락되면, 상기 프로세서에 초기화 데이터를 반환하는 단계; 만일 어떠한 I/O 컨트롤러도 상기 IPL 판독 커맨드를 수락하지 않으면, 상기 버스 격리 유닛의 제어하에 상기 시스템 초기화 데이터 기억수단으로 상기 IPL 판독 커맨드를 전달하는 단계; 및 상기 초기화 루틴 및 데이터 기억수단에서 상기 프로세서로 초기화 데이터를 반환하는 단계를 구비하는 정보 처리 시스템의 초기화 방법.

도면

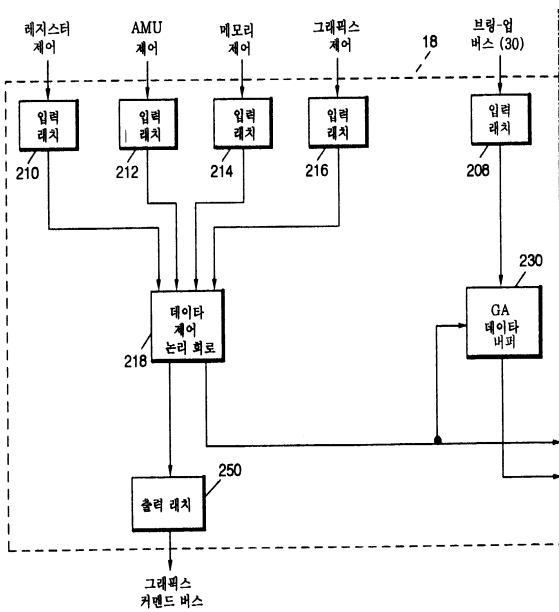
도면1



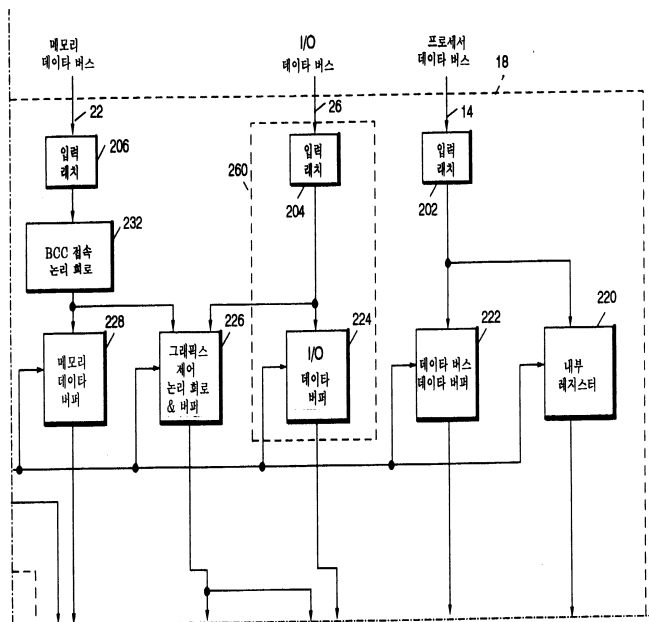
도면2a



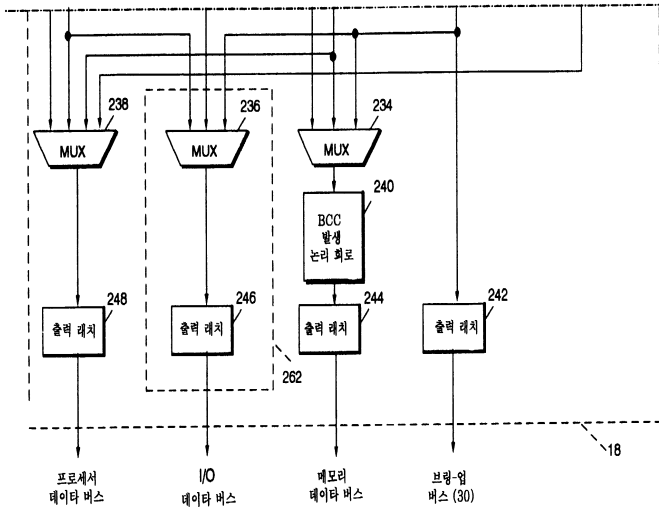
도면2b



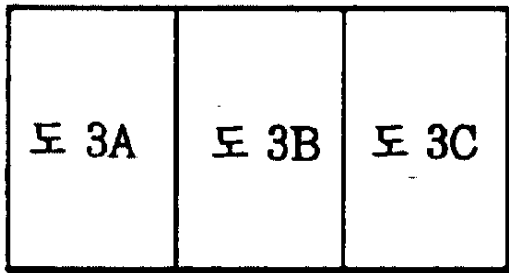
도면2c



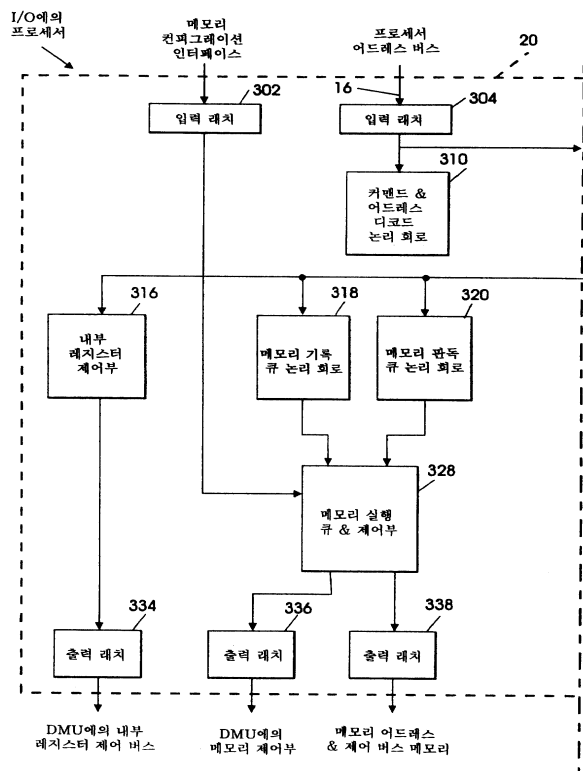
도면2d



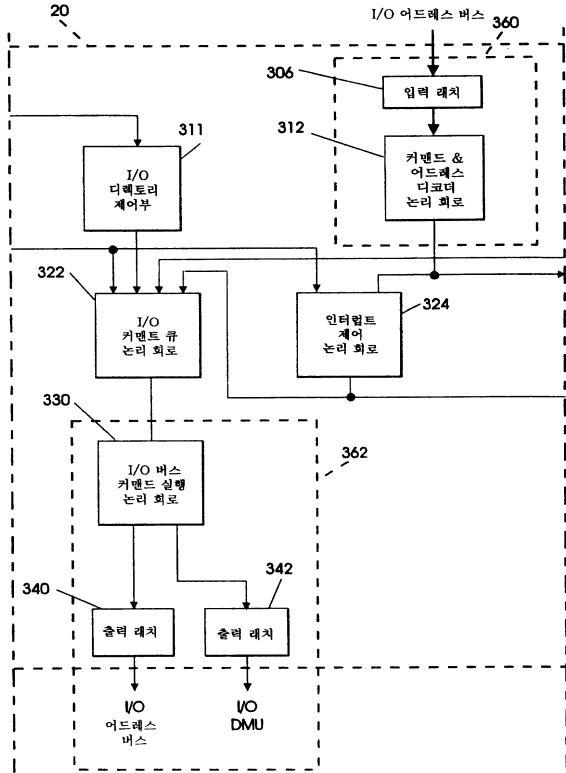
도면3a



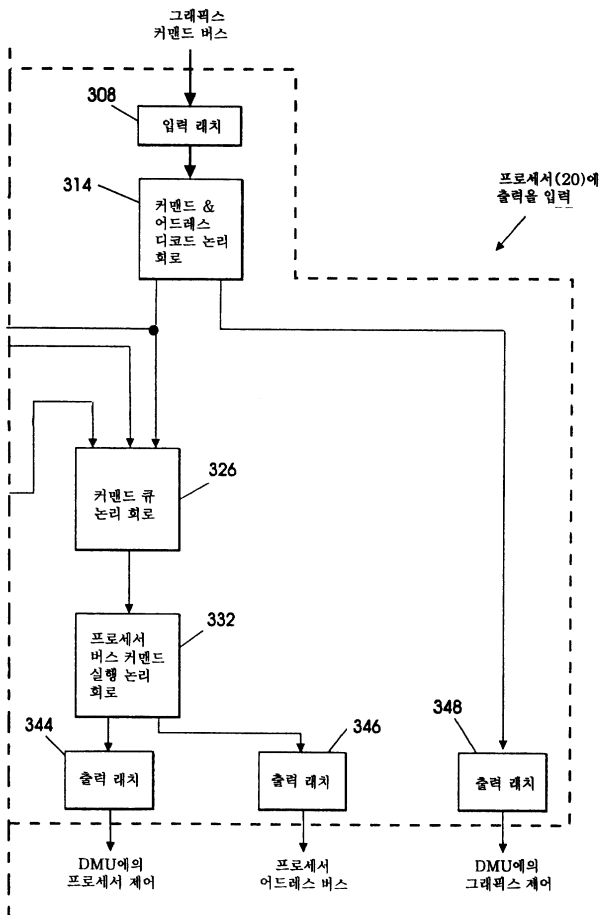
도면3b



도면3c



도면3d



도면4

