

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5114824号  
(P5114824)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl. F I  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 S  
 HO 1 L 29/78 (2006.01) HO 1 L 27/06 3 2 1 A  
 HO 1 L 21/8249 (2006.01)  
 HO 1 L 27/06 (2006.01)

請求項の数 7 (全 17 頁)

(21) 出願番号	特願2004-301787 (P2004-301787)	(73) 特許権者	308014341
(22) 出願日	平成16年10月15日(2004.10.15)		富士通セミコンダクター株式会社
(65) 公開番号	特開2006-114768 (P2006-114768A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成18年4月27日(2006.4.27)		23
審査請求日	平成19年9月6日(2007.9.6)	(74) 代理人	100107766
前置審査			弁理士 伊東 忠重
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(74) 代理人	100146776
			弁理士 山口 昭則
		(72) 発明者	市川 宏道
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	松本 陶子
			最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の導電型の半導体基板と、  
 前記半導体基板の表面にゲート絶縁膜を介して設けられたゲート電極と、  
 前記ゲート電極の一端の近傍に設けられた前記第1の導電型とは反対導電型の第2の導電型の第1のドレイン領域と、  
 前記第1のドレイン領域内に設けられ、第1のドレイン領域の不純物濃度よりも高濃度の第2の導電型のドレインコンタクト領域と、  
 前記ドレインコンタクト領域の周囲および下側に設けられた第2の導電型の第2のドレイン領域とを備え、  
 前記第2のドレイン領域は、  
 不純物濃度がドレインコンタクト領域よりも低濃度であり、かつ第1のドレイン領域よりも高濃度であり、  
 ゲート電極側の端部がゲート電極の前記一端から所定の距離を離間して設けられてなり、  
 前記第2のドレイン領域のゲート電極側の端部と、前記ドレインコンタクト領域のゲート電極側の端部との距離が、前記第2のドレイン領域の底部の深さに等しいかそれよりも大きく、  
 前記第2のドレイン領域の底部は、前記第1のドレイン領域の底部よりも深く設けられ

前記所定の距離は、前記第2のドレイン領域のゲート電極側の端部と、前記ドレインコンタクト領域のゲート電極側の端部との距離に等しいことを特徴とする半導体装置。

【請求項2】

第2のドレイン領域は、第2の導電型の不純物がドレインコンタクト領域の第2の導電型の不純物と同等かあるいは該ドレインコンタクト領域の第2の導電型の不純物よりも前記半導体基板中の拡散係数が大きい不純物からなることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記所定の距離は、 $0.5\ \mu\text{m} \sim 5\ \mu\text{m}$ の範囲に設定されてなることを特徴とする請求項1または2に記載の半導体装置。

10

【請求項4】

前記第2のドレイン領域は前記第1のドレイン領域を越えて、前記ゲート電極に対向する素子分離領域へと延在していることを特徴とする請求項1乃至3のうち、いずれか一項記載の半導体装置。

【請求項5】

第1の導電型の半導体基板上にゲート絶縁膜およびゲート電極を形成する工程と、  
前記ゲート電極の一端の近傍の半導体基板に前記第1の導電型とは反対導電型の第2の導電型の第1の不純物を第1の注入量で注入し第1のドレイン領域を形成する工程と、  
前記半導体基板表面と水平な方向で前記第1のドレイン領域の内側に第2の導電型の第2の不純物を第1の注入量よりも多い第2の注入量を注入して第2のドレイン領域を形成する工程と、

20

前記半導体基板表面と水平な方向で前記第2のドレイン領域の内側に第2の導電型の第3の不純物を第2の注入量よりも多い第3の注入量を注入してドレインコンタクト領域を形成する工程とを含み、

前記第2のドレイン領域を形成する工程では、前記ゲート電極の前記一端から所定の距離を離間して第2の不純物が、前記第2のドレイン領域のゲート電極側の端部と前記ドレインコンタクト領域のゲート電極側の端部との距離が、前記第2のドレイン領域の底部の深さに等しいかそれよりも大きくなり、前記第2のドレイン領域の底部が、前記第1のドレイン領域の底部よりも深く設けられ、前記所定の距離が、前記第2のドレイン領域のゲート電極側の端部と、前記ドレインコンタクト領域のゲート電極側の端部との距離と等しくなるように注入され、

30

前記ドレインコンタクト領域を形成する工程では、前記第3の不純物が、前記ドレインコンタクトの底部が前記第2のドレイン領域の底部より浅く形成されるように注入されることを特徴とする半導体装置の製造方法。

【請求項6】

前記第2のドレイン領域を形成する工程は、前記第1の不純物を注入する際の注入エネルギーよりも大きな注入エネルギーで第2の不純物を注入することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】

前記第2のドレイン領域を形成する工程では、前記第2のドレイン領域を、前記第1のドレイン領域を越えて、前記ゲート電極に対向する素子分離領域へと延在するように形成することを特徴とする請求項5または6記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に係り、特に動作時のドレイン耐圧が高い電界効果型トランジスタに関する。

【背景技術】

【0002】

ノートブック形パーソナルコンピュータやデジタルビデオカメラ等では、直列接続され

50

た複数のLiイオン二次電池が電源供給源として使用されている。このような電子機器では、Liイオン二次電池を充電するための電源回路や、充電しながら本体に電力を供給する電源回路に、電源用ICが用いられている。電源用ICは、通常のロジックICよりも高い十数ボルトから数十ボルトの比較的高い電源電圧を使用している。また、電源用ICに電源回路自体や電源制御ロジック回路の混載要求が多く、複数の電源電圧が一つのICチップで使用されている。

#### 【0003】

電源用ICは、そこに搭載されるトランジスタ、例えばMOSトランジスタの動作時ドレイン耐圧が電源電圧以上に必要であり、ドレイン耐圧が十分でない場合は電源用ICが過熱し、消費電力が増大してしまう。従来は耐圧確保のため、MOSトランジスタの多段接続により回路的な解決手法が採られてきた。しかし、MOSトランジスタ多段接続では多数のMOSトランジスタを必要とするため、ICチップの面積低減つまりICチップの小型化の支障となってきた。

10

#### 【0004】

そこで、近年ではMOSトランジスタ自体のドレイン耐圧向上の手法が開発されるようになってきた。ドレイン耐圧向上のため、ドレイン電極とゲート電極とを離間してその間に不純物濃度の低いオフセット領域を設けたオフセット型MOSトランジスタや、ドレイン電極とゲート電極とをフィールド酸化膜により離間したLD MOS型トランジスタが用いられている。これらの高耐圧MOSトランジスタでは、ドレイン電極が接触するドレイン領域には、コンタクト抵抗を低下させるために、ドレイン領域の他の領域よりも高い濃度の不純物拡散領域が形成されている。

20

#### 【0005】

しかし、不純物濃度が比較的低くゲート電極直下からコンタクト領域に延在する第1ドレイン領域と、第1ドレイン領域内にドレイン電極に接する第1ドレイン領域よりも不純物濃度の高いコンタクト領域を形成した場合、バイポーラ動作が起き易くなりドレイン耐圧が低下する。バイポーラ動作とは、ドレインおよびゲートに高電圧が同時に印加された時にアバランシェ降伏が生じ、ドレイン電流が急激に増加する現象である。

#### 【0006】

そこで、図1に示すような、ゲート電極101の端部の直下から高濃度ドレイン領域102に亘って延在する第1ドレイン領域103内に、第1ドレイン領域103よりも高濃度の第2ドレイン領域104を設けてバイポーラ動作の発生を抑制するMOSトランジスタ100が提案されている(例えば、特許文献1参照。)

30

【特許文献1】特開2002-124671号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0007】

しかしながら、図1に示すように、第1ドレイン領域103に加え、第2ドレイン領域104がゲート電極101の直下まで形成されている。このような場合、高濃度ドレイン領域102に高電圧が印加されるとショートチャネル効果が生じやすくなる。一方、ゲート長を十分長くすることでショートチャネル効果を抑制できるが、素子面積が増大し、ICチップの小型化を図れなくなる。

40

#### 【0008】

また、第2ドレイン領域104を設けない場合は、高濃度ドレイン領域102は不純物濃度の高いため、第1ドレイン領域103側に第1ドレイン領域103と基板との間に生じる空乏層が広がり難くなり、この部分での電界分散が不十分となる。その結果、動作時のドレイン耐圧の低下の原因となる。

#### 【0009】

そこで、本発明は上記問題点に鑑みてなされたもので、本発明の目的は、動作時のドレイン耐圧の向上を図る半導体装置およびその製造方法を提供することである。

#### 【課題を解決するための手段】

50

## 【0010】

本発明の一観点によれば、第1の導電型の半導体基板と、前記半導体基板の表面にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の一端の近傍に設けられた前記第1の導電型とは反対導電型の第2の導電型の第1のドレイン領域と、前記第1のドレイン領域内に設けられ、第1のドレイン領域の不純物濃度よりも高濃度の第2の導電型のドレインコンタクト領域と、前記ドレインコンタクト領域の周囲および下側に設けられた第2の導電型の第2のドレイン領域とを備え、前記第2のドレイン領域は、不純物濃度がドレインコンタクト領域よりも低濃度であり、かつ第1のドレイン領域よりも高濃度であり、ゲート電極側の端部がゲート電極の前記一端から所定の距離を離間して設けられてなる半導体装置が提供される。

10

## 【0011】

本発明によれば、高濃度のドレインコンタクト領域の下側に、ドレインコンタクト領域と同じ導電型でかつ低濃度の第2のドレイン領域を設けることにより、第2の導電型の高濃度のドレインコンタクト領域から第2のドレイン領域を介して第1の導電型の半導体基板との接合位置までの深さ方向に対する濃度勾配を低減し、ゲート電極側に配置された第1のドレイン領域と第1の導電型の半導体基板との接合に生じる空乏層の厚さを確保して電界分散の向上を図ることができる。さらに、第2のドレイン領域をゲート電極の端部から離間することで、ショートチャネル効果の発生を防止できる。これらの2つの作用により、動作時のドレイン耐圧を向上することができる。

20

## 【0012】

本発明の他の観点によれば、第1の導電型の半導体基板と、前記半導体基板の表面にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の一端の近傍に設けられた前記第1の導電型とは反対導電型の第2の導電型の第1のドレイン領域と、前記第1のドレイン領域内に設けられ、第1のドレイン領域の不純物濃度よりも高濃度の第2の導電型のドレインコンタクト領域と、前記ドレインコンタクト領域の周囲および下側に設けられた第2の導電型の第2のドレイン領域とを備え、前記第2のドレイン領域は、不純物濃度がドレインコンタクト領域よりも低濃度であり、かつ第1のドレイン領域と略同等であり、底部が前記第1のドレイン領域の底部よりも深く、ゲート電極側の端部がゲート電極の前記一端から所定の距離を離間して設けられてなる半導体装置が提供される。

30

## 【0013】

本発明によれば、高濃度のドレインコンタクト領域の下側に、ドレインコンタクト領域と同じ導電型でかつ低濃度の第2のドレイン領域を設け、第1のドレイン領域の底部よりも深い位置に底部を設定することにより、ゲート電極側に配置された第1のドレイン領域と第1の導電型の半導体基板との接合に生じる空乏層の厚さを確保して電界分散の向上を図ることができる。さらに、第2のドレイン領域をゲート電極の端部から離間することで、ショートチャネル効果の発生を防止できる。これらの2つの作用により、動作時のドレイン耐圧を向上することができる。

## 【0014】

本発明のその他の観点によれば、第1の導電型の半導体基板上にゲート絶縁膜およびゲート電極を形成する工程と、前記ゲート電極の一端の近傍の半導体基板に前記第1の導電型とは反対導電型の第2の導電型の第1の不純物を第1の注入量で注入し第1のドレイン領域を形成する工程と、前記第1のドレイン領域の略内側に第2の導電型の第2の不純物を第1の注入量よりも多い第2の注入量を注入して第2のドレイン領域を形成する工程と、前記第2のドレイン領域の内側に第2の導電型の第3の不純物を第2の注入量よりも多い第3の注入量を注入してドレインコンタクト領域を形成する工程とを含み、前記第2のドレイン領域を形成する工程は、前記ゲート電極の前記一端から所定の距離を離間して第2の不純物を注入することを特徴とする半導体装置の製造方法が提供される。

40

## 【0015】

本発明によれば、高濃度のドレインコンタクト領域の下側に、ドレインコンタクト領域よりも同じ導電型でかつ低濃度の第2のドレイン領域を第1のドレイン領域よりも深く注

50

入ることにより、第2の導電型の高濃度のドレインコンタクト領域から第2のドレイン領域と第1の導電型の半導体基板との接合位置までの深さ方向に対する濃度勾配を低減し、ゲート電極側に配置された第1のドレイン領域と第1の導電型の半導体基板との接合による空乏層の厚さを確保して電界分散の向上を図れる。さらに、第2のドレイン領域をゲート電極の端部から離間することで、ショートチャネル効果の発生を防止できる。これらの2つの作用により、動作時のドレイン耐圧を向上することができる。

【発明の効果】

【0016】

本発明によれば、動作時のドレイン耐圧の向上を図る半導体装置およびその製造方法を提供できる。

10

【発明を実施するための最良の形態】

【0017】

以下図面を参照しつつ実施の形態を説明する。

【0018】

(第1の実施の形態)

図2は、本発明の第1の実施の形態に係る半導体装置の断面図である。図3は、第1の実施の形態に係る半導体装置の平面図である。なお、図3では、素子分離領域、コンタクト、およびゲート絶縁膜は説明の便宜のため省略して示している。ここでは、nチャンネルMOSトランジスタを例に説明する。

【0019】

20

図2および図3を参照するに、半導体装置10は、シリコン基板11と、素子分離領域12により画成された活性化領域に注入されたp型ウェル領域13と、シリコン基板11の表面に形成されたゲート絶縁膜としてのシリコン酸化膜14と、シリコン酸化膜14上に形成されたゲート電極15と、ゲート電極15の一方の側に形成されたソース領域16と、ソース領域16に接触するソース電極18と、ゲート電極15の他方の側に形成されたドレイン領域20と、ドレイン領域20に接触するドレイン電極24から構成される。

【0020】

p型ウェル領域13は、p型の不純物、例えばP(リン)が注入され、不純物濃度は例えば $3.0 \times 10^{-16} \text{ cm}^{-3}$ 程度の濃度に設定される。また、p型ウェル領域13を設けるかわりにp型のシリコン基板を用いてもよい。

30

【0021】

シリコン酸化膜14は、ゲート絶縁膜として厚さが10nm~100nmの範囲に設定されることが好ましい。シリコン酸化膜14のかわりに、シリコン窒化膜、シリコン窒化膜を用いてもよく、high-k材料、例えば、 $\text{Al}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ を用いてもよい。

【0022】

ゲート電極15は、例えばポリシリコン膜からなり、B(ボロン)やP等の不純物を注入して比抵抗を制御してもよい。また、ゲート電極15のゲート長方向( $X_1$ および $X_2$ 方向)の長さは $0.6 \mu\text{m}$ ~ $5.0 \mu\text{m}$ の範囲に設定される。ゲート電極15のゲート長方向の長さが $0.6 \mu\text{m}$ よりも短いとドレインに高電圧が印加された場合ショートチャネル効果が生じやすくなり、 $5.0 \mu\text{m}$ よりも長いと素子面積が過大となる。

40

【0023】

ドレイン領域20は、ゲート電極15の端部15aからドレイン電極24の方向( $X_2$ 方向)に形成された第1ドレイン領域21と、第1ドレイン領域21の内側に形成されドレイン電極24に接するドレインコンタクト領域23と、ドレインコンタクト領域23の周囲および下側に形成された第2ドレイン領域22から構成される。

【0024】

第1ドレイン領域21は不純物濃度が低濃度に、例えば $8.0 \times 10^{16} \text{ cm}^{-3}$ 程度の濃度に設定され、ドレインコンタクト領域23は第1ドレイン領域21よりも高濃度に、例えば $1.0 \times 10^{21} \text{ cm}^{-3}$ 程度の濃度に設定され、第2ドレイン領域22は、第1ドレ

50

ン領域 2 1 よりも高濃度に、かつドレインコンタクト領域 2 3 よりも低濃度に、例えば  $1.0 \times 10^{17} \text{ cm}^{-3}$  程度の濃度に設定される。

【 0 0 2 5 】

さらに、第 2 ドレイン領域 2 2 は、ゲート電極 1 5 側の端部 2 2 a がゲート電極 1 5 の端部から離間するように配置される。このように設定することで、ドレイン電圧が高電圧になると生じ易いショートチャネル効果を防止できる。

【 0 0 2 6 】

第 2 ドレイン領域 2 2 のゲート電極 1 5 側の端部 2 2 a とゲート電極 1 5 の端部 1 5 a との距離 L1 を、十分な電界分散を確保する点で、 $0.5 \mu\text{m} \sim 5.0 \mu\text{m}$  の範囲に設定することが好ましい。距離 L1 が  $0.5 \mu\text{m}$  未満では、ショートチャネル効果が生じ易くなり、 $5.0 \mu\text{m}$  を越えると、オン抵抗が十分に低減し難くなる。

10

【 0 0 2 7 】

また、使用する最大ドレイン電圧が高い程、上記の距離 L1 の範囲内で、距離 L1 を大きく設定することが好ましい。

【 0 0 2 8 】

また、第 2 ドレイン領域 2 2 のゲート電極側の端部 2 2 a と、ドレインコンタクト領域 2 3 のゲート電極側の端部 2 3 a との距離 L2 は、第 2 ドレイン領域の底部 2 2 b の深さ D22 と略同等かそれよりも大きいことが好ましい。ドレインコンタクト領域 2 3 から第 2 ドレイン領域 2 2 に亘る横方向の不純物濃度の勾配を緩やかにして、バイポーラ動作を抑制することができる。

20

【 0 0 2 9 】

さらに、 $L1 / L2$  がほぼ 1 / 1 であることがより好ましい。ドレイン耐圧の向上とオン抵抗の低減を高度に両立できる。

【 0 0 3 0 】

第 2 ドレイン領域の底部 2 2 b (第 2 ドレイン領域 2 2 と p ウェル領域の接合位置) は、第 1 ドレイン領域の底部 2 1 b と同程度かそれよりも深く形成される。ドレインコンタクト領域 2 3 の下側に第 1 ドレイン領域よりも高濃度の第 2 ドレイン領域 2 2 を設けることでドレイン電極 2 4 の下方の深さ方向における濃度勾配が緩やかとなり、電界分散が向上し、動作時のドレイン耐圧を向上する。

【 0 0 3 1 】

なお、第 2 ドレイン領域の底部 2 2 b が第 1 ドレイン領域の底部 2 1 b よりも深く形成される場合は、第 2 ドレイン領域 2 2 の不純物濃度が第 1 ドレイン領域 2 1 の不純物濃度とほぼ同程度でもよい。第 2 ドレイン領域の底部 2 2 b を、第 1 ドレイン領域の底部 2 1 b よりも深く形成することで、ドレイン電極 2 4 の下方の深さ方向における濃度勾配が緩やかとなり、電界分散が向上する。

30

【 0 0 3 2 】

また、第 2 ドレイン領域 2 2 の不純物濃度が第 1 ドレイン領域 2 1 よりも高濃度の場合は、第 2 ドレイン領域 2 2 の底部 2 2 b を、第 1 ドレイン領域の底部 2 1 b と同程度の深さに設定してもよい。この場合もドレインコンタクト領域 2 3 と第 2 ドレイン領域 2 2 との間の濃度差が縮小されるので、ドレイン電極 2 4 の下方の深さ方向における濃度勾配が緩やかとなり、電界分散が向上する。

40

【 0 0 3 3 】

図 4 はドレインコンタクト領域とその下方の不純物濃度分布の一例を示す図である。図 4 は、縦軸が不純物濃度 ( $\text{cm}^{-3}$ )、横軸がシリコン基板表面からの深さ ( $\mu\text{m}$ ) を示しており、本実施の形態に係る半導体装置の一例の不純物分布 (分布 A) と、比較のため、第 2 ドレイン領域を設けない以外は同様に構成した半導体装置の不純物分布 (分布 B) を示している。

【 0 0 3 4 】

分布 A の半導体装置は、イオン打込み法により、第 1 ドレイン領域を不純物として P を用いて加速電圧  $60 \text{ keV}$ 、ドーズ量  $2.0 \times 10^{12} \text{ cm}^{-2}$ 、第 2 ドレイン領域を不純物

50

としてPを用いて加速電圧120keV、ドーズ量 $2.0 \times 10^{12} \text{ cm}^{-2}$ 、ドレインコンタクト領域を不純物としてAsを用いて加速電圧70keV、ドーズ量 $4.0 \times 10^{15} \text{ cm}^{-2}$ として設定し、一方、分布Bの半導体装置は、第2ドレイン領域を形成しなかった以外は分布Aと同様の条件で設定し、シミュレーションにより不純物濃度を求めた。

【0035】

図4を参照するに、ドレインコンタクト領域に対応する深さが $0.2 \mu\text{m}$ までは分布Aと分布Bはほぼ同じ分布を示しているが、 $0.2 \mu\text{m}$ よりも深い領域で分布Aは分布Bよりも深さ方向に対して濃度変化が小さくなっており、濃度勾配が緩くなっていることが分かる。これは、第2ドレイン領域の加速電圧を第1ドレイン領域の加速電圧よりも大きく設定してドレインコンタクト領域の下側に第1ドレイン領域よりも深く第2ドレイン領域

10

【0036】

図5(A)および(B)はドレイン電流( $I_D$ )とドレイン電圧( $V_{DS}$ )との関係を示す図であり、図5(A)は本実施の形態に係る実施例の半導体装置の一例であり、図5(B)は比較のために図5(A)の半導体装置で第2ドレイン領域を設けない場合の半導体装置(比較例)の $I_D - V_{DS}$ 特性を示している。

【0037】

実施例は、イオン打込み法により、第1ドレイン領域をPを用いて加速電圧60keV、ドーズ量 $2.0 \times 10^{12} \text{ cm}^{-2}$ 、第2ドレイン領域をPを用いて加速電圧120keV、ドーズ量 $2.0 \times 10^{12} \text{ cm}^{-2}$ 、ドレインコンタクト領域をAsを用いて加速電圧70

20

【0038】

図5(A)および(B)を参照するに、比較例では、ゲート電圧 $V_G = 5 \text{ V}$ 、 $10 \text{ V}$ 、 $15 \text{ V}$ の各々においてドレイン電圧が26V、20V、9V付近でドレイン電流が急激に増加しバイポーラ動作が起きているのに対して、実施例では、 $V_G = 5 \text{ V}$ 、 $10 \text{ V}$ 、 $15 \text{ V}$ の各々においてドレイン電圧が27V、25V、13V付近でドレイン電流が急激に増加しバイポーラ動作が起きている。このことから実施例の方がバイポーラ動作が起こるドレイン電圧が高く、ドレイン耐圧が向上していることが分かる。

30

【0039】

図6は第1の実施の形態に係る半導体装置の他の例の平面図である。図6を参照するに、第2ドレイン領域22は、第1ドレイン領域21よりもゲート幅方向( $Y_1$ および $Y_2$ 方向)に延在してもよい。バイポーラ動作を抑制したまま、オン抵抗をさらに低減することができる。また、第2ドレイン領域22は、ゲート長方向でゲート電極15と反対側の方向( $X_2$ 方向)に第1ドレイン領域21を越えて延在してもよい。

【0040】

次に図7および図8を参照しつつ、本実施の形態に係る半導体装置の製造方法を説明する。図7および図8は、第1の実施の形態に係る半導体装置の製造工程図である。

40

【0041】

最初に図7(A)の工程では、シリコン基板11にイオン打込み法により、p型の不純物、例えばBを注入し、p型ウェル領域13を形成する。

【0042】

図7(A)の工程ではさらに、公知の方法でLOCOS構造の素子分離領域12を形成する。具体的には、LOCOS構造の素子分離領域12は、図示を省略するが、シリコン基板11の表面にシリコン酸化膜を形成し、シリコン酸化膜上にシリコン窒化膜を活性化領域に対応する領域に選択的に形成する。シリコン酸化膜およびシリコン窒化膜はスパッタ法やCVD法により形成し、さらにシリコン酸化膜は熱酸化膜でもよい。次いで、熱酸化して素子分離領域の熱酸化膜を形成し、活性化領域に対応する領域のシリコン酸化膜、

50

シリコン窒化膜、シリコン酸化膜を順次エッチングにより除去し、シリコン基板 11 の表面を露出させる。なお、素子分離領域 12 を S T I 法により形成してもよい。

【 0 0 4 3 】

図 7 ( A ) の工程ではさらに、シリコン基板 11 の表面に例えば厚さ 30 nm のシリコン酸化膜 14 を形成する。シリコン酸化膜 14 は、例えば熱酸化膜やスパッタ法、C V D 法によるシリコン酸化膜を用いる。

【 0 0 4 4 】

図 7 ( A ) の工程ではさらに、シリコン酸化膜 14 の上にゲート電極 15 を形成する。具体的には、ゲート電極 15 は、シリコン酸化膜 14 を覆うポリシリコン層 ( 不図示 ) を形成し、フォトリソグラフィ法およびエッチングによりパターニングして形成する。ポリシリコン層に不純物を注入あるいは含有させ比抵抗を制御してもよい。

10

【 0 0 4 5 】

次いで、図 7 ( B ) の工程では、図 7 ( A ) の構造体を覆うレジスト膜 31 を形成し、次いで、ゲート電極 15 の表面の一部と後の工程で第 1 ドレイン領域となる領域を露出する開口部 31 - 1 を形成する。

【 0 0 4 6 】

図 7 ( B ) の工程ではさらに、レジスト膜 31 およびゲート電極 15 をマスクとして第 1 ドレイン領域となる領域に、イオン打ち込み法により、n 型の不純物、例えば P や A s を注入し、第 1 ドレイン領域 21 を形成する。具体的には、注入する不純物が P の場合、ドーズ量を例えば  $1 \times 10^{-12} \text{ cm}^{-2} \sim 1 \times 10^{-13} \text{ cm}^{-2}$  の範囲、加速電圧を例えば 50 k e V  $\sim$  150 k e V の範囲に設定して注入する。また、注入する不純物が A s の場合、ドーズ量を例えば  $1 \times 10^{-12} \text{ m}^{-2} \sim 1 \times 10^{-13} \text{ cm}^{-2}$  の範囲、加速電圧を例えば 100 k e V  $\sim$  300 k e V の範囲に設定して注入する。

20

【 0 0 4 7 】

次いで、図 7 ( C ) の工程では、図 7 ( B ) のレジスト膜 31 を除去し、構造体を覆うレジスト膜 32 を形成し、第 1 ドレイン領域 21 の内側の一部の表面を露出する開口部 32 - 1 を形成する。開口部 32 - 1 は、ゲート電極 15 の第 1 ドレイン領域 21 側の端部 15 a から、図 2 で説明した所定の距離 L2 を離間した位置から、次の工程で形成するドレインコンタクト領域を越える位置までの領域を露出する。

【 0 0 4 8 】

図 7 ( C ) の工程ではさらに、レジスト膜 32 をマスクとして、イオン打ち込み法により、n 型の不純物、例えば P や A s を注入し、第 2 ドレイン領域 22 を形成する。具体的には、第 1 ドレイン領域 21 の不純物注入よりも多いドーズ量に設定し、加速電圧を第 1 ドレイン領域 21 の不純物注入と同程度かそれよりも高い加速電圧に設定する。注入する不純物が P の場合、ドーズ量を例えば  $1 \times 10^{-12} \text{ cm}^{-2} \sim 1 \times 10^{-13} \text{ cm}^{-2}$  の範囲、加速電圧を例えば 100 k e V  $\sim$  200 k e V の範囲に設定して注入する。また、注入する不純物が A s の場合、ドーズ量を例えば  $1 \times 10^{-12} \text{ cm}^{-2} \sim 1 \times 10^{-13} \text{ cm}^{-2}$  の範囲、加速電圧を例えば 200 k e V  $\sim$  400 k e V の範囲に設定して注入する。注入する深さの点で、深い領域まで容易に注入できる P の方が好ましい。

30

【 0 0 4 9 】

なお、第 2 ドレイン領域 22 を形成する際に、第 1 ドレイン領域 21 の不純物注入とほぼ同程度のドーズ量に設定し、加速電圧を第 1 ドレイン領域 21 の不純物注入よりも高く設定してもよい。このように設定することで、不純物濃度は互いにほぼ同程度であるが、第 1 ドレイン領域の底部 21 b よりも第 2 ドレイン領域の底部 22 b を深く形成し、ドレイン電極の下方の深さ方向における濃度勾配が緩やかとなり、電界分散が向上する。

40

【 0 0 5 0 】

次いで、図 8 ( A ) の工程では、図 7 ( C ) のレジスト膜 32 を除去し、構造体を覆うレジスト膜 33 を形成し、第 2 ドレイン領域 22 の内側のドレインコンタクト領域となる領域にシリコン酸化膜 14 を露出する開口部 33 - 1 を形成し、さらにソース領域となる領域にシリコン酸化膜 14 およびゲート電極 15 の表面の一部を露出する開口部 33 - 2

50



を形成する。

【0051】

図8(A)の工程ではさらに、レジスト膜33およびゲート電極15をマスクとして、イオン打ち込み法により、n型の不純物、例えばPやAsを注入し、ドレインコンタクト領域23を形成する。具体的には、第1ドレイン領域21の不純物注入よりも多いドーズ量に設定し、加速電圧はシリコン基板11の表面付近にドレインコンタクト領域23を形成する加速電圧に設定する。注入する不純物がPの場合、ドーズ量を $1 \times 10^{-15} \text{ cm}^{-2}$  ~  $1 \times 10^{-16} \text{ cm}^{-2}$ の範囲、加速電圧を25 keV ~ 50 keVの範囲に設定して注入する。また、注入する不純物がAsの場合、ドーズ量を $1 \times 10^{-15} \text{ cm}^{-2}$  ~  $1 \times 10^{-16} \text{ cm}^{-2}$ の範囲、加速電圧を50 keV ~ 100 keVの範囲に設定して注入する。深さ方向への拡散が抑制される点ではAsの方が好ましい。なお、ソース領域16への注入は、ドレインコンタクト領域23とは別に行ってもよい。

10

【0052】

次いで、図8(B)の工程では、図8(A)のレジスト膜33を除去し、ドレイン電極24およびソース電極18のための開口部をシリコン酸化膜14に形成し、それぞれドレインコンタクト領域23、ソース領域16のシリコン基板11の表面を露出する。

【0053】

図8(B)の工程ではさらに、TiN膜やTaN膜等のバリア膜とAlやAl-Siからなるドレイン電極24およびソース電極18を公知の方法により形成する。なお、ドレイン電極24およびソース電極18が接触するシリコン基板表面にシリサイド膜をシリコン基板のシリサイド化あるいはシリサイド膜の形成を行ってもよい。以上により、本実施の形態の半導体装置10が形成される。なお、図8(B)の構造体を覆う公知の層間絶縁膜、配線層、パッシベーション、外部電極等を適宜設け、ICチップを形成する。

20

【0054】

本実施の形態によれば、n型の高濃度のドレインコンタクト領域23の下側に、n型の低濃度の第2ドレイン領域22を設けることにより、高濃度のドレインコンタクト領域23から第2ドレイン領域22を介してp型ウェル領域13との接合位置までの深さ方向に対する濃度勾配を低減し、ゲート電極15側に配置された第1のドレイン領域21とp型ウェル領域13との接合に生じる空乏層の厚さを確保して電界分散の向上を図ることができる。さらに、第2ドレイン領域22をゲート電極の端部15aから離間することで、ショートチャネル効果の発生を防止できる。これらの2つの作用により、動作時のドレイン耐圧を向上することができる。

30

【0055】

(第2の実施の形態)

図9は、本発明の第2の実施の形態に係る半導体装置の断面図である。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0056】

図9を参照するに、第2の実施の形態に係る半導体装置40は、LD(Laterally Diffused)MOS型トランジスタであり、シリコン基板11と、素子分離領域12と、素子分離領域12により画成された活性化領域に形成されたp型ウェル領域13と、シリコン基板11の表面に形成されたゲート絶縁膜としてのシリコン酸化膜14と、シリコン酸化膜14と連続してドレイン電極側に設けられたフィールド酸化膜12aと、ゲート酸化膜14およびフィールド酸化膜12aの一部を覆うゲート電極15と、ゲート電極14のソース電極18側の活性化領域に設けられたp型ボディ領域41と、p型ボディ領域41の内側に設けられたn型のソース領域16と、ソース領域16に接触するソース電極18と、シリコン酸化膜14とフィールド酸化膜12aとの境界部付近からドレイン電極24に延びる第1ドレイン領域21と、ドレイン電極24に接するドレインコンタクト領域23と、ドレインコンタクト領域23の周囲および下側に形成された第2ドレイン領域22から構成される。

40

【0057】

50

半導体装置 40 は、第 1 ドレイン領域 21、第 2 ドレイン領域 22、ドレインコンタクト領域 23 の不純物濃度および底部の深さ等が第 1 の実施の形態と同様に構成されており、その説明を省略する。なお、第 2 ドレイン領域 22 は、シリコン酸化膜 14 とフィールド酸化膜 12a との境界部の直上のゲート電極の位置 15a、つまりゲート電極のドレイン電極 24 側の実質的な端部 15a と、第 2 ドレイン領域 22 のゲート電極 15 側の端部 22a との距離 L3 を、十分な電界分散を確保する点で、 $0.5\ \mu\text{m} \sim 5.0\ \mu\text{m}$  の範囲に設定することが好ましい。距離 L1 が  $0.5\ \mu\text{m}$  未満では、ショートチャネル効果が生じ易くなり、 $5.0\ \mu\text{m}$  を越えると、オン抵抗が十分に低減し難くなる。

【0058】

また、第 2 ドレイン領域 22 のゲート電極 15 側の端部 22a と、ドレインコンタクト領域 23 のゲート電極側の端部 23a との距離 L4 は、第 2 ドレイン領域の底部 22b の深さ D22 と略同等かそれよりも大きいことが好ましい。ドレインコンタクト領域 23 から第 2 ドレイン領域 22 に亘る横方向の不純物濃度の勾配を緩やかにして、バイポーラ動作を抑制することができる。さらに、 $L3/L4$  がほぼ 1/1 であることがより好ましい。ドレイン耐圧の向上とオン抵抗の低減を高度に両立できる。

10

【0059】

本実施の形態によれば、LDMOS 型トランジスタの場合も第 2 ドレイン領域 22 を上述したように設けることで、第 1 の実施の形態の半導体装置と同様に動作時のドレイン耐圧を向上することができる。

【0060】

20

(第 3 の実施の形態)

図 10 は、本発明の第 3 の実施の形態に係る半導体装置の断面図である。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0061】

図 10 を参照するに、第 3 の実施の形態に係る半導体装置 50 は、オフセット型の n チャネル MOS トランジスタ 10 と、npn 形バイポーラトランジスタ 60 と、n チャネル MOS トランジスタ 70 および p チャネル MOS トランジスタ 80 等から構成される。

【0062】

npn 形バイポーラトランジスタ 60 は、シリコン基板 11 に素子分離領域 12 に画成された素子領域に設けられた、ベース、エミッタ、およびコレクタから構成される。

30

【0063】

エミッタは、シリコン基板に設けられた n 型のウェル領域 61 と、ウェル領域 61 内のシリコン基板 11 の表層に設けられた p 型のベース領域 63 内に形成された n 型のエミッタ領域 62 と、シリコン酸化膜 65 に形成されたコンタクトホールを介してエミッタ領域 62 と接続されたエミッタ電極 67 からなる。

【0064】

ベースは、p 型のベース領域 63 と、シリコン酸化膜 65 に形成されたコンタクトホールを介してベース領域 63 と接続されたベース電極 68 からなる。

【0065】

コレクタは、n 型のウェル領域 61 内に設けられ、エミッタとフィールド酸化膜 66 を挟んで離隔された n 型のコレクタ領域 64 と、シリコン酸化膜 65 に形成されたコンタクトホールを介してコレクタ領域 64 と接続されたコレクタ電極 69 からなる。コレクタ領域 64 は n 型のウェル領域 61 を介して p 型のエミッタ領域 63 と接合を形成している。

40

【0066】

n チャネル MOS トランジスタ 70 は、シリコン基板 11 に素子分離領域 12 に画成された素子領域に設けられた p 型のウェル領域 13 と、p 型のウェル領域 13 内に形成された n 型のソース領域 71 およびドレイン領域 72 と、ソース領域 71 とドレイン領域 72 との間のシリコン基板 11 の表面に形成されたゲート酸化膜としてのシリコン酸化膜 73 およびゲート電極 74 とから構成され、ソース領域 71、ドレイン領域 72 にはシリコン酸化膜 73 に形成されたコンタクトホールを介して各々ソース電極 75、ドレイン電極 7

50

6が接続されている。

【0067】

pチャネルMOSトランジスタ80は、シリコン基板11に素子分離領域12に画成された素子領域に設けられたn型のウェル領域61と、n型のウェル領域61内に形成されたp型のソース領域81およびドレイン領域82と、ソース領域81とドレイン領域82との間のシリコン基板の表面に形成されたゲート酸化膜としてのシリコン酸化膜83およびゲート電極84とから構成され、ソース領域81、ドレイン領域82にはシリコン酸化膜83に形成されたコンタクトホールを介して各々ソース電極85、ドレイン電極86が接続されている。

【0068】

オフセット型のnチャネルMOSトランジスタ10は、第1の実施の形態の半導体装置と同様の構成からなる。

【0069】

npn形バイポーラトランジスタ60、例えば制御回路用の低耐圧のnチャネルMOSトランジスタ70およびpチャネルMOSトランジスタ80は公知の方法で形成され、例えば第1の実施の形態に係る半導体装置とほぼ同様の製造方法により形成する。npn形バイポーラトランジスタ60のn型のウェル領域61と、pチャネルMOSトランジスタ80のn型のウェル領域61とは同時にイオン打ち込み法により形成でき、また、オフセット型のnチャネルMOSトランジスタ10のp型のウェル領域13と、nチャネルMOSトランジスタ70のp型のウェル領域13とは、同時にイオン打ち込み法により形成できる。また、オフセット型のnチャネルMOSトランジスタ10の第2ドレイン領域22は、npn形バイポーラトランジスタ60のエミッタ領域62、nチャネルMOSトランジスタ70のソース領域71およびドレイン領域72と同時にイオン打ち込み法により形成できる。このように、不純物の注入を、種類の異なるトランジスタについて同時に行うことで、種類の異なるトランジスタが混載された半導体装置の製造工程の簡略化を図ることができる。

【0070】

本実施の形態の半導体装置は、オフセット型のnチャネルMOSトランジスタ10に主な特徴がある。nチャネルMOSトランジスタ10は第1の実施の形態において説明したように、ドレインコンタクト領域23の下側にドレインコンタクト領域23よりも不純物濃度が低濃度でかつ第1ドレイン領域よりも高濃度の第2ドレイン領域を設けることにより、動作時のドレイン耐圧を向上することができる。

【0071】

なお、オフセット型のnチャネルMOSトランジスタ10のかわりに第2の実施の形態のLDMOS型トランジスタを設けてもよい。

【0072】

以上本発明の好ましい実施の形態について詳述したが、本発明は係る特定の実施の形態に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内において、種々の変形・変更が可能である。

【0073】

なお、以上の説明に関して更に以下の付記を開示する。

(付記1) 第1の導電型の半導体基板と、

前記半導体基板の表面にゲート絶縁膜を介して設けられたゲート電極と、

前記ゲート電極の一端の近傍に設けられた前記第1の導電型とは反対導電型の第2の導電型の第1のドレイン領域と、

前記第1のドレイン領域内に設けられ、第1のドレイン領域の不純物濃度よりも高濃度の第2の導電型のドレインコンタクト領域と、

前記ドレインコンタクト領域の周囲および下側に設けられた第2の導電型の第2のドレイン領域とを備え、

前記第2のドレイン領域は、

10

20

30

40

50

不純物濃度がドレインコンタクト領域よりも低濃度であり、かつ第1のドレイン領域よりも高濃度であり、

ゲート電極側の端部がゲート電極の前記一端から所定の距離を離間して設けられてなることを特徴とする半導体装置。

(付記2) 前記第2のドレイン領域は、底部が第1のドレイン領域の底部よりも深く設けられてなることを特徴とする付記1記載の半導体装置。

(付記3) 第1の導電型の半導体基板と、

前記半導体基板の表面にゲート絶縁膜を介して設けられたゲート電極と、

前記ゲート電極の一端の近傍に設けられた前記第1の導電型とは反対導電型の第2の導電型の第1のドレイン領域と、

前記第1のドレイン領域内に設けられ、第1のドレイン領域の不純物濃度よりも高濃度の第2の導電型のドレインコンタクト領域と、

前記ドレインコンタクト領域の周囲および下側に設けられた第2の導電型の第2のドレイン領域とを備え、

前記第2のドレイン領域は、

不純物濃度がドレインコンタクト領域よりも低濃度であり、かつ第1のドレイン領域と略同等であり、

底部が前記第1のドレイン領域の底部よりも深く、

ゲート電極側の端部がゲート電極の前記一端から所定の距離を離間して設けられてなることを特徴とする半導体装置。

(付記4) 第2のドレイン領域は、不純物がドレインコンタクト領域の不純物と同等かあるいは該ドレインコンタクト領域の不純物よりも拡散係数が大きい不純物からなることを特徴とする付記1~3のうち、いずれか一項記載の半導体装置。

(付記5) 当該半導体装置はnチャネルMOSトランジスタであり、

前記第1のドレイン領域および第2のドレイン領域の不純物はPまたはAsからなり、

前記ドレインコンタクト領域の不純物がAsからなることを特徴とする付記1~4のうち、いずれか一項記載の半導体装置。

(付記6) 前記所定の距離は、 $0.5\mu\text{m} \sim 5\mu\text{m}$ の範囲に設定されてなることを特徴とする付記1~5のうち、いずれか一項記載の半導体装置。

(付記7) 前記第2のドレイン領域のゲート電極側の端部と、ドレインコンタクト領域ゲート電極側の端部との距離は、第2のドレイン領域の底部の深さと略同等かそれよりも大きいことを特徴とする付記1~6のうち、いずれか一項記載の半導体装置。

(付記8) 前記第2のドレイン領域は、前記第1のドレイン領域よりもゲート幅方向に延在して形成されてなることを特徴とする付記1~7のうち、いずれか一項記載の半導体装置。

(付記9) 前記ゲート電極のゲート長方向の長さが $0.6\mu\text{m} \sim 5.0\mu\text{m}$ の範囲に設定されることを特徴とする付記1~8のうち、いずれか一項記載の半導体装置。

(付記10) 第1の導電型の半導体基板と、

前記半導体基板の表面にゲート絶縁膜および該ゲート絶縁膜に連続して設けられたフィールド酸化膜と、

前記ゲート絶縁膜およびフィールド酸化膜上に延在して設けられたゲート電極と、

前記ゲート電極のゲート絶縁膜とフィールド酸化膜との境界部の近傍に設けられた前記第1の導電型とは反対導電型の第2の導電型の第1のドレイン領域と、

前記第1のドレイン領域内に設けられ、第1のドレイン領域の不純物濃度よりも高濃度の第2の導電型のドレインコンタクト領域と、

前記ドレインコンタクト領域の周囲および下側に設けられた第2の導電型の第2のドレイン領域とを備え、

前記第2のドレイン領域は、

不純物濃度がドレインコンタクト領域よりも低濃度であり、かつ第1のドレイン領域よりも高濃度であり、

10

20

30

40

50

ゲート電極側の端部がゲート電極の前記境界部から所定の距離を離間して設けられてなることを特徴とする半導体装置。

(付記 1 1) 前記所定の距離は  $0.5 \mu\text{m} \sim 5 \mu\text{m}$  の範囲に設定されてなることを特徴とする付記 1 0 記載の半導体装置。

(付記 1 2) 付記 1 ~ 1 1 のうち、いずれか一項記載の半導体装置と、  
バイポーラトランジスタとを備える半導体装置。

(付記 1 3) 第 1 の導電型の半導体基板の上にゲート絶縁膜およびゲート電極を形成する工程と、

前記ゲート電極の一端の近傍の半導体基板に前記第 1 の導電型とは反対導電型の第 2 の導電型の第 1 の不純物を第 1 の注入量で注入し第 1 のドレイン領域を形成する工程と、

前記第 1 のドレイン領域の略内側に第 2 の導電型の第 2 の不純物を第 1 の注入量よりも多い第 2 の注入量を注入して第 2 のドレイン領域を形成する工程と、

前記第 2 のドレイン領域の内側に第 2 の導電型の第 3 の不純物を第 2 の注入量よりも多い第 3 の注入量を注入してドレインコンタクト領域を形成する工程とを含み、

前記第 2 のドレイン領域を形成する工程は、前記ゲート電極の前記一端から所定の距離を離間して第 2 の不純物を注入することを特徴とする半導体装置の製造方法。

(付記 1 4) 前記第 2 のドレイン領域を形成する工程は、前記第 1 の不純物を注入する際の注入エネルギーよりも大きな注入エネルギーで第 2 の不純物を注入することを特徴とする付記 1 3 記載の半導体装置の製造方法。

(付記 1 5) 第 1 の導電型の半導体基板の上にゲート絶縁膜およびゲート電極を形成する工程と、

前記ゲート電極の一端の近傍の半導体基板に前記第 1 の導電型とは反対導電型の第 2 の導電型の第 1 の不純物を第 1 の注入量で注入し第 1 のドレイン領域を形成する工程と、

前記第 1 のドレイン領域の略内側に第 2 の導電型の第 2 の不純物を第 1 の注入量と略同量で、かつ前記第 1 の不純物を注入する際の注入エネルギーよりも大きな注入エネルギーで注入して第 2 のドレイン領域を形成する工程と、

前記第 2 のドレイン領域の内側に第 2 の導電型の第 3 の不純物を第 2 の注入量よりも多い第 3 の注入量を注入してドレインコンタクト領域を形成する工程とを含み、

前記第 2 のドレイン領域を形成する工程は、前記ゲート電極の前記一端から所定の距離を離間して第 2 の不純物を注入することを特徴とする半導体装置の製造方法。

(付記 1 6) 前記第 1 の不純物と第 2 の不純物は、同一の不純物であり、前記第 3 の不純物よりも前記半導体基板中の拡散係数が大きいことを特徴とする付記 1 3 ~ 1 5 のうち、いずれか一項記載の半導体装置の製造方法。

#### 【図面の簡単な説明】

#### 【0074】

【図 1】従来の半導体装置の断面図である。

【図 2】本発明の第 1 の実施の形態に係る半導体装置の断面図である。

【図 3】第 1 の実施の形態に係る半導体装置の平面図である。

【図 4】ドレインコンタクト領域とその下方の不純物濃度分布の一例を示す図である。

【図 5】(A) および (B) はドレイン電流とドレイン電圧との関係を示す図である。

【図 6】第 1 の実施の形態に係る半導体装置の他の例の平面図である。

【図 7】(A) ~ (C) は第 1 の実施の形態に係る半導体装置の製造工程図 (その 1) である。

【図 8】(A) および (B) は第 1 の実施の形態に係る半導体装置の製造工程図 (その 2) である。

【図 9】本発明の第 2 の実施の形態に係る半導体装置の断面図である。

【図 10】本発明の第 3 の実施の形態に係る半導体装置の断面図である。

#### 【符号の説明】

#### 【0075】

10、40、50 半導体装置

10

20

30

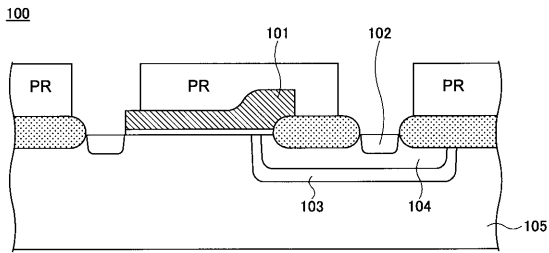
40

50

- 1 1 シリコン基板
- 1 2 素子分離領域
- 1 3 p型ウェル領域
- 1 4 シリコン酸化膜
- 1 5 ゲート電極
- 1 6 ソース領域
- 1 8、2 4 コンタクト
- 2 0 ドレイン領域
- 2 1 第1ドレイン領域
- 2 2 第2ドレイン領域
- 2 3 ドレインコンタクト領域
- 3 1、3 2、3 3 レジスト膜
- 6 0 npn形バイポーラトランジスタ
- 7 0 nチャンネルMOSトランジスタ
- 8 0 pチャンネルMOSトランジスタ

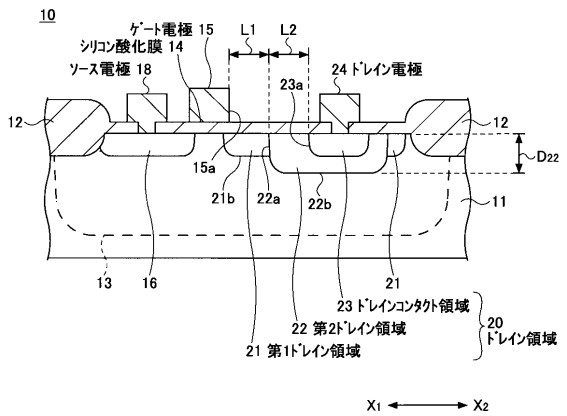
【図1】

従来の半導体装置の断面図



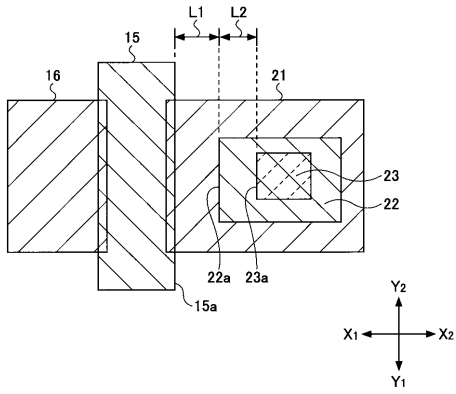
【図2】

本発明の第1の実施の形態に係る半導体装置の断面図



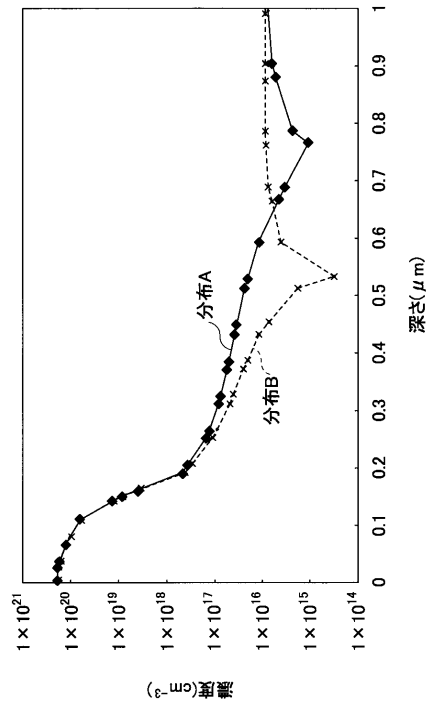
【 図 3 】

第1の実施の形態に係る半導体装置の平面図



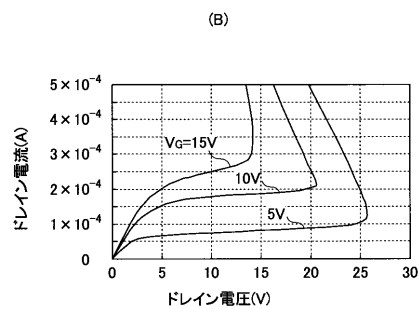
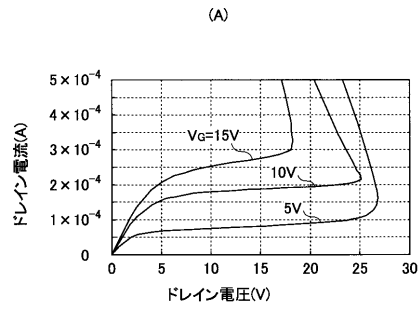
【 図 4 】

ドレインコンタクト領域とその下方の不純物濃度分布の一例を示す図



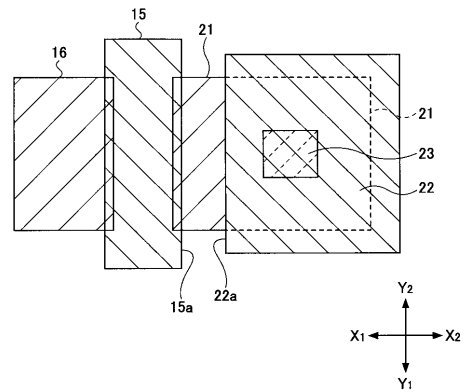
【 図 5 】

(A)および(B)はドレイン電流とドレイン電圧との関係を示す図



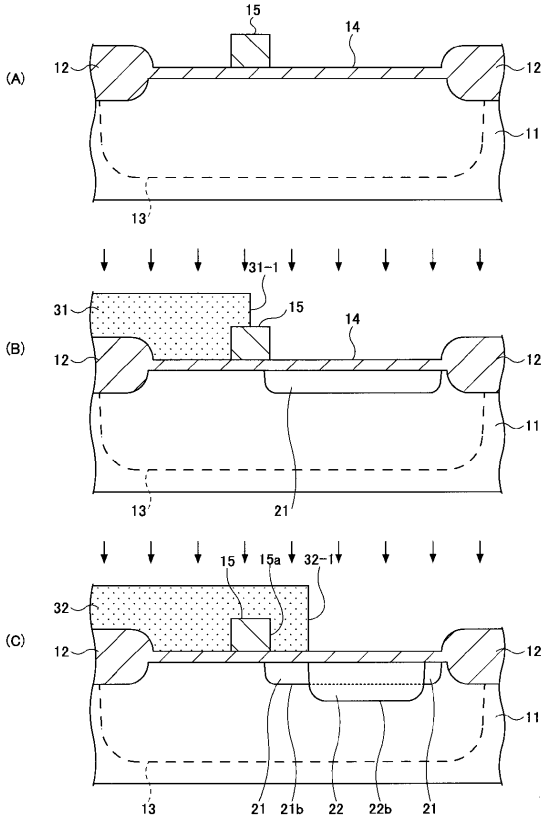
【 図 6 】

第1の実施の形態に係る半導体装置の他の例の平面図



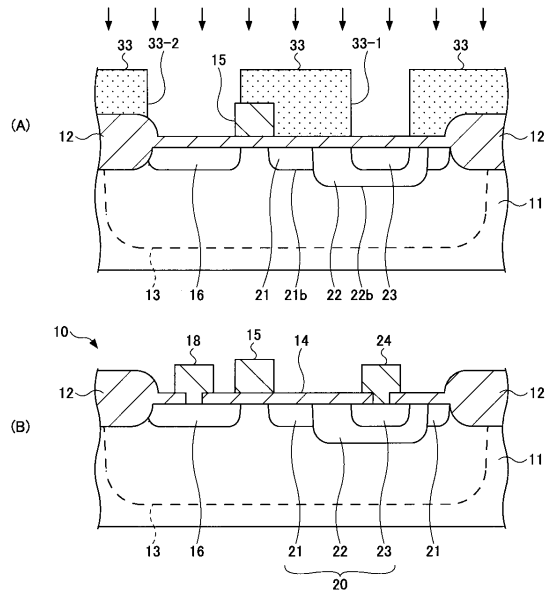
【図7】

(A)～(C)は第1の実施の形態に係る半導体装置の製造工程図(その1)



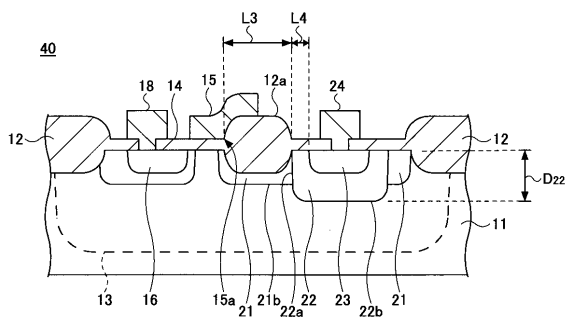
【図8】

(A)および(B)は第1の実施の形態に係る半導体装置の製造工程図(その2)



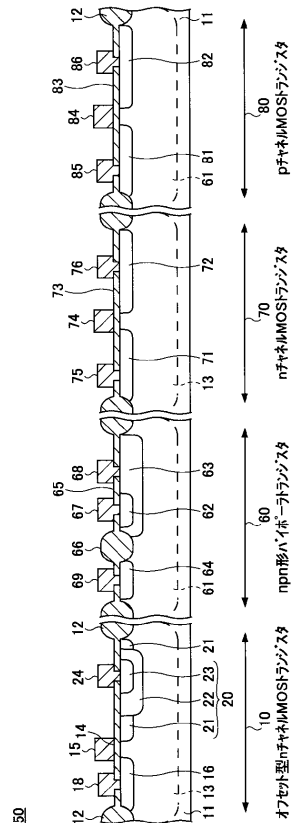
【図9】

本発明の第2の実施の形態に係る半導体装置の断面図



【図10】

本発明の第3の実施の形態に係る半導体装置の断面図





---

フロントページの続き

- (56)参考文献 特開2002-314077(JP,A)  
特開平10-041501(JP,A)  
特開平08-172191(JP,A)  
特開平03-220774(JP,A)  
特開平08-293599(JP,A)  
特開平08-236754(JP,A)  
特開2001-102586(JP,A)  
特開2004-165697(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 21/8249  
H01L 27/06  
H01L 29/78