

# [12] 发明专利说明书

[21] ZL 专利号 94103081.4

[45] 授权公告日 2002 年 2 月 6 日

[11] 授权公告号 CN 1078960C

[22] 申请日 1994.3.31 [24] 颁证日 2002.2.6

[21] 申请号 94103081.4

[30] 优先权

[32] 1993.3.31 [33] JP [31] 074797/93

[32] 1994.2.1 [33] JP [31] 010209/94

[73] 专利权人 东芝株式会社

地址 日本神奈川县

[72] 发明人 宫本顺一 伊藤宁夫 岩田佳久

[56] 参考文献

EP0031643 1981.7.8 G11C17/00

审查员 王晓光

[74] 专利代理机构 上海专利商标事务所

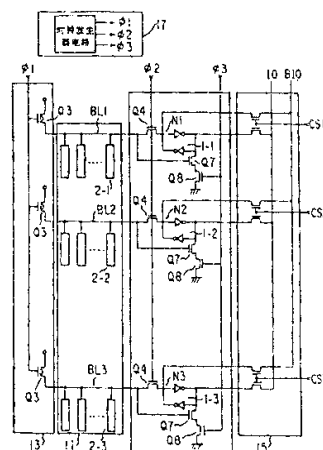
代理人 竹民

权利要求书 7 页 说明书 27 页 附图页数 37 页

[54] 发明名称 非易失性半导体存储装置

[57] 摘要

对触发电路施加强制反转装置,以免受位线间干扰的影响且不增大消耗功率的方式。实现位线验证。本发明的非易失性半导体存储装置,其特征在于包括:以第 1/第 2 状态保持写入数据的触发电路 1;与触发电路连接着的位线 BL;对位线 BL 充电的晶体管 Q3;以及阈值取在第 1/第 2 范围以存储信息的存储单元 2。还有,具备强制反转手段,在接着写入动作进行验证动作时,与存储单元 2 的存储数据相对应地将触发电路的一端与规定的电位连接起来,强制性地设定保持数据。



ISSN 1008-4274

# 权 利 要 求 书

---

1. 一种非易失性半导体存储装置, 包括:

以第 1 状态及第 2 状态保持写入数据的触发电路,  
连接该触发电路的位线, 以及

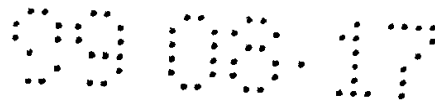
包括与上述位线相连, 通过将其阈值取在第 1 范围及第 2 范围内从而存储信息的晶体管的非易失性存储单元, 在写入动作中, 当上述双稳电路保持上述第 1 状态时, 使上述阈值从上述第 1 范围朝第 2 范围方向变化, 当上述双稳电路保持上述第 2 状态时, 上述阈值的变化受到抑制, 在写入动作之后所进行的验证动作中, 当上述阈值处于第 2 范围内时, 使上述位线处于第 1 电位,

其特征在于, 还包括:

强行翻转装置, 在上述验证动作中, 当上述位线处于上述第 1 电位时, 通过将上述双稳电路的一端接至规定电位, 使该双稳电路进入上述第 2 状态, 而不管其在验证之前保持何种状态。

2. 如权利要求 1 所述的非易失性半导体存储装置, 其特征在于, 上述位线与上述触发电路之间接有开关元件, 在验证动作中, 该开关元件关断, 将上述位线与上述触发电路从电气上断开。

3. 如权利要求 2 所述的非易失性半导体存储装置, 其特征在于, 上述触发电路与 CMOS 倒相器反向并联, 上述强行翻转装置是 MOS 晶体管, 其源、漏极接于上述触发电路和上述规定电位之间, 其栅极连接上述位线。



4. 如权利要求 3 所述的非易失性半导体存储装置, 其特征在于, 上述 MOS 晶体管的电导  $gm_N$  与用于对上述触发电路的上述端子充电或使其放电的 MOS 晶体管的电导  $gm_P$  有以下关系

$$gm_N/gm_P > 1.8 .$$

5. 如权利要求 2 所述的非易失性半导体存储装置, 其特征在于, 上述触发电路反向并联 COMS 倒相器, 上述强行翻转装置包括串联在上述触发电路与上述规定电位之间的第 1 及第 2 MOS 晶体管, 上述第 1 MOS 晶体管的栅极连接上述位线, 控制信号输入上述第 2 MOS 晶体管的栅极, 在上述验证动作中, 上述第 2 MOS 晶体管导通.

6. 如权利要求 5 所述的非易失性半导体存储装置, 其特征在于, 上述第 1 及第 2 MOS 晶体管的等价电导  $gm_N$  与用于对上述触发电路的上述端子充电或使其放电的 MOS 晶体管的电导  $gm_P$  的关系为:

$$gm_N/gm_P > 1.8 .$$

7. 如权利要求 5 所述的非易失性半导体存储装置, 其特征在于, 上述第 1 MOS 晶体管连接上述触发电路, 上述第 2 MOS 晶体管连接上述规定电位.

8. 如权利要求 5 所述的非易失性半导体存储装置, 其特征在于, 上述第 2 MOS 晶体管连接上述触发电路, 上述第 1 MOS 晶体管连接上述规定电位.

9. 如权利要求 1 所述的非易失性半导体存储装置, 其特征在于, 上述非易失性存储单元在写入动作中利用 FN 隧道电流。

10. 如权利要求 9 所述的非易失性半导体存储装置, 其特征在于, 上述非易失性存储单元包括: 多个具有浮栅的 MOS 晶体管; 处于这些 MOS 晶体管与上述位线之间的选择晶体管。

11. 一种非易失性半导体存储装置, 包括:

以第 1 状态及第 2 状态保持数据的触发电路,

在复位动作中, 通过将该触发电路的一端连接第 1 规定电位, 从而使该触发电路保持上述第 1 状态的复位装置,

连接上述触发电路的位线, 以及

包括与上述位线相连, 通过将其阈值取在第 1 范围及第 2 范围内从而存储信息的晶体管的非易失性存储单元, 在上述复位动作之后所进行的读出动作中, 当上述阈值处于第 2 范围时, 使上述位线处于第 1 电位,

其特征在于, 还包括:

强行翻转装置, 在上述读出动作中, 当上述位于处于上述第 1 电位时, 通过将上述触发电路的一端与第 2 规定电位相连, 从而使该触发电路保持上述第 2 状态。

12. 如权利要求 11 所述的非易失性半导体存储装置, 其特征在于, 在上述位线与触发电路之间连接开关元件, 在读出动作中, 该开关元件关断, 将上述位线与上述触发电路从电气上断开。

13. 如权利要求 12 所述的非易失性半导体存储装置,其特征  
在于,上述触发电路反向并联 CMOS 倒相器,上述强行翻转装置是  
MOS 晶体管,其源极、漏极连接在上述触发电路与上述规定电位之  
间,其栅极连接上述位线。

14. 如权利要求 13 所述的非易失性半导体存储装置,其特征  
在于,上述 MOS 晶体管的电导  $gm_N$  与用于对上述触发电路的上  
述端子充电或使其放电的 MOS 晶体管的电导  $gm_P$  关系为:

$$gm_N/gm_P < 1.8 .$$

15. 如权利要求 12 所述的非易失性半导体存储装置,其特征  
在于,上述触发电路反向并联 CMOS 倒相器,上述强行翻转装置包  
括串联在上述触发电路与上述规定电位之间的第 1 及第 2 MOS 晶  
体管,上述第 1 MOS 晶体管的栅极连接上述位线,上述第 2 MOS  
晶体管的栅极输入控制信号,在上述验证动作中,上述第 2 MOS  
晶体管导通。

16. 如权利要求 15 所述的非易失性半导体存储装置,其特征  
在于,上述第 1 及第 2 MOS 晶体管的等价电导与用于对上述触发  
电路的上述端子充电或使其放电的 MOS 晶体管的电导  $gm_P$  关系  
为:

$$gm_N/gm_P < 1.8 .$$

17. 如权利要求 15 所述的非易失性半导体存储装置,其特征

在于，上述第 1 MOS 晶体管连接上述触发电路，上述第 2 MOS 晶体管连接上述规定电位。

18. 如权利要求 15 所述的非易失性半导体存储装置，其特征在于，上述第 2 MOS 晶体管连接上述触发电路，上述第 1 MOS 晶体管连接上述规定电位。

19. 如权利要求 11 所述的非易失性半导体存储装置，其特征在于，上述非易失性存储单元在写入动作中采用 FN 隧道电流。

20. 如权利要求 19 所述的非易失性半导体存储装置，其特征在于，上述非易失性存储单元包括：多个具有浮栅的 MOS 晶体管；处于这些 MOS 晶体管和上述位线之间的选择晶体管。

21. 一种非易失性半导体存储装置，包括：

以第 1 及第 2 状态保持数据的触发电路，

在复位动作中，通过将触发电路的一端与第 1 规定电位连接，而使该触发电路保持上述第 1 状态的复位装置，

连接上述触发电路的位线，以及

包括与上述位线相连，依靠其阈值取在第 1 及第 2 范围内而存储信息的晶体管的非易失性存储单元，在写入动作中，当上述触发电路保持上述第 1 状态时，使上述阈值从上述第 1 范围朝上述第 2 范围变化，当上述触发电路保持上述第 2 状态时，上述阈值的变化受到抑制，在写入动作后所进行的验证动作中，以及在上述复位动作后所进行的读出动作中，当上述阈值处于第 2 范围内时，使

上述位线处于第 1 电位,

其特征在于,还包括:

强行翻转装置,在上述验证动作及上述读出动作中,当上述位线处于上述第 1 电位时,通过将上述触发电路的一端与规定电位相连,使该触发电路保持上述第 2 状态,而不管该触发电路在此之前保持何种状态.

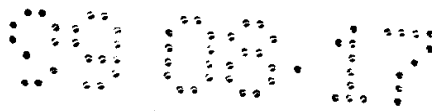
22. 如权利要求 21 所述的非易失性半导体存储装置,其特征在于,在上述位线与上述触发电路之间连接开关元件,在读出动作中,该开关元件关断,将上述位线与上述触发电路从电气上断开.

23. 如权利要求 22 所述的非易失性半导体存储装置,其特征在于,上述触发电路反向并联 CMOS 倒相器,上述强行翻转装置是 MOS 晶体管,其源、漏极连接在上述触发电路与上述规定电位之间,其栅极连接上述位线.

24. 如权利要求 14 所述的非易失性半导体存储装置,其特征在于,上述 MOS 晶体管的电导  $gm_N$  与用于对上述触发电路的上述端子充电或使其放电的 MOS 晶体管的电导  $gm_P$  关系为:

$$gm_N/gm_P < 1.8 .$$

25. 如权利要求 22 所述的非易失性半导体存储装置,其特征在于,上述触发电路反向并联 CMOS 倒相器,上述强行翻转装置包括串联在上述触发电路与上述规定电位之间的第 1 及第 2 MOS 晶体管,上述第 1 MOS 晶体管的栅极连接上述位线,上述第 2 MOS



晶体管的栅极输入控制信号，在上述验证动作中，上述第 2 MOS 晶体管导通。

26. 如权利要求 25 所述的非易失性半导体存储装置，其特征在于，上述第 1 及第 2 MOS 晶体管的等价电导  $gm_N$  与用于对上述触发电路的上述端子充电或使其放电的 MOS 晶体管的电导  $gm_P$  关系为：

$$gm_N/gm_P < 1.8 .$$

27. 如权利要求 25 所述的非易失性半导体存储装置，其特征在于，上述第 1 MOS 晶体管连接上述触发电路，上述第 2 MOS 晶体管连接上述规定电位。

28. 如权利要求 25 所述的非易失性半导体存储装置，其特征在于，上述第 2 MOS 晶体管连接上述触发电路，上述第 1 MOS 晶体管连接上述规定电位。

29. 如权利要求 21 所述的非易失性半导体存储装置，其特征在于，上述非易失性存储单元在写入动作中采用 FN 隧道电流。

30. 如权利要求 29 所述的非易失性半导体存储装置，其特征在于，上述非易失性存储单元包括：多个具有浮栅的 MOS 晶体管；处于这些 MOS 晶体管和上述位线之间的选择晶体管。



# 说明书

---

## 非易失性半导体存储装置

本发明涉及非易失性半导体存储装置，特别涉及用于写入动作和读出动作的读出放大器。

由于非易失性半导体存储装置具有掉电后仍不丢失数据的优点，近年来需求量大大增加。闪烁存储器，作为可电学清除的非易失性半导体存储装置，与双晶体管型字节式非易失性半导体存储装置不同，可以用晶体管构成存储单元。其结果是可使存储单元缩小，可望取代大容量磁盘等用途。

这些非易失性半导体存储装置是将具有浮栅的 MOS 晶体管所形成的存储单元排成矩阵，构成存储单元阵列，通过让浮栅积蓄电荷使 MOS 晶体管的阈值发生变化，利用这种阈值的变化存储信息。由于是利用让电流流过绝缘膜进行信息的写入和清除，因此写入时间随工艺过程和使用条件等的变动而发生较大变化。这是与 DRAM 或 SRAM 大不一样的地方。其结果是即使在同一块芯片中既有写入快的单元也有写入慢的单元。

下面为了详细阐述这些问题，以 NAND 型闪烁存储器的存储器为例说明现有的非易失性半导体存储装置。

图 29(a) 的电路图表示 NAND 型闪烁存储器的存储单元结构。即具有浮栅的 MOS 晶体管所构成的非易失性存储单元 M1—M16 串联着，其一端通过选择晶体管 Q1 与位线 BL 相连，另一端通过选择晶体管 Q2 与公共源线相连。各晶体管在同一阱 W 上形成。各个存储单元 M1—M16 的控制电极分别与字线 WL1—WL16 连接着，选择晶体管 Q1 的控制电极与选择线 SL1，选择晶体管 Q2 的控制电

极与选择线 SL2 连接着。

各个存储单元 M1—M16 分别具有与其所保持的数据相对应的阈值。保持“0”数据时，阈值设定在 0 伏以上 5 伏以下；保持“1”数据时，设定在 0 伏以下（更恰当地说，为了使其具有某种程度的余量，设定在比这更小的范围）。

图 29(b) 是表示上述存储单元阈值的个数分布的阈值分布图。就 NAND 型闪烁存储器而言，通常把“1”数据的保持状态称之为“清除状态”，而把“0”数据的保持状态称之为“写入状态”。把保持着“1”数据的存储单元的阈值向正方向移动，使之成为保持“0”数据的过程称之为“写入动作”，而把保持着“0”数据的存储单元的阈值 ( $V_{th}$ ) 向负方向移动，使之成为保持“1”数据的过程称之为“清除动作”。后面会提到，对 NOR 型而言，有时定义往往不同。

图 30 表示在读出、清除和写入动作时对存储单元所加的电压。读出动作时，首先把位线 BL 预先充电到 5 伏，使之成为浮动状态，然后对选择线 SL1 加 5 伏，对选择存储单元的字线 WL 加 0V，对非选择存储单元的字线 WL 加 5V，对选择线 SL2 加 5 伏，对阱 W 加 0V，对公共源线 S 加 0 伏电压。于是除选择存储单元以外的所有的晶体管（包括非选择存储单元）都将导通。选择存储单元保持“0”时，处于非导通状态，位线的电位保持 5 伏不变；但保持“1”时，却因变为导通状态，使位线放电、电位下降。数据的读出是通过检测读出时的位线电位而进行的。

图 31 分别是清除和写入动作时的阈值的分布图。首先在清除动作时，位线 BL 断开，对选择线 SL1 加上 0 伏，对存储单元的字线 WL 加上 0 伏，对选择线 SL2 加上 0 伏，对阱 W 加上 18 伏，对公共源线 S 加上 18 伏电压。于是在浮栅和阱之间有隧道电流通过栅极绝缘线膜流过，阈值达到 0 伏以上。图 31(a) 表示这种阈值分布的移动。

在写入动作时，根据写入数据加上不同的电压。就是说，写入“0”时（使阈值移动时），对位线 BL 加上 0 伏，写入“1”时（不使阈值移动时），对位线 BL 加上 9 伏电压。此外，对选择线 SL1 加上 11 伏，对选择存储单元的字线 WL 加上 18 伏，对非选择存储单元的字线 WL 加上 9 伏，对选择线 SL2 加上 0 伏，对阱 W 加上 0 伏，对公共源线 S 加上 0 伏电压。其结果是从选择晶体管 Q1 到存储单元 M16 的所有的晶体管都导通，与位线处于同电位（晶体管阈值的下降不计）。

因此，位线 BL 上加有 0 伏电压的存储单元在沟道和控制电极之间加有 18 伏的高电压、有隧道电流流过，阈值向正方向移动。而位线 BL 上加有 9 伏电压的存储单元在沟道和控制电极之间仅加有 9 伏电压，所以阈值的正向移动被抑制。这个 9 伏电压称之为封写电压。图 31 (b-1)、(b-2) 表示这些阈值分布的移动。

可是如开头所述，非易失性半导体存储装置是利用隧道电流这种纯物理装置进行写入的，因此写入速度随各个存储单元而有差异。故而即使写入时间相同，有的存储单元的阈值处在 0—5 伏之间，有的存储单元的阈值则可能完全超过 5 伏。图 32(a) 表示了这种情况。

就是说，写入慢的单元在  $t_1$  时刻被写入了“0”，而写入快的单元则已经超过了“0”单元阈值的上限 5 伏。如上所述，NAND 型闪烁存储器在读出时，对非选择存储单元的字线加上 5 伏电压而处于导通状态，但一旦某存储单元的阈值超过了 5 伏，那么与该存储单元串联着的剩余的所有存储单元的数据都将不能读出。这是因为串联的电流通道被完全切断了。

因此有必要使阈值的分布收敛于某一定值。为了充分确保读出余量，期望阈值的分布能收敛于更小的范围内。

考虑的办法是按位验证。就是说不象如上所述那样，把所有的

存储单元的写入时间都定为一样，而使之随各个存储单元而设定不同的时间。其原理是将写入划分为短的时间区间，反复进行写入→验证→再写入数据的设定→写入→验证→再写入数据的设定……。根据验证动作设定再写入数据以使得从下一个周期起对阈值上升到相当高的不进行写入动作。

这样一来，写入快的单元很快就结束了写入动作，其后的阈值就不再上升（这里对 9 伏的电位差所引起的阈值上升忽略不计）。图 32 (b) 表示了这种情况。对写入快的单元的写入动作在  $t_1$  时刻结束，而对写入慢的单元的写入动作则在  $t_2$  时刻结束。阈值收敛在约 3.5 伏附近。

实现这种按位验证的最简单的方法是采用 CPU 和软件之类的利用外部系统的方法。然而，从 NAND 型闪烁存储器可见，对于同时要写入几千位那样的存储器，每次验证都要利用高达 8 位的输入/输出接口来输入/输出几千位的数据是不现实的。此外，外部还需要几千位的寄存器和比较器。因此在芯片内进行验证和再写入数据的设定可以说是最适当的。

这样，在芯片内部实现按位验证的原始方法是只要按所有位线的根数（几千根）来设置用以锁定写入数据的“触发电路”和用以锁定读出数据的触发电路以及将这两个数据进行比较的比较器就行了。但这是不现实的。

图 33 是在芯片内部实现按位验证的简化了的电路图。包括：用以暂时保持写入数据的触发电路 1（图中  $1_x$ ；X 为 1—3），位线 BL（图中  $BL_x$ ；X 为 1—3），与位线 BL 相连接的，为图 29 所说明的 NAND 型存储单元 2（图中  $2-X$ ；X 为 1—3），用以对位线 BL 充电的 P 沟道晶体管 Q3，用以连接位线 BL 和触发电路 1 的晶体管 Q4，以及串联在 5 伏电源电位和位线之间的晶体管 Q5 和 Q6。晶体管 Q5 的门与触发电路 1 的一端（位线侧）连接着。

为简单起见，图 33 只画了 3 根位线，实际上设有几千根。所有的晶体管 Q3 的栅极都接有信号线  $\varphi_1$ ，所有的晶体管 Q6 的栅极都接有信号线  $\varphi_2$ ，Q4 的栅极接着信号线  $\varphi_3$ 。晶体管 Q3 的源极在写入动作时与 9 伏电源相连，非写入动作时则与 5 伏电源相接。触发电路的电源也一样，在写入动作时是 9 伏，非写入动作时是 5 伏。

关于图 33 的电路的工作原理，参照图 34 所示的写入时的工作波形图予以说明。在此，设想向存储单元 2—1 写入“0”，向存储单元 2—2 写入“0”，向存储单元 2—3 写入“1”的情形，并假定存储单元 2—2 比存储单元 2—1 更难写入。

一开始是通过未予图示的列选通器(column gate)从外部由触发电路 1 分别锁住写入数据。即，触发电路 1—1 的位线侧的节点 N1 设定为 0 伏，触发电路 1—2 的位线侧的节点 N2 设定为 0 伏，触发电路 1—3 的位线侧的节点 N3 设定的为 5 伏。在这种状态下，开始第 1 次写入动作(WRITE-1)。

在  $t_{10}$  时刻， $\varphi_1$  变为 0 伏，晶体管 Q3 导通，位线 BL 被充电至 9 伏。另因触发电路的电源电压要升到 9 伏，故节点 N3 的电位变为 9 伏。

在  $t_{11}$  时刻， $\varphi_1$  上升到 10 伏，位线充电完毕，与此同时， $\varphi_3$  上升到 10 伏，位线电位将按节点 N (图中  $N_x$ ; X 为 1—3) 的电位进行放电。即由于节点 N1 和节点 N2 是 0 伏，位线 BL1 和 BL2 放电到 0 伏，节点 N3 是 9 伏，位线 BL3 就变为 9 伏。该 9 伏电位就作为存储单元 2—3 的封写电压而的发挥作用。在这个条件下，存储单元 2 被加上写入电压。

在  $t_{12}$  时刻，第 1 次写入动作结束，开始进入验证动作和再写入数据的设定动作(VERIFY)。 $\varphi_1$  跌到 0 伏、位线通过晶体管  $\varphi_3$  被充电到 5 伏，与此同时， $\varphi_3$  跌落到 0 伏，因此位线 BL 和触发电路 1 被切断。

在  $t_{13}$  时刻，位线充电结束，存储单元通过浮动状态的位线放电。放电速度因存储单元的阈值而异，如果写入不充分，阈值不上升，位线就放电。在第 1 次写入动作时，存储单元 2—1 和 2—2 都未能进行充分的写入。由于存储单元 2—3 尚未进行写入，必然引起位线放电。

在  $t_{14}$  时刻， $\phi_2$  跳起到 5 伏。于是所有的晶体管 Q6 导通。由于节点 N1 和 N2 是 0 伏，因此与之对应的晶体管 Q5 变为不导通，位线 BL1 和 BL2 将不受任何影响。由于节点 N3 是 5 伏，位线 BL3 通过晶体管 Q5 和 Q6 与 5 伏的电源相连接。其结果是位线 BL3 被充电至 5 伏。我们把这称之为“‘0’写入单元的位线的再充电”。

在  $t_{15}$  时刻， $\phi_3$  跳起到 5 伏，位线和触发电路被连接起来，位线的电位被触发电路锁定。这里被触发电路 1 的节点 N 锁定的电位从上面起分别是 0 伏、0 伏和 5 伏。这种状态与进行写入之前相同。

在  $t_{20}$  时刻，第 2 次写入动作(WRITE-2)开始。就是说，从  $t_{20}$  时刻开始到  $t_{21}$  时刻为止进行位线的 9 伏充电，从  $t_{21}$  时刻开始到  $t_{22}$  时刻为止进行对存储单元的写入。

在  $t_{22}$  时刻，进行第 2 次的验证动作和再写入数据的设定。

即从  $t_{22}$  时刻起到  $t_{23}$  时刻止，位线充电到 5 伏，从  $t_{23}$  时刻起到  $t_{24}$  时刻止，由存储单元 2 使位线放电，从  $t_{24}$  时刻起，开始“0”写入单元的位线的再充电。值得注意的是，位线 BL1 的电位几乎没有从 5 伏下降。这表示存储单元 2—1 的写入已经完毕。

在  $t_{25}$  时刻，进行位线和触发电路的连接，位线的电位被触发电路 1 锁定。被触发电路的节点 N 锁定的电位从上至下分别为 5 伏、0 伏和 5 伏。值得注意的是，节点 N1 的电位从第 1 次的 0 伏变到了 5 伏。

这样，写入完毕的位被依次从 0 伏再设定为 5 伏，这个 5 伏被升压，起 9 伏封写电压的作用，因此，这一位此后不再进行写入。

在  $t_{30}$  时刻, 开始第 3 次写入动作(WRITE-3), 即从  $t_{30}$  时刻起到  $t_{31}$  时刻止, 位线充电到 9 伏, 从  $t_{31}$  时刻起到  $t_{32}$  时刻止, 进行对存储单元的写入。这里值得注意的是, 位线 BL1 已经达到 9 伏。这是与 BL3 相同的封写电压。

在  $t_{32}$  时刻, 进行第 3 次的验证动作和再写入数据的设定。即从  $t_{32}$  时刻起到  $t_{33}$  时刻止, 位线充电到 5 伏, 从  $t_{33}$  时刻起到  $t_{34}$  时刻止, 存储单元 2 使位线放电, 从  $t_{34}$  时刻起开始对“0”写入单元的位线进行再充电。这里值得注意的是, 这一次位线 BL2 的电位几乎没有从 5 伏下跌。这一次, 存储单元 2—2 的写入结束了。

在  $t_{35}$  时刻, 进行位线和触发电路的连接, 位线的电位被触发电路 1 锁定。被触发电路的节点 N 锁定的电位上至下分别为 5 伏, 5 伏和 5 伏。值得注意的是, 节点 N2 的电位从第 2 次的 0 伏变成了 5 伏。至此, 所有 (3 个位) 的写入都结束了。

以上, 假定为理想状态 (相邻的位线之间无干扰的状态) 详细说明了按位验证电路的工作原理。但是, 这个电路有严重的缺点。由于相邻位线之间的干扰, 会在验证时造成误动作。下面对此进行说明。

图 35 是图 34 中从  $t_{12}$  到  $t_{15}$  期间的 BL12 和 BL13 的实际波形。在  $t_{12}$  时刻, 进入验证动作和再写入数据的设定动作。位线 BL2 和 BL3 通过晶体管 Q3 被充电到 5 伏。接着, 在  $t_{13}$  时刻, 位线充电完毕, 存储单元通过浮动状态的位线放电。由于存储单元 2—2 的写入不充分, 阈值未升高, 位线 BL2 将放电。BL3 也就必然放电。

接着, 在  $t_{14}$  时刻, 对“0”写入单元的位线进行再充电。即, 位线 BL3 通过晶体管 Q5 和 Q6 与 5 伏的电源电位相连接。其结果是位线 BL3 被充电到 5 伏。

可是, 位线是贯穿于整个存储单元阵列的两端的, 邻近的位线之间的电容大到不可忽略不计的程度。因此, 就寄生有如图 36 所示

的杂散电容 C1 和 C2。位线 BL3 一旦被再充电，位线 BL2 的电位也就会因电容耦合而升高。在这种状态下，一旦读出位线 BL2，就将无法与写入完成位相区别。其结果是尽管写入并未完成，也会使相应的触发电路的节点 N 变为 5 伏，导致此后不能继续进行写入。

为了弥补这个缺点，正在研究称之为“位线垂流方式”的验证方式。这种方式是在验证动作的整个期间（即从  $t_{12}$  到  $t_{51}$  的期间）内，事先使  $\varphi_2$  电位升高，从而事先使晶体管 Q6 导通。其结果是，使位线 BL3 从一开始就持续保持 5 伏，因而就不会因再充电而出现电位的急剧变化。

这样一来，就消除了因位线间的干扰而引起误动作。可是由于电流持续流过导通的单元（存储单元 2—3），又带来消耗功率增大的问题。而且，电流垂流时的位线的电位是由晶体管 Q5 和 Q6 以及存储单元 2—3 的电阻比决定的，因此并不是持续保持完完全全的 5 伏、而是跌落到 5 伏以下的某一电压。结果是再充电未能避免，而产生与上述电路相同的问题。甚至于还存在源电位也固位的垂流电流而上浮，使读出单元的读出余量变小的问题。

以上说明可见，现有的非易失性半导体存储装置如果要在芯片内部实现使按位验证简化的电路，就会产生因位线间的干扰而造成误动作的问题。为了解决这个问题，虽正在研究位线垂流方式，但又存在诸如消耗功率增大之类的问题。

本发明的目的就在于提供一种既消除了上述缺点，又不受位线间干扰的影响，又不会使消耗功率增大，从而实现了按位验证的非易失性半导体存储装置。

为达到上述目的，本发明提供的非易失性半导体存储装置，由以下部分构成：将写入数据作为第 1 状态和第 2 状态保持的触发电路；与该触发电路连接的位线；对该位线进行充电的充电装置；以及与位线相连，通过使阈值取第 1 范围和第 2 范围来存储信息的



MOS 晶体管。这种非易失性半导体存储装置的特征在于：①拥有非易失性存储单元。当进行写入动作时，在触发电路保持第 1 状态之际，迫使阈值从第 1 范围向第 2 范围的方向移动，而在触发电路保持第 2 状态之际，则抑制阈值的移动；在紧接写入动作之后所进行的验证动作时，当阈值处于第 2 范围时，使采用充电装置充电后的位线处于第 1 电位。②具备强制反转装置。在进行验证动作时，如果位线处于第 1 电位，就通过使触发电路的一端与所规定的电位相接，使触发电路保持第 2 状态，而不管它在进行验证之前保持的是什么状态。

本发明的非易失性半导体存储装置，由外部输入的写入数据作为第 1 状态或第 2 状态被保持在触发电路。关于第 1 状态被保持在触发电路中的位，进行向非易失性存储单元写入的动作，阈值移动。但对第 2 状态所保持的位，写入动作受到抑制，阈值不移动。

接着，在验证动作时，进行非易失性存储单元的读出，通过充电装置完成充电，被处于浮动状态的位线进行放电。在进行写入的非易失性存储单元的阈值达到了第 2 范围、即所期望的阈值时，写入动作结束，强制反转装置使触发电路反转，使其保持第 2 状态。这种情况下，在该位，此后的写入动作将受到抑制。

如果进行写入的非易失性存储单元的阈值达不到第 2 范围，即所期望的阈值，则第 1 状态仍照样被保持在触发电路。于是，下一次以后，写入动作也将继续进行。如果不对非易失性存储单元进行写入，那么第 2 状态从一开始就被保持在触发电路。于是下一次以后，也不进行写入动作。

这样，对于 1 次写入动作和验证动作，写入动作完毕后，触发电路的数据就被强制反转装置所反转。其结果便实现了按位验证。而且与现有技术不同，不会使位线的电位变化，因为位线的电位仅被输入给强制反转装置。而且其结构中可以有电流贯通路径，因而，

消耗功率也不会增大。

图 1 表示与本发明的第 1 实施例有关的非易失性半导体存储装置的总体电路构成的电路框图。

图 2 表示本发明的非易失性半导体存储装置的主要部分的电路图。

图 3 是图 2 所示电路中进行写入时的工作波形图。

图 4 表示第 1 实施例的变形例的构成的电路图。

图 5 表示本发明的第 2 实施例之构成的电路图。

图 6 是图 5 所示电路中进行读出时的工作波形图。

图 7 表示第 2 实施例的变形例之构成的电路图。

图 8 表示本发明的第 3 实施例之构成的电路图。

图 9 表示本发明的第 4 实施例之构成的电路图。

图 10 表示本发明的第 5 实施例之构成的电路图。

图 11 是本发明的一个实施例的电路图。

图 12 表示第 5 实施例的变形例的主要部分的电路图。

图 13 是图 12 的继续，表示第 5 实施例的变形例的主要部分的电路图。

图 14 表示与第 1 实施例相对应的变形例主要部分的电路图。

图 15 表示与第 2 实施例相对应的变形例主要部分的电路图。

图 16 表示与第 3 实施例相对应的变形例主要部分的电路图。

图 17 表示与第 4 实施例相对应的变形例主要部分的电路图。

图 18 表示与第 1 实施例相对应的变形例主要部分的电路图。

图 19 表示与第 2 实施例相对应的变形例主要部分的电路图。

图 20 表示与第 3 实施例相对应的变形例主要部分的电路图。

图 21 表示与第 4 实施例相对应的变形例主要部分的电路图。

图 22 表示与第 5 实施例相对应的变形例主要部分的电路图。

图 23 是图 22 的继续，表示第 5 实施例的变形例主要部分的电

路图。

图 24 表示与第 1 实施例相对应的变形例主要部分的电路图。

图 25 表示与第 2 实施例相对应的变形例主要部分的电路图。

图 26 表示与第 3 实施例相对应的变形例主要部分的电路图。

图 27 表示与第 4 实施例相对应的变形例主要部分的电路图。

图 28 是采用本发明的最佳实施例的构成电路图。

图 29(a)表示 NAND 型闪烁存储器的存储单元结构的电路图。  
(b)表示(a)的存储单元的阈值的个数分布的阈值分布图。

图 30 表示对图 29 的存储单元进行读出、清除和写入动作时对存储单元所加电压的图。

图 31 是对图 29 的存储单元进行清除和写入动作时的阈值分布图。

图 32 是图 29 所示存储单元的写入速度分布特性图。

图 33 在芯片内部实现按位验证的现有技术的简化电路图。

图 34 在图 33 的结构中进行写入时的工作波形图。

图 35 是图 34 的一段期间的实际波形图。

图 36 是表示图 33 的结构中的主要问题的电路图。

图 37 是第 1 实施例的电路中触发电路的详图。

图 38 是反转电压  $V_{inv}$  对  $g_{mN}/g_{mP}$  的依从关系图。

图 39 是工作时的位线电位  $V_{bit}$  的变化图。

图 40 是将本发明用于 NOR 型 EEPROM 的电路图。

图 41 是 NOR 型存储单元的阈值分布图。

下面参照图说明本发明的实施例。

图 1 是一个电路方框图，表示了本发明的第 1 个实施例有关的非易失性半导体存储装置的总体电路构成。第 1 个实施例是一个 NAND 型闪烁存储器。也就是说，非易失性半导体存储装置 10 由存储单元阵列 11、行译码器 12、读出电路和写入数据栓锁电路 13、列

译码器(Column decoder)14、列选通器(column gate)15、升压电路16、控制电路17以及输入/输出缓冲器18等构成。

存储单元阵列11由许多个NAND型存储单元配置成矩阵状、纵向布有几千根位线BL,横向布有几千根字线WL。由行译码器12根据外部输入的地址选择字线。读出电路和写入数据栓锁电路13的一端与位线相连,另一端通过列选通器15与输入/输出缓冲器18相接。行译码器14根据外部输入的地址控制列选通器15,以选择位线以及相应的读出电路和写入数据栓锁电路。升压电路16为写入动作和清除动作提供必要的高电压。控制电路17对写入、清除和读出动作等进行控制。输入/输出缓冲器18作为与芯片外部相连的接口。

存储单元阵列11内的存储单元的详细情况如图29所示。即如图29(a)所示,具有浮栅的MOS晶体管所构成的非易失性存储芯片M1—M16串联着,其一端通过选择晶体管Q1与位线BL相连,多端通过选择晶体管Q2与公共源线S相接。各晶体管都形成于同一个阱W上。各存储单元M1—M16的控制电极分别与字线WL1—WL16相连着,而选择晶体管Q1的控制极与选择线SL1,选择晶体管Q2的控制极与选择线SL2相接着。

各存储单元M1—M16分别具有与其所保持的数据相对应的阈值,当保持的是“0”数据时,阈值在0—5伏之间,当保持的是“1”数据时,阈值设定在0伏以下(更确切地说,为了使之具有某种程度的余量,设定在比这更小的范围内)。

这些存储单元的阈值的个数分布如图29(b)所示。图30列表表示了在进行读出、清除和写入动作时施加于存储单元的电压。

在进行读出动作时,开始是将位线BL预充电到5伏,使之先成为浮动状态,接着对选择线SL1加上5伏,对选择存储单元的字线WL加上0伏,对非选择存储单元的字线WL加上5伏,对选择

线 SL2 加上 5 伏，对阱 W 加上 0 伏，对公共源线 S 加上 0 伏的电压，这样除选择存储单元以外的所有的晶体管（包括非选择存储单元）就都导通了。当选择存储单元保持着“0”时，它是非导通的，位线电位保持 5 伏不变，但当它保持着“1”时，将变为导通状态，因此位线放电、电位下降。数据读出是通过检测读出时的位线电位进行的。

在进行清除动作时，位线 BL 断开，对选择线 SL1 加上 0 伏，对存储单元的字线 WL 加上 0 伏，对选择线 SL2 加上 0 伏，对阱 W 加上 18 伏，对公共源线 S 加上 18 伏的电压。于是，有隧道电流通过栅极绝缘膜流过浮栅与阱之间，阈值变为 0 伏双下。

在进行写入动作时，是根据写入数据施加不同的电压。即，写入“0”时（使阈值移动的情形），对位线 BL 加上 0 伏，写入“1”时（不使阈值移动的情形），对位线 BL 加上 9 伏的电压。此外，对选择线 SL1 加上 11 伏，对选择存储单元的字线 WL 加上 18 伏，对非选择存储单元的字线 WL 加上 9 伏，对选择线 SL2 加上 0 伏，对阱 W 加上 0 伏，对公共源线 S 加上 0 伏的电压。结果从选择晶体管 Q1 到存储单元 M16 的所有的晶体管都导通了，与位线处于同电位（晶体管阈值的下降不计）。因此，位线 BL 加了 0 伏电压后的存储单元在沟道和控制电极之间加有 18 伏的高电压，有隧道电流流过，阈值向正方向移动。而位线 BL 加了 9 伏电压后的存储单元以沟道和控制电极之间仅加有 9 伏的电压，故阈值的正向移动被抑制。

图 2 的电路表示了本发明的非易失性半导体存储装置的主要部分，它是从图 1 的非易失性半导体存储装置 10 中取出了三根位线。就是说，从图 1 的存储单元阵列 11、读出电路和写入数据栓锁电路 13、列选通器 15 以及控制电路 17 中仅抽取了对于理解本发明申请所必要的部分。

从图 2 可见，与一根位线有关的电路构成如下。即包含：用以暂

时保持写入数据的触发电路 1(图中 1-X; X 为 1—3)、位线 BL(图中 BL<sub>x</sub>; X 为 1—3), 与位线 BL 相连的, 在图 29 中说明了的 NAND 型存储单元 2(图中 2-X; X 为 1—3)、用以对位线 BL 进行充电的 P 沟道晶体管 Q3、用以连接位线 BL 和触发电路 1 的晶体管 Q4、以及串联触发电路 1 的位线 BL, 相对边的节点和 0 伏接地电位之间的晶体管 Q7 和 Q8。Q7 和 Q8 构成强制反转装置。晶体管 Q7 的栅极与位线 BL 连接着。

所有的晶体管 Q3 的栅极都接着  $\Phi 1$  信号线, 这个晶体管 Q3 构成充电装置。而所有的晶体管 Q4 的栅极都接着  $\Phi 2$  信号线, Q8 的栅极接着  $\Phi 3$  信号线。时钟发生电路 5, 按规定的时间, 驱动控制着  $\Phi 1$ 、 $\Phi 2$  和  $\Phi 3$  各信号线。

晶体管 Q3 的源极与在写入动作时是 9 伏而在非写入动作时均为 5 伏的电源连接着。触发电路的电源也是在写入动作时为 9 伏、在非写入动作时都为 5 伏。

下面参照图 3 所示的写入时的工作波形对图 2 的电路的工作进行说明。这里设想的是, 对存储单元 2—1 写入“0”, 对存储单元 2—2 写入“0”, 而对存储单元 2—3 写入“1”的情形, 并假定存储单元 2—2 比存储单元 2—1 更难写入。

一开始是通过列选通器 15 从外部由触发电路 1 通过 IO 线/BIO 线 (IO 的反转信号线) 锁住写入数据。也就是说, 触发电路 1—1 的位线一边的节点 N1 被设定为 0 伏, 触发电路 1—2 的位线一边的节点 N2 被设定为 0 伏, 触发电路 1—3 的位线一边的节点 N3 被设定为 5 伏。在这种状态下, 开始第一次写动作(WRITE-1)。

在  $\tau_{10}$  时刻,  $\Phi 1$  一变为 0 伏, 晶体管 Q3 就导通, 位线 BL 被充电至 9 伏。又由于触发电路的电源升到 9 伏, 所以节点 N3 的电位变为 9 伏。

在  $\tau_{11}$  时刻,  $\Phi 1$  跳到 10 伏, 位线充电完毕, 与此同时,  $\Phi 2$  升到

10 伏，位线电位与节点 N 的电位相对应地放电。亦即由于节点 N1 和 N2 都是 0 伏，位线 BL1 和 BL2 放电至 0 伏，由于节点 N3 为 9 伏，所以位线 BL3 变为 9 伏。这个 9 伏就是存储单元 2—3 的封写电压。在此条件下对存储单元 2 加上写入电压。

在  $t_{12}$  时刻，第一次写入动作完毕，开始进入验证动作和再写入数据的设定动作(VERIFY)。 $\phi_1$  跌落到 0 伏，位线通过晶体管 3 被充电到 5 伏，与此同时， $\phi_3$  跌到 0 伏，因此位线 BL 和触发电路 1 均被断路。

在  $t_{13}$  时刻，位线充电结束，存储单元通过浮动状态的位线放电。放电速度因存储单元的阈值而异，如果写入不充分，存储单元的阈值就不上升，此时，位线就放电。在第 1 次写入动作时，向存储单元 2—1 和 2—2 都未能进行充分的写入。又由于存储单元 2—3 尚未进行写入，必然引进位线放电。

在  $t_{14}$  时刻， $\phi_3$  跳起到 5 伏。于是所有的晶体管 Q8 导通。在第 1 次写入动作时，三个存储单元中没有一个完成写入。所有的位线都放电到低电平。因此晶体管 Q7 变为不导通状态，触发电路 1 不受任何影响。另外，也不进行现有实例那样的“‘0’写入单元的位线的再充电”。这里，被触发电路 1 的节点 N 锁定的电位从上至下分别是 0 伏，0 伏和 5 伏。这种状态与进行写入之前相同。

在  $t_{20}$  时刻，第 2 次写入动作(WRITE-2)开始。就是说，从  $t_{20}$  时刻开始到  $t_{21}$  时刻为止，进行位线的 9 伏充电，从  $t_{21}$  时刻到  $t_{22}$  时刻进行对存储单元的写入。

在  $t_{22}$  时刻，进行第 2 次的验证动作和再写入数据的设定。即从  $t_{22}$  时刻起到  $t_{23}$  时刻止，进行位线的 5 伏充电，从  $t_{23}$  时刻起到  $t_{24}$  时刻上，由存储单元 2 使位线放电。这里值得注意的是，位线 BL1 的电位几乎没有从 5 伏下降。这表示存储单元 2—1 的写入已经完毕。

在  $t_{24}$  时刻,  $\varphi_3$  一升到 5 伏, 晶体管 8 就导通。这次与第 1 次不同, 位线 BL1 的电位处于高电平。因此, 与位线 BL1 相对应的晶体管 7 导通。于是与触发电路 1—1 的位线 BL1 相对侧的引线被引向接地方向, 触发电路的保持数据反转。保持数据是通过强制反转装置迫使其反转的。这里, 被触发电路 1 的节点 N 锁定的电位从上至下分别为 5 伏, 0 伏和 5 伏。这样, 完成写入的位被依次从 0 伏再设定为 5 伏, 这个 5 伏被升压, 起 9 伏封写电压的作用, 因此, 在这一位, 此后不会再被写入。

在  $t_{30}$  时刻, 第 3 次写入动作(WRITE-3)开始。即从  $t_{30}$  时刻起到  $t_{31}$  时刻止, 进行位线的 9 伏充电, 从  $t_{31}$  时刻起到  $t_{32}$  时刻止, 进行对存储单元的写入。这里值得注意的是, 位线 BL1 已经达到 9 伏。这是与 BL3 相同的封写电压。

在  $t_{32}$  时刻, 进行第 3 次的验证动作和再写入数据的设定。即从  $t_{32}$  时刻起到  $t_{33}$  时刻止, 进行位线的 5 伏充电, 从  $t_{33}$  时刻起到  $t_{34}$  时刻止, 存储单元 2 使位线放电。这里, 值得注意的是, 这一次位线 BL2 的电位几乎没有从 5 伏下降。这一次, 存储单元 2—2 的写入结束了。

在  $t_{34}$  时刻,  $\varphi_3$  一旦上升到 5 伏, 晶体管 Q8 就导通。这次与第 2 次不同, 位线 BL2 的电位是高电平。因此与位线 BL2 相对应的晶体管 Q7 导通。于是与触发电路 1—2 的位线 BL2 相对侧的引线被引向接地方向, 触发电路 12 的保持数据反转。保持数据是通过强制反转装置迫使其反转的。这里被触发电路 1 的节点 N 锁定的电位从上至下分别变成 5 伏、5 伏、5 伏。值得注意的是, 节点 N2 的电位已经从第 2 次时的 0 伏变成了 5 伏。至此, 所有(3 个位)的写入已经完成。

如上所述, 每一次写入动作和验证动作在写入完毕时, 触发电路的数据就被强制反转装置所反转。其结果是实现了按位验证。而



且，不会象现有技术那样使位线的电位变化。这是因为位线的电位仅仅是被输入给强制反转装置的缘故。同时，又因其结构可以无需电流穿透通路，故消耗功率也不会增大。

再则，由于是以晶体管 Q7 的栅级作为读出节点的，故还具有灵敏度高，能在低电压下进行读出的辅助效果。

图 4 的各电路图表示第 1 实施例的各种变形例子。(a)与图 2 的电路一样，在此，用作与其他的电路相比较。(b)是改变了晶体管 Q7 和 Q8 的连接顺序的例子。位线 BL 的变化不会通过晶体管 Q7 的栅漏电容传到触发电路 1，因此触发电路 1 的保持数据就更稳定。又由于晶体管 Q7 的源极是接地的，所以与(a)相比，即使位线 BL 的电位稍微偏低，触发电路也反转。其结果是，可进行稳定的验证读出，验证的误动作也将减少。((a)与(b)相比，晶体管 Q8 的切换噪声对触发电路的影响被晶体管 Q7 所断路，故而可防止噪声造成的触发电路的误反转)。(c)是将晶体管 Q81、Q7 和 Q82 串联，由晶体管 Q81 和 Q82 起到(a)中晶体管 Q8 的作用。其结果是能专取(a)、(b)二者的优点，得以实现稳定的验证动作，同时还能防止触发电路的误反转。(d)是用晶体管 Q91 和 Q92 取代了(a)中晶体管 Q8 的例子。互补信号  $\phi_3$  和  $B\phi_3$  输入给晶体管 Q91 和 Q92。也就是说，信号  $\phi_3$  一达到 5 伏，晶体管 Q91 就导通，触发电路 1 的强制反转就在位线 BL 的电位上发生。而一旦信号  $B\phi_3$  变为 0 伏，晶体管 Q92 就导通，就使晶体管 Q7 的栅级电位接地为 0 伏。与(d)的效果相同。它们的动作都与图 2 相同，恕不赘述。

下面，就第 1 实施例说明一下求得动作稳定的条件。图 37 更详细地标出了图 1 中的触发电路 1—1，Q4，Q7 和 Q8。触发电路 1—1 是将由 P 沟道晶体管 Q01 和 N 沟道晶体管 Q02 组成的倒相器与由 P 沟道晶体管 Q03 和 N 沟道晶体管 Q04 组成的倒相器反向并联而成。Q01 是用来对作为强制反转装置的晶体管 Q7 以及晶体管 Q8

相接的节点 N01 侧进行充电的晶体管。因此，为求稳定的动作，晶体管 Q01 与晶体管 Q7 及 Q8 的电导大小之比就显得重要了。

设晶体管 Q01 的电导为  $gm_P$ ，晶体管 Q7 和 Q8 的串联等效电导为  $gm_N$ 。图 38 表示  $V_{cc}$ （电源电压）为 5 伏时的反转电压  $V_{inv}$  对  $gm_N/gm_P$  的依从性的仿真结果，这里  $V_{inv}$  是当触发电路反转时需要加给位线的最小电压值。在  $gm_N/gm_P=1$  的近旁，反转电压  $V_{inv}$  对  $gm_N/gm_P$  的依从性急剧下降，渐近于晶体管 Q7 和 Q8 的阈值  $V_{th}$ 。可是，作为输入的位线电位  $V_{bit}$ ，比如在被  $V_{cc}$  预充电之后，即使在存储单元的电导为零的理想状态（“0”单元读出）下进入了自由运行，只要因受邻近的位线间的电容的影响而使两根邻近位线的任何一根的电位下降的话， $V_{bit}$  就会如图 39 所示彻底下降（虽然本实施例能解决验证动作之后位线充电时的邻近位线之间的电容影响，但自由运行时的电容影响依然存在）。就是说，如果“0”单元与两根邻近位线都相连，那么其位线电位几乎不下降，但如果是“1”单元与邻近位线中的某一根或两根相连，就会导致位线电位的下降。因此，为了用这种即使电位下降了位线也能读出“0”，就希望  $V_{inv}$  低。在图 38 中，从  $gm_N/gm_P$  超过 1.8 起，反转电压对  $gm_N/gm_P$  的依从性急剧减小，渐近于低的阈值  $V_{th}$ 。因此，希望  $gm_N/gm_P$  的值在 1.8 以上，以获得工作稳定，不易受电源电压的变动和噪声等影响的电路。而且这样就能几乎不受因掩膜偏离等原因引起的电导变化乃至  $gm_N/gm_P$  变化所造成的影响以设定反转电压。这为制造带来很大的好处。

综上所述，强制反转装置中的串联 MOS 晶体管的等效电导  $gm_N$  及对触发电路中的连接端进行充电或放电的 MOS 晶体管的电导  $gm_P$  之间的关系如果是

$$gm_N/gm_P > 1.8$$

就能获得上述效果。

图5是本发明的第2个实施例的电路图。对与第1个实施例相同的电路元件标以相同的符号。与1根位线有关的电路包括：用以暂时保持写入数据的触发电路1；位线BL；与该位线BL相连，在图29中已说明过的NAND型存储单元2，用以对位线BL充电的P沟道晶体管Q3；用以连接位线BL和触发电路1的晶体管Q4；以及串联于与触发电路1的位线BL相对侧的节点和0伏接地电位之间的晶体管Q7和Q8。

晶体管Q7和Q8构成强制反转装置。晶体管Q7的栅极位线BL连接着。所有的晶体管Q3的栅极都接着 $\phi 1$ 信号线，晶体管Q3构成充电装置。所有的晶体管Q4的栅极都接着信号线 $\phi 2$ ，Q8的栅极接着 $\phi 3$ 信号线。

晶体管Q3的源极与在写入动作时为9伏，而在非写入动作时为5伏的电源连接着。触发电路的电源也是在写入动作时为9伏，其他时候为5伏。

图示的时钟发生电路7是从控制电路17抽出的一部分，它按后面会提到的规定的定时对 $\phi 1$ 、 $\phi 2$ 和 $\phi 3$ 各信号线进行驱动控制。与第1个实施例所不同的是，(由信号线 $\phi R$ 与栅极相连接着的)多个晶体管Q10被连接在各触发电路1的节点N的接地电位之间。该晶体管10构成复位装置。

下面参照图6所示的读出时的工作波形对图5的电路的工作进行说明。在 $t_0$ 时刻， $\phi 1$ 电位下降，位线BL被预充电到5伏的同时， $\phi R$ 上升到5伏，触发电路1被复位。即，节点N变为0伏。接着，在 $t_2$ 时刻， $\phi 1$ 的电位上升、位线BL处于浮动状态，位线按存储单元2所保持的数据放电。在 $t_2$ 时刻， $\phi 3$ 的电位一旦上升，晶体管Q8就导通，按照位线电位的值通过晶体管Q7使触发电路1强制反转。

就这样，仅仅对第1实施例附加一个晶体管Q10，就可以通过

与验证动作相同的读出途径进行读出动作。因此可获得验证动作与读出动作准确对应的，并不易受电源电压的变动和杂声等因素影响的电路。

另外，这种读出无需改变位线电位就能进行。因而不存在位线充放电所需的时间，可以高速进行读出。

进而，读出时的位线电位的检测电平也可以随晶体管 Q7 的阈值予以调整，因此可以比现有技术（利用倒相器的阈值进行检测）更低的电位进行检测。其结果是能适应电源电压的低压化，这又提高了可靠性。

图 7 的电路图是第 2 实施例的各种变形例。(a)与图 5 一样，用作参照。由(a)到(b)，是在触发电路的位线方面接了 N 沟道晶体管 Q10。由(e)到(h)，是在触发电路的位线的相对边接了 P 沟道晶体管 Q11。但它们的动作都与第 2 实施例一样，不予赘述。

图 8 的各电路图是第 3 实施例。这是通过倒相器 80 或 NAND 门 81 读出位线的电位，据此驱动强制反转用的晶体管 Q80。从(a)到(d)表示了各种变形例。它们都与第 1 实施例不同，是由晶体管 80 使触发电路 1 的位线 BL 一边的节点强制反转。其结果是不需要在触发电路上布跨接线，从而能轻松地制成图案模型。而且，倒相器 80 可以采用小型晶体管（电导小的晶体管），这在难于来回布线的情况下更有收效。还有，由于触发电路的反转电压（对位线施加的最低电压）仅取决于倒相器 80 的阈值电压，故减轻了设计上的困难。再由于倒相器 80 的阈值电压是与电源电压相应变化的，因此还能适应低电压化。

图 9 的各电路图是第 4 实施例。这时对第 3 实施例添置按  $\phi R$  或  $B \phi R$  驱动的复位晶体管的例子。其工作情况与第 2 实施例基本相同，也就不再说明了。

图 10 表示具备成批验证功能的第 5 实施例的电路结构。在第 1

实施例中未曾考虑对向所有位写入完毕之后进行检测的问题。譬如，顺次检测触发电路 1 的节点 N，如果所有的位都锁定在 5 伏，则表示写入完毕。成批进行这种检测的电路叫作验证电路。

成批验证电路由图 10 中的晶体管 Q201、……Q203，晶体管 Q21 以及倒相器 20 构成。对与第 1 实施例相同的电路元件标以相同的符号。就是说，与 1 根位线有关的电路包括：用以暂时保持写入数据的触发电路 1；位线 BL；与位线 BL 相连的图 29 中的 NAND 型存储单元 2；用以对位线 BL 充电的 P 沟道晶体管 Q3；用以连接位线 BL 和触发电路 1 的晶体管 Q4；以及串联于触发电路 1 的位线 BL 的相对边的节点与 0 伏接地电位之间的晶体管 Q7 和 Q8。晶体管 Q7 和 Q8 构成强制反转装置。晶体管 Q7 的栅极接于位线 BL。

所有的晶体管 Q3 的栅极都接着  $\varphi_1$  信号线，晶体管 Q3 构成充电装置。所有的晶体管 Q4 的栅极都接着  $\varphi_2$  信号线，Q8 的门与  $\varphi_3$  信号线相接。晶体管 Q3 的源极与在写入动作时为 9 伏，其他时候为 5 伏的电源相连。触发电路的电源也是在写入动作时为 9 伏，其他时候为 5 伏。图示的时钟发生电路 8 是从控制电路 17 抽出的一部分。它按规定的定时对  $\varphi_1$ 、 $\varphi_2$ 、 $\varphi_3$  和  $\varphi_5$  各信号线进行驱动控制。

验证动作的原理与第 1 实施例相同。对所有位写入完毕的检测如下进行。即，验证动作完毕后，使  $\varphi_5$  电位下降，将公共验证线 26 预充电到 5 伏。如果晶体管 Q201，……，203 之中也有导通的，则公共验证线 26 被放电。如果从晶体管 Q201 到晶体管 Q203 都关闭，不导通，那么公共验证线 26 保持 5 伏不变。

由于晶体管 Q201，……，Q203 分别与相对应的触发电路 1 的节点 N 对面的节点 BN 连接着，所以如果节点 N 是 5 伏，那么节点 BN 就是 0 伏，于是晶体管 Q201，……，Q203 处于非导通状态；如果节点 N 是 0 伏，那么节点 BN 就是 5 伏，于是晶体管 Q201，……，Q203 导通。

结果是，验证之后的节点 N1—N3 中，哪怕只要有一个有 0 伏的位（即只要有写入尚未完毕的位），公共验证线 26 就放电，VFY 变成 5 伏。而如验证之后所有的节点 N1……N3 都变成 5 伏（即如对所有的位的写入都完毕，那么公共验证线 26 保持 5 伏不变，VFY 变为 0 伏。

可见，如果象第 5 实施例那样，增设成批验证电路，就可成批检测出对所有位的写入是否完毕。这样就能判断应该何时停止写入动作和验证动作的循环。在第 5 实施例中，直到 VFY 变为 0 为止，反复进行着写入动作和验证动作。

如果把成批验证电路和上述强制反转型读出放大器组合运用，还能获得缩短验证时间的效果。就是说，由于强制反转型读出放大器中的触发电路 1 的锁定数据在验证之前全部是节点 N 为“高”，节点 BN 为“低”，故晶体管 Q201—Q203 全部关闭。因此可以通过使  $\phi 5$  变为“高”，而在验证读出过程之中或在它之前设定对公共验证线 26 进行充电时间。而现有技术的各种读出方式都需要在验证读出全部完毕后对公共验证线 26 进行充电。但是在本实施例中则可按较快的定时进行这种充电。因此，成批验证的时间乃至总的写入时间都缩短了。

图 11 和图 12 的电路图分别表示了上述第 5 实施例的各种变形的的主要部分。图 11(a) 与图 10 的电路相同，以资比较。(b) 是将 P 沟道晶体管 Q21<sub>x</sub> (X 为 1、2、3) 串联起来构成成批验证电路的例子。图 12(c) 与图 11(a) 一样，是将由 N 沟道晶体管 Q20<sub>x</sub> (X 为 1、2、3) 构成的成批验证电路构置于相应的触发电路 1 的节点 N 一侧的例子。图 12(b) 与图 11(b) 一样，是将 P 沟道晶体管 Q21<sub>x</sub> (X 为 1、2、3) 与相应的触发电路 1 的节点 N 侧相连以构成批验证电路的例子。二者的工作情况都与图 10 的电路相同，就不详细说明了。(a) 和 (d) 的构成都是将所有的放电用的检测晶体管并联，因此成批验证比其

他方法都更快。(b)和(c)的检测晶体管都是串联着的,因此芯片面积得以缩小。(a)是最佳的例子,通过并联连接和采用N沟道晶体管这两种办法比其他三种例子都更高速化了。

图13的电路图分别表示了第6和第7实施例。它们是用多根位线公有一个触发电路1的例子。

图13(a)是第6实施例的电路构成。就是说,它包括:触发电路1及与之连接着的位线BLL和位线BLR;受 $\phi_{11}$ 、 $\phi_{12}$ 和 $\phi_{13}$ 控制的第1个验证读出系统61以及受 $\phi_{21}$ 、 $\phi_{22}$ 和 $\phi_{23}$ 控制的第2个验证读出系统62。其结果是可使位线BLL和位线BLR公有触发电路1,从而获得可减小图案模型面积的效益。

图13(b)是第7实施例的电路构成。位线BL1、BL2、BL3和BL4公有一个触发电路1。位线的切换由受信号S1……S4控制的晶体管Q71……Q74进行。其结果与第6实施例一样,可获得使图案模型面积减小的效益。而且由于是多根相邻的位线公用一个读出放大器,故还具有这样的效果,即,在图案配置上可以充裕地配置原来较难配置的读出放大器。如果与上述强制反转型读出放大器组合运用,效果将更好。就是说,对于强制反转型读出放大器,是将强制反转装置与位线相对边的触发电路节点相连接的,因此来回布线很麻烦。如果每4根位线公用一个读出放大器,就可充余地进行来回布线了。从设计上考虑,归纳为每4根一组是适当的。

以上就第1实施例到第7实施例说明了采用NAND型存储单元时的电路构成。这是:(1)——进行写入时,在使阈值移动的情况下,使位线为0伏,验证时读出的结果,如果是位线保持5伏不变,就使触发电路的锁定数据反转的例子。

除此之外的其他组合还有:(2)——进行写入的时候,在使阈值移动的情况下,使位线为0伏,验证时读出的结果如果是位线变为0伏,就使触发电路的锁定数据反转的例子(例如通过在清除时

向浮栅注入电子，写入时有选择地从漏极抽出电子的办法使阈值向负方向移动的 NOR 型存储单元结构的情形)，(3)——进行写入时，在使阈值移动的情况下使位线为 5 伏，验证时读出的结果如果是位线保持 5 伏不变，就使触发电路的锁定数据反转的例子（例如，通过在清除时把电子抽向浮栅，写入时有选择地从漏极注入电子的办法使阈值向正方向移动的 NOR 型存储单元结构的情形），以及 (4)——进行写入时，以使阈值移动的情况下使位线为 5 伏，验证时读出的结果如果是位线变为 0 伏，就使触发电路的锁定数据反转的例子（例如，通过在清除时间浮栅注入电子，写入时有选择地从漏极抽出电子的办法使阈值向负方向移动的 NAND 型存储单元结构的情形）。

上述例(2)示于图 14、图 15、图 16 和图 17。分别是与第 1、第 2、第 3 和第 4 实施例相对应的实施例。它们的工作情况分别与相应的实施例相同，就不作说明了。

上述例(3)示于图 18、图 19、图 20 和图 21。分别是与第 1、第 2、第 3 和第 4 实施例相对应的实施例。它们的工作情况分别与相应的实施例相同，就不作说明了。

图 22 和图 23 是成批验证的例子，它们与第 5 实施例相对应，说明省略。

上述例(4)示于图 24、图 25、图 26 和图 27。分别是与第 1、第 2、第 3 和第 4 实施例相对应的实施例。它们的工作情况分别与相应的实施例相同，说明省略。

采用本发明的最佳实施例如图 28 所示。用框 7—(b)所框的部分的结构与图 7 (b)一样。即，如果  $\phi R$  上升，则触发电路 1 的节点 BN 就被设定为“1”。而且在位线 BL 处于“1”的状态下，如果  $\phi 3$  上升，触发电路 1 就反转。

如前所述，这种按位验证电路在实际应用时并联排着几千个这



样的电路，在所有的位线都处于“1”的状态下，一旦有  $\phi_3$  的读出脉冲输入，则所有的触发电路 1 均反转。这时，有可能出现穿透电流流入触发电路 1，芯片的消耗功率将增加，以及 P 沟道晶体管 Q33 的源极电位因布线电阻等原因而下降，导致工作不稳定等情况。

为了防止上述问题发生，使穿透电流不超过一定的值，则在各个 Q31、Q33 和电源之间分别插入 P 沟道晶体管 Q35 和 Q36。各晶体管的栅极相隔离的理由是为了构成灵活的结构，以使得当中间电位等输入位线时，由于流过 Q36 的电流大，将提高 Q36 的栅极电位以节制穿透电流，使 Q35 的栅极电位有下降的倾向以增加触发电路 1 的稳定性。当然还可以考虑各种变形，例如通过与规格的兼容使栅极公有化，或者用 PMOS 晶体管的大小尺寸调节电导等等。

如果能靠晶体管 35 节制穿透电流，那么就可以把使触发电路 1 反转的位线电位的阈值设定在晶体管 7 的阈值的近旁，就能消除因位线间的电容所造成的噪声的影响。

另外，虽然位线电位在程序/清除时加的是高电压，但只要在位线和读出放大器的入口之间插入耗尽型 MOS 晶体管 Q37 并采用截断高压的常用装置，就能用低电压系列的晶体管形成读出放大器系统，从而，能减小面积，提高性能。

触发电路 1 的数据可以通过有其栅极输入列译码器信号 CS 栅极的传递门在 IO 线上读出。而如果能从外部使 IO 线发生最大振荡，就可能将任意数据写入触发电路。

只要使位线处于选择状态，而且由 IO/BIO 线使节点 BN 的电位为 0，进而使晶体管 Q35 处于关闭状态，就能测出从 IO/BIO 线流入位线的电流。所谓位线电流是指流入存储单元的电流和因不良引起的漏电流。通过追加这种功能，就能正确取得存储器的器件信息。

由上述实施例可见，不仅按位验证是可能的，而且能实现耐噪

声的、消耗电流小的,并附加有测试功能的读出放大器电路。

在上面的说明中虽只涉及到一部分,但已表明本发明不仅适用于 NAND 型 EEPROM 存储单元,还适用于 NOR 型 EEPROM 存储单元。图 40 是抽出图 26(a),与存储单元一并组合所显示的电路。

作为存储单元之一例,采用清除和写入都使用 FN 隧道电流的、带选择晶体管的存储单元。用 FN 隧道电流进行写入的存储单元可以同时写入很多位(比如 4000 位之多),这样可以最大限度地发挥本发明的按位验证的效果。如果接上选择晶体管,就能减少各个带浮栅的晶体管的漏极应力,将更受欢迎。图 39 所示的存储单元把一齐向浮栅注入电子,提高了阈值的状态定义为清除。写入则通过以下过程进行,即向 SLO 加上电压、使选择晶体管导通之后,对用作写入的晶体管的漏极加上正电压的偏置、对已被选择的晶体管的控制门(字线 WLO、WL1、……中之一)加上负偏置以使选择位的浮栅中的电子放出、使阈值下降。这时,如果从浮栅抽出过多的电子,使阈值降到 0 伏以下,那么即使字线是非选择的,也有电流流过,就不能读出选择单元的信息了。因此,与 NAND 型存储单元一样,采取按位验证,一边检测阈值一边进行 0 写入,可望获得稳定的动作。关于阈值分布的定义可参照图 41。

在图 40 中,欲对选择存储单元 M11 写入数据时(不想让浮栅的电子放出),要将构成强制反转型读出放大器的触发电路 1 的位线一边的节点复位到“高”状态。可以考虑或采用未图示的复位晶体管,或通过列选通器从外部加载数据的方式。在这种状态下,把触发电路 1 的电源升高到高位,譬如提高到 7 伏的程度,对漏极加上高电位偏置,在此状态下,对 W10 加上 -10 伏左右的负偏置。这样,电子从选择存储单元的浮栅放出。接着进行验证,首先使  $\Phi 2$  成为“低”状态,使晶体管 Q4 关闭,使 SLO 成为“低”状态,在使选择晶体管 Q05 关闭后的状态下,把 WLO 设定到规定的验证电位,由晶体管 Q3 对位线 BL 预充电。之后,使 SLO 导通,将位线置于自由运行状态。这时,如果阈值降到验证电位以下,位线电位就一直降下去,从倒相器 50 输出“高”信号。因此,只要在某一时刻  $\Phi 3$  一变为“高”,触发电路 1 就被强制反转,位线边的节点变为“低”状态。只要这个节点变为“低”状态,写入时即便对字线加上负偏置,漏极也会保持 0 伏不变,因此浮栅内的电子不会放出。另一方面,如果存储单元的阈值超过验证电位,为了要维持位线的预充电电平,触发电路 1 不反转,可再次进行写入。欲将选择存储单元保持在清除状态时,只要加载数据以使得触发电路

1 的位线 BL 一边的节点成为“低”状态,就不会有电压加到漏极上,从而存储单元维持清除状态的阈值。

在进行通常的读出时,只要对存储单元的控制门加上适当的电压(例如  $V_{CC}$ )以取代验证电位,则进行与上述相同的验证动作即可。

这样,对于在写入时使阈值下降的那种 NOR 型 EEPROM,本发明也能适用,并能获得与 NAND 型一样的效果。特别是只要将 FN 隧道电流用于写入用的存储单元,就能获得同时写入多位的好处,从应力考虑希望那种采用选择晶体管类型的存储单元。

以上用几个实施例对本发明进行了说明,但只要不脱离本发明的目的,其变形也是可以的,本发明的范围也不局限于这些实施例。

从以上说明可见,只要采用本发明,在用一次写入动作和验证动作完成写入之后触发电路的数据就会被强制反转装置所反转。其结果就实现了按位验证。

另外,不会象现有技术那样使位线的电位发生变化。因为位线的电位仅仅是输入给强制反转装置而已。并且,也没有电流的穿透路径,消耗功率也不会增大。

说明书附图

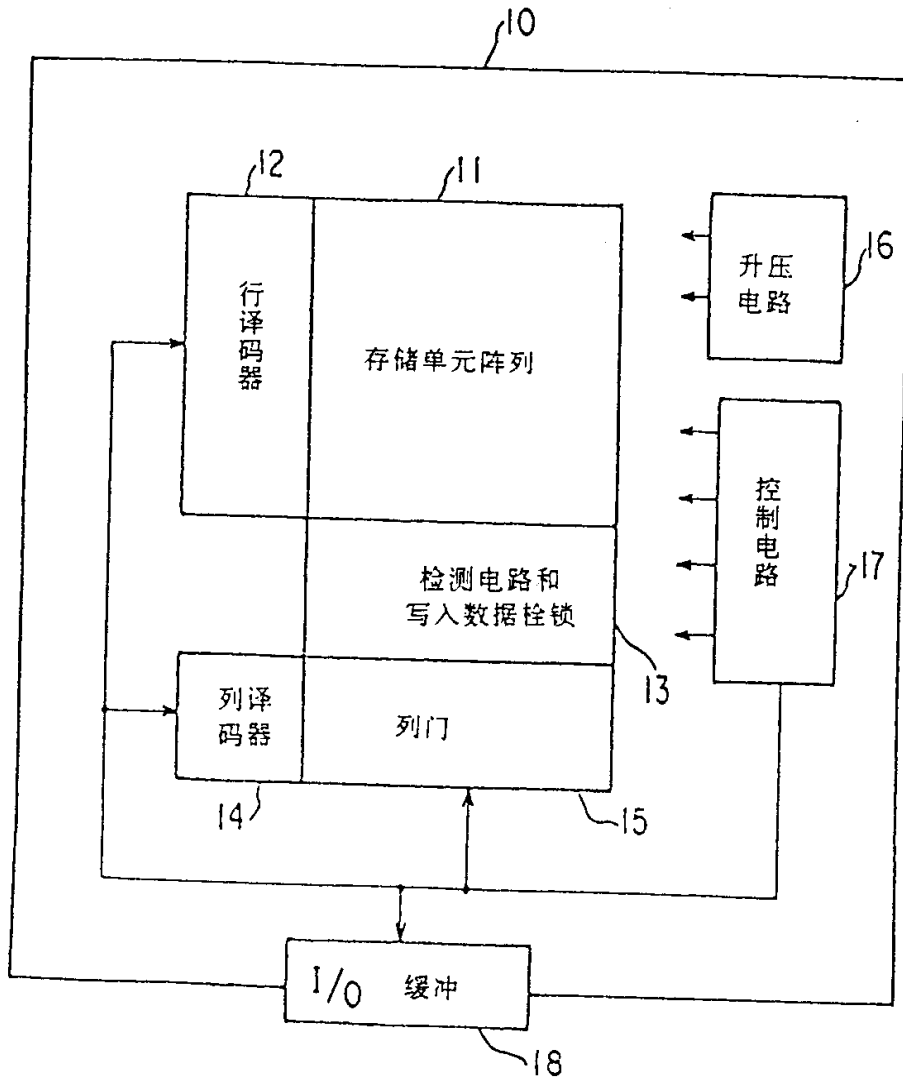


图 1

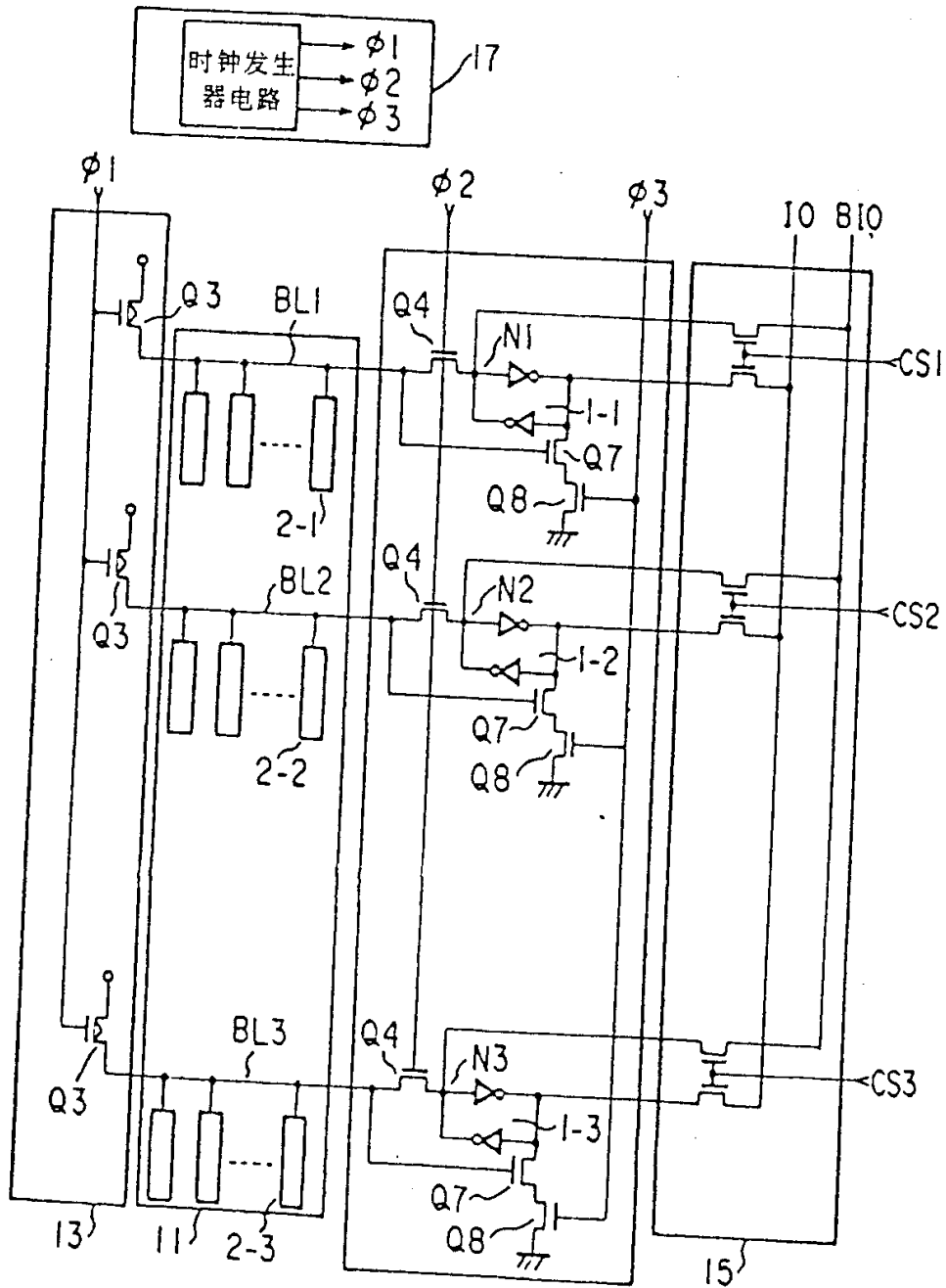


图 2

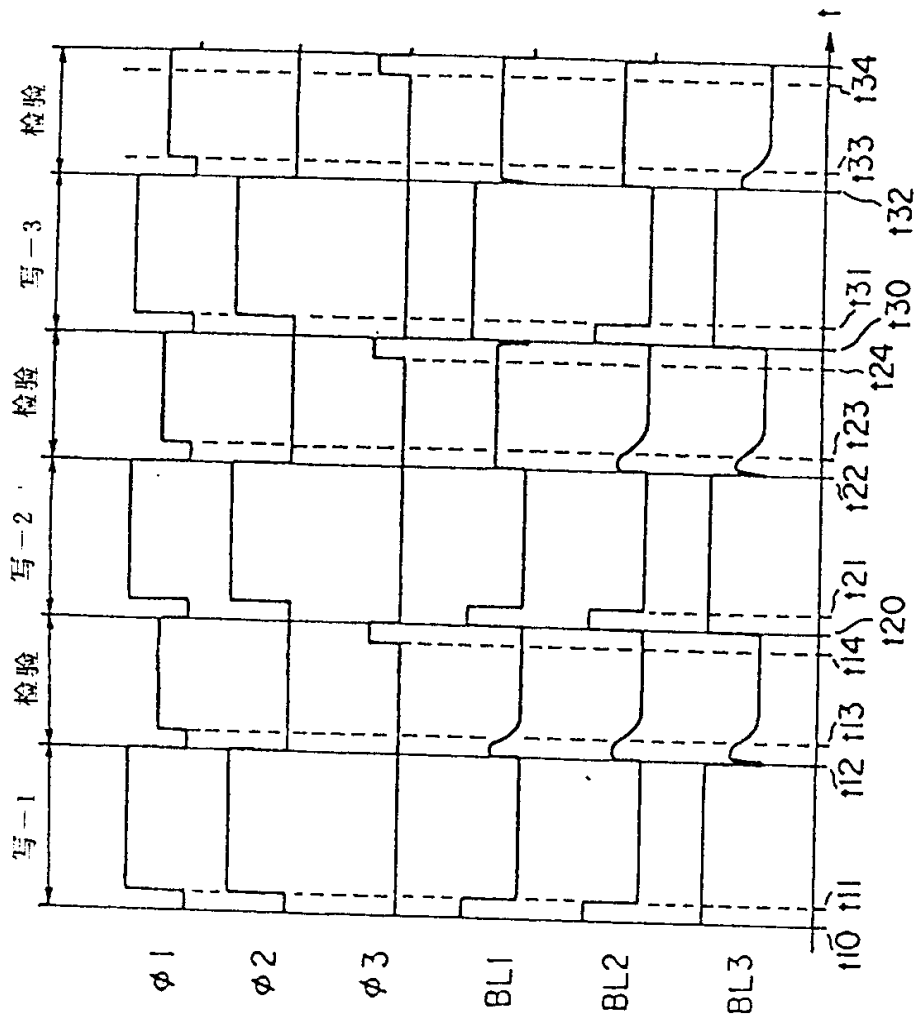


图 3

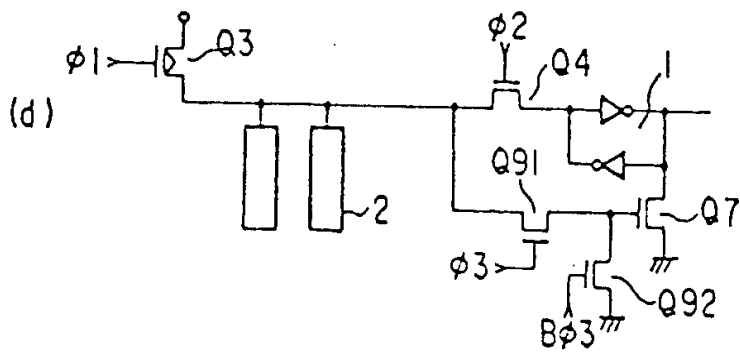
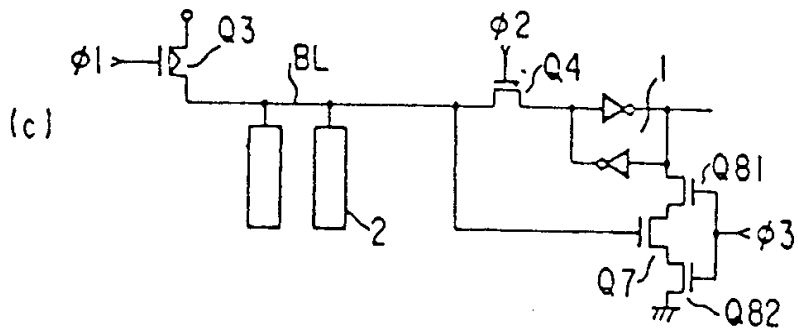
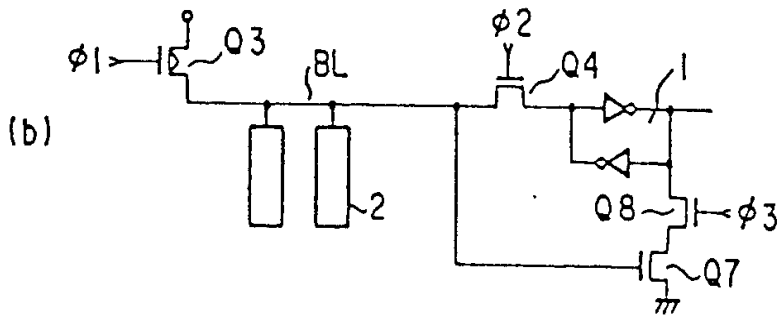
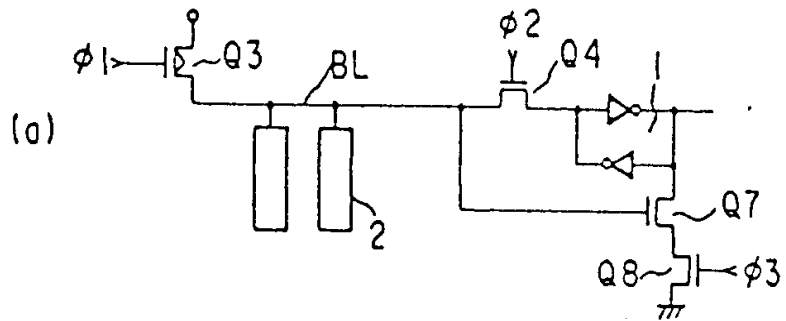


图 4

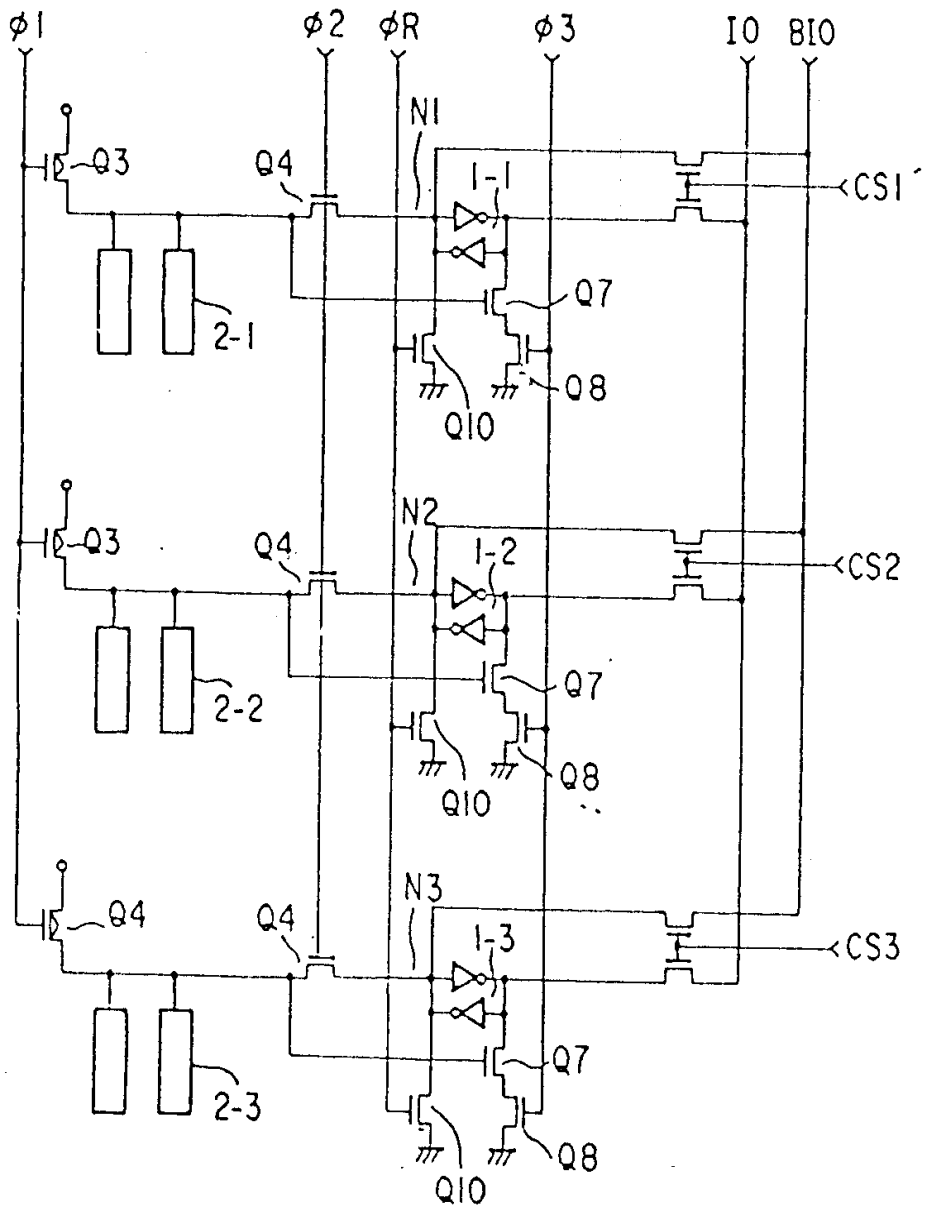


图 5



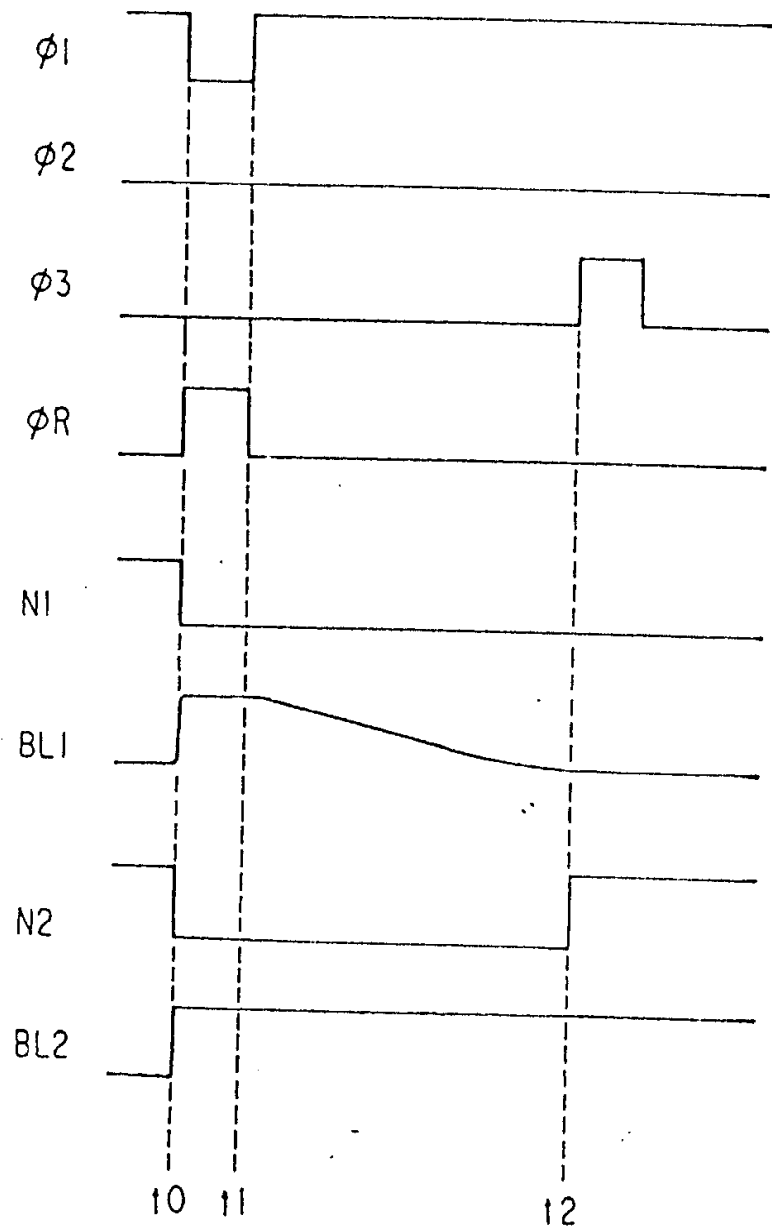


图 6

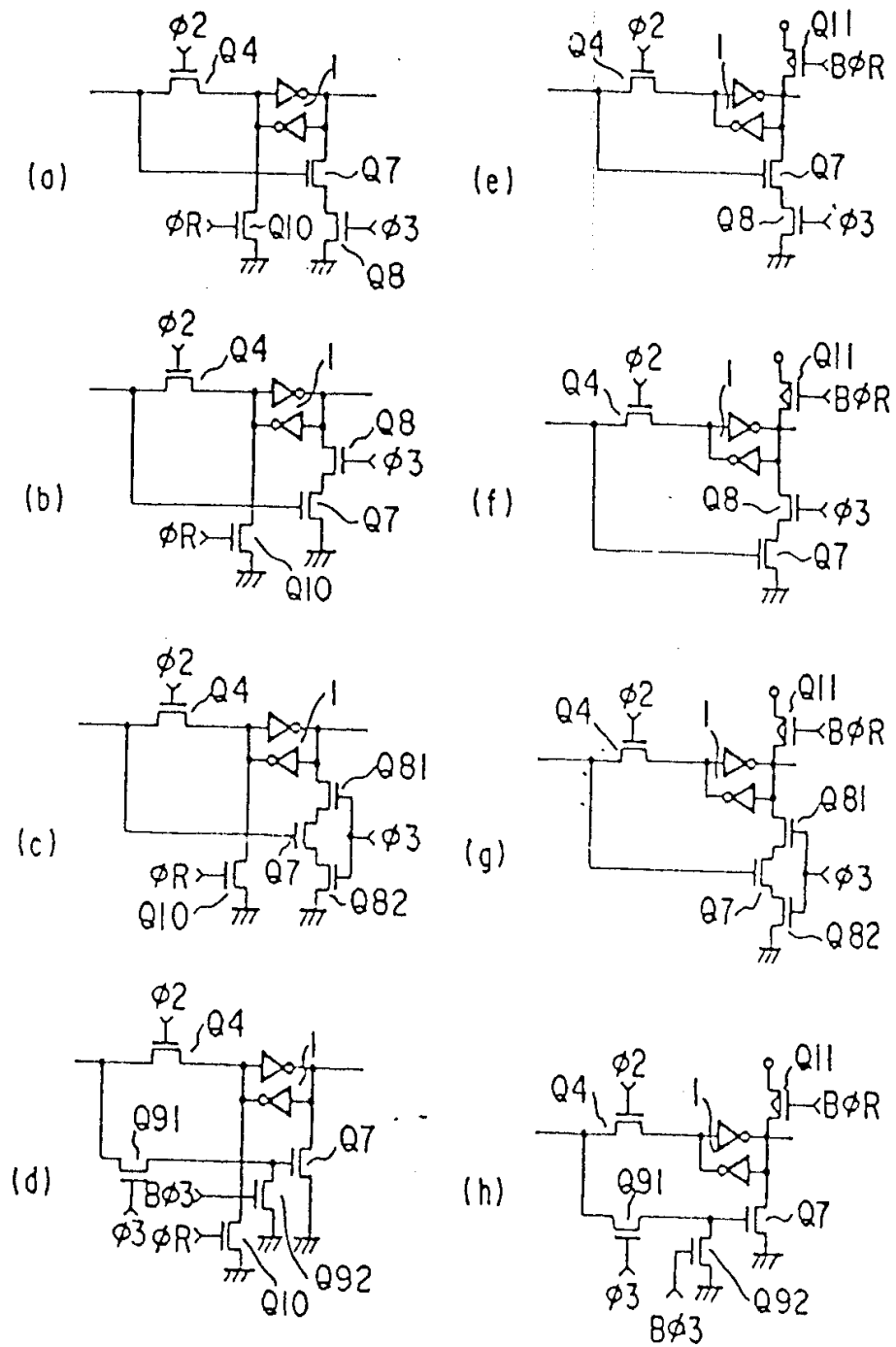


图 7

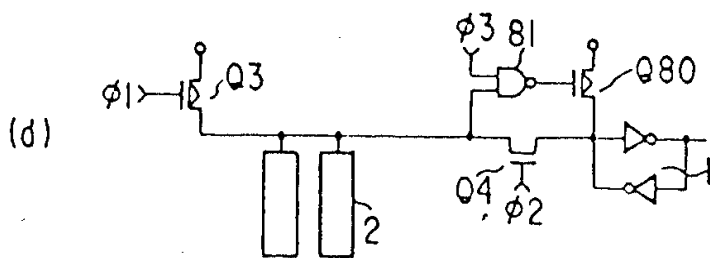
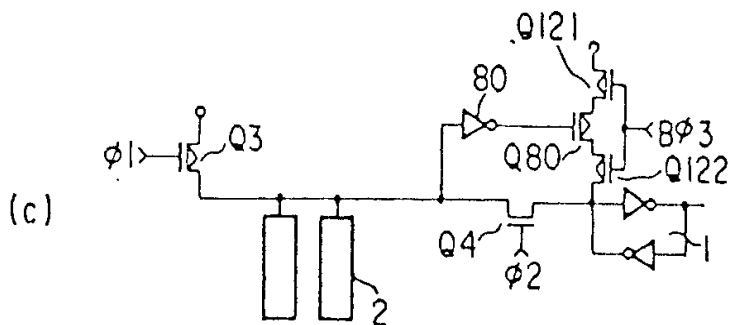
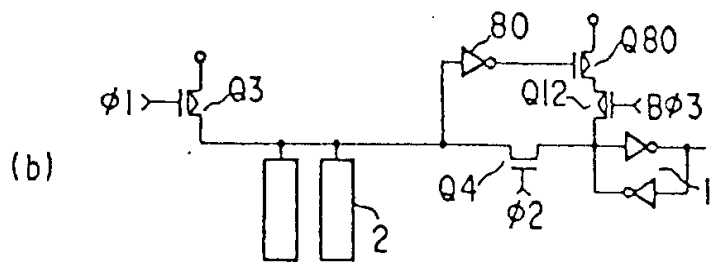
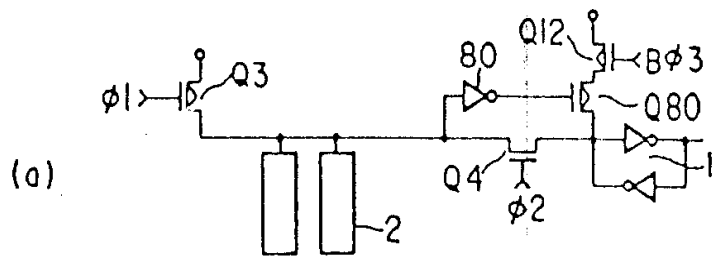


图 8

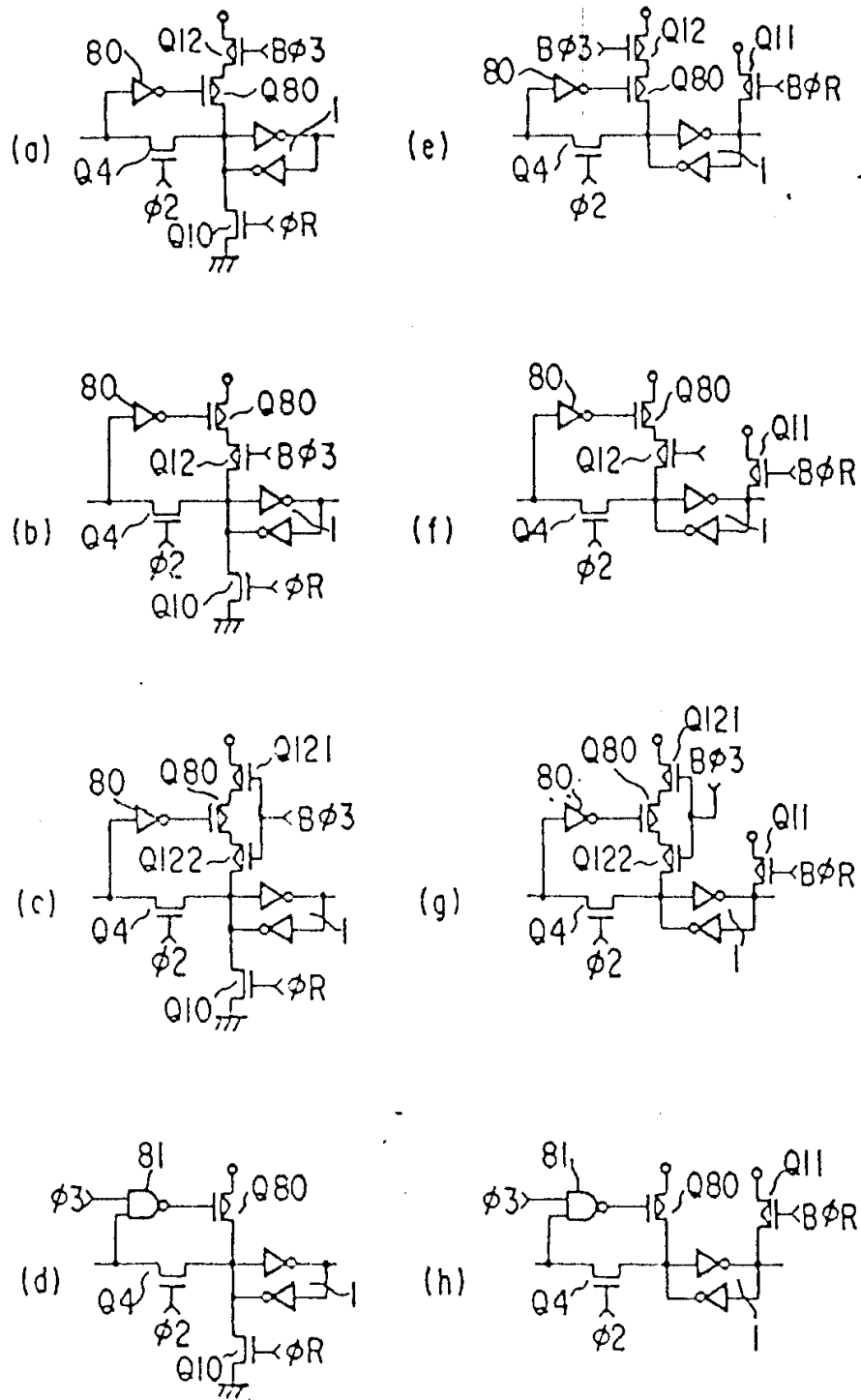


图 9

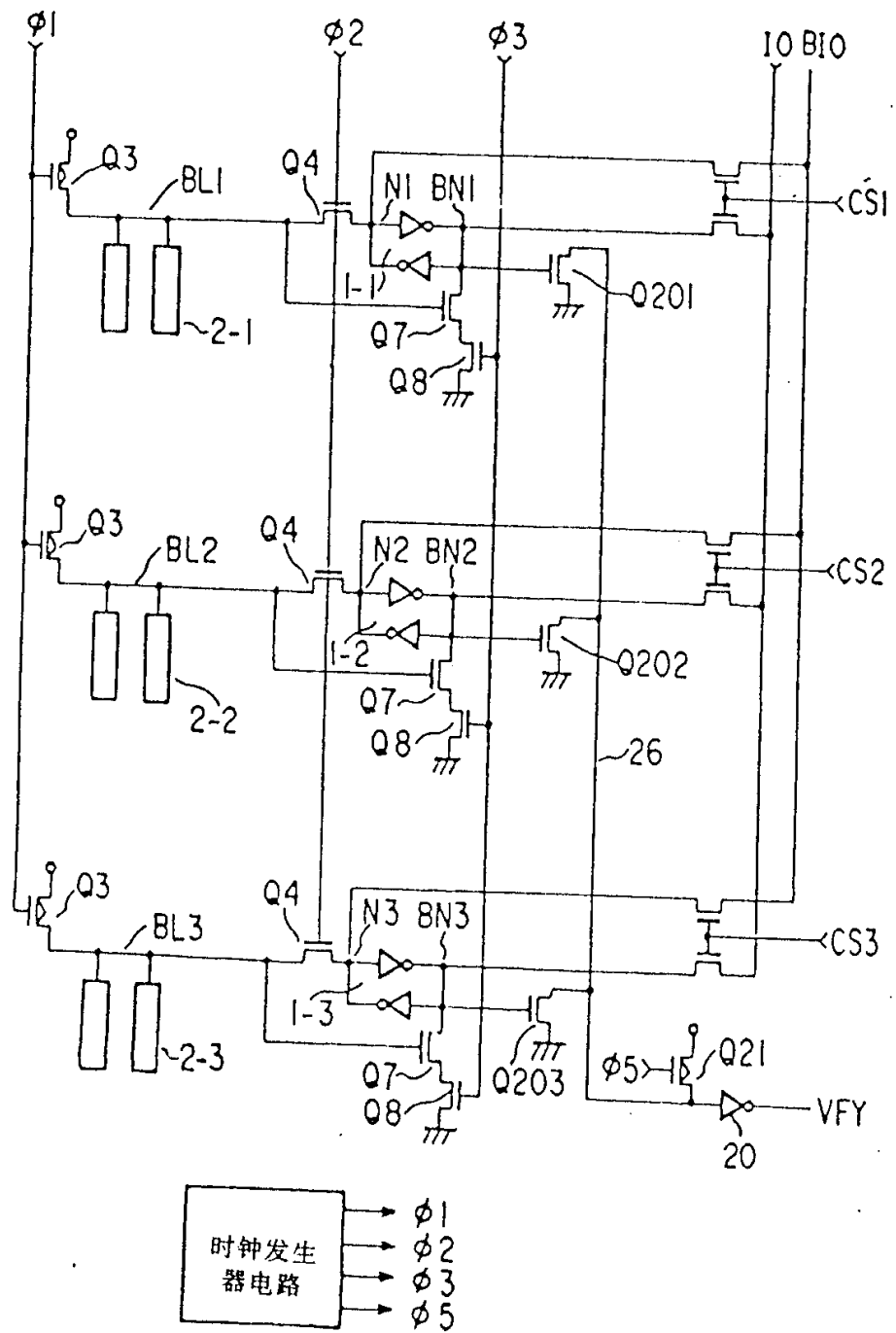


图 10

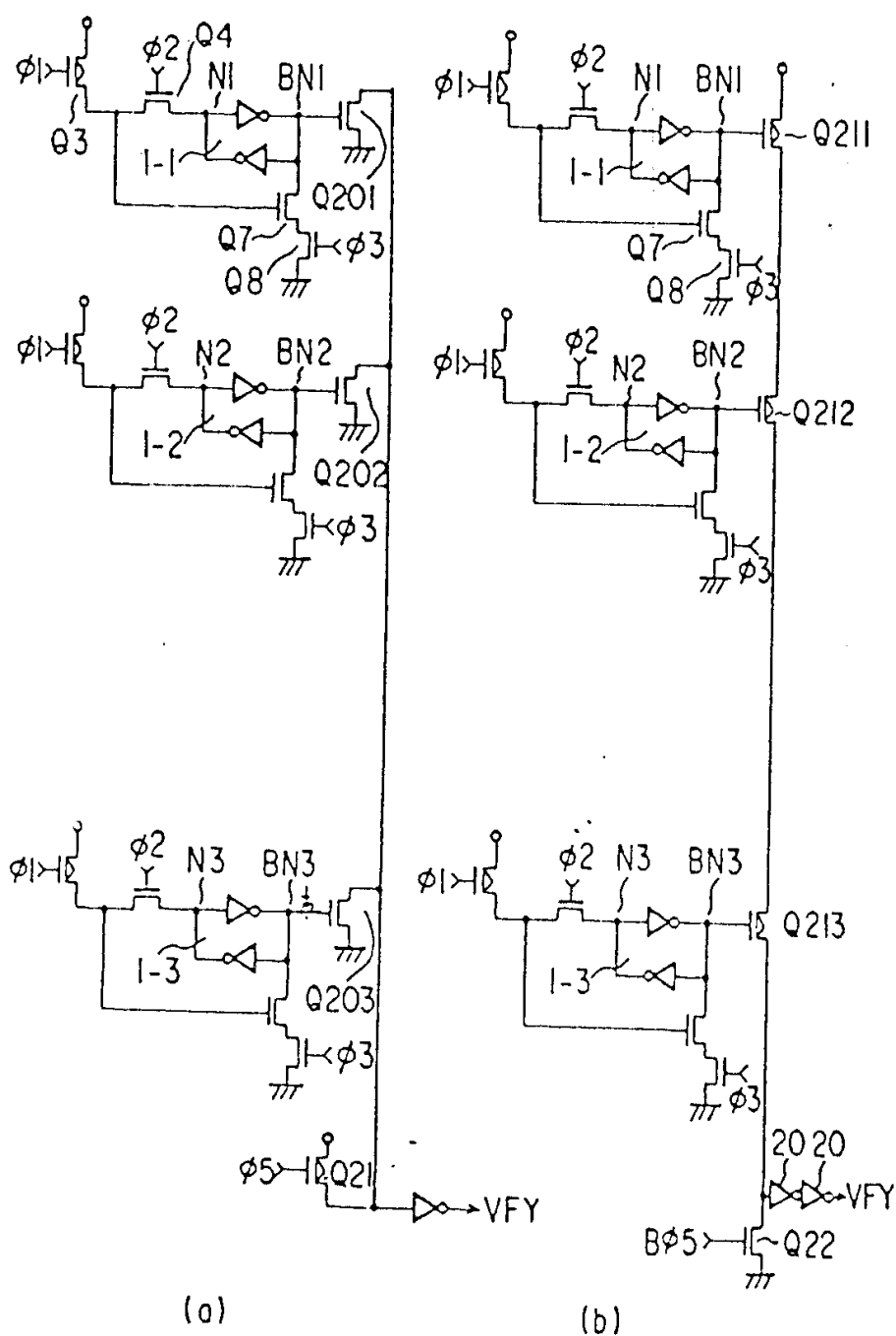


图 11

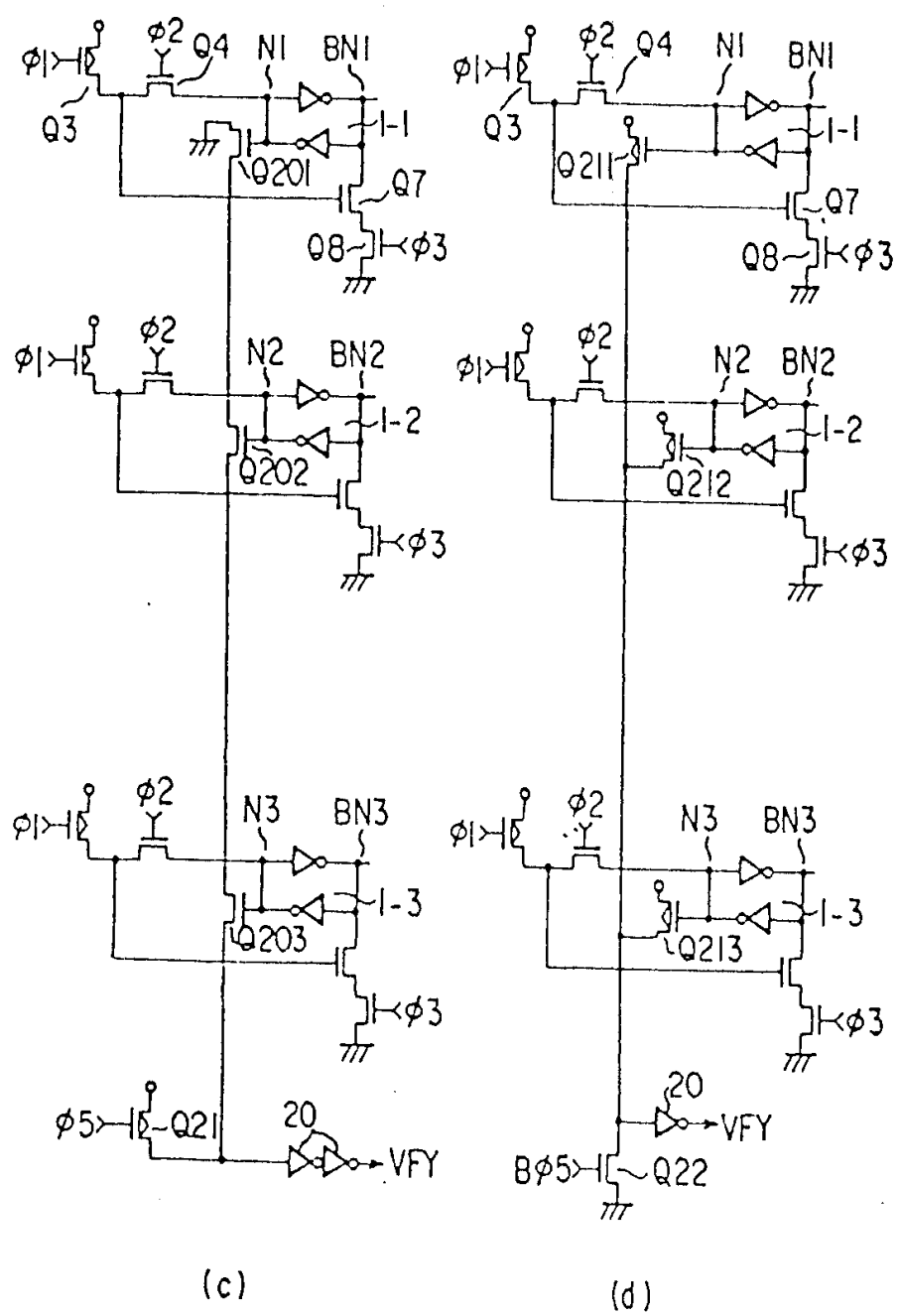
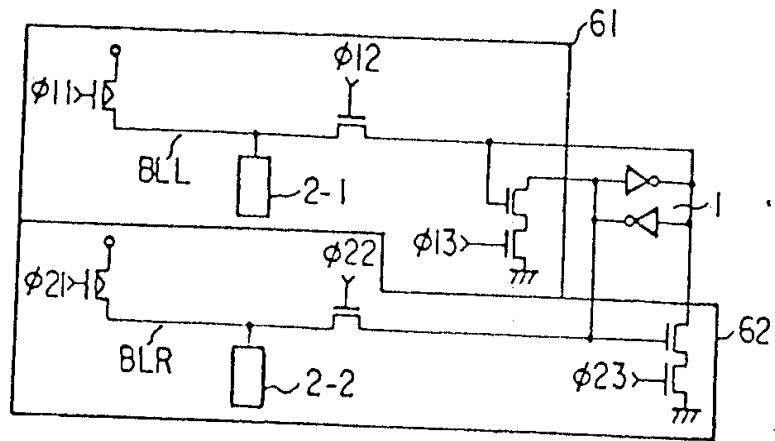
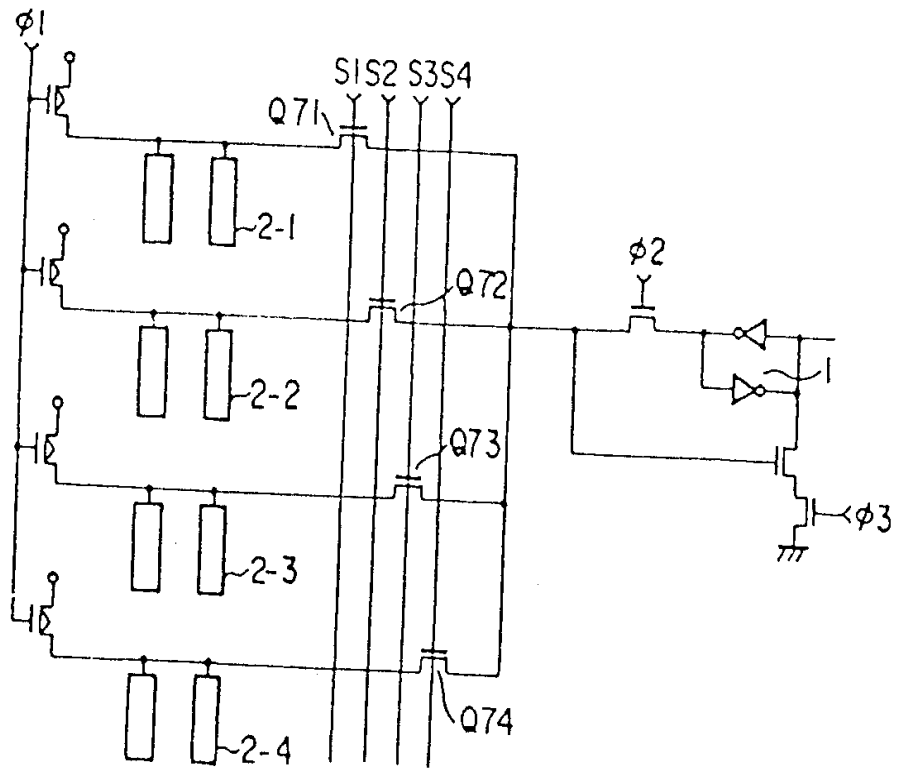


图 12



(a)



(b)

图 13



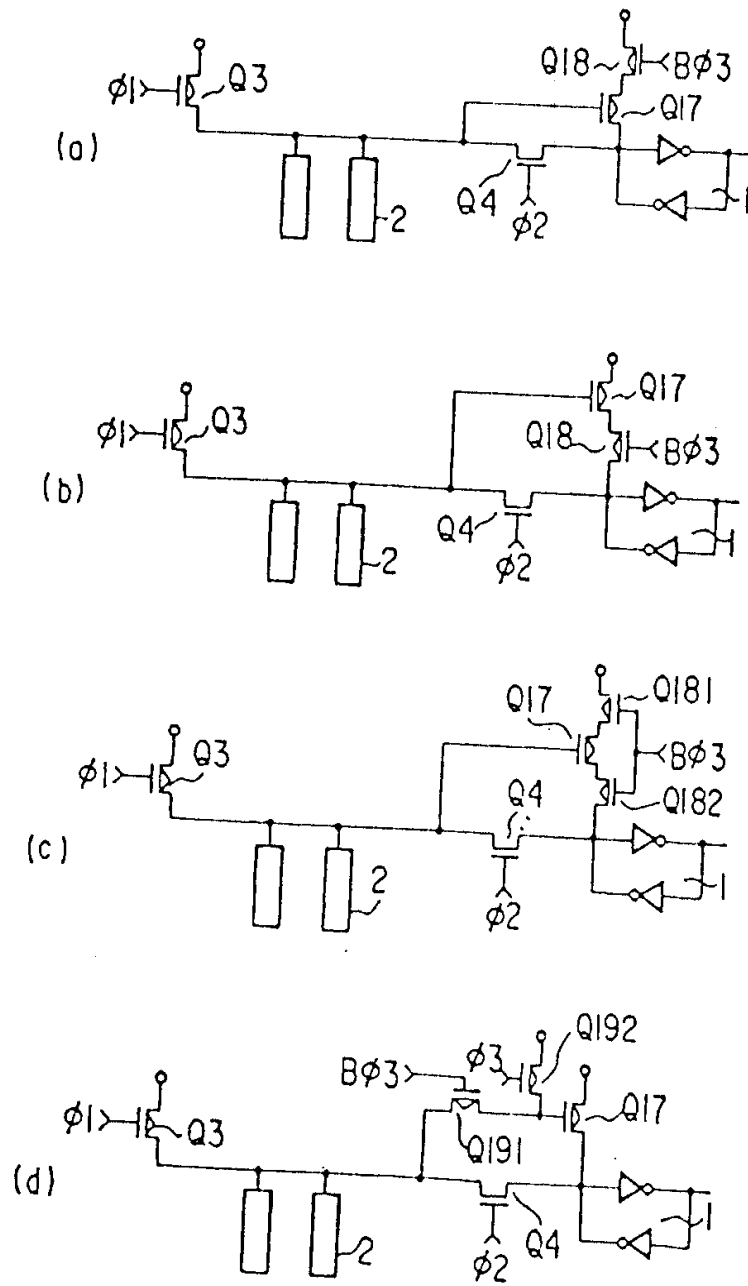


图 14

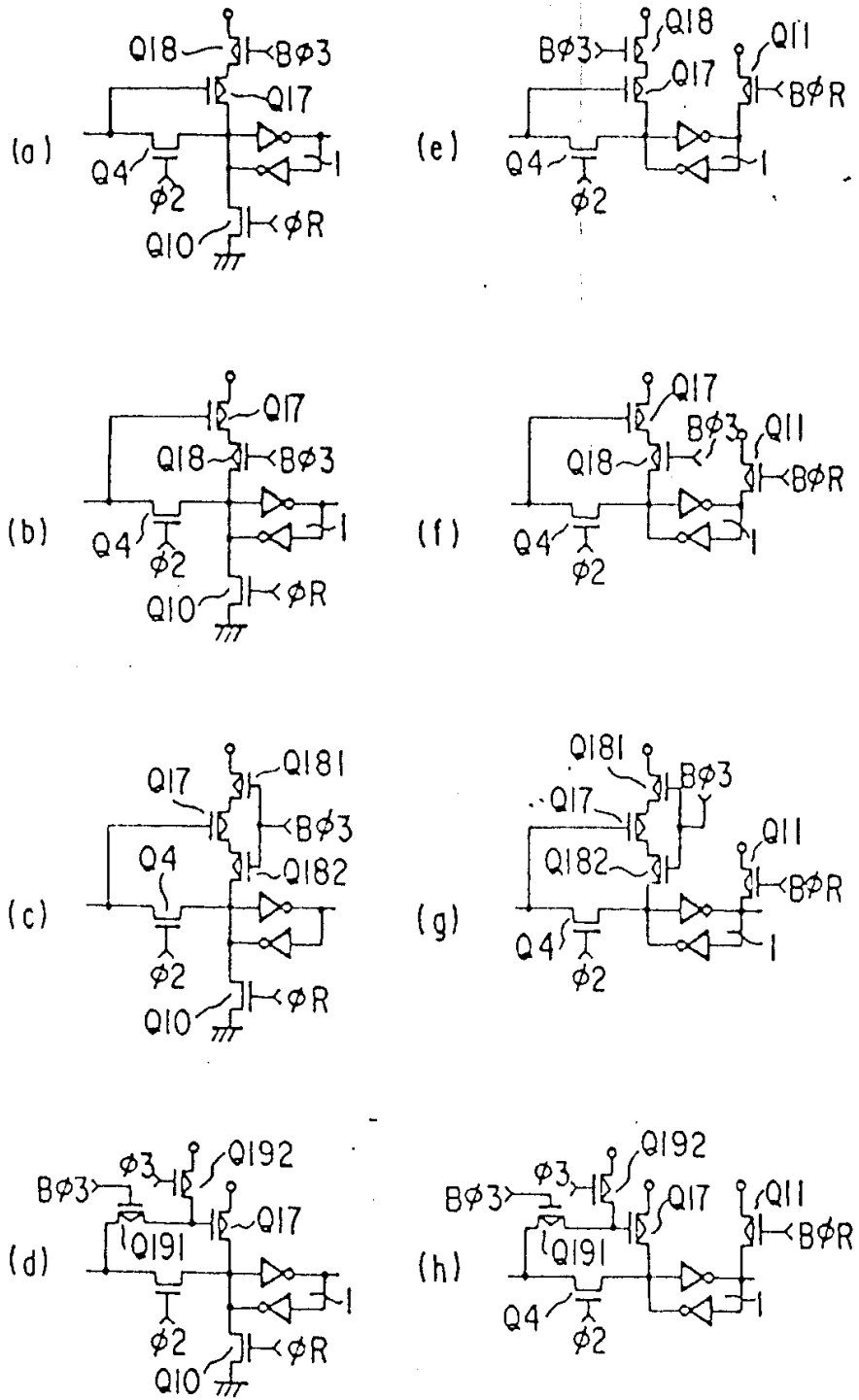


图 15

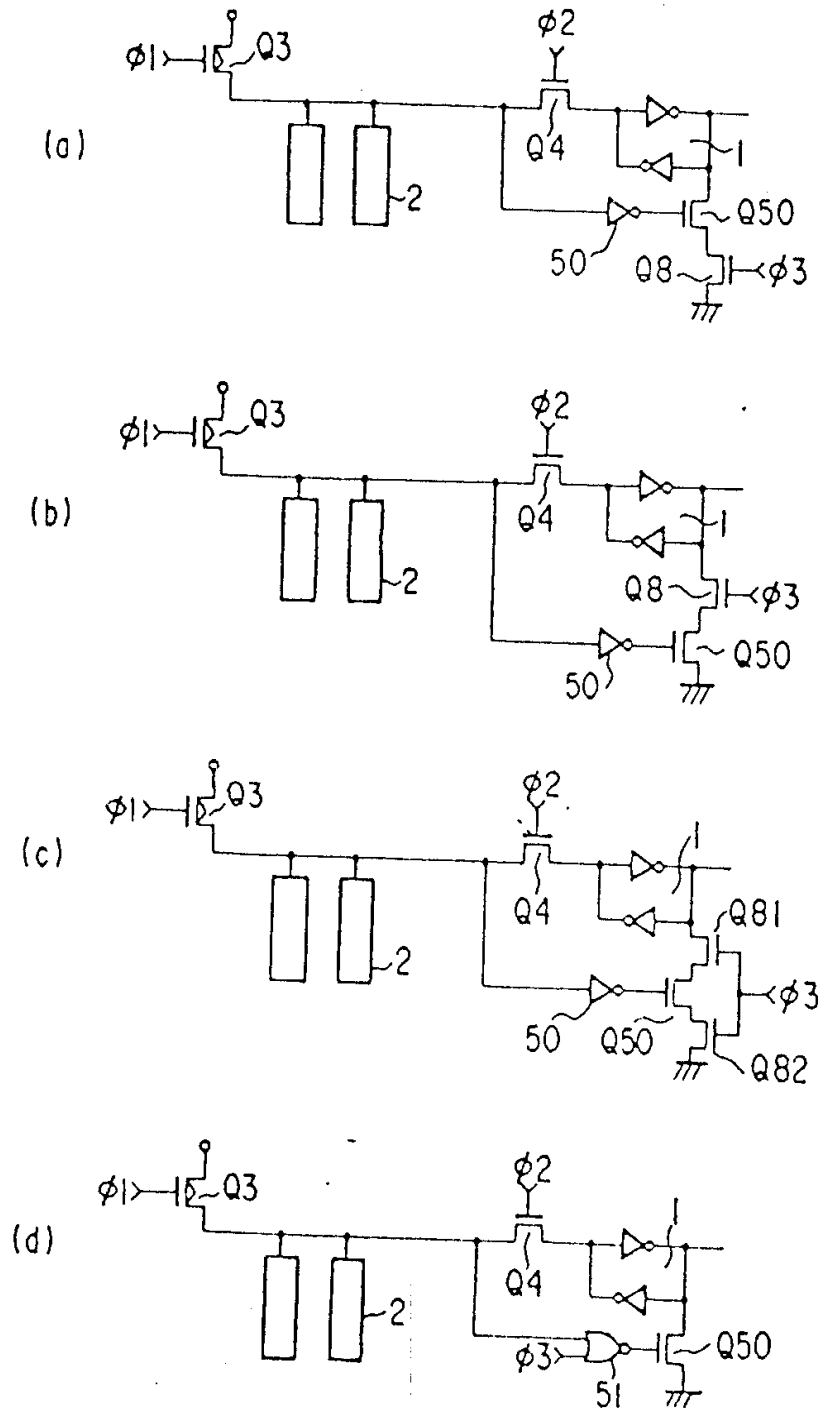


图 16

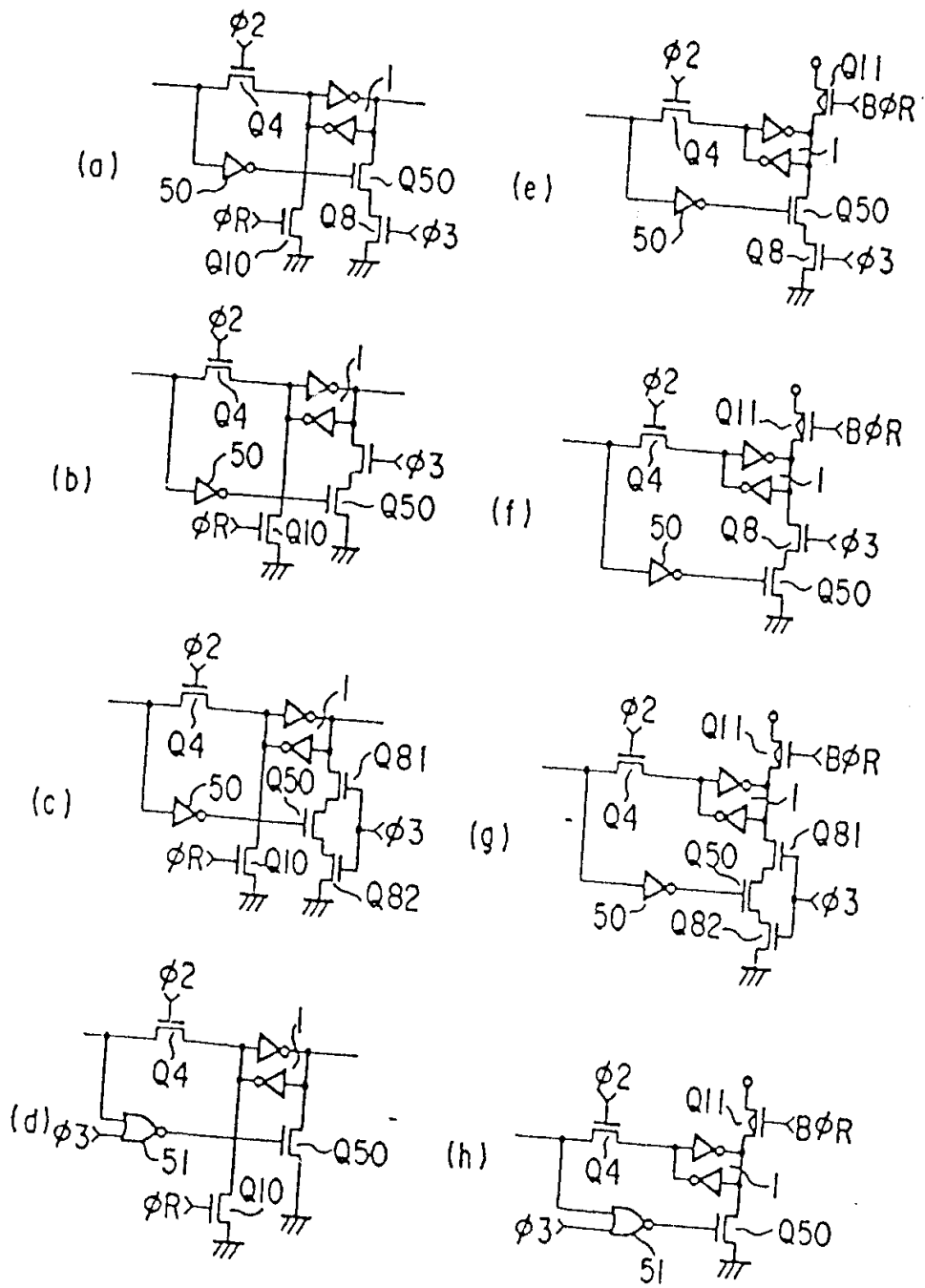


图 17

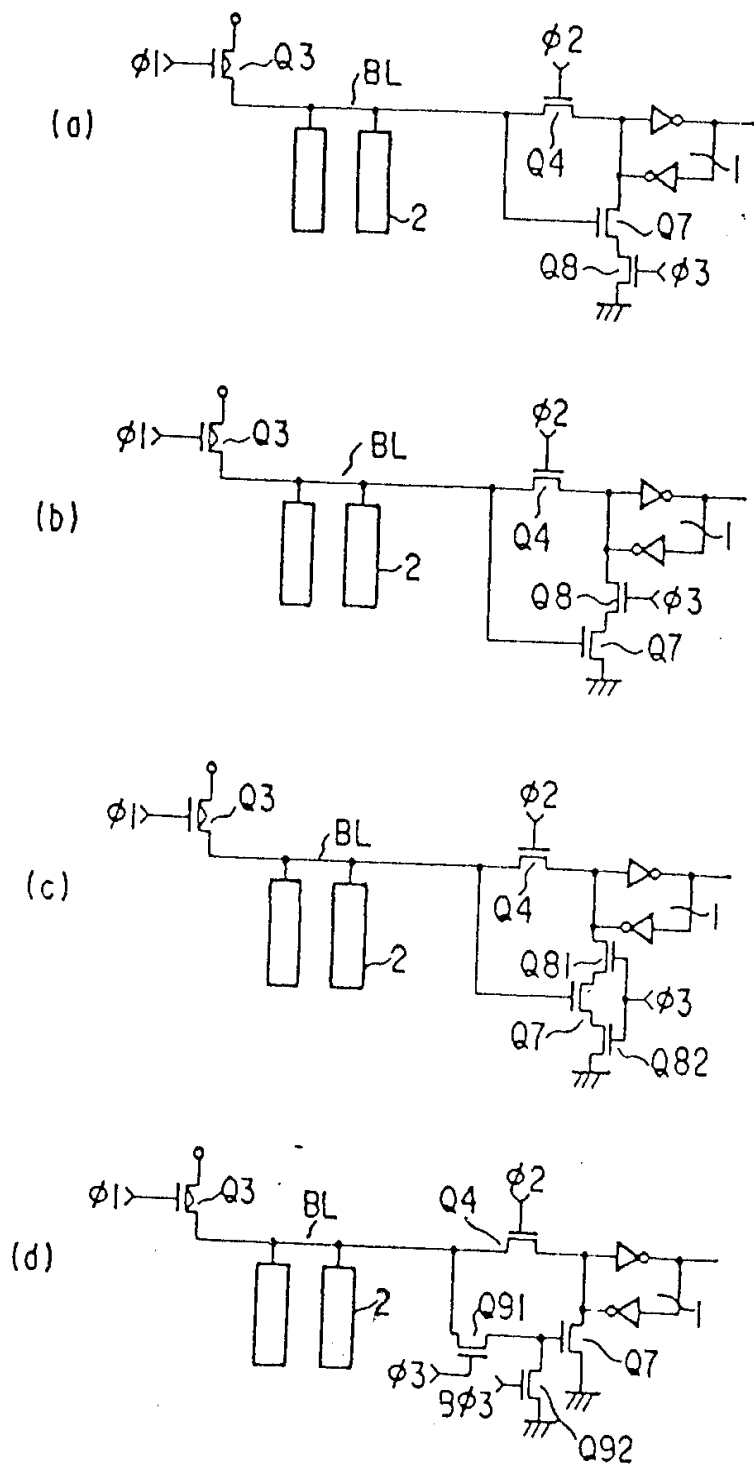


图 18

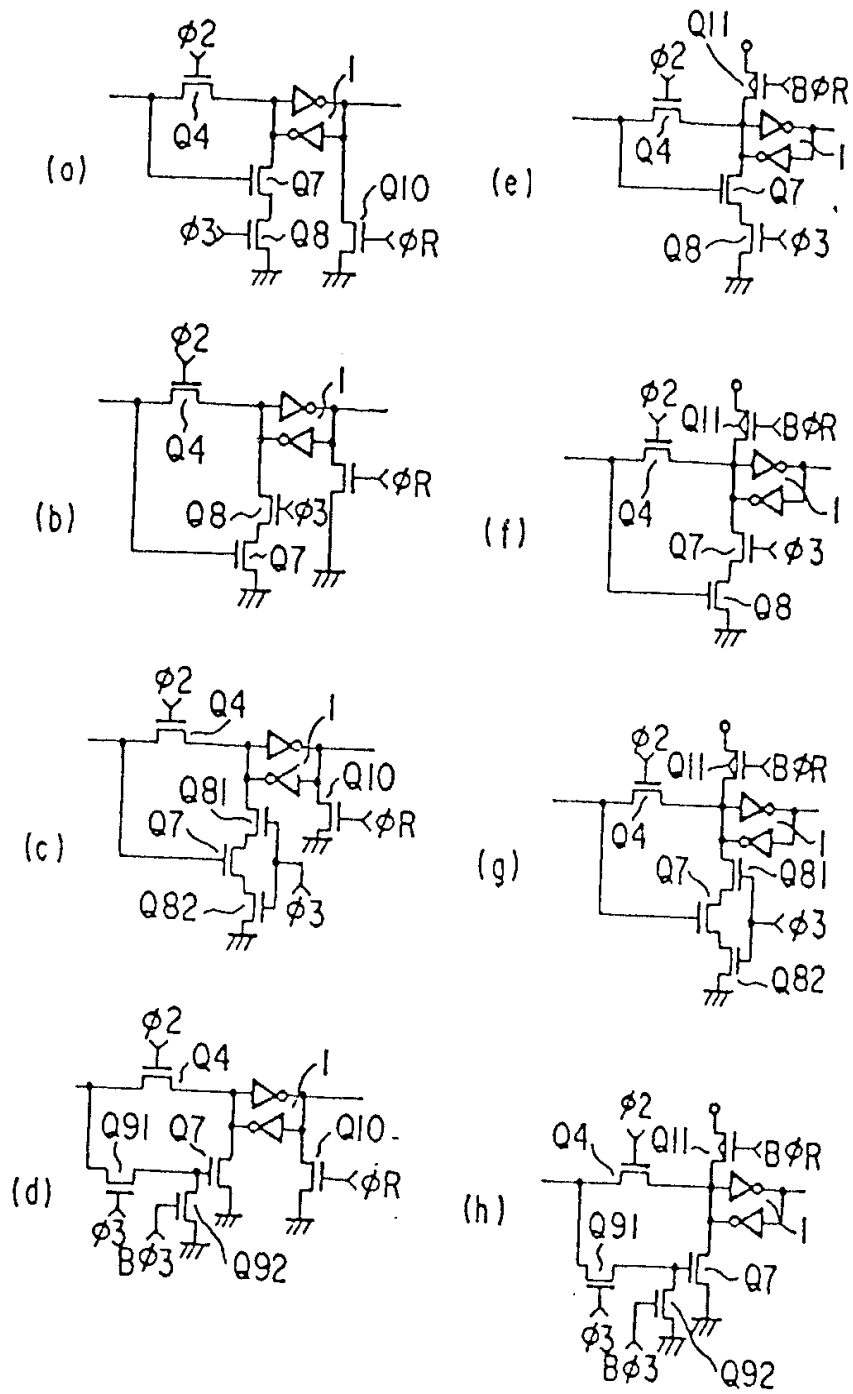


图 19

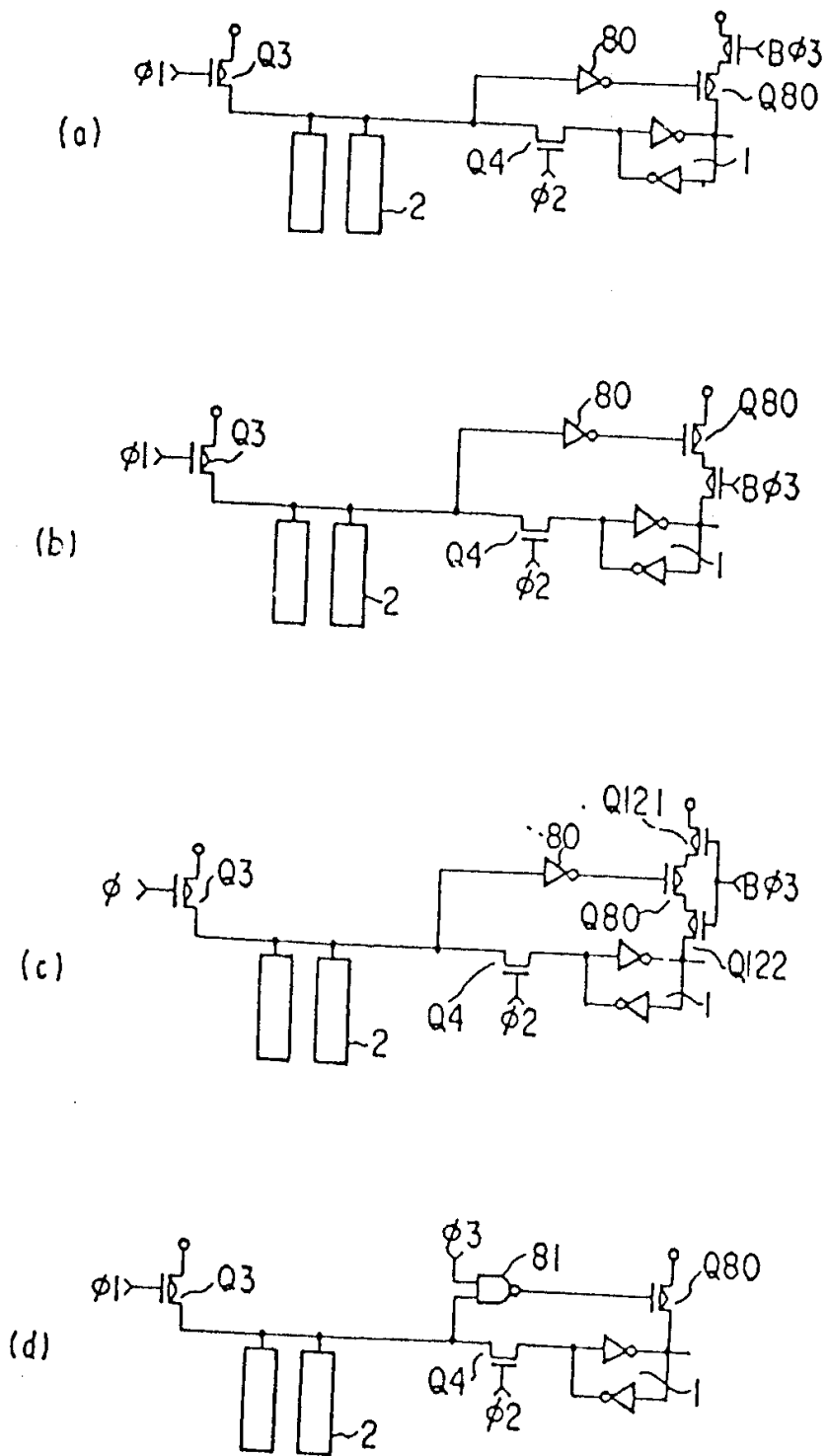


图 20

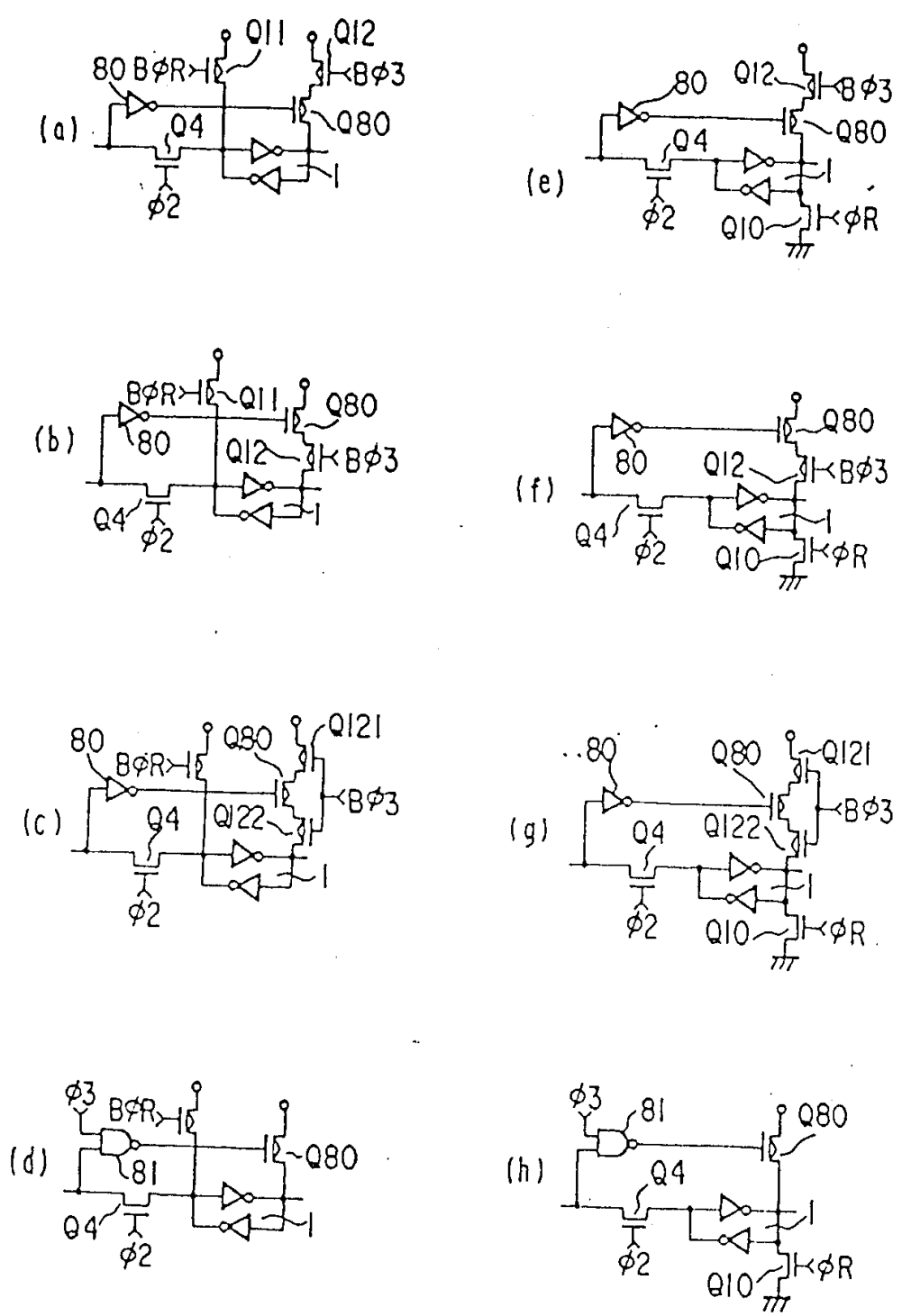


图 21



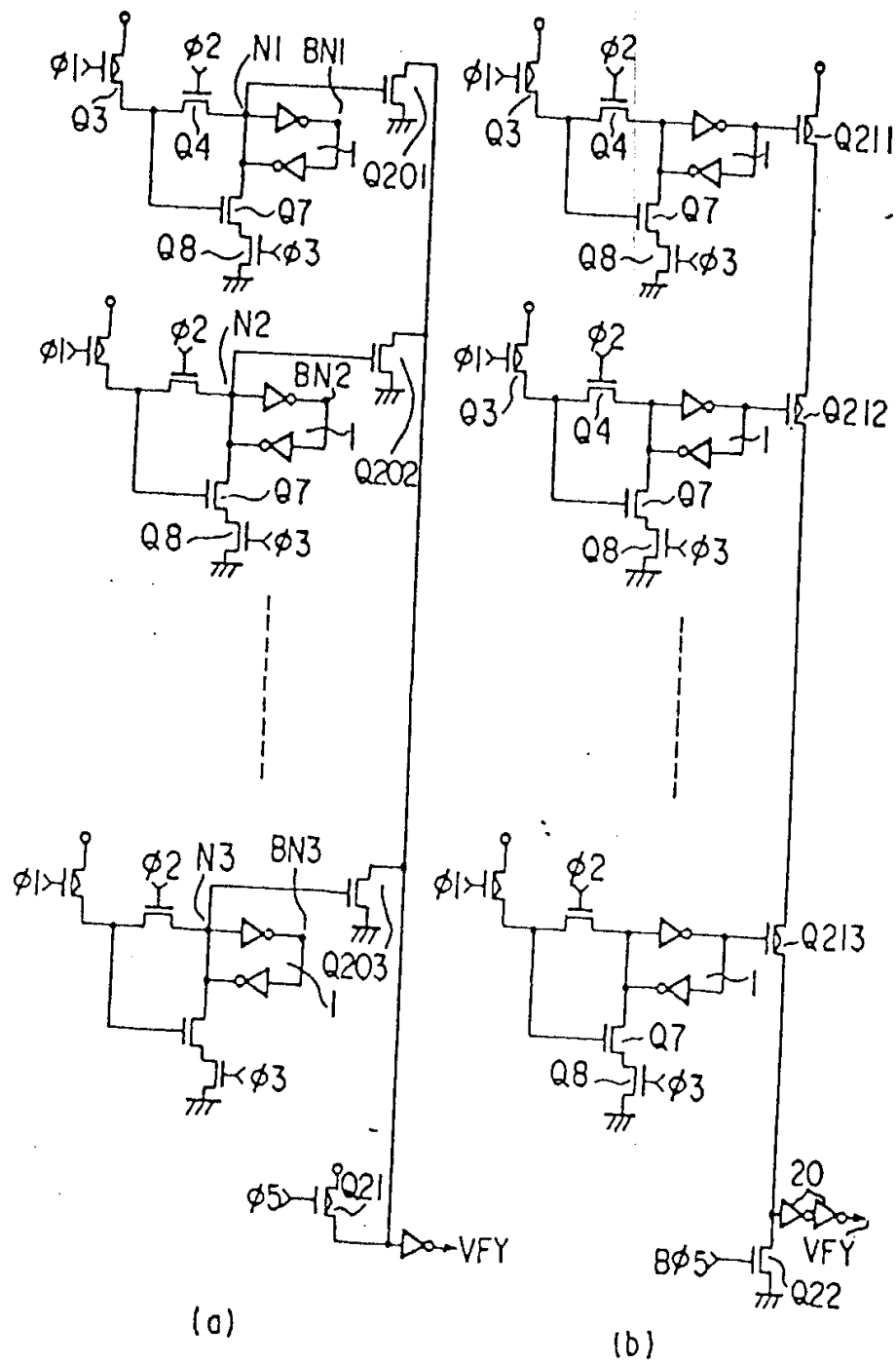


图 22

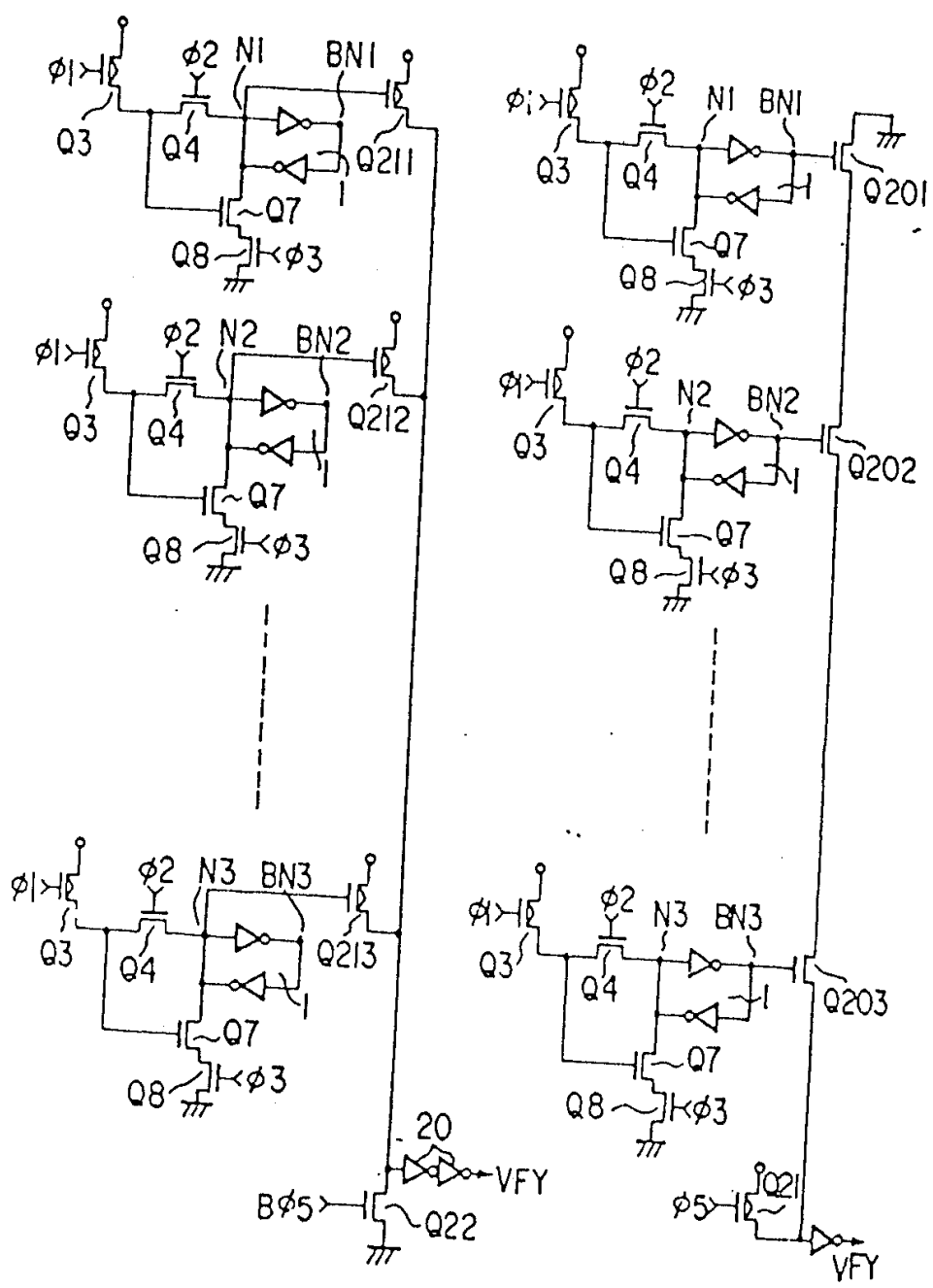


图 23

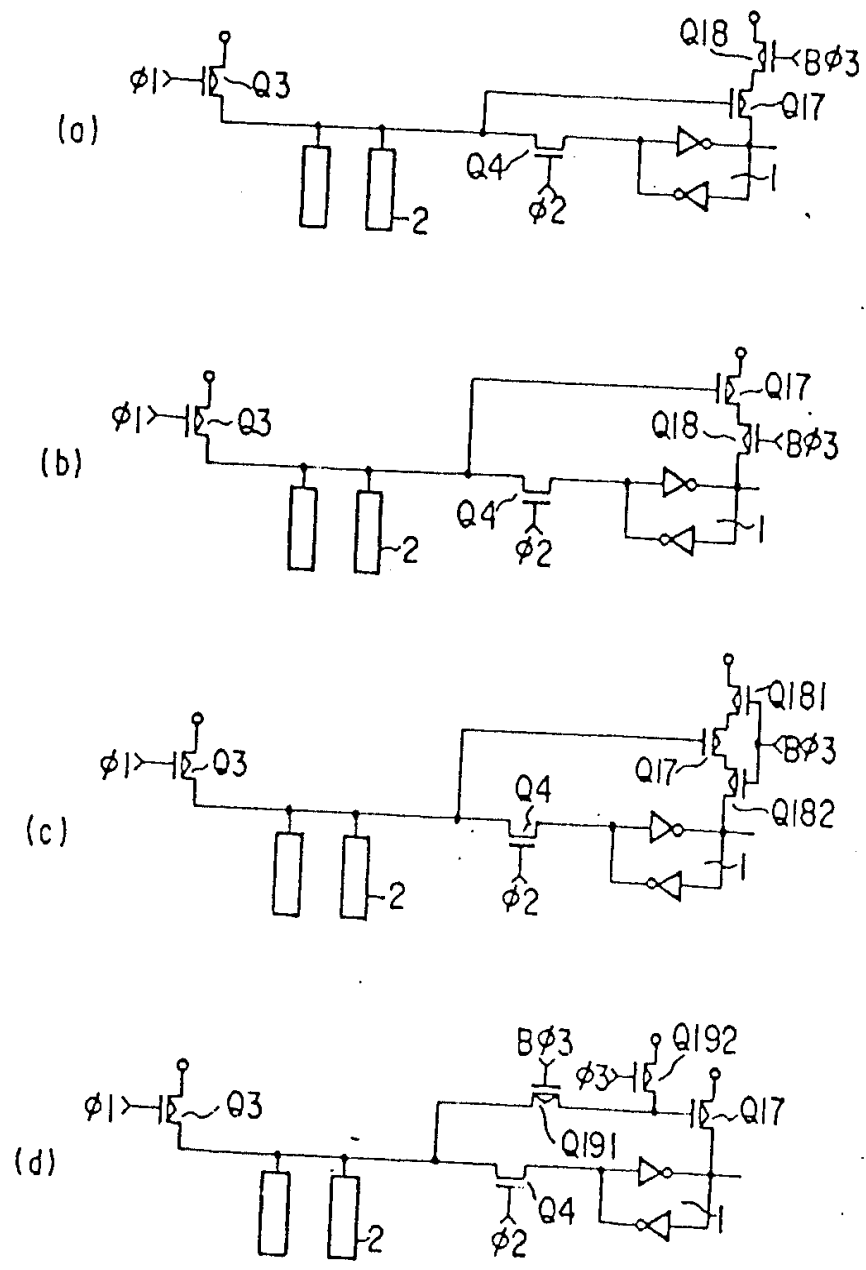


图 24

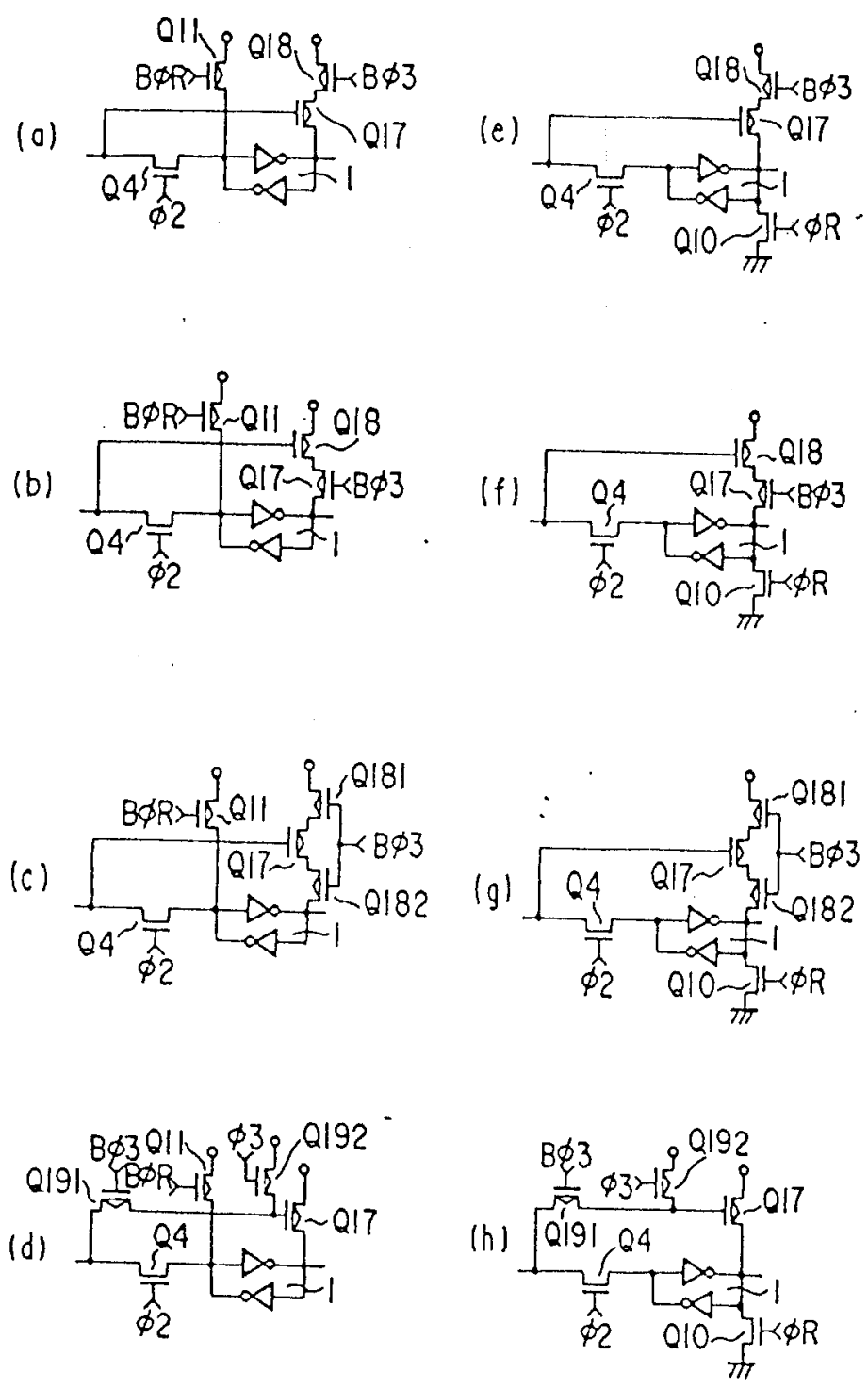


图 25

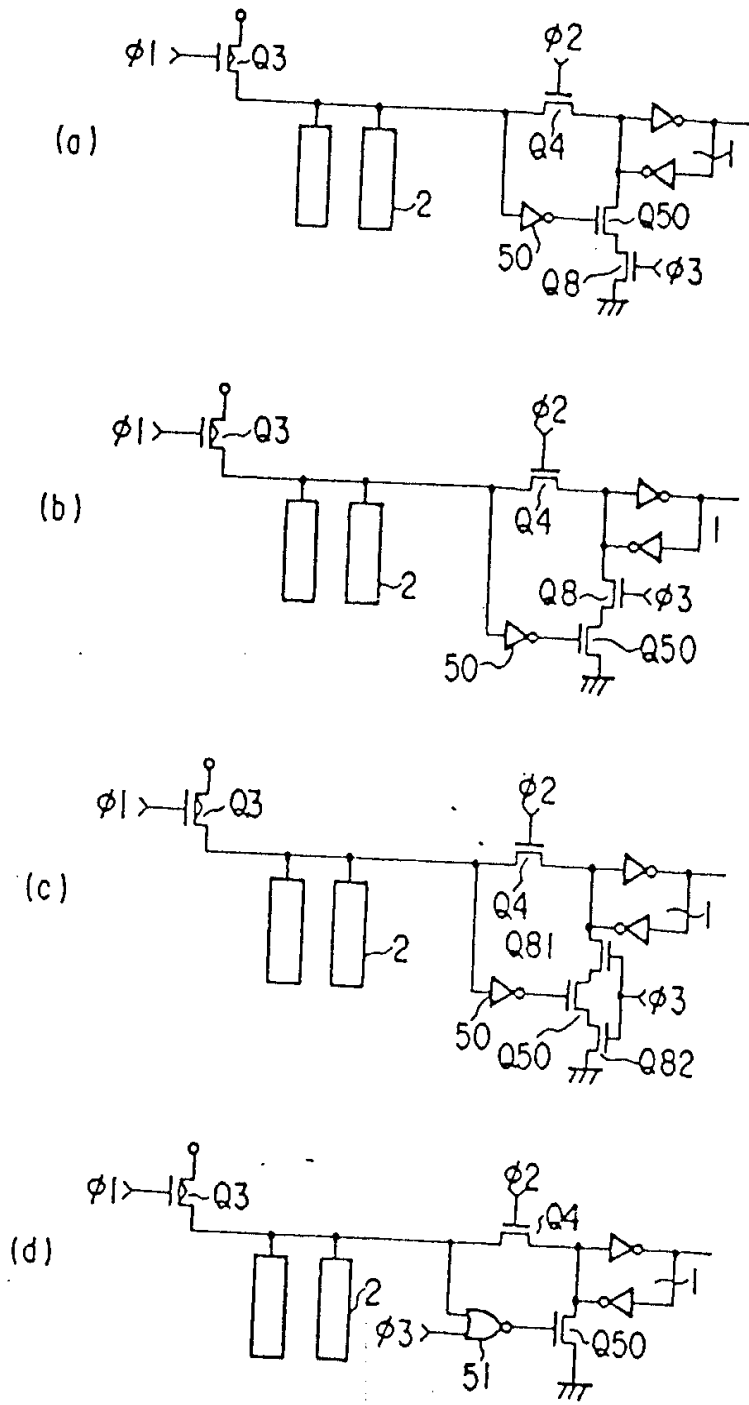


图 26

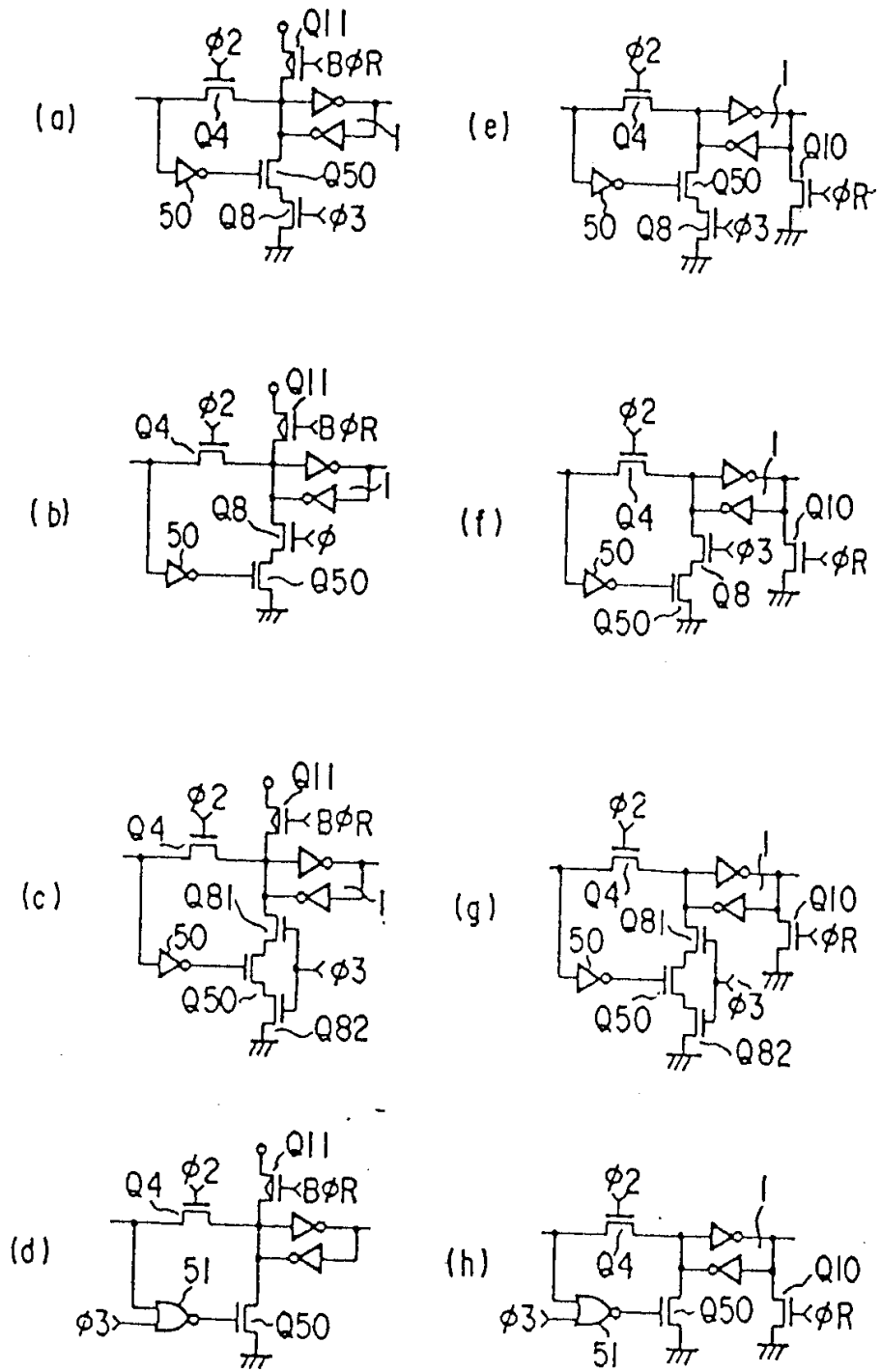


图 27

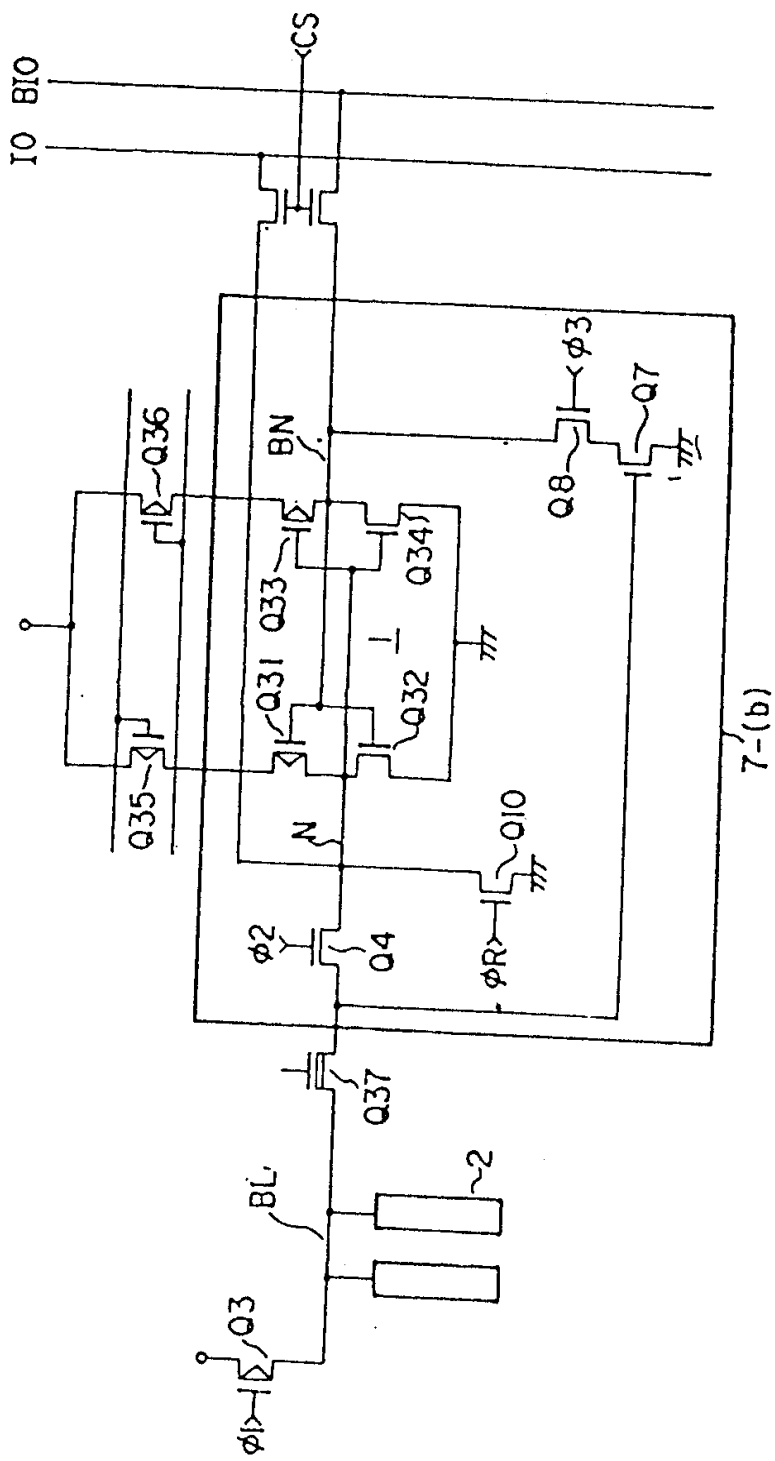


图 28

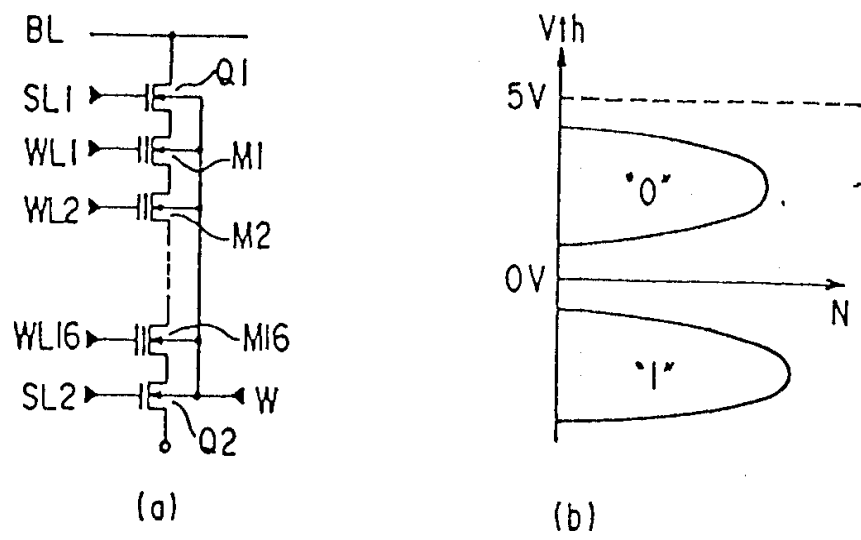


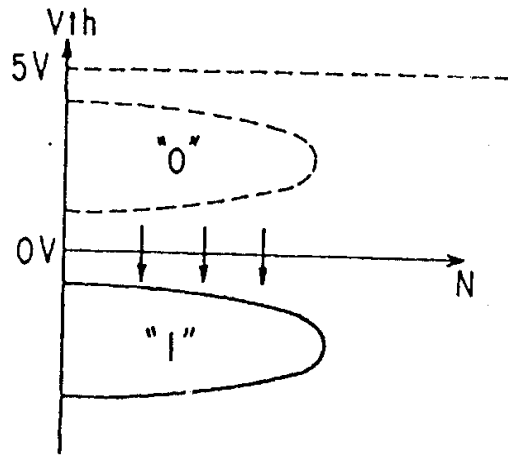
图 29

	读出	清除	写入
BL	5V 予充电	开放	"0"写入 0V "1"写入 1V
SL1	5V	0V	11V
WL	选择 0V 非选择 5V	0V	选择 18V 非选择 9V
SL2	5V	0V	0V
W	0V	18V	0V
S	0V	18V	0V

图 30

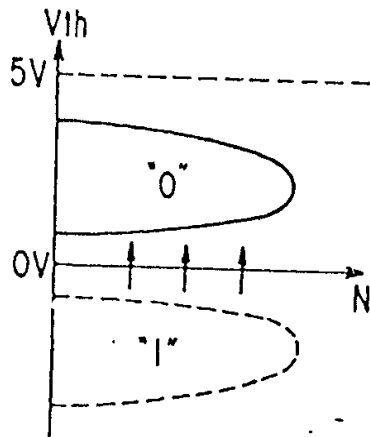


清除

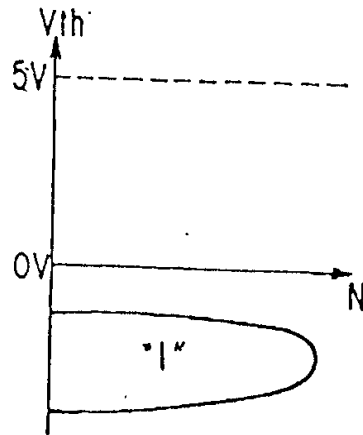


(a)

写入



"0"写入  
(b-1)



"1"写入  
(b-2)

图 31

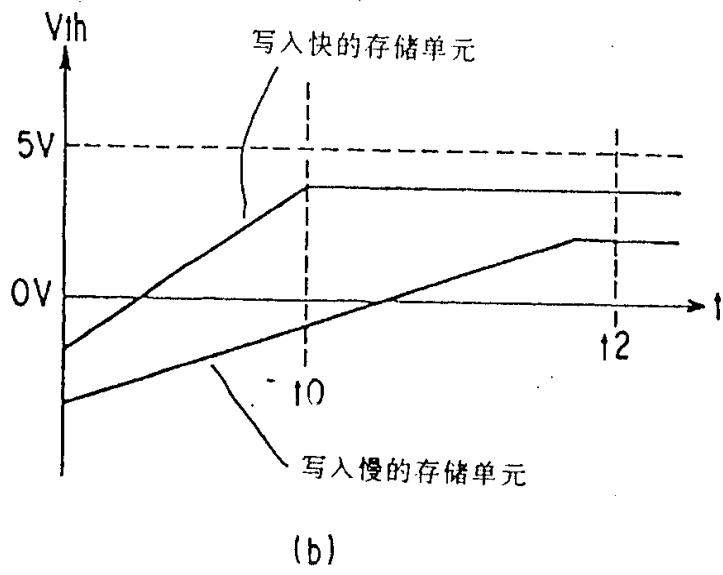
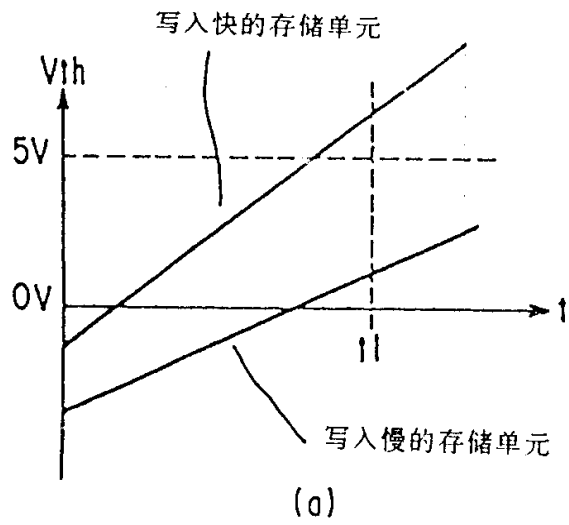


图 32

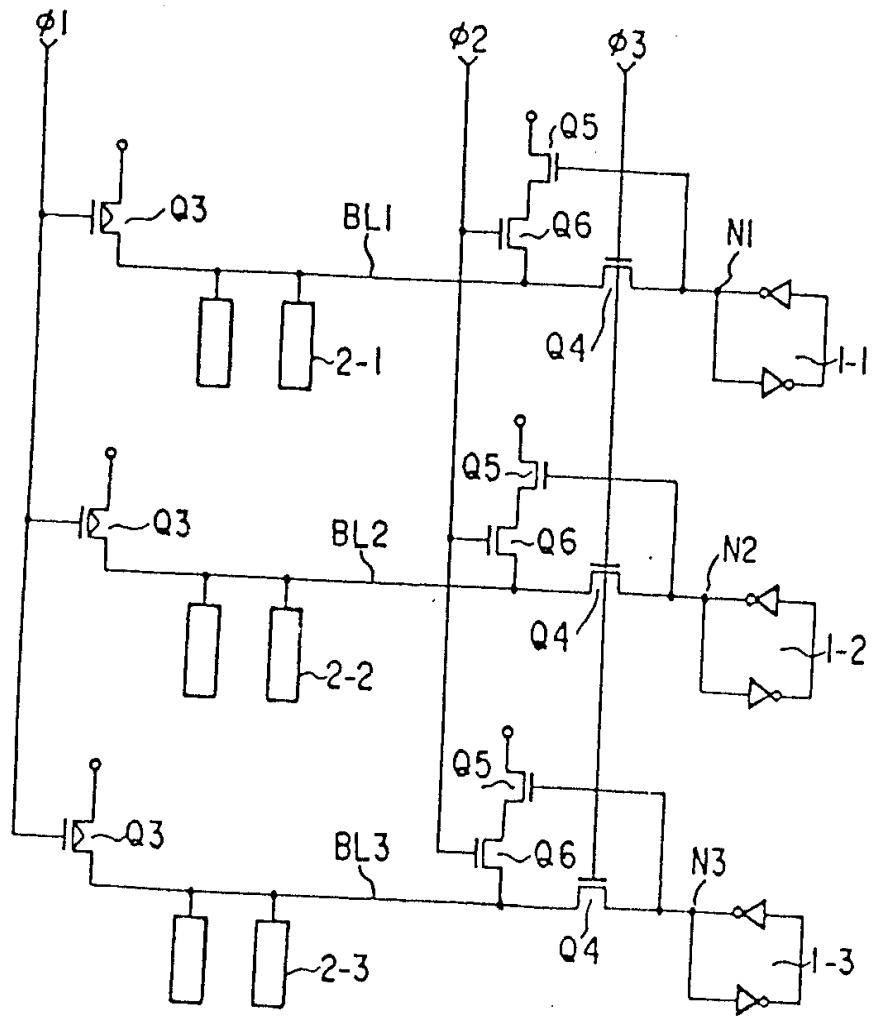


图 33

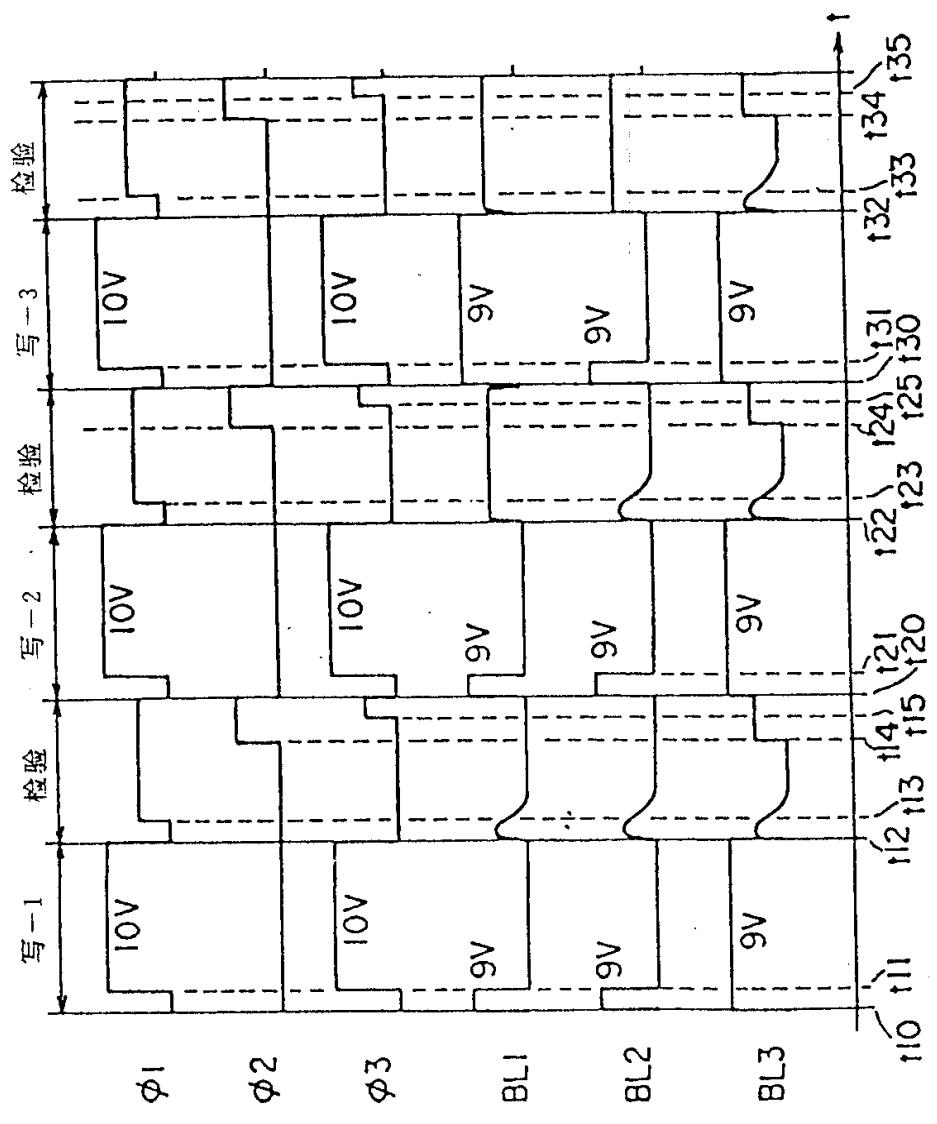


图 34

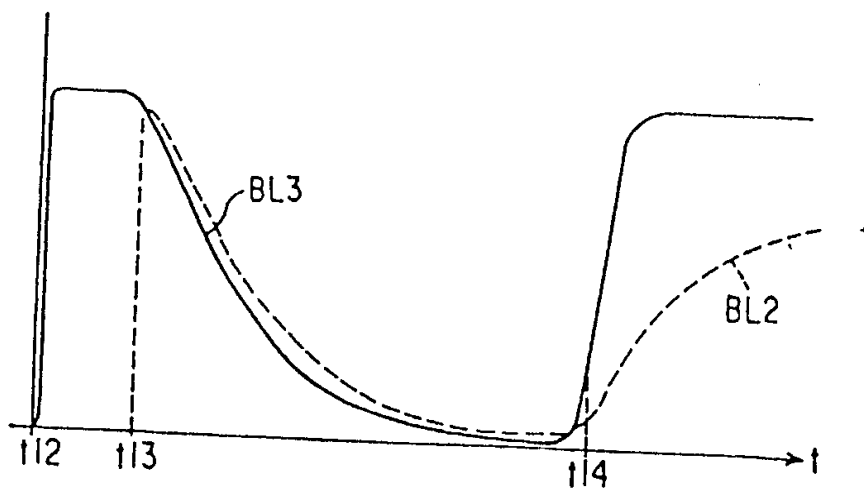


图 35

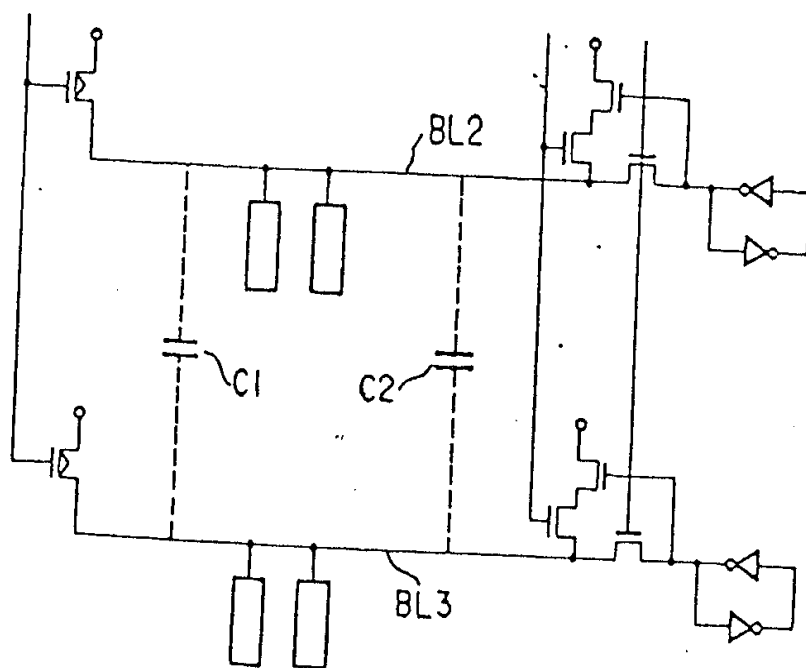


图 36

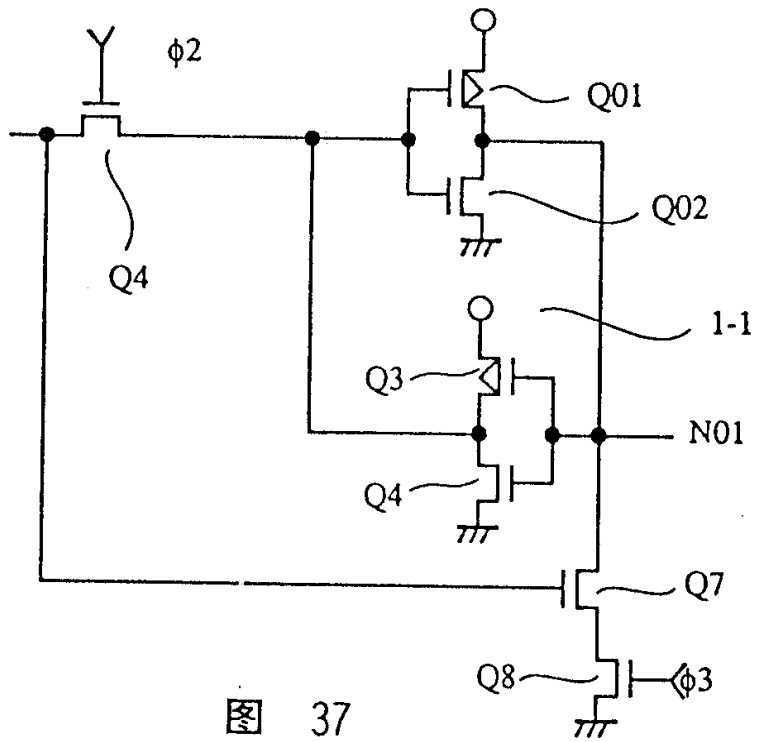


图 37

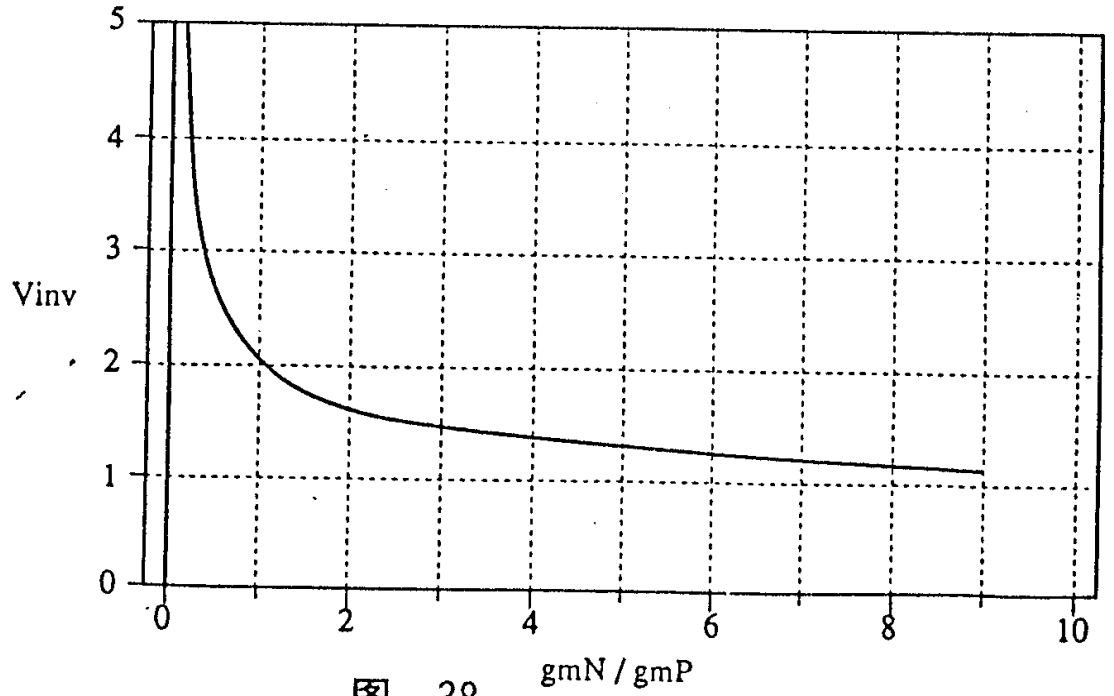


图 38

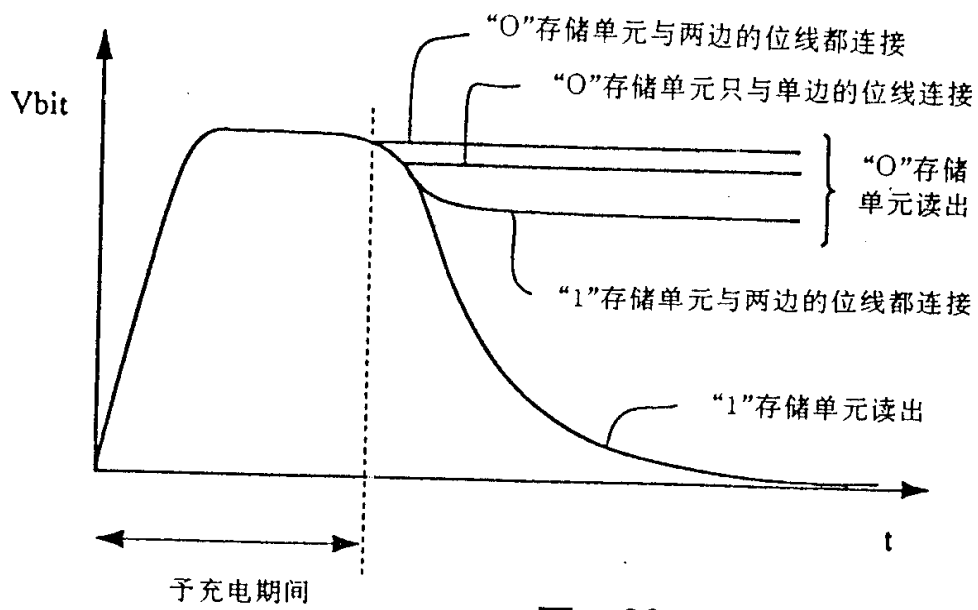


图 39

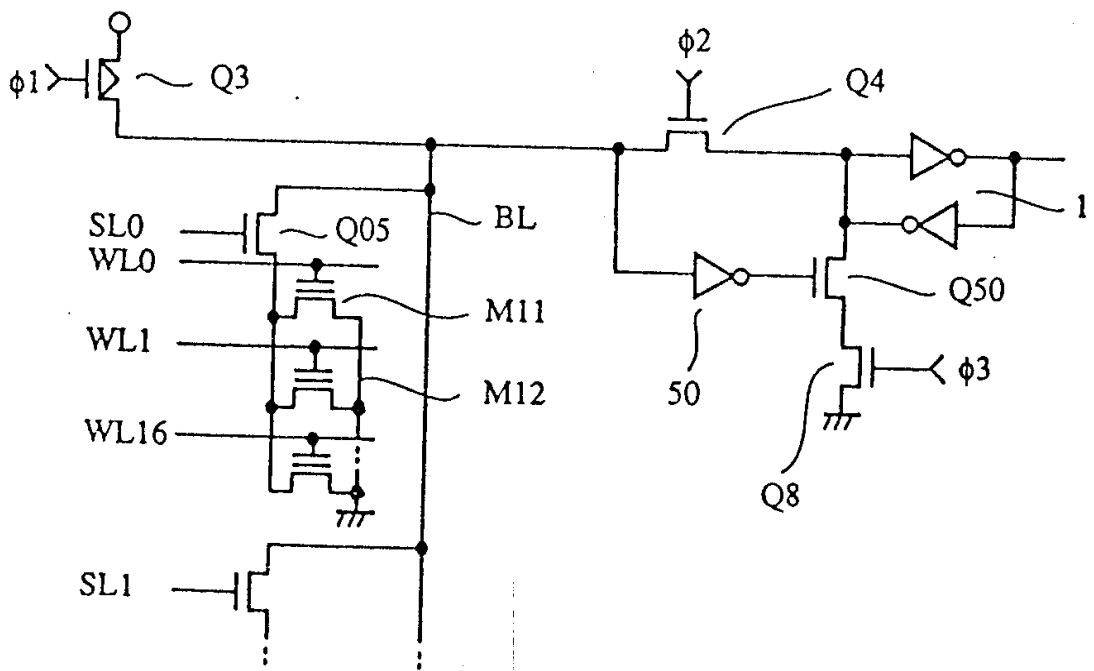


图 40

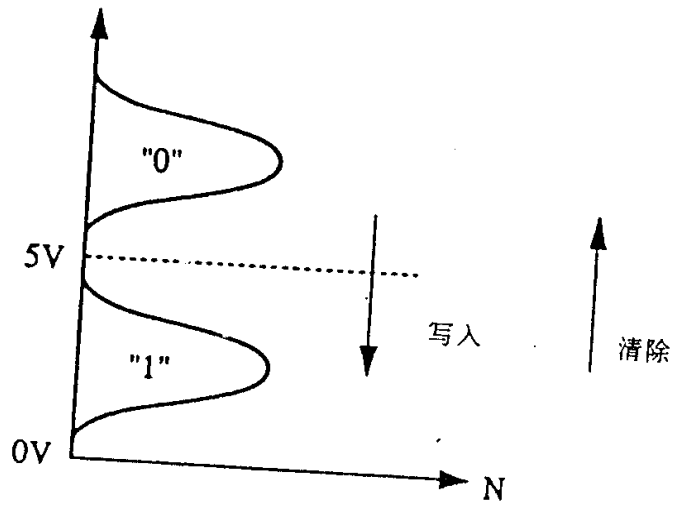


图 41