



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0099447
(43) 공개일자 2016년08월22일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 29/785 (2013.01)
H01L 29/665 (2013.01)
- (21) 출원번호 10-2015-0085680
- (22) 출원일자 2015년06월17일
심사청구일자 2015년06월17일
- (30) 우선권주장
62/115,568 2015년02월12일 미국(US)
14/675,215 2015년03월31일 미국(US)

- (71) 출원인
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
칭 귀 쉹
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호
차이 칭웨이
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호
(뒷면에 계속)
- (74) 대리인
김태홍, 김진희

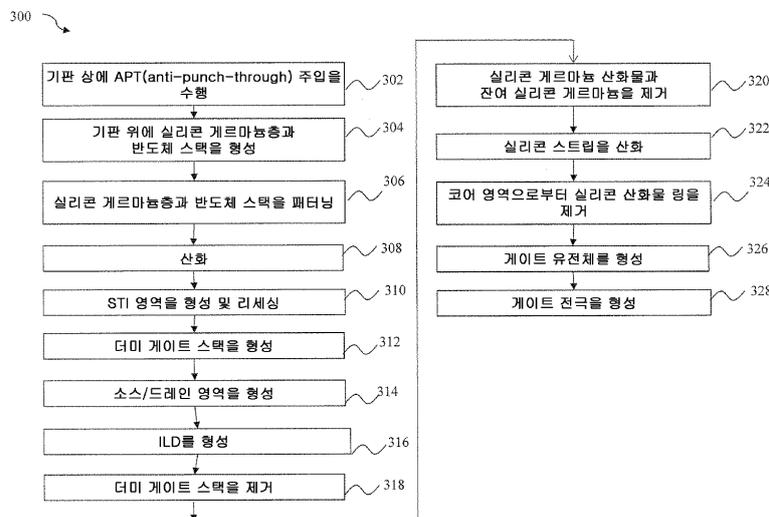
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 랩어라운드 실리사이드를 구비한 FINFET 및 그 형성 방법

(57) 요약

디바이스는 반도체 기판 내로 연장되는 절연 영역을 포함하고, 상기 절연 영역의 대향하는 부분들 사이의 기판 스트립은 제1 폭을 갖는다. 소스/드레인 영역은 기판 스트립을 덮는 일부를 구비하며, 상기 소스/드레인 영역의 상위 부분은 제1 폭보다 큰 제2 폭을 갖는다. 소스/드레인 영역의 상위 부분은 실질적으로 수직 측벽을 갖는다. 소스/드레인 실리사이드 영역은 상기 소스/드레인 영역의 수직 측벽과 접촉하는 내측벽을 갖는다.

대표도



(52) CPC특허분류

H01L 29/7848 (2013.01)

H01L 2924/13067 (2013.01)

(72) 발명자

리우 치웬

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

왕 치하오

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

령 잉쿵

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

명세서

청구범위

청구항 1

디바이스에 있어서,

반도체 기판 내로 연장되는 절연 영역들로서, 상기 절연 영역들의 대향하는 부분들 사이의 기판 스트립이 제1 폭을 갖는 것인 상기 절연 영역들과,

상기 기판 스트립을 오버랩핑하는 부분을 소스/드레인 영역으로서, 상기 소스/드레인 영역의 상위 부분은 상기 제1 폭보다 큰 제2 폭을 갖고, 상기 소스/드레인 영역의 상위 부분은 수직 측벽들을 갖는 것인 상기 소스/드레인 영역과,

상기 소스/드레인 영역의 수직 측벽들과 접촉하는 내측벽들을 갖는 소스/드레인 실리사이드 영역을 포함하는 디바이스.

청구항 2

제1항에 있어서, 유전체 에칭 정지층을 더 포함하고,

상기 유전체 에칭 정지층은,

상기 절연 영역들의 상단면과 접촉하는 하단면을 갖는 수평 부분과,

상기 수평 부분의 단부에 접속된 하단부를 포함하는 수직 부분

을 포함하고, 상기 소스/드레인 영역은 상기 유전체 에칭 정지층의 수직 부분의 내측벽과 접촉하는 측벽을 포함하는 것인 디바이스.

청구항 3

제2항에 있어서, 상기 유전체 에칭 정지층의 수직 부분은 상기 소스/드레인 실리사이드 영역의 하단부와 접촉하는 상단부를 포함하는 것인 디바이스.

청구항 4

제2항에 있어서, 측벽을 갖는 컨택 플러그를 더 포함하고,

상기 컨택 플러그는,

상기 소스/드레인 실리사이드 영역의 외측벽과 접촉하는 상위 부분과,

상기 유전체 에칭 정지층의 수직 부분의 외측벽과 접촉하는 하위 부분

을 포함하는 것인 디바이스.

청구항 5

제1항에 있어서, 상기 소스/드레인 영역에 의해 오버랩핑되고 상기 기판 스트립을 오버랩핑하는 실리콘 게르마늄 산화물 영역을 더 포함하는 디바이스.

청구항 6

제5항에 있어서, 상기 실리콘 게르마늄 산화물 영역은 상기 기판 스트립의 각각의 측벽과 얼라인되는 측벽을 갖는 것인 디바이스.

청구항 7

제1항에 있어서, 상기 소스/드레인 영역은 상기 제1 폭과 같은 폭을 갖는 하위 부분을 더 포함하는 것인 디바이스.

스.

청구항 8

디바이스에 있어서,
 STI(Shallow Trench Isolation) 영역들과,
 상기 STI 영역들의 대향하는 부분들 사이의 반도체 스트립과,
 상기 반도체 스트립을 오버랩핑하는 산화물 영역과,
 상기 산화물 영역을 오버랩핑하는 소스/드레인 영역
 을 포함하고,
 상기 소스/드레인 영역은,
 하위 부분으로서, 상기 반도체 스트립, 상기 산화물 영역, 및 상기 소스/드레인 영역의 각각의 엣지부가 얼라인
 되는 것인 상기 하위 부분과,
 상기 하위 부분 위의 상위 부분
 을 포함하고,
 상기 상위 부분은 수직 측벽들을 포함하며, 상기 상위 부분은 상기 하위 부분의 각각의 엣지부를 지나 측방향으
 로 연장되는 것인 디바이스.

청구항 9

제8항에 있어서, 상기 소스/드레인 영역의 하위 부분의 대향하는 면들 상의 부분들을 포함하는 유전체 에칭 정
 지층을 더 포함하고, 상기 유전체 에칭 정지층의 측벽들은 상기 소스/드레인 영역의 하위 부분의 측벽들과 접촉
 하는 것인 디바이스.

청구항 10

절연 영역들의 상단면들 위로 돌출하는 반도체 핀을 형성하는 단계와,
 상기 반도체 핀의 중앙부를 덮는 게이트 스택을 형성하는 단계로서, 상기 반도체 핀의 단부는 상기 게이트 스택
 에 의해 덮이지 않는 것인 상기 게이트 스택 형성 단계와,
 상기 반도체 핀의 단부의 대향하는 면들 상에 유전체 템플릿들을 형성하는 단계와,
 상기 유전체 템플릿들 사이에 오목부를 형성하도록 상기 반도체 핀의 단부를 에칭하는 단계와,
 상기 오목부로부터 소스/드레인 영역을 성장시키는 단계로서, 상기 소스/드레인 영역은 상기 오목부 내의 제1
 부분과, 상기 유전체 템플릿들 위의 제2 부분을 포함하며, 상기 제2 부분은 상기 제1 부분보다 폭이 넓은 것인
 상기 소스/드레인 영역 성장 단계와,
 상기 제2 부분을 트리밍하여 상기 제2 부분의 폭을 줄이는 단계
 를 포함하는 방법.

발명의 설명

배경 기술

- [0001] <우선권 주장>
- [0002] 본 출원은 2015년 2월 12일 출원한 미국 가출원 번호 62/115,568[발명의 명칭: FINFETs with Wrap-Around Silicide and Method Forming the Same]에 대해 우선권을 주장하며, 이 출원은 여기에서의 인용에 의해 참조로 본 명세서에 포함된다.
- [0003] <교차 참조>

[0004] 본 출원은 다음의 동일 출원인에 의한 미국 특허 출원: 2014년 6월 27일에 출원한 출원 일련 번호 14/317,069 [발명의 명칭: Method of Forming Semiconductor Structure with Horizontal Gate All Around Structure]에 관한 것이며, 이 출원은 여기에서의 이용에 의해 참조로 본 명세서에 포함된다.

[0005] <배경>

[0006] 집적 회로(IC) 재료 및 설계에 있어서의 기술적 진보는 여러 세대의 IC를 생산하고 있는데, 각 세대는 이전 세대보다 더 작고 더 복잡한 회로를 갖는다. IC 진화의 과정에 있어서, 기능적 밀도(예, 칩면적당 상호접속된 디바이스의 수)는 일반적으로 증가하고 기하학적 사이즈는 저하하고 있다. 이 스케일 축소 과정은 일반적으로, 생산 효율을 높이고 연관 비용을 낮춤으로써 혜택을 제공한다.

[0007] 이러한 스케일 축소는 또한 IC의 처리 및 제조 복잡성을 상승시키며, 이러한 진보가 달성되도록 IC 처리 및 제조에서도 유사한 개발이 필요하다. 예를 들어, 평면 트랜지스터를 대신하여 FinFET(Fin Field-Effect Transistor)가 도입되고 있다. FinFET의 구조 및 FinFET의 제조 방법은 개발중이다.

도면의 간단한 설명

[0008] 본 개시의 양태들은 첨부 도면을 참조한 이하의 상세한 설명으로부터 가장 잘 이해된다. 해당 산업계의 표준적 실무에 따라, 다양한 특징부를 실적으로 도시하지는 않는다. 사실상, 다양한 특징부의 치수는 설명의 편의상 임의대로 확대 또는 축소될 수 있다.

도 1 내지 도 21d는 일부 예시적인 실시형태에 따른 FinFET(Fin Field-Effect Transistor)의 형성에 있어서 중간 스테이지의 단면도 및 사시도이다.

도 22는 일부 실시형태에 따른 FinFET을 형성하는 공정 흐름도이다.

도 23a, 도 23b 및 도 23c는 일부 실시형태에 따른 FinFET의 채널 영역 및 게이트 스택의 단면도이다.

도 24 내지 도 40c는 일부 예시적인 실시형태에 따른 FinFET의 형성에 관한 단면도, 평면도 및 사시도이다.

도 41은 일부 실시형태에 따른 FinFET을 형성하는 공정 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하의 개시내용은 본 발명의 상이한 특징을 구현하기 위해 다수의 상이한 실시형태 또는 실시예를 제공한다. 본 개시를 단순화하기 위해 구성요소 및 구성의 특정 실시예에 대해 후술한다. 물론 이들은 예시일뿐이며, 한정되는 것을 목적으로 하지 않는다. 예를 들어, 이어지는 설명에 있어서 제2 특징부 위(over) 또는 상(on)의 제1 특징부의 형성은 제1 및 제2 특징부가 직접 접촉으로 형성되는 실시형태를 포함할 수도 있고, 제1 및 제2 특징부가 직접 접촉하지 않도록 제1 및 제2 특징부 사이에 추가 특징부가 형성될 수 있는 실시형태도 또한 포함할 수 있다. 또한, 본 개시는 다양한 실시예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이 반복은 단순화 및 명확화를 위한 것이며, 그 자체가 설명하는 다양한 실시형태 및/또는 구성 간의 관계를 지시하지 않는다.

[0010] 또한, "아래에 있는(underlying)", "밑(below)", "하위(lower)", "위(above)", "상위(upper)" 등의 공간 관련 용어는 도면에 나타내는 바와 같이 한 요소 또는 특징부와 다른 요소(들) 또는 특징부(들)과의 관계를 설명함에 있어서 설명의 용이성을 위해 본 명세서에 이용될 수 있다. 공간 관련 용어는 도면에 나타내는 방위와 함께, 사용 또는 동작 시의 장치의 상이한 방위를 포함하는 것을 의도한다. 장치는 다른 식으로 지향(90도 또는 다른 방위로 회전)될 수 있으며 본 명세서에 사용한 공간 관련 기술자(descriptor)는 그에 따라 마찬가지로 해석될 수 있다.

[0011] 게이트 올 어라운드(Gate-All-Around, GAA) 구조를 구비한 FinFET(Fin Field-Effect Transistor) 및 그 형성 방법을 다양한 예시적인 실시형태들에 따라 제공한다. FinFET을 형성하는 중간 스테이지에 대해 예시한다. 실시형태의 변형예에 대해 설명한다. 다양한 도면 및 예시적인 실시형태 전체에 있어서, 같은 참조 번호는 같은 요소를 지정하는데 이용된다. 도 1 내지 도 23c와 도 24 내지 도 40c가 상이한 실시형태들을 도시하고 있지만, 이들 실시형태는 동일한 FinFET의 형성에 있어서 조합될 수 있음은 물론이다. 예를 들어, 도 1 내지 도 23c에 도시하는 실시형태들은 FinFET의 채널 영역 및 게이트 스택의 형성을 포함하고, 도 24 내지 도 40c에 도시하는 실시형태들은 FinFET의 소스/드레인 영역 및 소스/드레인 실리사이드의 형성을 포함한다. 본 개시의 실시형태에 따른, 채널 영역 및 게이트 스택의 형성과, 소스/드레인 영역 및 소스/드레인 실리사이드의 형성은 그러므로 FinFET을 형성하기 위해 조합될 수 있다.

- [0012] 도 1 내지 도 21d는 일부 예시적인 실시형태에 따른 FinFET의 형성에 있어서 중간 스테이지의 사시도와 단면도를 도시하고 있다. 도 1 내지 도 21d에 나타내는 단계들은 도 22에 도시하는 공정 흐름(300)으로도 도식적으로 도시된다. 이어지는 설명에서는, 도 1 내지 도 21d에 나타내는 공정 단계들은 도 22의 공정 단계를 참조하여 설명된다.
- [0013] 도 1은 웨이퍼의 일부일 수 있는 기판(20)의 단면도를 도시하고 있다. 기판(20)은 반도체 기판일 수 있으며, 또한 실리콘 기판, 실리콘 탄소 기판, 실리콘 온 절연체(silicon-on-insulator) 기판 또는 다른 반도체 재료로 형성된 기판일 수도 있다. 기판(20)은 p타입 또는 n타입 불순물로 약하게 도핑될 수 있다. 그런 다음 기판(20)의 상단부 상에 APT(Anti-Punch-Through) 주입(화살표로 표시)을 행하여 APT 영역(21)을 형성한다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 302로서 나타낸다. APT 내에 주입된 도펀트의 전도성 타입은 웰 영역(도시 생략)의 것과 동일하다. APT층(21)은 후속해서 형성되는 소스/드레인 영역(58)(도 21a) 아래로 연장되며, 이 층은 소스/드레인 영역(58)으로부터 기판(20)에의 누설을 줄이는데 이용된다. APT층(21) 내의 도핑 농도는 약 $1E18/cm^3$ 과 약 $1E19/cm^3$ 사이의 범위 내에 있을 수 있다. 간결함을 위해, 후속 도면에서는 APT 영역(21)을 도시하지 않는다.
- [0014] 도 2를 참조하면, 에피택시를 통해 실리콘 게르마늄(SiGe)층(22)과 반도체 스택(24)이 기판(20) 위에 형성된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 304로서 나타낸다. 따라서, SiGe층(22)과 반도체 스택(24)이 결정층(crystalline layer)을 형성한다. 본 개시의 일부 실시형태에 따르면, SiGe층(22)의 두께(T1)는 약 5 nm와 약 8 nm 사이의 범위 내이다. SiGe층(22)의 게르마늄 백분율(원자 백분율)은 약 25 퍼센트와 약 35 퍼센트의 범위 내이지만, 더 높거나 낮은 게르마늄 백분율이 이용될 수도 있다. 그런데 명세서 전반에서 언급하는 값은 예시뿐이며, 다른 값으로 변경될 수 있음은 물론이다.
- [0015] SiGe층(22) 위에는 반도체 스택(24)이 있다. 일부 실시형태에 따르면, 반도체 스택(24)은 교대로 적층된 반도체 층(26, 28)을 포함한다. 반도체층(26)은 게르마늄이 없는 순수 실리콘층일 수 있다. 반도체층(26)은 예컨대 게르마늄 백분율이 약 1 퍼센트 미만인 실질적으로 순수한 실리콘층일 수도 있다. 또한, 반도체층(26)은 p타입과 n타입 불순물로 도핑되지 않은 진성일 수 있다. 반도체층(26)은 2개, 3개, 4개 이상이 있을 수 있다. 일부 실시형태에 따르면, 반도체층(26)의 두께(T2)는 약 6 nm와 약 12 nm 사이의 범위 내이다.
- [0016] 반도체층(28)은 SiGe층(22) 내의 게르마늄 백분율보다 낮은 게르마늄 백분율을 갖는 SiGe층이다. 본 개시의 일부 실시형태에 따르면, SiGe층(28)의 게르마늄 백분율은 약 10 퍼센트와 약 20 퍼센트 사이의 범위 내이다. 또한, SiGe층(22)의 게르마늄 백분율과 SiGe층(28)의 게르마늄 백분율 간의 차이는 약 15 퍼센트 이상보다 클 수 있다. 일부 실시형태에 따르면, SiGe층(28)의 두께(T3)는 약 2 nm와 약 6 nm 사이의 범위 내이다.
- [0017] 하드 마스크(30)가 반도체 스택(24) 위에 형성된다. 본 개시의 일부 실시형태에 따르면, 하드 마스크(30)는 실리콘 질화물, 실리콘 산질화물, 실리콘 탄화물, 실리콘 탄질화물 등으로 형성된다.
- [0018] 다음으로, 도 3에 도시하는 바와 같이, 하드 마스크(30), 반도체 스택(24), SiGe층(22) 및 기판(20)이 트렌치(32)를 형성하도록 패터닝된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 306으로서 나타낸다. 따라서, 반도체 스트립(34)이 형성된다. 트렌치들(32)은 기판(20) 내로 연장되며, 서로 평행한 길이 방향을 갖는다. 이에, 반도체 스택(24)의 잔여부를 한편으론 반도체 스트립(24)이라고 한다.
- [0019] 도 4를 참조하면, 반도체 스트립(34)의 노출부 상에 산화 공정이 행해진다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 308로서 나타낸다. 본 개시의 일부 실시형태에 따르면, 산화 전에, 트리밍 단계를 수행하여 SiGe 스트립(22, 28)을 트리밍하나, 실리콘 스트립(26)은 트리밍되지 않는다. 트리밍에 의해 SiGe층(22, 28)은 실리콘 스트립(26)의 각각의 엣지로부터 횡방향으로 리세스된다. 트리밍은 SiGe층(22)의 폭을 축소시키는 영향이 있어, 후속 산화에서는, 산화에 걸리는 시간 및/또는 온도가 너무 많이 증가하지 않고서 SiGe층(22)이 충분히 산화될 수 있다.
- [0020] 산화의 결과, SiGe층(22)은 실리콘 게르마늄 산화물 영역(38)을 형성하도록 충분히 산화되고, SiGe 스트립(28)의 적어도 외측부는 실리콘 게르마늄 산화물 영역(40)을 형성하도록 산화된다. 실리콘 게르마늄 산화물 영역(38)의 두께는 약 5 nm와 약 20 nm 사이의 범위 내일 수 있다. 일부 실시형태에 있어서, 산화는 약 400°C 및 600°C 사이의 범위의 온도에서 행해진다. 산화 시간의 범위는 예컨대 약 2 분과 약 4 시간 사이일 수 있다. 실리콘 게르마늄 내의 실리콘의 산화는 동일한 게르마늄 영역 내의 게르마늄의 산화보다 용이하다. 따라서, 산화물 스트립(38) 내의 실리콘 원자가 산화되고, 반도체 스트립(28) 내의 게르마늄 원자가 SiGe 스트립(28)의 중심을 향해 내부로 확산함에 따라, 잔여 SiGe 스트립(28) 내의 게르마늄 백분율은 산화 전에 SiGe 스트립(28) 내의

게르마늄 백분율보다 상승한다.

- [0021] 산화중에, 실리콘 산화물층(36)이 기판(20) 및 실리콘 스트립(26)의 노출면 상에도 형성된다. 게르마늄 백분율의 상승에 따라 SiGe(또는 실리콘)의 산화율이 상승하기 때문에, 실리콘층(26)과 기판(20)의 산화는 SiGe층(22)과 SiGe 스트립(28)의 산화보다 훨씬 느리다. 따라서, 실리콘 산화물층(36)은 얇고, 대부분의 실리콘층(26)과, 스트립(34) 내의 기판(20)의 부분(이하 스트립부라고 함)은 산화되지 않는다.
- [0022] 다음으로, 도 5에 도시하는 바와 같이, STI(Shallow Trench Isolation) 영역일 수 있는 절연 영역(42)이 트렌치(32)(도 4) 내에 형성된다. 형성은, 예컨대 FCVD(Flowable Chemical Vapor Deposition)를 이용하여 유전체층으로 트렌치(32)를 충전하는 단계와, 유전체 재료의 상단면을 하드 마스크(30)의 상단면과 같은 높이로 하기 위해 화학적 기계 연마(Chemical Mechanical Polish, CMP)를 수행하는 단계를 포함할 수 있다. CMP 후에, 하드 마스크층(30)(도 4)가 제거된다.
- [0023] 다음으로, 도 6을 참조하면, STI 영역(42)이 리세스된다. 도 5와 도 6에 도시한 단계들은 도 22에 도시한 공정 흐름의 단계 310으로서 나타낸다. 그렇게 형성된 STI 영역(42)의 상단면(42A)은 실리콘 게르마늄 산화물 영역(38)의 상단면 또는 하단면과 같은 높이일 수 있거나, 실리콘 게르마늄 산화물 영역(38)의 상단면과 하단면 사이의 임의의 중간 높이에 있을 수 있다. 본 명세서 전체를 통해, 이하에서는 반도체 스택(24)을 반도체 핀(24)이라고도 한다.
- [0024] 도 7은 일부 실시형태에 따른 실리콘 산화물을 포함할 수 있는 더미 산화물층(44)의 형성을 도시하고 있다. 여기서, 더미 산화물층(44)은 반도체 스트립(24)의 측벽, 실리콘 게르마늄 산화물 영역(38), 및 반도체 스택(24)의 상단면을 보호한다. 더미 산화물층(44)은 또한 STI 영역(42)의 상단면 상에 연장된다. 더미 산화물층(44)과 STI 영역(42)이 동일한 유전체 재료(실리콘 산화물 등)로 형성될 수 있기 때문에, 더미 산화물층(44)과 STI 영역(42) 간의 계면은 일부 실시형태에서는 식별 가능함에도 도시하지 않는다. 다른 실시형태에서는 계면이 식별 가능하지 않다.
- [0025] 도 8을 참조하면, 더미 게이트 스택(46)이 형성된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 312로서 나타낸다. 본 개시의 일부 실시형태에 따르면, 더미 게이트 스택(46)은 예컨대 폴리실리콘을 이용해 형성될 수 있는 더미 게이트 전극(48)을 포함한다. 또한 더미 게이트 스택(46)은 더미 게이트 전극(48) 위의 하드 마스크층(50)을 포함할 수 있다. 하드 마스크층(50)은 예컨대 실리콘 질화물 및/또는 실리콘 산화물을 포함할 수 있고, 단일층 또는 복수의 층을 포함하는 복합층일 수 있다. 일부 실시형태에 있어서, 하드 마스크층(50)은 실리콘 질화물층(50A)과, 그 실리콘 질화물층(50A) 위의 실리콘 산화물층(50B)을 포함한다. 더미 게이트 스택(46)은 반도체 핀(24)의 길이 방향에 실질적으로 수직인 길이 방향을 갖는다.
- [0026] 게이트 스페이서(54)가 더미 게이트 스택(46)의 측벽 상에 형성된다. 본 개시의 일부 실시형태에 따르면, 게이트 스페이서(54)는 실리콘 질화물로 형성되고 단일층 구조를 구비할 수 있다. 대안적 실시형태에 있어서, 게이트 스페이서(54)는 복수의 층을 포함하는 복합 구조를 구비한다. 예를 들어, 게이트 스페이서(54)는 실리콘 산화물층과, 그 실리콘 산화물층 위의 실리콘 질화물을 포함할 수 있다. 더미 게이트 스택(46)과 게이트 스페이서(54)는 반도체 핀(24) 각각의 중앙부를 덮고, 대향하는 단부들은 덮이지 않게 한다.
- [0027] 도 9는 반도체 핀(24)의 단부의 제거를 도시하고 있다. 도 8에 도시하는 바와 같이 더미 산화물층(44), 반도체 스택(24) 및 실리콘 게르마늄 산화물 영역(38)을 에칭하기 위해 건식 에칭이 행해진다. 그 결과, 오목부(56)가 형성된다. 본 개시의 일부 실시형태에 따르면, 더미 산화물층(44)의 일부 부분은 STI 영역(42)의 엷지부 위에 기립해서 그 엷지부에 얼라인될 수 있고, 그 사이에 오목부(56)가 형성되어 있다.
- [0028] 다음으로, 도 10을 참조하면, 오목부(56)(도 9)로부터 반도체 재료를 선택적으로 성장시켜, 에피택셜 영역(소스/드레인 영역)(58)이 형성된다. 본 개시의 일부 실시형태에 따르면, 소스/드레인 영역(58)의 형성은 에피택시 성장을 포함한다. 대안적 실시형태에 따르면, 소스/드레인 영역(58)의 형성은 도 28 내지 도 37a에 도시하는 공정 단계들을 채택하여 달성된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 314로서 나타낸다. 도 10에 도시하는 바와 같이, 더미 산화물층(44)의 잔여 부분의 블록킹으로 인해, 소스/드레인 영역(58)이 먼저 오목부(56)(도 9) 내에서 수직으로 성장하고, 그 동안에 소스/드레인 영역(58)은 수평으로는 성장하지 않는다. 오목부(56)가 완전히 충전된 후에, 소스/드레인 영역(58)은 패시를 형성하도록 수직 및 수평 양 방향으로 성장한다.
- [0029] 최종 FinFET이 n타입 FinFET인 일부 예시적인 실시형태에 있어서, 소스/드레인 영역(58)은 실리콘 인(SiP) 또는 인도핑된 실리콘 탄소(SiCP)를 포함한다. 최종 FinFET이 p타입 FinFET인 대안적 예시적인 실시형태에 있어서, 소스/드레인 영역(58)은 SiGe를 포함하고, 붕소 또는 인듐 등의 p타입 불순물은 에피택시중에 인시츄 도핑될 수

있다.

- [0030] 다음으로, 도 11에 도시하는 바와 같이, 층간 유전체(ILD, Inter-Layer Dielectric)(60)가 형성된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 316으로서 나타낸다. 그런 다음, ILD(60)의 상단면, 더미 게이트 스택(46)(도 10) 및 게이트 스페이서(54)(도 10)를 서로 같은 높이로 하기 위해 CMP가 수행된다. ILD(60), 게이트 스페이서(54) 및 절연 영역(42)의 각각은 상이한 밀도를 갖고서 상이한 공정 단계에서 형성되고/되거나 상이한 유전체 재료를 포함하기 때문에 ILD(60), 게이트 스페이서(54) 및 STI 영역(42)의 다른 것과 구별 가능한 계면을 가질 수 있다.
- [0031] 다음으로, 도 10에 도시하는 바와 같이 더미 게이트(46)가 에칭 단계에서 제거되어, 도 11에 도시하는 바와 같이 오목부(62)가 ILD(60) 내로 연장되도록 형성된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 318로서 나타낸다. ILD(60)의 앞부분 후방의 특징부를 도시함에 있어서, ILD(60)의 일부 앞부분은 내부 특징부를 도시하기 위해 후속 도면에 도시하지 않는다. ILD(60)의 미도시 부분이 여전히 존재하는 것은 물론이다. 더미 게이트 스택(46)을 제거한 후에, 반도체 스택(핀)(24)의 중앙부는 오목부(62)에 노출된다. 더미 게이트 스택(46)의 제거 시에, 상단층을 에칭할 때에 더미 게이트 산화물(44)(도 7)이 에칭 정지층으로서 이용된다. 이어서 더미 게이트 산화물(44)이 제거되고, 이에 반도체 핀(24)이 오목부(62)에 노출된다.
- [0032] 도 12a를 참조하면, 실리콘 게르마늄 산화물 영역(40)(도 9 참조), 고농도(concentrated) 반도체 스트립(28), 및 실리콘 게르마늄 산화물 영역(38)(도 8)의 일부 상단부를 제거하기 위해 에칭 단계가 수행된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 320으로서 나타낸다. 따라서, 실리콘 스트립들(26)은 갭(64)에 의해 서로 분리된다. 또한, 실리콘 스트립들(26) 중 바닥에 있는 것은 갭(64)에 의해 잔여 실리콘 게르마늄 산화물 영역(38)과 분리될 수 있다. 그 결과, 실리콘 스트립(26)이 현수된다. 현수된 실리콘 스트립(26)의 대향 단부들은 소스/드레인 영역(58)에 접속된다. STI 영역(42)은 오목부(62) 하부에서 오목부에 노출되는 제1 부분과, 게이트 스페이서(54)와 ILD(60)에 의해 덮이지 않는 제2 부분을 포함한다. 본 개시의 일부 실시형태에 따르면, STI 영역(42)의 제1 부분의 상단면은 STI 영역(42)의 제2 부분의 상단면보다 낮아지도록 리세스된다.
- [0033] 도 12b는 실리콘 스트립(26)의 부분의 더 명확한 도면을 도시하고 있다. 도 12a에 도시하는 바와 같이 ILD(60), 소스/드레인 영역(58) 및 게이트 스페이서(54)는 여전히 이들 특징부가 존재함에도 도 12b에는 도시되지 않는다.
- [0034] 도 13a와 도 13b를 참조하면, 산화 단계가 수행된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 322로서 나타낸다. 도 13b는 도 13a에 도시하는 구조의 일부 부분을 도시하고 있는데, 도 13a에 도시하는 바와 같이 ILD(60), 소스/드레인 영역(58) 및 게이트 스페이서(54)는 여전히 이들 특징부가 존재함에도 도 13b에는 도시되지 않는다. 산화는 수증기 속에서의 스팀 산화, 산소(O₂) 내에서의 열 산화 등을 이용하여 수행될 수 있다. 본 개시의 일부 실시형태에 따르면, 산화는 약 400°C와 약 600°C 사이의 범위 내의 온도에서 수증기를 이용해 수행된다. 산화의 지속시간은 약 20 초와 약 20 분 사이의 범위 내일 수 있다. 산화의 결과, 실리콘 스트립(26)의 외측부는 도 13b에 도시하는 바와 같이 실리콘 스트립(26)의 잔여부를 둘러싸는 실리콘 산화물 링(66)을 형성하도록 산화된다. 일부 실시형태에 있어서, 인접한 실리콘 스트립들(26)로부터 형성된 실리콘 산화물 링(66)은 서로 닿는다. 또한, 실리콘 스트립들(26) 중 바닥에 있는 것으로부터 형성된 실리콘 산화물 링(66)은 일부 실시형태에서는 실리콘 게르마늄 산화물 영역(38)의 상단면과 접촉할 수 있다. 대안적 실시형태에 있어서, 인접한 실리콘 스트립들(26)으로부터 형성된 실리콘 산화물 링(66)은 서로 이격된다.
- [0035] 산화 과정에서, 코어 회로(로직 회로라고도 알려짐) 내의 코어 FinFET과, 입출력(input/output, IO) 회로 내의 IO FinFET은 동시에 산화된 반도체 스트립을 구비한다. 도 13a와 도 13b에 도시한 구조는 코어 FinFET과 IO FinFET 둘다의 구조를 도시하고 있다. 후속 단계에서는, 도 14a에 도시하는 바와 같이, IO 영역(200) 내의 실리콘 산화물 링(66)을 덮기 위해 포토레지스트(68)가 형성되며, 코어 영역(100)은 덮이지 않는다. 그런 다음, 코어 영역(100)에서 실리콘 산화물 링(66)을 제거하기 위해 에칭이 수행되어, 실리콘 스트립(26)이 노출된다. 한편, IO 영역(200) 내의 실리콘 산화물 링(66)은 제거로부터 보호되기 때문에, 에칭 후에 남을 것이다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 324로서 나타낸다. 그런 다음 포토레지스트(68)는 제거된다. 에칭 후에, 코어 영역(100) 내의 실리콘 스트립들(26)은 이 경우에도 갭에 의해 서로 분리되고, 실리콘 스트립들(26) 중 바닥에 있는 것은 갭에 의해 실리콘 게르마늄 산화물 영역(38)의 상단면과 분리된다. 도 14b는 도 14a에 도시하는 구조의 일부 부분을 도시하고 있는데, 도 14a에 도시하는 바와 같이 ILD(60), 소스/드레인 영역(58) 및 게이트 스페이서(54)는 여전히 이들 특징부가 존재함에도 도 14b에는 도시되지 않는다.
- [0036] 후속 단계에서, 게이트 유전체(70)가 형성된다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 326으로서 나

타낸다. 코어 영역(100; 도 14a와 도 14b) 내의 코어 FinFET의 경우, 게이트 유전체(70)가 실리콘 스트립(26) (도 14a와 도 14b)의 노출면 상에 형성된다. 그렇게 형성된 구조가 도 15a와 도 15b에 도시된다. IO 영역(200; 도 14a와 도 14b) 내의 IO FinFET의 경우, 게이트 유전체(70)가, 이미 형성된 실리콘 산화물 링(66) 상에 형성 되기 때문에, 실리콘 산화물 링(66)이 게이트 유전체(70)의 부분이 된다. 따라서, 코어 FinFET과 IO FinFET 둘 다 도 15a와 도 15b에 도시한 구조를 구비하지만, IO FinFET의 게이트 유전체(70)가 코어 FinFET의 게이트 유전 체보다 두껍다. 이 경우에도, 도 15b는 도 15a에 도시하는 구조의 일부 부분을 도시하고 있는데, 도 15a에 도시 하는 바와 같이 ILD(60), 소스/드레인 영역(58) 및 게이트 스페이서(54)는 도 15b에는 도시되지 않는다.

[0037] 일부 실시형태에 따르면, 게이트 유전체(70)의 형성은 계면(유전체)층을 형성하는 단계와, 이어서 계면층 상에 하이k 유전체층을 형성하는 단계를 포함한다. 계면층은, 화학 산화물(실리콘 산화물)을 형성하기 위해 실리콘 스트립(26)이 산화되도록, 도 14a와 도 14b 내의 구조를 화학 용액 속에서 처리함으로써 형성된 실리콘 산화물 을 포함할 수 있다. 그 결과, IO 영역 내의 게이트 유전체(70)는 코어 영역 내의 게이트 유전체(70)보다 두꺼울 것이다. 그런 다음 계면층 상에 하이k 유전체가 적층된다. 일부 실시형태에 있어서, 하이k 유전체는 k값이 약 7.0보다 클 수 있고, Hf, Al, Zr, La 등의 금속 산화물 또는 규화물을 포함할 수 있다.

[0038] 도 16a는 게이트 전극(72)의 형성을 도시하고 있다. 각각의 단계는 도 22에 도시한 공정 흐름의 단계 328로서 나타낸다. 형성은 전도성 재료로 오목부(62)(도 15a)를 충전하는 단계와, CMP 등의 평탄화를 수행하는 단계를 포함한다. 게이트 전극(72)은 TiN, TaN, TaC, Co, Ru, Al, Cu, W 등의 금속 함유 재료, 이들의 조합, 또는 이 들의 다층을 포함할 수 있다. 그래서 FinFET(74)가 형성된다. 실리콘 게르마늄 산화물 영역(38)과 소스/드레인 영역(58) 아래에는 안티 펀치 쓰루(Anti-Punch-Through) 영역(21)이 있다.

[0039] 도 16b와 도 16c는 도 16a의 FinFET(74)의 일부 부분의 단면도를 도시하고 있는데, 그 단면도는 도 16a에서 선 16B/16C-16B/16C를 포함하는 수직면으로부터 얻어진 것이다. 도 16b와 도 16c에 도시하는 바와 같이, 게이트 유 전체(70)는 인접한 실리콘 스트립들(26) 사이의 갭을 완전히 충전한다. 따라서, 게이트 전극(72)은 인접한 실리 콘 스트립들(26) 사이의 갭 내로 충전될 가능성은 없을 것이며, 소스/드레인 영역(58)(도 16a)에서 단락되지 않 을 것이다.

[0040] 또한 도 16b와 도 16c는 게이트 유전체(70)가 실리콘 산화물(76)과, 실리콘 산화물(76)의 외측 상의 하이k 유전 체(78)를 포함하는 것을 도시하고 있다. FinFET(74)가 코어 FinFET인 경우, 실리콘 산화물(76)은 계면층을 포함 한다. FinFET(74)가 IO FinFET인 경우, 실리콘 산화물(76)은 실리콘 산화물 링(66)(도 13a와 도 13b)과 계면층 을 포함한다. 도 16b에 있어서, 일부 실시형태에 따르면, 인접한 실리콘 스트립들(26) 상에 형성된 실리콘 산화 물(76)은 서로 접촉한다. 도 16c에 있어서, 일부 실시형태에 따르면, 인접한 실리콘 스트립들(26) 상에 형성된 실리콘 산화물(76)은 서로 접촉하지 않고, 인접한 실리콘 스트립들(26) 상에 형성되는 실리콘 산화물(76) 사이 의 갭은 하이k 유전체(78)가 충전한다.

[0041] 도 17a 내지 도 22b는 대안적 실시형태에 따른 FinFET의 형성에 있어서 중간 스테이지의 단면도를 도시하고 있 다. 다른 식으로 명시하지 않는다면, 이들 실시형태에서의 구성요소의 재료 및 형성 방법은, 도 1 내지 도 16c 에 도시한 실시형태에서 유사 도면부호가 표시되는 유사 구성요소와 실질적으로 같을 수 있다. 그렇기 때문에, 도 17a 내지 도 22b에 도시하는 구성요소의 형성 공정 및 재료에 관한 상세는 도 1 내지 도 16c에 도시한 실시 형태의 설명에서 찾을 수 있다.

[0042] 이들 실시형태의 초기 단계는 도 1 내지 도 11에 도시한 것과 본질적으로 동일하다. 다음으로, 도 17a와 도 17b 는 도 12a와 도 12b에 도시한 단계와 유사한 에칭 단계를 도시하고 있다. 도 17a를 참조하면, 실리콘 게르마늄 산화물 영역(40)(도 9 참조), 고농도 반도체 스트립(28), 및 실리콘 게르마늄 산화물 영역(38)(도 8)의 일부 상 단부를 제거하기 위해 에칭 단계가 수행된다. 따라서, 실리콘 스트립들(26)은 갭(64)에 의해 서로 분리된다. 또 한, 실리콘 스트립들(26) 중 바닥에 있는 것은 갭(64)에 의해 잔여 실리콘 게르마늄 산화물 영역(38)과 분리될 수 있다. 도 12a와 도 12b에 도시한 단계들과 비교해서, STU 영역(42) 및 실리콘 게르마늄 산화물 영역(38)의 부분은 도 12a와 도 12b에서보다 낮게 리세싱된다. 그 결과, 실리콘 스트립들(26) 중 바닥에 있는 것과 실리콘 게르마늄 산화물 영역(38)의 상단면 사이의 갭(64)은 도 12a와 도 12b에서보다 높다.

[0043] 다음으로, 도 18a와 도 18b는 도 13a와 도 13b에 각각 도시하는 것과 본질적으로 동일한 공정 단계와 구조를 도 시하고 있는 것으로서, 산화가 수행되고 실리콘 산화물 링(66)이 형성되어 있다. 또한, 실리콘 스트립들(26) 중 바닥에 있는 것은 갭(64)에 의해 실리콘 게르마늄 산화물 영역(38)의 상단면과 이격될 수 있다. 도 19a와 도 19b는 도 14a와 도 14b에 각각 도시하는 것과 본질적으로 동일한 공정 단계와 구조를 도시하고 있는 것으로서, 코어 디바이스 영역으로부터 실리콘 산화물 링(66)이 제거되어 있다. 한편, IO 영역(도시 생략) 내의 실리콘 산

화물 링(66)은 보호되며 제거되지 않는다. 도 20a와 도 20b는 도 15a와 도 15b에 각각 도시하는 것과 본질적으로 동일한 공정 단계와 구조를 도시하고 있는 것으로서, 게이트 유전체(70)가 형성되어 있다. 도 21a와 도 21b는 도 16a에 도시하는 것과 본질적으로 동일한 공정 단계와 구조를 도시하고 있는 것으로서, 게이트 유전체(72)가 형성되어 있다.

[0044] 도 21c와 도 21d는 도 21a의 FinFET(74)의 일부 부분의 단면도를 도시하고 있는데, 그 단면도는 도 21a에서 선 21C/21D-21C/21D를 포함하는 수직면으로부터 얻어진 것이다. 도 21c와 도 21d에 도시하는 바와 같이, 게이트 유전체(70)는 인접한 실리콘 스트립들(26) 사이의 갭을 완전히 충전한다. 따라서, 게이트 전극(72)은 인접한 실리콘 스트립들(26) 사이의 갭 내로 충전되지 않으며 소스/드레인 영역(58)(도 16a)에서 단락되지 않을 것이다.

[0045] 도 17a와 도 17b에 도시하는 바와 같이 STI 영역(42)과 실리콘 게르마늄 산화물 영역(38)의 리세스가 더 깊어짐에 따라, STI 영역(42)과 실리콘 게르마늄 산화물 영역(38)은 상부의 실리콘 스트립(26)로부터 더 멀리 이격된다. 그 결과, 도 21c와 도 21d에 도시하는 바와 같이, 실리콘 게르마늄 산화물 영역(38)의 적어도 일부 상단면은 실리콘 스트립들(26) 중 바닥에 있는 스트립 상에 형성되는 게이트 유전체(70)로부터 이격된다. 도 21c에서, 실리콘 게르마늄 산화물 영역(38)의 중심부는 덜 리세스되어 그 중심부의 양측 상의 실리콘 게르마늄 산화물 영역(38)의 부분보다 돌출된다. 게이트 유전체(70)는 실리콘 게르마늄 산화물 영역(38)의 중심부와 바닥에 있는 실리콘 스트립(26) 사이의 공간을 충전한다. 도 21d에서, 바닥에 있는 실리콘 스트립(26) 상에 형성된 게이트 유전체는 실리콘 게르마늄 산화물 영역(38) 및 STI 영역(42)의 상단면 상에서 갭에 의해 유전체(도면부호 70으로도 표시)와 분리되며, 그 갭은 게이트 유전체(72)로 충전된다.

[0046] 도 23a, 도 23b 및 도 23c는 대안적 실시형태에 따른 FinFET의 채널 및 게이트 스택의 단면도이다. 이들 실시형태에서는 실리콘 스트립(26)이 3개나 4개가 아니라 2개이다. 또한, 반도체 스트립(26)은 각각의 폭보다 큰 높이를 가질 수 있다. 예를 들어, 각각의 실리콘 스트립(26)의 높이(H1)는 약 10 nm와 약 30 nm 사이의 범위 내일 수 있으며, 각각의 실리콘 스트립(26)의 폭(W1)은 약 6 nm와 약 12 nm 사이의 범위 내일 수 있다. 도 23a, 도 23b 및 도 23c는 도 16b/도 16c, 도 21c 및 도 21d에 각각 도시하는 실시형태에 대응하는 실시형태를 도시하므로 상세한 설명은 여기에서 반복하지 않는다.

[0047] 본 개시의 실시형태는 몇몇 효과적인 특징을 갖는다. 채널 재료(실리콘 스트립(26))의 형성 전에 APT(anti-punch-through) 주입이 수행된다. 따라서, 최종 FinFET의 채널은 주입된 도펀트에 의해 영향을 받지 않기 때문에, 종래의 APT 주입으로부터 받는 캐리어 이동도의 감소 및 불순물 확산이 제거된다. 최종 FinFET은 복수의 채널을 구비한 GAA FinFET이다. 따라서, 드레인 유기 장벽 감소(Drain-Induced Barrier Lowering, DIBL)에 관련된 단채널 효과(short channel effect)가 향상되고, FinFET의 구동 전류가 다수의 채널로 인해 증가한다.

[0048] 도 24 내지 도 40c는 대안적 실시형태에 따른 FinFET의 형성에 있어서 중간 스테이지의 단면도를 도시하고 있다. 다른 식으로 명시하지 않는다면, 이들 실시형태에서의 구성요소의 재료 및 형성 방법은, 도 1 내지 도 23c에 도시한 실시형태에서 유사 도면부호가 표시되는 유사 구성요소와 본질적으로 같을 수 있다. 그렇기 때문에, 도 24 내지 도 40c에 도시하는 구성요소의 형성 공정 및 재료에 관한 상세는 도 1 내지 도 23c에 도시한 실시형태의 설명에서 찾을 수 있다. 도 24 내지 도 40c에 나타내는 단계들은 도 22에 도시하는 공정 흐름(400)으로도 도식적으로 도시된다.

[0049] 도 24는 반도체 기관(20) 내에 APT 영역(21)을 형성하기 위한 APT 주입(화살표로 표시)의 형성을 도시하고 있다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 402로서 나타난다. 공정 단계 및 공정 상세는 도 1에 도시하는 바와 본질적으로 같기 때문에, 여기에서는 반복하지 않는다.

[0050] 다음으로, 도 25에 도시하는 바와 같이, 에피택시를 통해 SiGe층(22)과 반도체층(124)이 기관(20) 위에 형성된다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 404로서 나타난다. 따라서, SiGe층(22)이 결정층을 형성한다. SiGe층(22)의 게르마늄 백분율(원자 백분율)은 약 25 퍼센트와 약 35 퍼센트의 범위 내이지만, 더 높거나 낮은 게르마늄 백분율이 이용될 수도 있다. 본 개시의 일부 실시형태에 따르면, SiGe층(22)의 두께(T4)는 약 5 nm와 약 8 nm 사이의 범위 내이다.

[0051] SiGe층(22) 위에 반도체층(124)이 형성된다. 본 개시의 일부 실시형태에 따르면, 반도체층(124)은 균질의 반도체 재료로 형성된 단일층이다. 예를 들어, 반도체층(124)은 게르마늄이 포함되지 않은 실리콘으로 형성될 수 있다. 반도체층(124)은 예컨대 게르마늄 백분율이 약 1 퍼센트 미만인 실질적으로 순수한 실리콘층일 수도 있다. 또한, 반도체층(124)은 p타입과 n타입 불순물로 도핑되지 않은 진성일 수 있다. 일부 실시형태에 따르면, 반도체층(124)의 두께(T2)는 약 30 nm와 약 80 nm 사이의 범위 내이다.

- [0052] 본 개시의 대안적 실시형태에 따르면, 반도체층(124)은 도 2에 도시하는 반도체 스택(24)과 본질적으로 같은 구조를 갖는 반도체 스택인 복합층이다. 따라서, 복합 반도체층(124)의 구조와 재료는 반도체 스택(24)의 설명에서 찾을 수 있다.
- [0053] 또한, 하드 마스크(도시 생략)가 반도체층(124) 위에 형성될 수 있다. 일부 실시형태에 따르면, 하드 마스크는 실리콘 질화물, 실리콘 산질화물, 실리콘 탄화물, 실리콘 탄질화물 등으로 형성된다.
- [0054] 다음으로, 도 26에 도시하는 바와 같이, 하드 마스크, 반도체층(124), SiGe층(22) 및 기판(20)이 트렌치(32)를 형성하도록 패터닝된다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 406으로서 나타낸다. 따라서, 반도체 스트립(34)이 형성된다. 트렌치(32)는 기판(20) 내로 연장되며, 트렌치(32)와 반도체 스트립(34)은 서로 평행한 길이 방향을 갖는다. 이에, 반도체층(124)의 잔여부를 한편으로 반도체 스트립이라고 한다. 후속 단계에서는, 트렌치(32)가 STI 영역(42)으로 충전된 다음 STI 영역(42)의 리세싱이 이어진다. 도 26 이하의 도면에서는, STI 영역(42)과 기판(20)의 하위 부분은 도시하지 않는다. 반도체층(22) 아래의 구조의 부분은 도 6에 도시한 구조의 하위 부분과 본질적으로 같으며, 기판(20)의 부분(이하, 기판 스트립이라고 함)은 STI 영역(42)의 대향 부분들 사이에 위치한다.
- [0055] STI 영역(42)의 리세싱 후에, STI 영역(42)의 상단면은 SiGe 스트립(22)의 상단면보다 낮다. 본 개시의 일부 실시형태에 따르면, STI 영역(22)의 상단면이 SiGe 스트립(42)의 상단면과 같은 높이이거나 약간 낮기 때문에, SiGe 스트립(22)의 측면의 적어도 일부분, 그리고 아마도 전체가 노출된다.
- [0056] 다음으로, 도 27을 참조하면, 실리콘 게르마늄 산화물 영역(38)을 형성하기 위해 반도체 스트립(핀)(34)의 노출부 상에 산화 공정이 행해진다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 408로서 나타낸다. 산화의 결과로서, SiGe층(22)은 실리콘 게르마늄 산화물 영역(38)을 형성하도록 충분히 산화된다. 일부 실시형태에 있어서, 산화는 약 400°C 및 600°C 사이의 범위의 온도에서 행해진다. 산화 시간의 범위는 예컨대 약 2 분과 약 4 시간 사이일 수 있다. 산화 시에, 반도체 스트립(124)의 노출면 상에 실리콘 산화물(도시 생략)이 형성된다. 실리콘 게르마늄보다 실리콘의 산화율이 훨씬 낮기 때문에, 반도체 스트립(124) 상의 실리콘 산화물층은 얇아서 여기에 도시하지는 않는다.
- [0057] 반도체 스트립(124)이 도 3에 도시하는 반도체 스트립(24)과 동일한 구조를 갖는 실시형태에서는, 산화 후의 형성된 구조가, 도 4에 도시하는 것과 마찬가지로, 실리콘 게르마늄 산화물 영역(40), 고농도 실리콘 게르마늄 영역(38)을 포함할 것이다.
- [0058] 다음으로, 도 28 내지 도 30에 도시하는 바와 같이, 에칭 정지층(122)이 형성된다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 410으로서 나타낸다. 에칭 정지층(122)은 소스/드레인 실리콘사이드 및 소스/드레인 콘택을 형성하기 위한 후속하는 콘택 개구부 형성에서 에칭 정지층으로서 역할한다. 본 개시의 일부 실시형태에 따르면, 에칭 정지층(122)은 실리콘 탄질화물(SiCN)을 포함하지만, 다른 유전체가 재료가 이용될 수도 있다. 에칭 정지층(122)은 약 3 nm와 약 10 nm 사이의 범위 내의 두께를 가질 수 있다.
- [0059] 도 28을 참조하면, 에칭 정지층(122)이 등각층으로서 형성되기 때문에, 반도체 핀(124) 및 실리콘 게르마늄 산화물 영역(38)의 상단면 및 측면을 덮는다. 일부 실시형태에 따르면, 에칭 정지층(122)의 두께(T5)는 약 3 nm와 약 10 nm 사이의 범위 내이다.
- [0060] 다음으로, 도 29에 도시하는 바와 같이, 예컨대 FCVD를 이용하여 트렌치(32)(도 28)를 충전하기 위해 유전체 영역(128)이 형성된다. 유전체 영역(128)은 일부 실시형태에 따라 실리콘 산화물을 포함할 수 있다. 잔여 유전체 영역(128)의 상단면은 실리콘 게르마늄 산화물 영역(38)의 상단면보다 높다.
- [0061] 도 29는 에칭 정지층(122)의 노출부의 산화도 도시하는데, 노출부의 산화로 에칭 정지층(122)의 노출부는 유전체층(126)으로 변환된다. 에칭 정지층(122)이 SiCN로 형성될 때에, 그렇게 형성된 유전체층은 SiCN과는 에칭 특성이 상이한 실리콘 산탄질화물(SiOCN)을 포함한다. 또한, SiOCN는 SiCN보다 습식 에칭을 이용해서 제거하기가 쉽다. 따라서, 이 변환은 반도체 핀(124)을 손상시키는 일 없이 에칭 정지층(122)의 노출부를 제거하는 것을 가능하게 한다. 본 개시의 일부 실시형태에 따르면, 에칭 정지층(122)의 산화는 노 어닐(furnace anneal)(산소 함유 가스 속에서), 산소 주입 등을 이용해 수행된다.
- [0062] 유전체층(126)이 형성된 후에, 유전체층(126)은 예컨대 습식 에칭을 통해 제거된다. 그렇게 형성된 구조가 도 20에 도시된다. 그 결과, 반도체 핀(124)이 노출된다. 유전체 에칭 정지층(122)의 덮이지 않은 부분은 남게 된다. 단면도에서는, 유전체 에칭 정지층(122)의 잔여 부분이 U자형(L자형도 포함)을 갖는다. 본 개시의 일부 실

시형태에 따르면, 잔여 에칭 정지층(122)의 상단면은 실리콘 게르마늄 산화물 영역(38)의 상면층과 같은 높이이거나 더 높기 때문에, 컨택 개구부를 형성하기 위한 후속 에칭에서는 에칭 정지층(122)이 실리콘 게르마늄 산화물 영역(38)도 보호한다. 그렇게 형성된 구조에 있어서, 에칭 정지층(122)의 수직 부분은 실리콘 게르마늄 산화물 영역(38)과 동일 평면상의 부분을 가질 수 있다. 따라서, 에칭 정지층(122)의 수직 부분은 실리콘 게르마늄 산화물 영역(38)보다 높을 수 있다.

[0063] 도 31은 더미 게이트 스택(46)의 형성을 도시하는 평면도를 도시하는 것으로서, 더미 게이트 스택은 반도체 핀(124)의 상단면과 측벽 상에 형성된다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 412로서 나타낸다. 더미 게이트 스택(46)의 사시도는 도 34b에 도시한 것과 본질적으로 같을 수 있다. 현 시점에서는 더미 게이트 스택(46)의 측벽 상에 게이트 스페이서가 형성되지 않는다. 일부 실시형태에 따르면, 더미 게이트 스택(46)은 예컨대 폴리실리콘을 이용해 형성될 수 있는 더미 게이트 전극(48)을 포함한다. 더미 게이트 스택(46)은, 예컨대 실리콘 질화물층(50A)과 그 실리콘 질화물층(50A) 위의 실리콘 산화물층(50B)을 포함할 수 있는 하드 마스크층(50)을 포함할 수도 있다. 더미 게이트 스택(46)은 반도체 핀(124)의 길이 방향에 실질적으로 수직인 길이 방향을 가지며, 반도체 핀(124)의 대향 단부들은 더미 게이트 스택(46)에 의해 덮이지 않는다.

[0064] 도 32 내지 도 38b는 소스 및 드레인 영역(이하, 소스/드레인 영역이라고 함)의 형성을 도시하고 있다. 도 32 내지 도 38의 도면 번호에서는 문자 "a" 또는 "b" 중 하나가 이어질 수 있는데, 문자 "a"는 도 31의 선 A-A를 포함하는 수직면과 동일한 평면으로부터 각각의 도면이 얻어진 것을 나타내고, 문자 "b"는 도 31의 선 B-B를 포함하는 수직면과 동일한 평면으로부터 각각의 도면(도 34b는 예외)이 얻어진 것을 나타낸다. 따라서, 문자 "a"가 뒤따르는 번호의 도면은 소스/드레인 영역의 단면도를 도시하고, 문자 "b"가 뒤따르는 번호의 도면은 더미 게이트 스택(46)의 단면도를 도시한다.

[0065] 도 32 내지 도 34b는 소스 및 드레인 영역을 에피택셜 성장시키기 위한 소스/드레인 템플릿의 형성을 도시하고 있다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 414로서 나타낸다. 도 32를 참조하면, 유전체층(130)이 형성되고, 그 유전체층(130) 위에 유전체층(132)의 형성이 이어진다. 유전체층(130, 132)의 재료는 서로 다를 수 있다. 유전체층(132)은 일부 실시형태에 따라 SiOCN로 형성될 수 있다. 유전체층(130)은 유전체층(132)의 재료와 상이한 재료로 형성될 수 있다. 예를 들면, 일부 실시형태에서는 유전체층(130)이 실리콘 산화물로 형성된다. 유전체층(130)의 형성은 이어지는 단락에서 설명하는 바와 같이 최종 소스/드레인 영역의 폭을 증가시키는 바람직한 특징이 있다. 유전체층(130, 132)은 등각층으로서 형성되어, 더미 게이트 스택(46)의 측벽(도 34b에 도시) 및 상단면 상에도 연장될 것이다.

[0066] 도 33은 에칭을 통한 반도체 핀(124)의 제거를 도시하고 있는 것으로서, 제거된 부분은 더미 게이트 스택(46)(도 31)에 의해 덮이지 않는다. 반도체 핀(124) 위의 유전체층(130, 132)의 부분은 에칭에서도 제거된다. 반도체 핀(124)의 에칭 후에, 실리콘 게르마늄 산화물 영역(38)(도 32)도 에칭된다. 이에, 소스/드레인 오목부(136)는 STI 영역들(42) 사이에 있는 기판(20)의 부분으로 연장되도록 형성된다. 오목부(136)는 실질적으로 수직 측벽을 갖는데, 이 측벽은 유전체층(130)과 에칭 정지층(122)의 측벽을 포함한다. 일부 실시형태에 따르면, 이 에칭은 이방성이다.

[0067] 다음으로, 유전체층(130)을 제거하기 위해 에칭 단계가 수행되며, 그렇게 형성된 구조는 도 34a와 도 34b에 도시하는데, 이들 도면은 소스/드레인 영역의 단면도와, 소스/드레인 영역 및 더미 게이트 스택(46)의 사시도를 각각 도시하고 있다. 에칭은 예컨대 습식 에칭을 이용한 등방성일 수 있다. 그 결과, 오목부(136)의 횡방향 폭은 도 22의 것보다 증가한다. 이에, 오목부(136) 내에 후속으로 성장하는 소스/드레인 영역의 폭을 효과적으로 증가시킬 수 있다. 또한, 유전체층(132)의 잔여 부분의 하단면(이하, 유전체 템플릿(132)이라고 함)은 하위 부분의 유전체 영역(128)으로부터 갭(138)만큼 이격된다. 따라서, 유전체 템플릿(132)이 현수된다.

[0068] 사시도인 도 34b에 도시하는 바와 같이, 유전체 템플릿(132)이 더미 게이트 스택(46)의 측벽 상의 유전체층(132)의 부분에 접촉되어, 떨어지지 않을 것이다. 또한, 더미 스택 스택(46)의 측벽 상의 유전체층(130)의 부분이 남게 되어 오목부(136)에 노출될 수 있다.

[0069] 후속 단계에서는 도 34a와 도 34b에 도시하는 바와 같이 소스/드레인 영역이 오목부(136) 내에서 에피택셜 성장한다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 416으로서 나타낸다. 갭(138)(도 34b)의 존재로, 전구체가 오목부(136)의 바닥부 및 내부에 도달하기 쉽기 때문에, 최종 소스/드레인 영역이 보이드를 가질 가능성이 적어진다. 도 35는 최종 소스/드레인 영역(58)을 도시하고 있다. 소스/드레인 영역(58)의 재료 및 형성 공정은 도 10에 도시하는 것과 같기 때문에, 여기에서는 반복하지 않는다. 소스/드레인 영역(58)은 수직 측벽을 갖는 부분(58A), 패킷(58', 58")을 갖는 부분(58B), 에칭 정지층(122) 사이의 부분(58C), 및 갭(138)(도 34a) 내에

형성된 부분(58D)을 포함한다.

[0070] 도 36a 내지 도 37b는 소스/드레인 영역(58)의 트리밍을 도시하고 있으며, 이 트리밍에 의해 도 35 내의 패킷(58', 58")이 제거되어 수직 소스/드레인 영역(68)을 형성한다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 418로서 나타낸다. 도 36a를 참조하면, 유전체층(140)이 형성된다. 일부 실시형태에 따르면, 유전체층(140)은 유전체(132)와 같은 재료로 형성되는데, 이는 예컨대 SiOCN을 포함할 수 있다. 더미 게이트 스택(46)을 보여주는 도 36b에 도시하는 바와 같이, 유전체층(140)은 더미 게이트 스택(46) 상에도 형성되어 유전체층(132)과 접촉한다.

[0071] 다음으로, 도 37a와 도 37b에 도시하는 바와 같이, 소스/드레인 영역(58)을 오버랩핑하는 유전체층(140)의 부분을 에칭하기 위해 건식 에칭이 수행되어, 소스/드레인 영역(58)이 노출된다. 이어서, 예컨대 등방성(건식) 에칭을 이용하여 트리밍 단계가 수행되고, 소스/드레인 영역(58)의 패킷이 제거된다. 그렇게 형성된 구조가 도 38a와 도 38b에 도시되는데, 이들 도면은 소스/드레인 부분과 더미 게이트 스택을 각각 도시하고 있다. 소스/드레인 트리밍의 결과로 형성된 소스/드레인 영역(58)은 실질적으로 수직의 측벽을 가지며, 남아있는 실질적인 패킷은 없다. 노출된 소스/드레인 영역(58)의 측벽은 실질적으로 수직이며 똑바르다(straight). 다음으로, 소스/드레인 영역(58)의 측벽 상의 유전체층(132, 140)의 부분을 제거하기 위해 건식 에칭이 수행된다. 그래서 에칭 정지층(122)이 노출된다. 한편, 도 38b에 도시하는 바와 같이 더미 게이트 스택(46)의 상단면도 노출된다. 유전체층(132, 140)의 남겨진 부분이 게이트 스페이서(132/140)를 형성한다. 유전체층(132, 140)은 이들 층이 동일하거나 상이한 재료로 형성되는지의 여부와 무관하게, 상이한 공정 단계에서 형성되기 때문에, 식별 가능한 계면을 구비할 수 있는 것은 물론이다. 유전체층(140)의 형성이 게이트 스페이서의 두께를 효과적으로 증가시켜, 도 38b의 구조에서는, 게이트 스페이서(132/140)의 상단부가 폴리실리콘층(48)의 상단면보다 높다. 그렇게 형성된 구조에 있어서, 게이트 스페이서(132/140)의 두께는 약 3 nm와 약 10 nm 사이의 범위 내에 있을 수 있다.

[0072] 다음으로, 도 39a와 도 39b에 도시하는 바와 같이, ILD(60)이 형성된다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 420으로서 나타낸다. 그런 다음, ILD(60)의 상단면, 더미 게이트 스택(46)의 상단면, 및 게이트 스페이서(132/140)의 높이를 서로 같게 하기 위해 CMP가 수행될 수 있다. 후속 단계에서는, 도 40a에 도시하는 바와 같이 더미 게이트 스택(46)(도 39b)이 제거되고, 게이트 유전체(도시 생략)와 게이트 전극(72)이 대체 게이트로서 형성된다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 422로서 나타낸다. 반도체 핀(124)(도 34b)이 균질 재료로 형성되는 실시형태에서는, 대체 게이트의 형성이, 반도체 핀(124)(도 34b)의 측벽 및 상단면 상에 계면 유전체층 및 하이k 유전체층을 형성하는 단계와, 하이k 유전체층 위에 전도성 재료를 형성하는 단계와, 계면 유전체층의 상단면, 하이k 유전체층 및 전도성 재료를 ILD(60)의 상단면과 같은 높이로 하기 위해 CMP를 수행하는 단계를 포함한다. 반도체 핀(124)이, 도 2에 도시하는 반도체 스택(24)과 같은 구조를 갖는 대안적 실시형태에서는, 대체 게이트를 형성하기 위해 도 11 내지 도 16b에 나타내는 단계들을 수행할 수 있다.

[0073] 이 경우에도 도 40a를 참조하면, 대체 게이트의 형성 후에, (도 40a와 도 40b에서 처럼 컨택 플러그(146)가 차지하는)컨택 개구부를 형성하기 위해 ILD(60)이 에칭되는데, 소스/드레인 영역(58)은 컨택 개구부에 노출되게 된다. ILD(60)의 에칭에서는, 에칭 정지층(122)이 하위 부분의 STI 영역(42)을 보호하기 위한 에칭 정지층으로서 역할한다. 에칭 정지층(122)의 상단부는 실리콘 게르마늄 산화물 영역(38)의 상단부보다, 약 2 nm와 약 5 nm 사이의 범위 내에 있을 수 있는 높이차 ΔH 만큼 높기 때문에, 실리콘 게르마늄 산화물 영역(38)은 에칭에서도 적절하게 보호될 수 있다. 본 개시의 일부 실시형태에 따르면, 도 40a에 도시하는 바와 같이, 에칭 정지층(122)의 대부분이 실리콘 게르마늄 산화물 영역(38)보다 높다. 대안적 실시형태에 있어서, 도 30에 도시하는 바와 같이, 에칭 정지층(122)과 실리콘 게르마늄 산화물 영역(38)의 대부분은 서로 높이가 같다.

[0074] 다음으로, 소스/드레인 영역(58)의 측벽 상에 소스/드레인 실리사이드 영역(144)을 형성하기 위해 실리사이드화(silicidation) 공정이 수행된 다음에, 소스/드레인 컨택 플러그(146)을 형성하도록 전도성 재료로 잔여 컨택 개구부를 충전한다. 각각의 단계는 도 41에 도시한 공정 흐름의 단계 424와 426으로서 나타낸다. 본 개시의 일부 실시형태에 따르면, 실리사이드 영역은 니켈 실리사이드, 티탄 실리사이드, 코발트 실리사이드층 등을 포함한다. 컨택 플러그(146)는 코발트, 텅스텐 등을 포함할 수 있다. 그래서 도 40a에 도시하는 바와 같이 FinFET(74)가 형성된다.

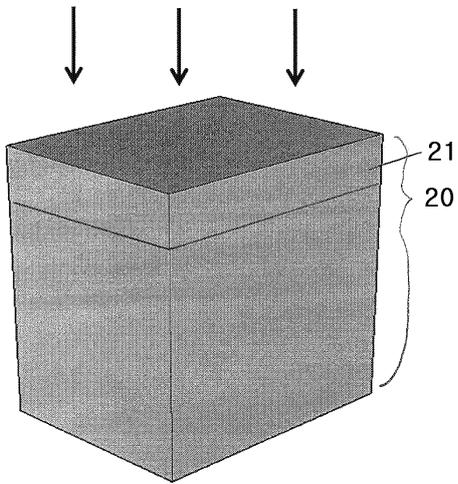
[0075] 도 40b와 도 40c는 다양한 실시형태에 따라 FinFET(74)의 소스/드레인 부분의 단면도를 도시하고 있는데, 이들 단면도는 도 40a의 평면 A-A로부터 얻어진 것이다. 도 40b에서는, 실리사이드화 공정 후에, 금속 실리사이드를 형성하는데 이용된 잔여 금속이 제거되어, 컨택 플러그(146)이 실리사이드 영역(144)과 접촉하게 된다. 도 40c에서는, 금속 실리사이드를 형성하는데 이용된 잔여 금속(148)이 제거되지 않는데, 이 금속(148)은 니켈, 티탄,

코발트 등을 포함하는 것이다.

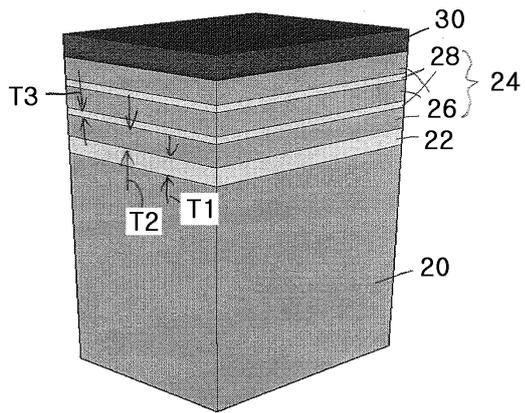
- [0076] 본 개시의 실시형태는 몇몇 효과적인 특징을 갖는다. 도 40b에 도시하는 바와 같이, 인접한 STI 영역들(42)은 STI 영역들(42) 사이의 기관(20)의 스트립부의 폭인 간격(W1)을 갖는다. 소스/드레인 영역(58)은 폭 W1의 하위 부분(58C)을 갖는다. 소스/드레인 영역(58)은 또한 폭 W1보다 큰 폭 W2의 상위 부분(58A/58B)을 갖는다. 예를 들어, 폭(W1)은 약 2 nm와 약 6 nm 사이의 범위 내일 수 있고, 폭(W2)은 약 6 nm와 약 12 nm 사이의 범위 내일 수 있다. 폭의 차이(W2-W1)에서 기인해 유전체층(130)(도 32)이 형성 및 제거된다. 따라서, 소스/드레인 영역의 폭은 하위 부분의 기관부의 폭보다 큰 것이 바람직하다. 또한, 유전체 템플릿을 형성하고 그 템플릿으로부터 소스/드레인 영역을 형성한 다음에 소스/드레인 영역을 트리밍함으로써, 그렇게 형성된 소스/드레인 영역은 여전히 수직 측벽을 가지면서 큰 높이를 가질 수 있다. 따라서, 소스/드레인 영역의 높은 수직 측벽 상에 실리사이드 영역이 형성되어 소스/드레인 접촉 저항이 감소함으로써, 최종 FinFET에서 포화 전류가 증가한다.
- [0077] 본 개시의 일부 실시형태에 따르면, 디바이스는 반도체 기관 내로 연장되는 절연 영역들을 포함하고, 상기 절연 영역의 대향하는 부분들 사이의 기관 스트립은 제1 폭을 갖는다. 소스/드레인 영역은 기관 스트립을 오버랩핑하는 부분을 가지며, 상기 소스/드레인 영역의 상위 부분은 제1 폭보다 큰 제2 폭을 갖는다. 소스/드레인 영역의 상위 부분은 실질적으로 수직 측벽을 갖는다. 소스/드레인 실리사이드 영역은 상기 소스/드레인 영역의 수직 측벽과 접촉하는 내측벽을 갖는다.
- [0078] 본 개시의 대안적 실시형태에 따르면, 디바이스는 STI 영역과, 상기 STI 영역의 대향하는 부분들 사이의 반도체 스트립과, 상기 반도체 스트립을 오버랩핑하는 산화물 영역을 포함한다. 소스/드레인 영역이 산화물 영역을 오버랩핑한다. 소스/드레인 영역은 하위 부분과, 하위 부분 위의 상위 부분을 갖고, 상기 반도체 스트립, 상기 산화물 영역, 및 상기 소스/드레인 영역의 각각의 엣지부는 실질적으로 얼라인된다. 상기 상위 부분은 실질적으로 수직 측벽을 갖고, 상기 상위 부분은 상기 하위 부분의 각각의 엣지부를 지나 측방향으로 연장된다.
- [0079] 본 개시의 대안적 실시형태에 따르면, 방법은, 절연 영역의 상단면 위로 돌출하는 반도체 핀을 형성하는 단계와, 상기 반도체 핀의 중앙부를 덮는 게이트 스택을 형성하는 단계를 포함한다. 반도체 핀의 단부는 상기 게이트 스택에 의해 덮이지 않는다. 상기 반도체 핀의 단부의 양측 상에 유전체 템플릿이 형성된다. 상기 반도체 핀의 단부는 상기 유전체 템플릿 사이에 오목부를 형성하도록 에칭된다. 상기 오목부로부터 소스/드레인 영역이 성장하며, 상기 소스/드레인 영역은 오목부 내의 제1 부분과, 상기 유전체 템플릿 위의 제2 부분을 갖는다. 제2 부분은 제1 부분보다 폭이 넓다. 상기 소스/드레인 영역의 제2 부분은 트리밍되어 그 폭이 줄어든다.
- [0080] 이상은 당업자가 본 개시의 양태를 더 잘 이해할 수 있도록 여러 실시형태의 특징을 개관한 것이다. 당업자라면 동일한 목적을 달성하기 위한 다른 공정 및 구조를 설계 또는 변형하고/하거나 본 명세서에 소개하는 실시형태들의 동일한 효과를 달성하기 위한 기본으로서 본 개시를 용이하게 이용할 수 있다고 생각할 것이다. 또한 당업자라면 그러한 등가의 구조가 본 개시의 사상 및 범주에서 벗어나지 않는다는 것과, 본 개시의 사상 및 범주에서 이탈하는 없이 다양한 변화, 대체 및 변형이 이루어질 수 있다는 것을 인식할 것이다.

도면

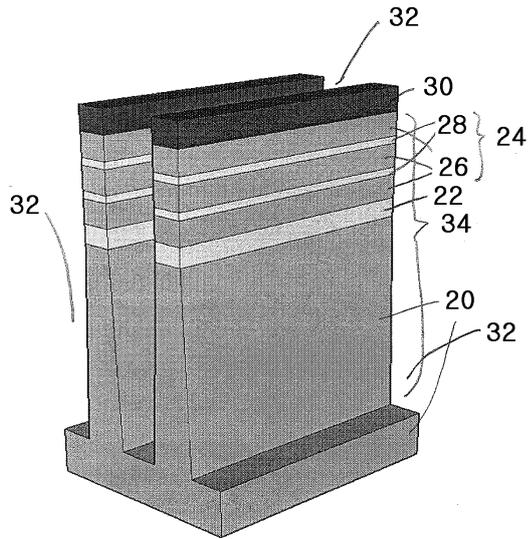
도면1



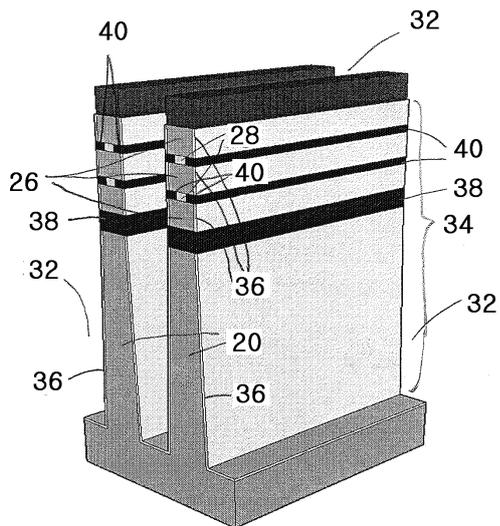
도면2



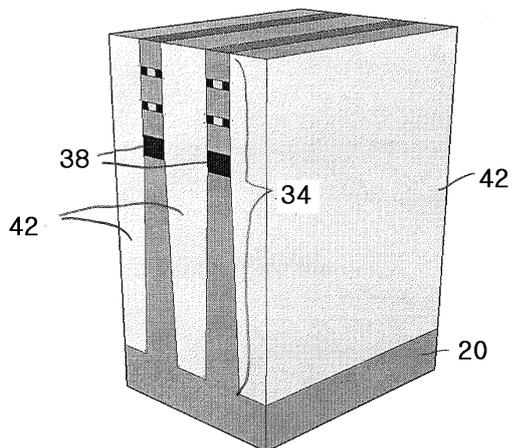
도면3



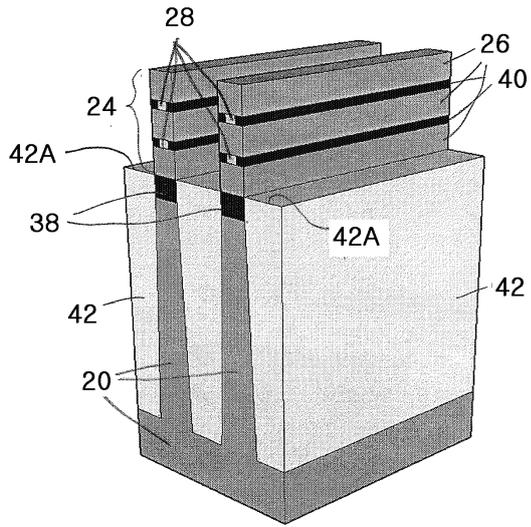
도면4



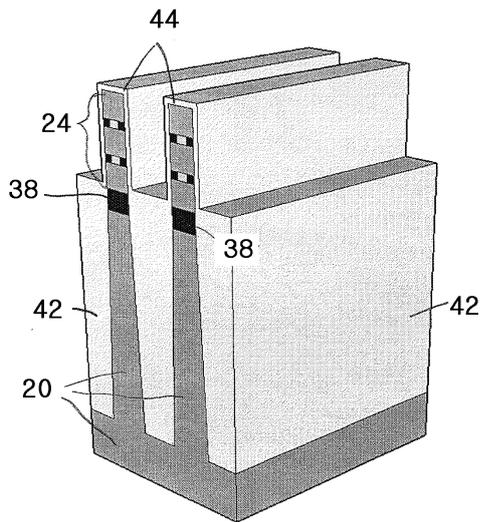
도면5



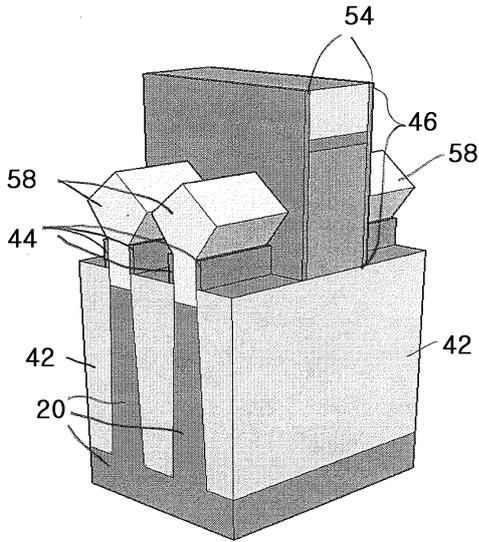
도면6



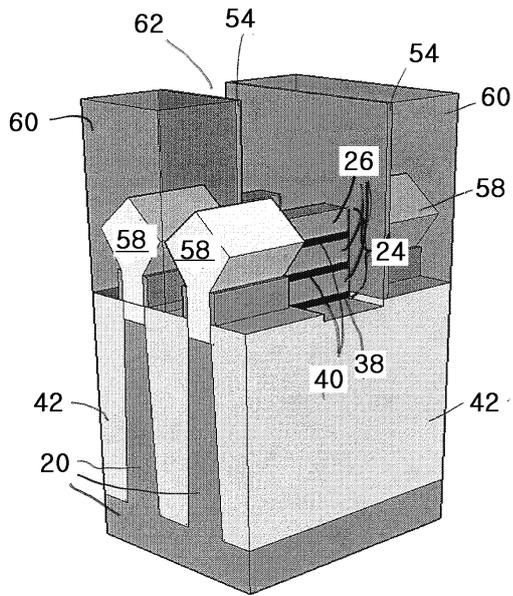
도면7



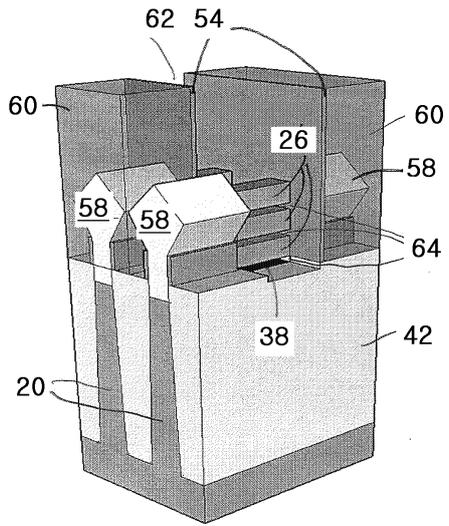
도면10



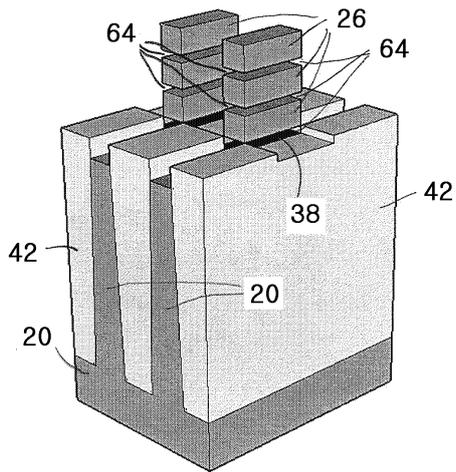
도면11



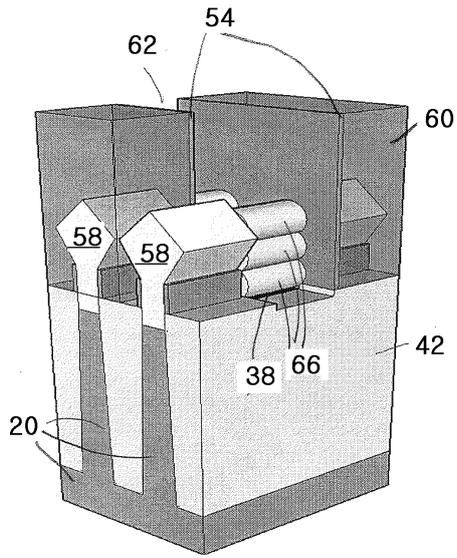
도면12a



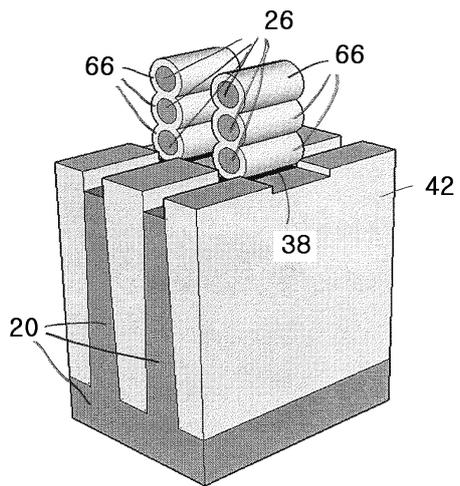
도면12b



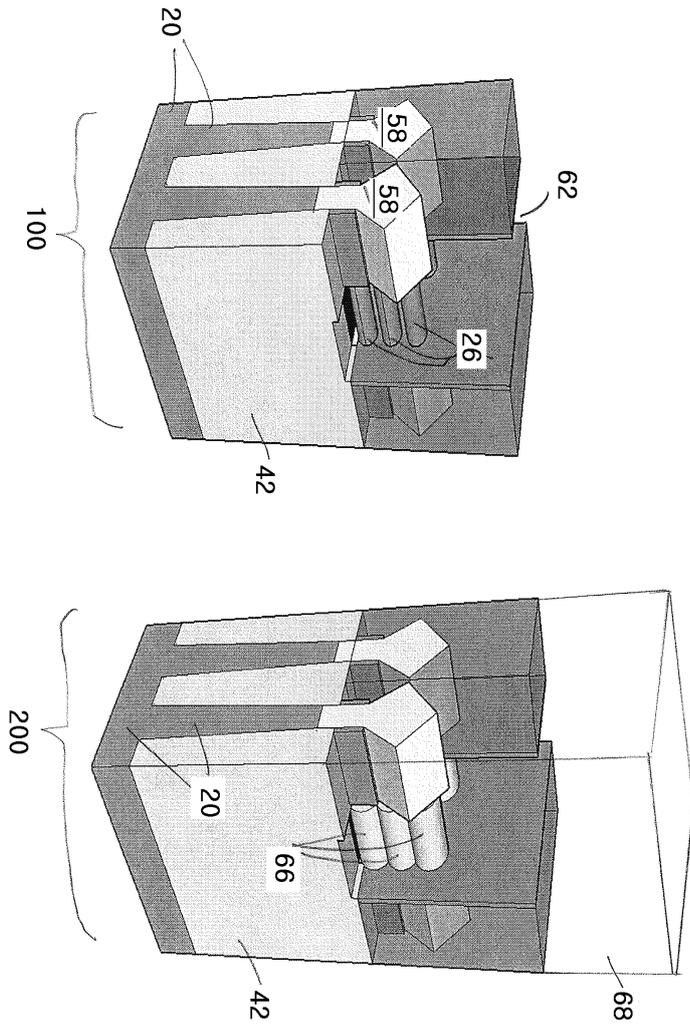
도면13a



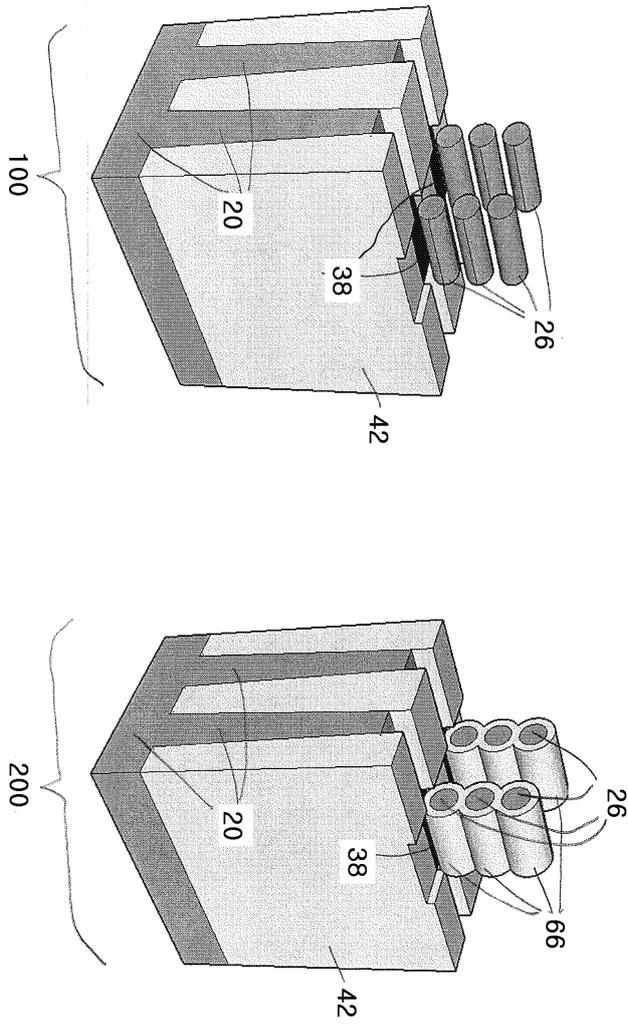
도면13b



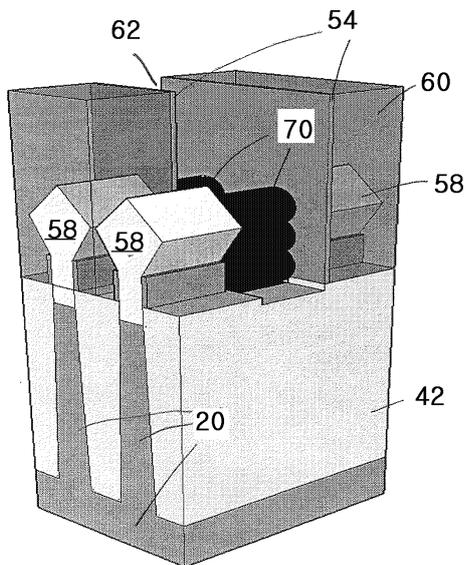
도면14a



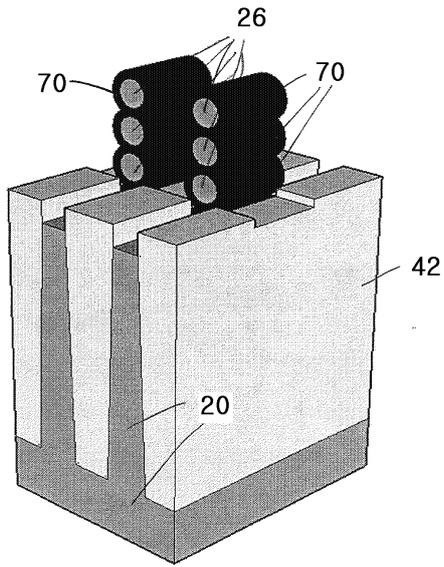
도면14b



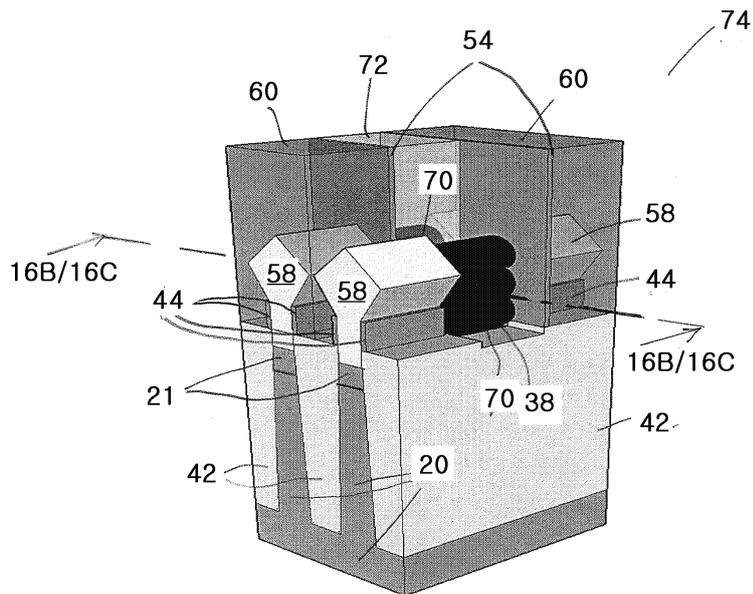
도면15a



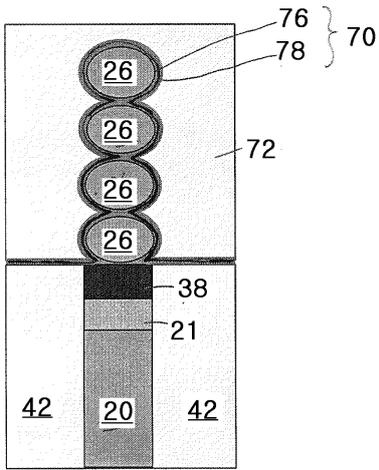
도면15b



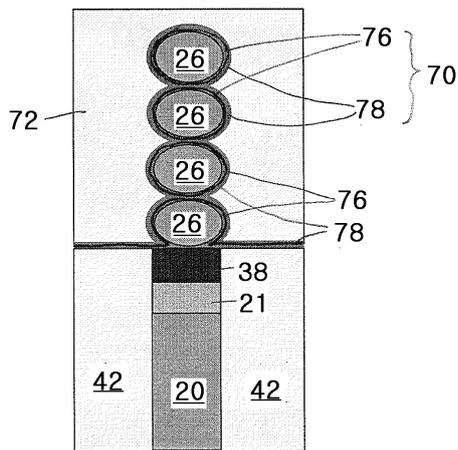
도면16a



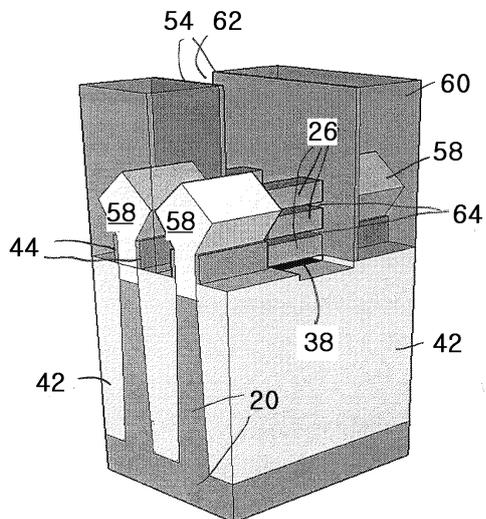
도면16b



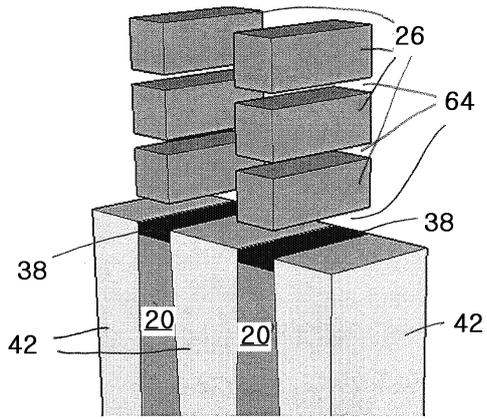
도면16c



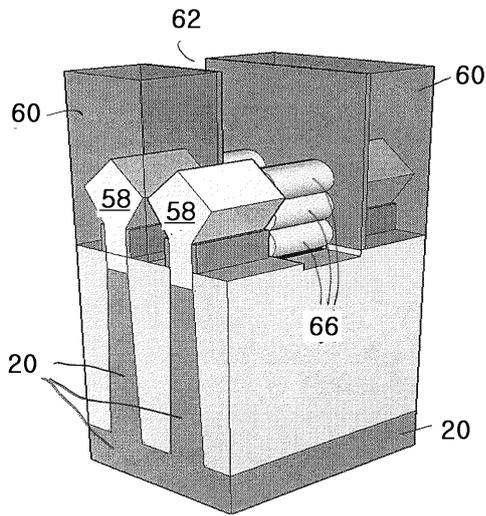
도면17a



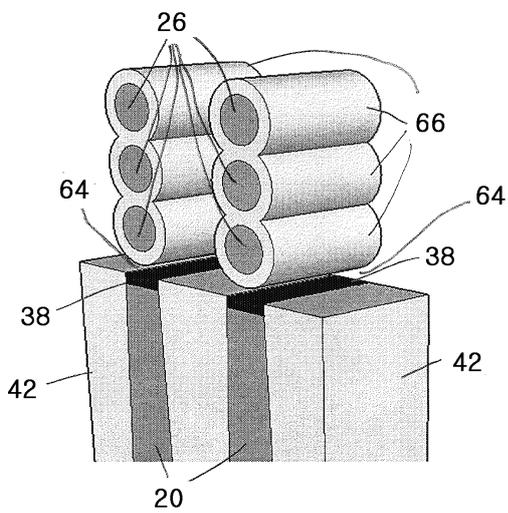
도면17b



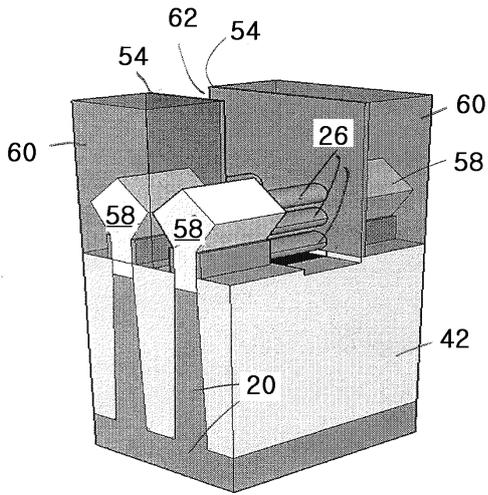
도면18a



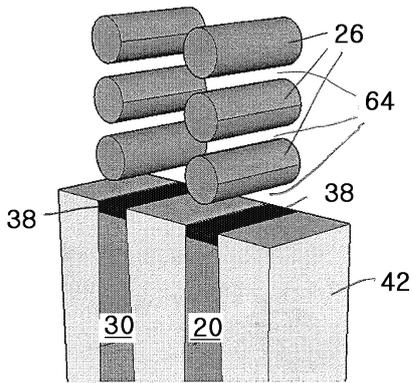
도면18b



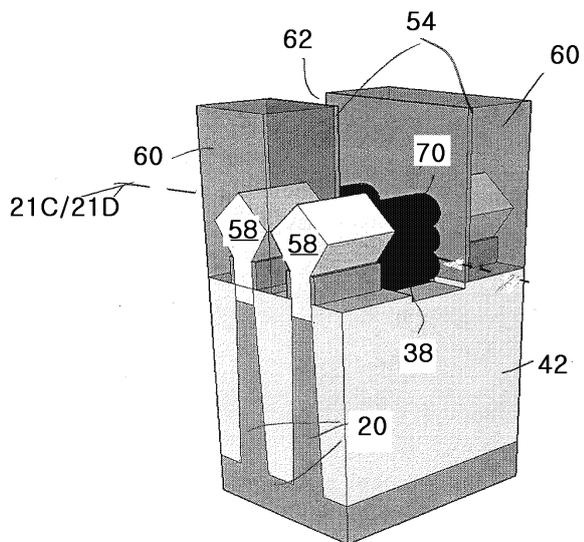
도면19a



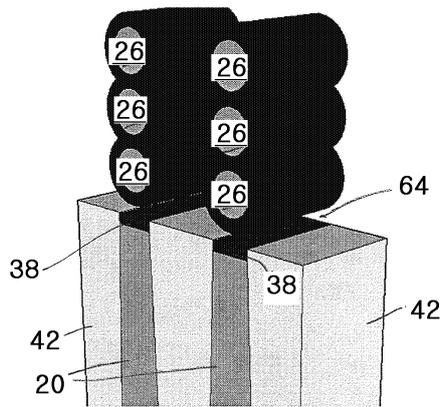
도면19b



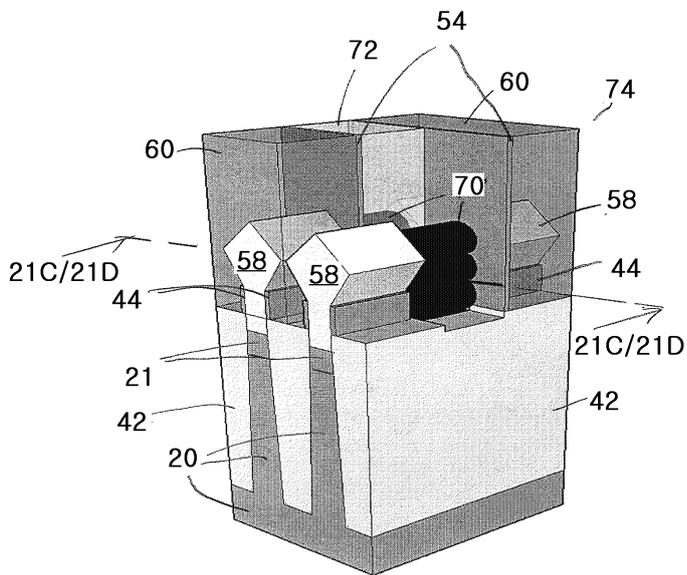
도면20a



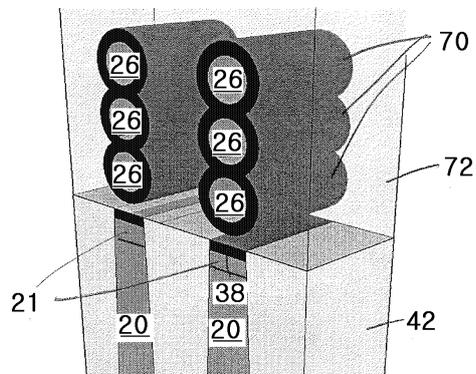
도면20b



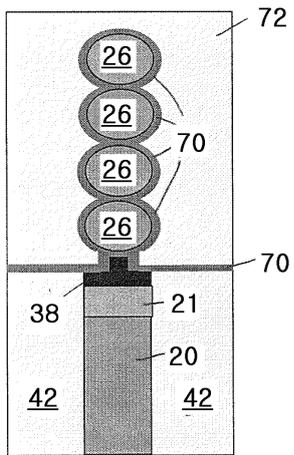
도면21a



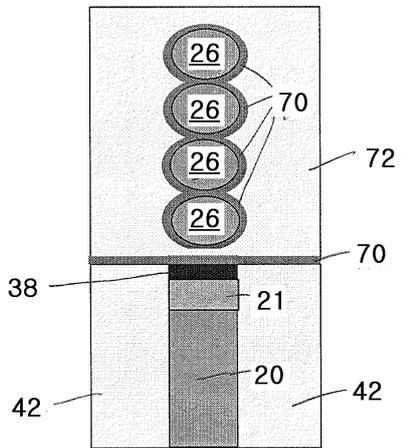
도면21b



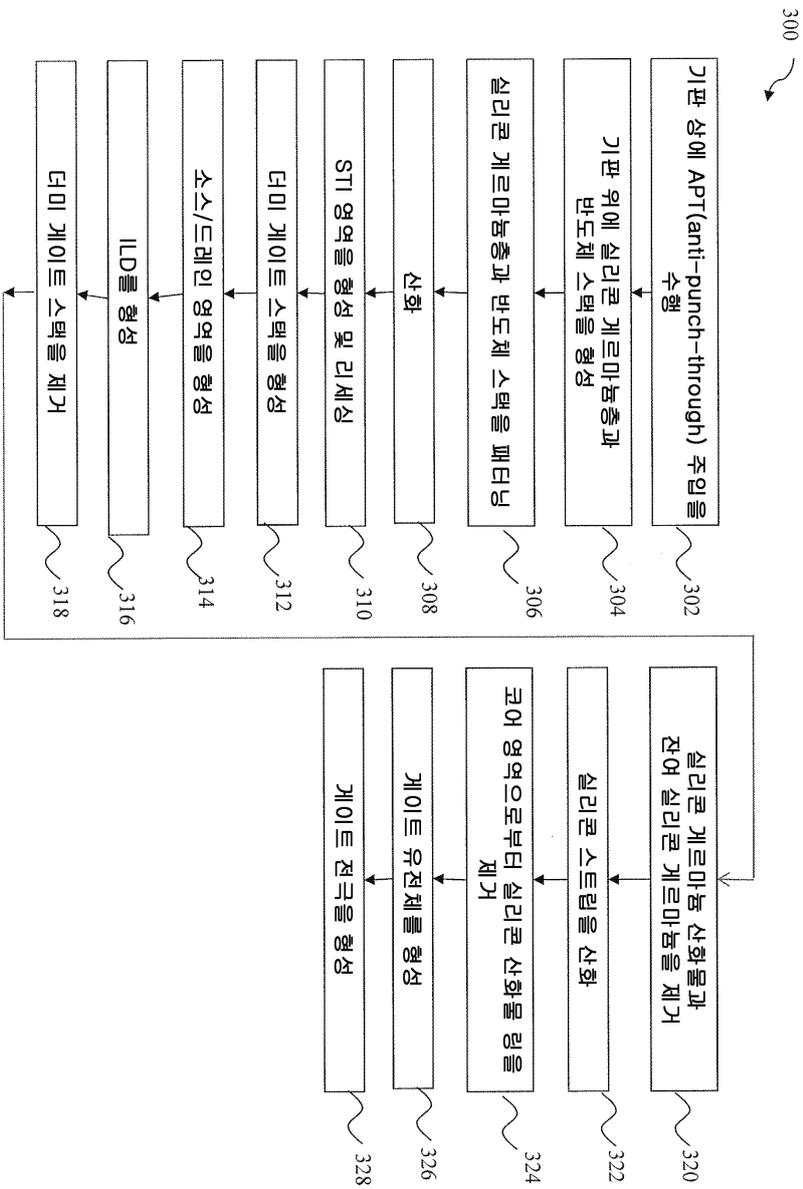
도면21c



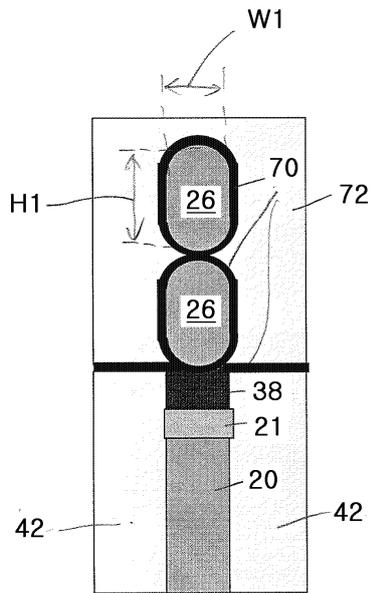
도면21d



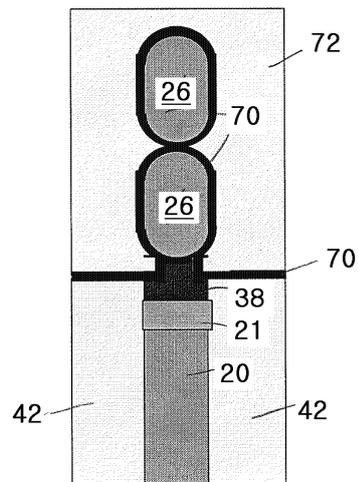
도면22



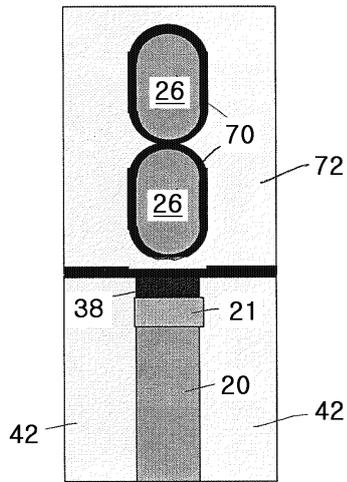
도면23a



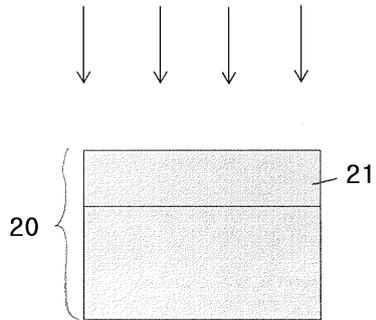
도면23b



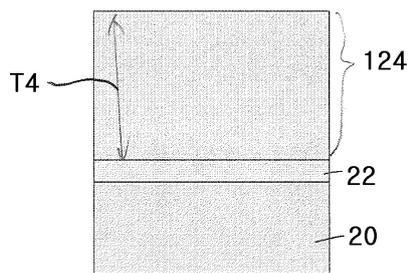
도면23c



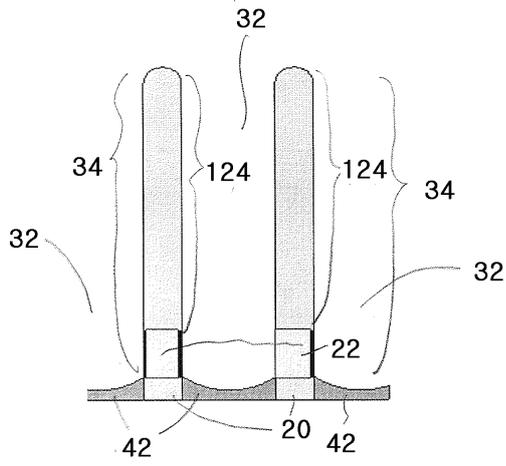
도면24



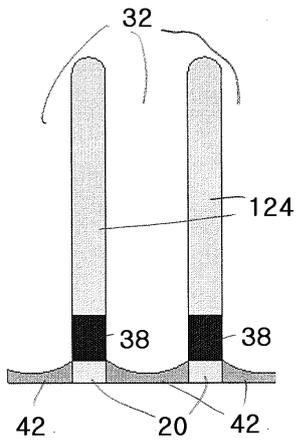
도면25



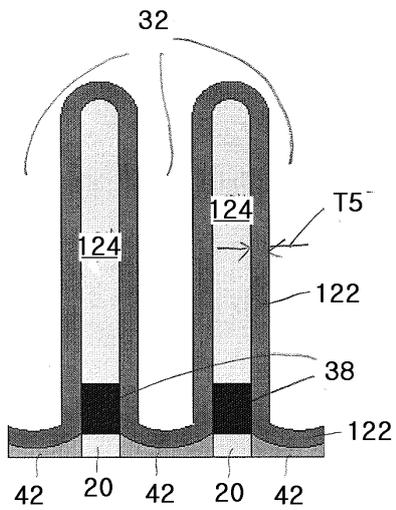
도면26



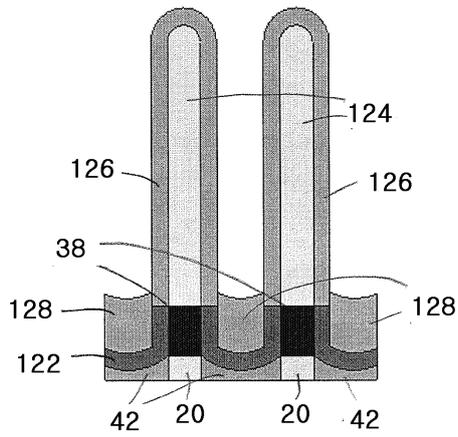
도면27



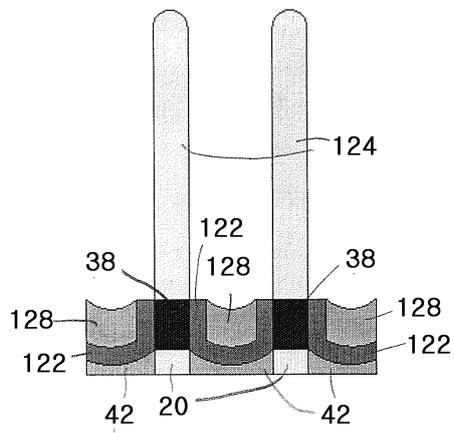
도면28



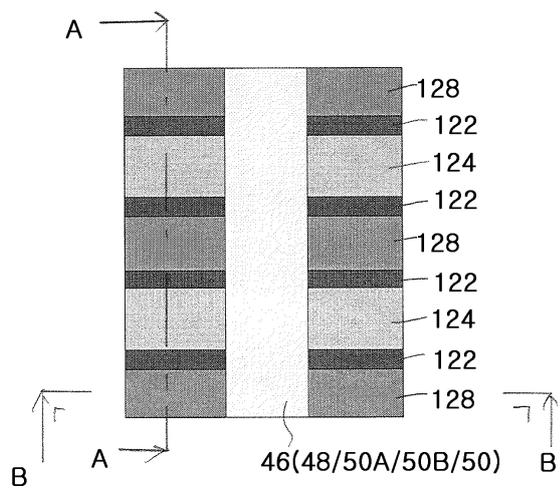
도면29



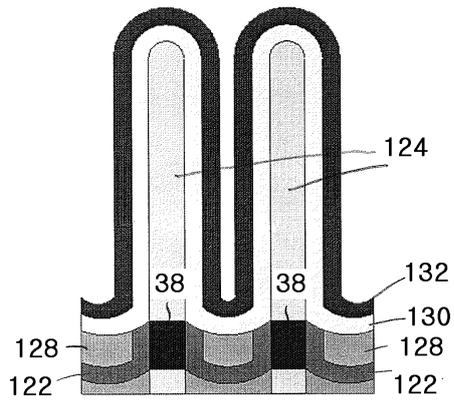
도면30



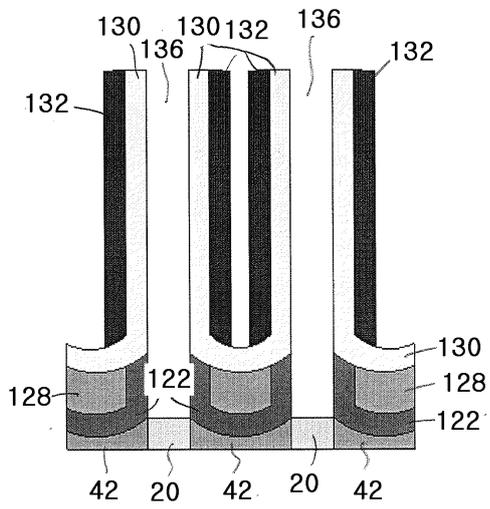
도면31



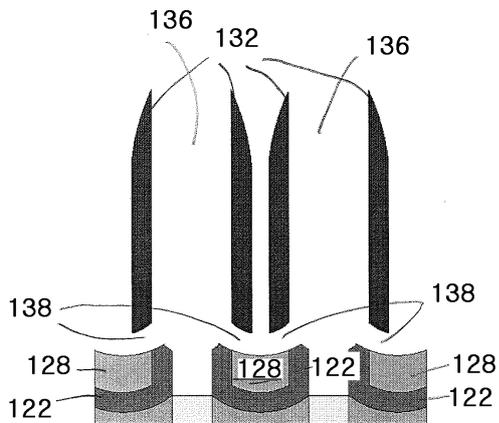
도면32



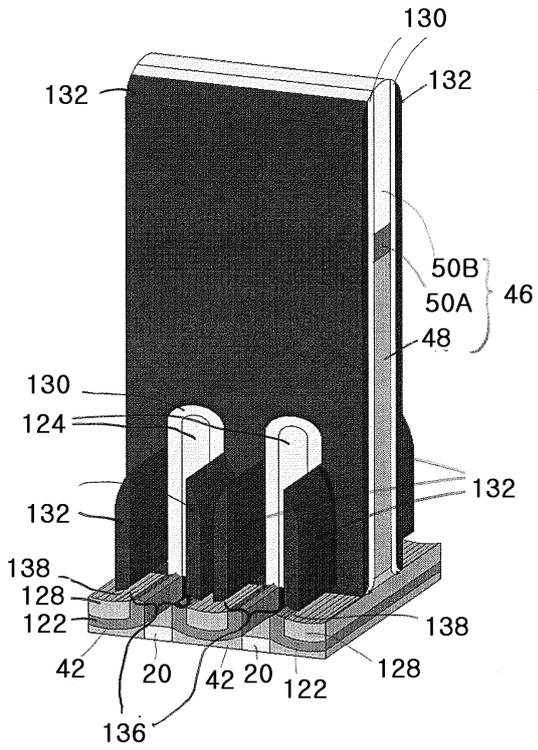
도면33



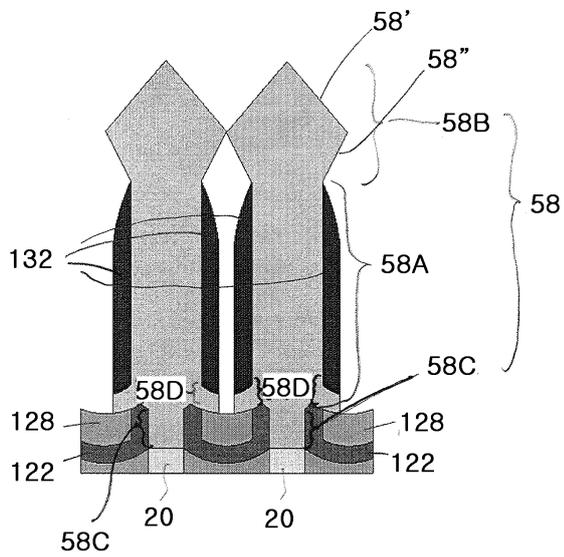
도면34a



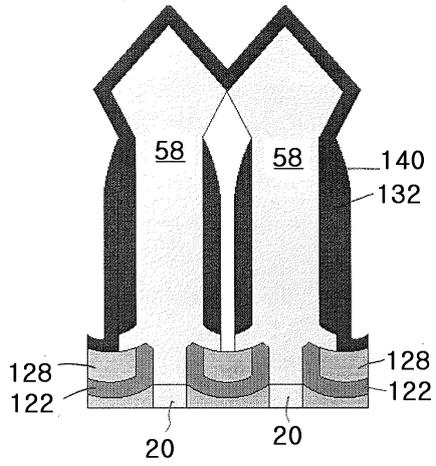
도면34b



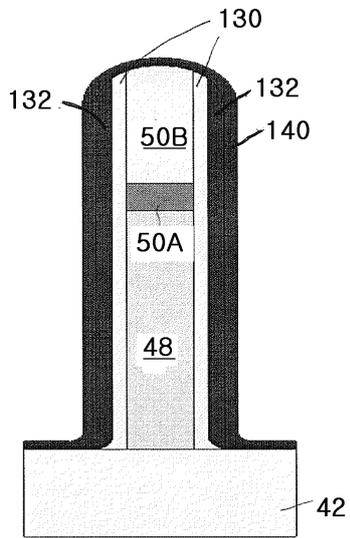
도면35



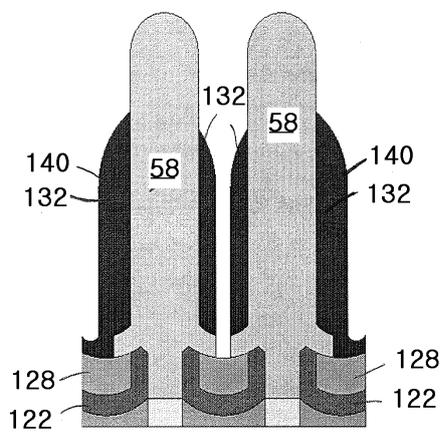
도면36a



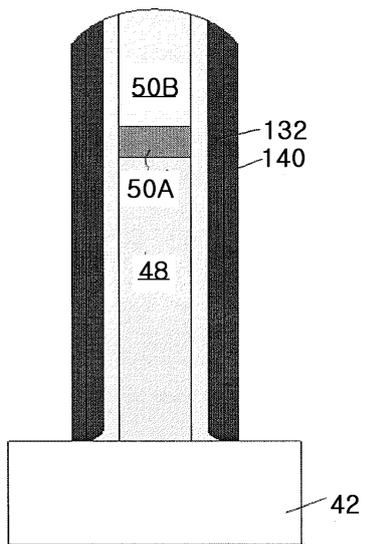
도면36b



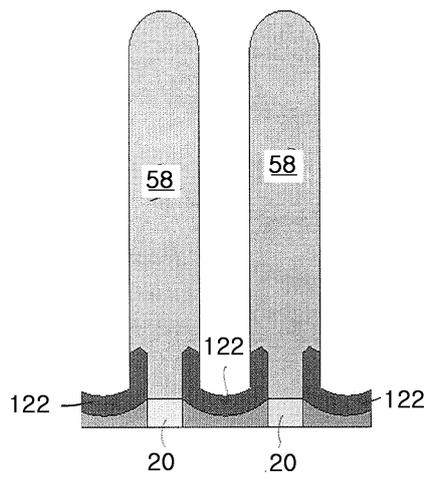
도면37a



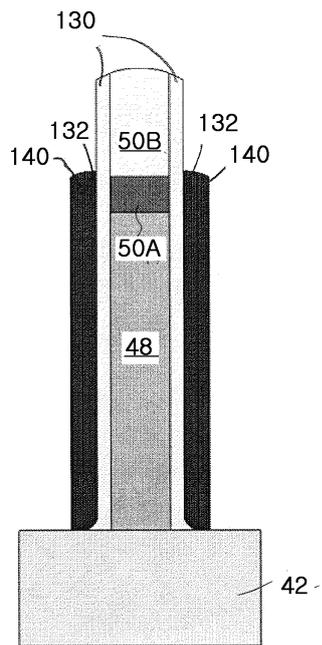
도면37b



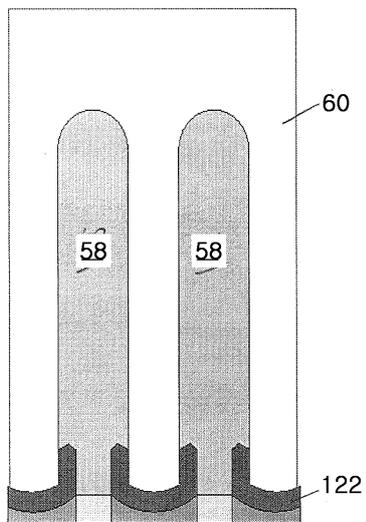
도면38a



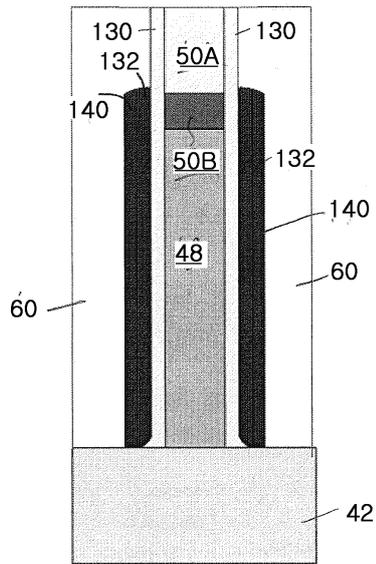
도면38b



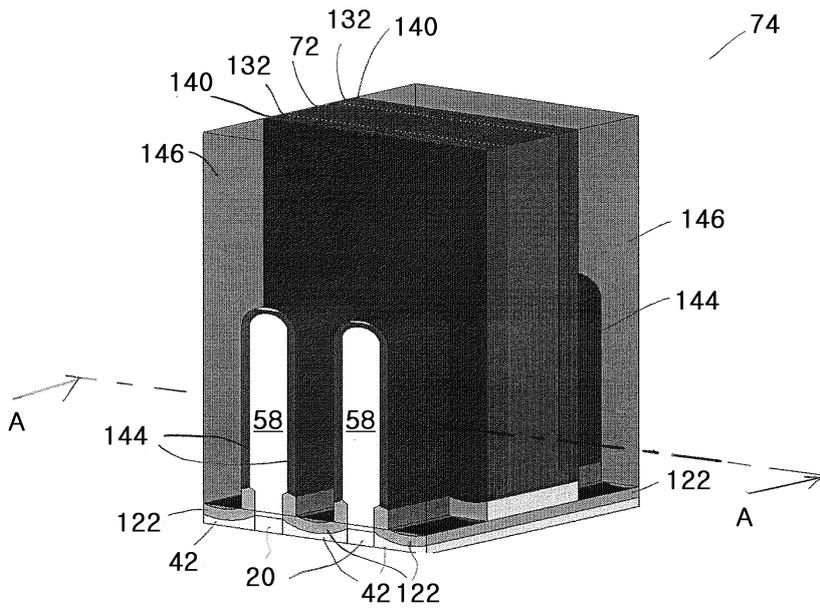
도면39a



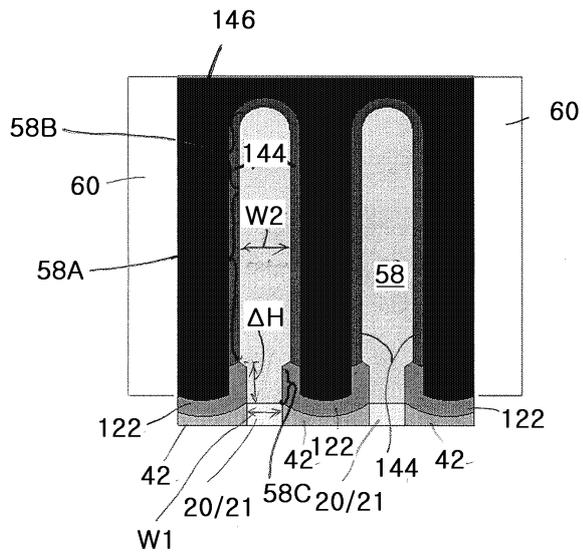
도면39b



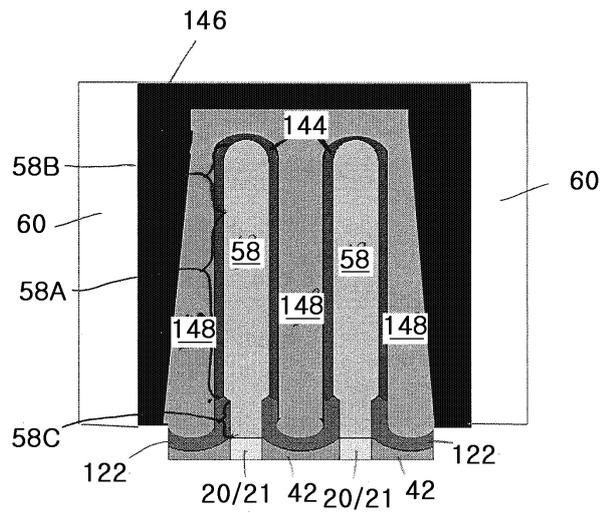
도면40a



도면40b



도면40c



도면41

