



(12)发明专利申请

(10)申请公布号 CN 110058816 A
(43)申请公布日 2019.07.26

(21)申请号 201910285210.2

(22)申请日 2019.04.10

(71)申请人 中国人民解放军陆军工程大学
地址 210007 江苏省南京市秦淮区后标营路88号

(72)发明人 乔庐峰 陈庆华 孙明乾 杨健 邹仕祥

(74)专利代理机构 南京理工大学专利中心
32203

代理人 薛云燕

(51)Int.Cl.
G06F 3/06(2006.01)

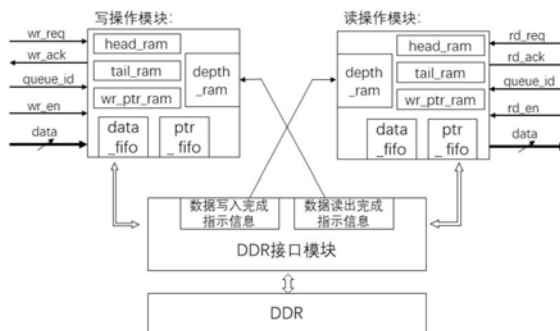
权利要求书2页 说明书5页 附图2页

(54)发明名称

一种基于DDR的高速多用户队列管理器及方法

(57)摘要

本发明公开了一种基于DDR的高速多用户的队列管理器及方法。该队列管理器包括写操作模块、读操作模块、DDR接口模块和DDR存储器。方法为：针对高性能网络设备中的多用户队列管理器，采用写操作与读操作分离的管理方式，写操作与读操作部署于不同的模块中；写操作模块与读操作模块分别维护各自的队列状态信息，两队列状态信息通过DDR接口模块进行同步更新；写操作模块与读操作模块分别内置缓冲区，用于缓存待写入DDR存储器中的数据或从DDR存储器中读出来的数据。本发明实现了对多用户队列的平滑、可靠管理，提升了整个队列结构的吞吐量。



1. 一种基于DDR的高速多用户的队列管理器,其特征在于,包括写操作模块、读操作模块、DDR接口模块和DDR存储器;

所述写操作模块,用于处理针对一设定队列的写请求;

所述读操作模块,用于处理针对一设定队列的读请求;

所述DDR接口模块,用于将写操作模块缓冲区中的数据存储至DDR存储器中的指定位置,同时将DDR存储器中的数据暂存至读操作模块内部的缓冲区中,并更新写操作模块内部队列状态信息。

2. 根据权利要求1所述的基于DDR的高速多用户的队列管理器,其特征在于,所述写操作模块,包括第一~第四RAM、第一数据FIFO和第一指针FIFO;

所述第一~第四RAM分别用于对各个队列的首地址、尾地址、写指针和队列深度进行存储与管理;

所述第一数据FIFO用于对待写入DDR存储器中的数据信息进行缓存;

所述第一指针FIFO用于对待写入DDR存储器中的数据的地址信息进行缓存。

3. 根据权利要求1所述的基于DDR的高速多用户的队列管理器,其特征在于,所述读操作模块,包括第五~第八RAM、第二数据FIFO和第二指针FIFO;

所述第五~第八RAM分别用于对各个队列的首地址、尾地址、写指针和队列深度进行存储与管理;

所述第二数据FIFO用于缓存从DDR存储器中读出的数据信息;

所述第二指针FIFO用于缓存从DDR存储器中读出的数据对应的状态信息,包括数据的深度和所属队列。

4. 根据权利要求1所述的基于DDR的高速多用户的队列管理器,其特征在于,所述DDR接口模块,包括第三FIFO和第四FIFO,分别用于存储数据写入完成指示信息和数据读出完成指示信息。

5. 一种基于DDR的高速多用户的队列管理方法,其特征在于,采用写操作与读操作分离的管理方式,写操作与读操作部署于不同的模块中;写操作模块与读操作模块分别维护各自的队列状态信息,两队列状态信息通过DDR接口模块进行同步更新;写操作模块与读操作模块分别内置缓冲区,用于缓存待写入DDR存储器中的数据或从DDR存储器中读出来的数据;包括以下步骤:

步骤1、写操作模块进行数据写入流程操作;

步骤2、读操作模块进行数据读出流程操作。

6. 根据权利要求5所述的基于DDR的高速多用户的队列管理方法,其特征在于,步骤1所述的写操作模块进行数据写入流程操作,具体如下:

步骤1.1、写操作模块接收来自外部的写请求,写请求中包含有queue_id信息,用于指示当前写操作所对应的特定队列;

步骤1.2、写操作模块依据queue_id查询写操作模块的第一~第四RAM中存储的队列状态信息,获得该队列的首地址、尾地址、写指针及当前队列深度,进而生成DDR存储器内部地址,DDR存储器内部地址包括数据在DDR存储器中的存储位置;

步骤1.3、写操作模块将待写入DDR存储器中的数据及其对应的地址信息分别缓存至写操作模块的第一数据FIFO和第一指针FIFO中,然后开始处理下一写请求;

步骤1.4、DDR接口模块从写操作模块的第一数据FIFO和第一指针FIFO中读出待写入DDR存储器中的数据及其对应的地址信息,按照地址将数据写入到DDR存储器中;

步骤1.5、数据写入完成之后,DDR接口模块生成数据写入完成指示信息,读操作模块对该信息进行读取,依据此信息对其内部队列状态进行更新。

7.根据权利要求5所述的基于DDR的高速多用户的队列管理方法,其特征在于,步骤2所述的读操作模块进行数据读出流程操作,具体如下:

步骤2.1、读操作模块接收来自外部的读请求,读请求中包含有queue_id信息,用于指示当前读操作所对应的特定队列;

步骤2.2、读操作模块依据queue_id查询读操作模块的第五~第八RAM中存储的队列状态信息,获得该队列的首地址、尾地址、写指针及当前队列深度,进而生成该读请求所对应的DDR存储器内部地址,并发送至DDR接口模块,然后开始处理下一读请求;

步骤2.3、DDR接口模块依据该地址将数据从DDR存储器中读出,并将其缓存至读操作模块的第二数据FIFO中,同时向第二指针FIFO中写入该数据所对应的队列和读出的数据深度信息;

步骤2.4、数据读出完成之后,DDR接口模块生成数据读出完成指示信息,写操作模块对该信息进行读取,依据此信息对其内部队列状态进行更新。

一种基于DDR的高速多用户队列管理器及方法

技术领域

[0001] 本发明涉及电子电路技术领域,特别是一种基于DDR的高速多用户队列管理器及方法。

背景技术

[0002] 在高速网络设备中,队列管理器需要采用片外大容量存储诸如DDR作为数据缓冲区,以实现大量队列的存储管理。队列管理器中每一队列的长度可按照需求进行静态划分,也可基于链表结构进行动态划分,用于在对存储容量充分利用的前提下有效地管理多个逻辑队列。

[0003] 传统的多队列管理器核心电路采用单个状态机实现,读写操作并存于同一模块中,二者共享所有的队列状态信息,具体操作流程为:首先产生读写操作请求,依据读写操作请求查询相应的队列状态,然后根据查询得到的特定队列状态信息,将该队列队首位置的数据读出或者将某一数据添加至该队列的队尾,最后对该队列的状态信息进行更新,后续针对该队列的操作将依据已更新的队列状态信息进行。这种方法的优点是队列管理器针对特定队列的操作模式简单,同一状态机下,读写操作分时执行,更新队列信息的操作紧跟在读操作或写操作之后,避免了数据还未写入,队列内指针位置尚未更新便开始进行数据读取这种现象的发生。但由于该方法采用了串行操作方式,读写操作无法同时进行,必须等待写操作或读操作完成,即将数据写入至DDR中,或者将数据从DDR读出之后,才能更新相应的队列状态,进而继续进行下一操作;在队列状态查询和更新的过程中,DDR总线处于空闲状态,其带宽利用率不高,严重地影响了整个队列管理器的吞吐率。

发明内容

[0004] 本发明的目的在于提供一种可以提高DDR总线带宽利用率、提高整个队列管理器吞吐率的基于DDR的高速多用户队列管理器及方法。

[0005] 实现本发明目的的技术解决方案为:一种基于DDR的高速多用户的队列管理器,包括写操作模块、读操作模块、DDR接口模块和DDR存储器;

[0006] 所述写操作模块,用于处理针对一设定队列的写请求;

[0007] 所述读操作模块,用于处理针对一设定队列的读请求;

[0008] 所述DDR接口模块,用于将写操作模块缓冲区中的数据存储至DDR存储器中的指定位置,同时将DDR存储器中的数据暂存至读操作模块内部的缓冲区中,并更新写操作模块内部队列状态信息。

[0009] 进一步地,所述写操作模块,包括第一~第四RAM、第一数据FIFO和第一指针FIFO;

[0010] 所述第一~第四RAM分别用于对各个队列的首地址、尾地址、写指针和队列深度进行存储与管理;

[0011] 所述第一数据FIFO用于对待写入DDR存储器中的数据信息进行缓存;

[0012] 所述第一指针FIFO用于对待写入DDR存储器中的数据的地址信息进行缓存。

- [0013] 进一步地,所述读操作模块,包括第五~第八RAM、第二数据FIFO和第二指针FIFO;
- [0014] 所述第五~第八RAM分别用于对各个队列的首地址、尾地址、写指针和队列深度进行存储与管理;
- [0015] 所述第二数据FIFO用于缓存从DDR存储器中读出的数据信息;
- [0016] 所述第二指针FIFO用于缓存从DDR存储器中读出的数据对应的状态信息,包括数据的深度和所属队列。
- [0017] 进一步地,所述DDR接口模块,包括第三FIFO和第四FIFO,分别用于存储数据写入完成指示信息和数据读出完成指示信息。
- [0018] 一种基于DDR的高速多用户的队列管理方法,采用写操作与读操作分离的管理方式,写操作与读操作部署于不同的模块中;写操作模块与读操作模块分别维护各自的队列状态信息,两队列状态信息通过DDR接口模块进行同步更新;写操作模块与读操作模块分别内置缓冲区,用于缓存待写入DDR存储器中的数据或从DDR存储器中读出来的数据;包括以下步骤:
- [0019] 步骤1、写操作模块进行数据写入流程操作;
- [0020] 步骤2、读操作模块进行数据读出流程操作。
- [0021] 进一步地,步骤1所述的写操作模块进行数据写入流程操作,具体如下:
- [0022] 步骤1.1、写操作模块接收来自外部的写请求,写请求中包含有queue_id信息,用于指示当前写操作所对应的特定队列;
- [0023] 步骤1.2、写操作模块依据queue_id查询写操作模块的第一~第四RAM中存储的队列状态信息,获得该队列的首地址、尾地址、写指针及当前队列深度,进而生成DDR存储器内部地址,DDR存储器内部地址包括数据在DDR存储器中的存储位置;
- [0024] 步骤1.3、写操作模块将待写入DDR存储器中的数据及其对应的地址信息分别缓存至写操作模块的第一数据FIFO和第一指针FIFO中,然后开始处理下一写请求;
- [0025] 步骤1.4、DDR接口模块从写操作模块的第一数据FIFO和第一指针FIFO中读出待写入DDR存储器中的数据及其对应的地址信息,按照地址将数据写入到DDR存储器中;
- [0026] 步骤1.5、数据写入完成之后,DDR接口模块生成数据写入完成指示信息,读操作模块对该信息进行读取,依据此信息对其内部队列状态进行更新。
- [0027] 进一步地,步骤2所述的读操作模块进行数据读出流程操作,具体如下:
- [0028] 步骤2.1、读操作模块接收来自外部的读请求,读请求中包含有queue_id信息,用于指示当前读操作所对应的特定队列;
- [0029] 步骤2.2、读操作模块依据queue_id查询读操作模块的第五~第八RAM中存储的队列状态信息,获得该队列的首地址、尾地址、写指针及当前队列深度,进而生成该读请求所对应的DDR存储器内部地址,并发送至DDR接口模块,然后开始处理下一读请求;
- [0030] 步骤2.3、DDR接口模块依据该地址将数据从DDR存储器中读出,并将其缓存至读操作模块的第二数据FIFO中,同时向第二指针FIFO中写入该数据所对应的队列和读出的数据深度信息;
- [0031] 步骤2.4、数据读出完成之后,DDR接口模块生成数据读出完成指示信息,写操作模块对该信息进行读取,依据此信息对其内部队列状态进行更新。
- [0032] 本发明与现有技术相比,其显著优点为:(1)读操作与写操作部署于不同的模块

中,二者可实现并行操作;(2)数据写入完成和数据读出完成之后分别生成指示信息,通知读操作模块和写操作模块更新相应的队列状态,从而有效地避免了读写冲突;(3)利用内部缓冲区,提高了DDR总线的带宽利用率,保证了整个队列管理器的吞吐率;(4)可按需对队列管理器中的每一队列进行静态划分或基于链表结构进行动态划分,保证了片外DDR的存储资源利用率。

附图说明

- [0033] 图1为本发明基于DDR的高速多用户队列管理器的结构框图。
[0034] 图2为本发明基于DDR的高速多用户队列管理方法中的数据写入流程图。
[0035] 图3为本发明基于DDR的高速多用户队列管理方法中的数据读出流程图。

具体实施方式

- [0036] 本发明基于DDR的高速多用户的队列管理器,包括写操作模块、读操作模块、DDR接口模块和DDR存储器;
- [0037] 所述写操作模块,用于处理针对一设定队列的写请求;
- [0038] 所述读操作模块,用于处理针对一设定队列的读请求;
- [0039] 所述DDR接口模块,用于将写操作模块缓冲区中的数据存储至DDR存储器中的指定位置,同时将DDR存储器中的数据暂存至读操作模块内部的缓冲区中,并更新写操作模块内部队列状态信息。
- [0040] 进一步地,所述写操作模块,包括第一~第四RAM、第一数据FIFO和第一指针FIFO;
- [0041] 所述第一~第四RAM分别用于对各个队列的首地址、尾地址、写指针和队列深度进行存储与管理;
- [0042] 所述第一数据FIFO用于对待写入DDR存储器中的数据信息进行缓存;
- [0043] 所述第一指针FIFO用于对待写入DDR存储器中的数据的地址信息进行缓存。
- [0044] 进一步地,所述读操作模块,包括第五~第八RAM、第二数据FIFO和第二指针FIFO;
- [0045] 所述第五~第八RAM分别用于对各个队列的首地址、尾地址、写指针和队列深度进行存储与管理;
- [0046] 所述第二数据FIFO用于缓存从DDR存储器中读出的数据信息;
- [0047] 所述第二指针FIFO用于缓存从DDR存储器中读出的数据对应的状态信息,包括数据的深度和所属队列。
- [0048] 进一步地,所述DDR接口模块,包括第三FIFO和第四FIFO,分别用于存储数据写入完成指示信息和数据读出完成指示信息。
- [0049] 一种基于DDR的高速多用户的队列管理方法,采用写操作与读操作分离的管理方式,写操作与读操作部署于不同的模块中;写操作模块与读操作模块分别维护各自的队列状态信息,两队列状态信息通过DDR接口模块进行同步更新;写操作模块与读操作模块分别内置缓冲区,用于缓存待写入DDR存储器中的数据或从DDR存储器中读出来的数据;包括以下步骤:
- [0050] 步骤1、写操作模块进行数据写入流程操作;
- [0051] 步骤2、读操作模块进行数据读出流程操作。

- [0052] 进一步地,步骤1所述的写操作模块进行数据写入流程操作,具体如下:
- [0053] 步骤1.1、写操作模块接收来自外部的写请求,写请求中包含有queue_id信息,用于指示当前写操作所对应的特定队列;
- [0054] 步骤1.2、写操作模块依据queue_id查询写操作模块的第一~第四RAM中存储的队列状态信息,获得该队列的首地址、尾地址、写指针及当前队列深度,进而生成DDR存储器内部地址,DDR存储器内部地址包括数据在DDR存储器中的存储位置;
- [0055] 步骤1.3、写操作模块将待写入DDR存储器中的数据及其对应的地址信息分别缓存至写操作模块的第一数据FIFO和第一指针FIFO中,然后开始处理下一写请求;
- [0056] 步骤1.4、DDR接口模块从写操作模块的第一数据FIFO和第一指针FIFO中读出待写入DDR存储器中的数据及其对应的地址信息,按照地址将数据写入到DDR存储器中;
- [0057] 步骤1.5、数据写入完成之后,DDR接口模块生成数据写入完成指示信息,读操作模块对该信息进行读取,依据此信息对其内部队列状态进行更新。
- [0058] 进一步地,步骤2所述的读操作模块进行数据读出流程操作,具体如下:
- [0059] 步骤2.1、读操作模块接收来自外部的读请求,读请求中包含有queue_id信息,用于指示当前读操作所对应的特定队列;
- [0060] 步骤2.2、读操作模块依据queue_id查询读操作模块的第五~第八RAM中存储的队列状态信息,获得该队列的首地址、尾地址、写指针及当前队列深度,进而生成该读请求所对应的DDR存储器内部地址,并发送至DDR接口模块,然后开始处理下一读请求;
- [0061] 步骤2.3、DDR接口模块依据该地址将数据从DDR存储器中读出,并将其缓存至读操作模块的第二数据FIFO中,同时向第二指针FIFO中写入该数据所对应的队列和读出的数据深度信息;
- [0062] 步骤2.4、数据读出完成之后,DDR接口模块生成数据读出完成指示信息,写操作模块对该信息进行读取,依据此信息对其内部队列状态进行更新。
- [0063] 下面结合附图及具体实施方式对本发明作进一步详细说明。
- [0064] 实施例
- [0065] 结合图1,本发明基于DDR的高速多用户队列管理器,包括写操作模块、读操作模块、DDR接口模块和DDR存储器;
- [0066] 所述写操作模块,用于处理针对某一特定队列的写请求;
- [0067] 所述读操作模块,用于处理针对某一特定队列的读请求;
- [0068] 所述DDR接口模块,用于将写操作模块缓冲区中的数据存储至DDR存储器中的指定位置,同时将DDR存储器中的数据暂存至读操作模块内部的缓冲区中,并更新写操作模块内部队列状态信息。
- [0069] 进一步地,所述写操作模块,包括第一~第四RAM、第一数据FIFO和第一指针FIFO;
- [0070] 所述第一~第四RAM,分别用于对各个队列的首地址(head_ram)、尾地址(tail_ram)、写指针(wr_ptr_ram)和队列深度(depth_ram)进行存储与管理;
- [0071] 所述第一数据FIFO(data_fifo)和第一指针FIFO(ptr_fifo)分别用于对待写入DDR存储器中的数据及其地址信息进行缓存。
- [0072] 进一步地,所述读操作模块,包括第五~第八RAM、第二数据FIFO和第二指针FIFO;
- [0073] 所述第五~第八RAM,分别用于对各个队列的首地址(head_ram)、尾地址(tail_

ram)、写指针(wr_ptr_ram)和队列深度(depth_ram)进行存储与管理;

[0074] 所述第二数据FIFO(data_fifo)和第二指针FIFO(ptr_fifo)分别用于缓存从DDR存储器中读出的数据和该数据对应的状态信息,包括数据的深度及所属队列等。

[0075] 进一步地,所述DDR接口模块,包括第三FIFO和第四FIFO,分别用于存储数据写入完成指示信息和数据读出完成指示信息。

[0076] 一种基于DDR的高速多用户的队列管理方法,包括以下步骤:

[0077] 步骤1、写操作模块进行数据写入流程操作;

[0078] 步骤2、读操作模块进行数据读出流程操作。

[0079] 结合图2,步骤1所述的写操作模块进行数据写入流程操作,具体如下:

[0080] 步骤1.1、写操作模块接收来自外部的写请求,写请求中包含有queue_id信息,用于指示当前写操作所对应的特定队列;

[0081] 步骤1.2、写操作模块依据queue_id查询写操作模块的第一~第四RAM中存储的队列状态信息,获得该队列的首地址、尾地址、写指针及当前队列深度,进而生成DDR内部地址,DDR存储器内部地址包括数据在DDR存储器中的存储位置;

[0082] 步骤1.3、写操作模块将待写入DDR存储器中的数据及其对应的地址信息分别缓存至写操作模块的第一数据FIFO和第一指针FIFO中,然后开始处理下一写请求;

[0083] 步骤1.4、DDR接口模块从写操作模块的第一数据FIFO和第一指针FIFO中读出待写入DDR存储器中的数据及其对应的地址信息(流程①),按照地址将数据写入到DDR存储器中(流程②);

[0084] 步骤1.5、数据写入完成之后,DDR接口模块生成数据写入完成指示信息,读操作模块对该信息进行读取,依据此信息对其内部队列状态进行更新(流程③)。

[0085] 结合图3,步骤2所述的读操作模块进行数据读出流程操作,具体如下::

[0086] 步骤2.1、读操作模块接收来自外部的读请求,读请求中包含有queue_id信息,用于指示当前读操作所对应的特定队列;

[0087] 步骤2.2、读操作模块依据queue_id查询读操作模块的第五~第八RAM中存储的队列状态信息,获得该队列的首地址、尾地址、写指针及当前队列深度,进而生成该读请求所对应的DDR存储器内部地址,并发送至DDR接口模块,然后开始处理下一读请求;

[0088] 步骤2.3、DDR接口模块依据该地址将数据从DDR存储器中读出(流程①)并将其缓存至读操作模块的第二数据FIFO中,同时向第二指针FIFO中写入该数据所对应的队列和读出的数据深度信息(流程②);

[0089] 步骤2.4、数据读出完成之后,DDR接口模块生成数据读出完成指示信息,写操作模块对该信息进行读取,依据此信息对其内部队列状态进行更新(流程③)。

[0090] 综上所述,本发明首先读操作与写操作部署于不同的模块中,二者可实现并行操作;其次,数据写入完成和数据读出完成之后分别生成指示信息,通知读操作模块和写操作模块更新相应的队列状态,从而有效地避免了读写冲突;然后,利用内部缓冲区,提高了DDR总线的带宽利用率,保证了整个队列管理器的吞吐率;最后,可按需对队列管理器中的每一队列进行静态划分或基于链表结构进行动态划分,保证了片外DDR的存储资源利用率。

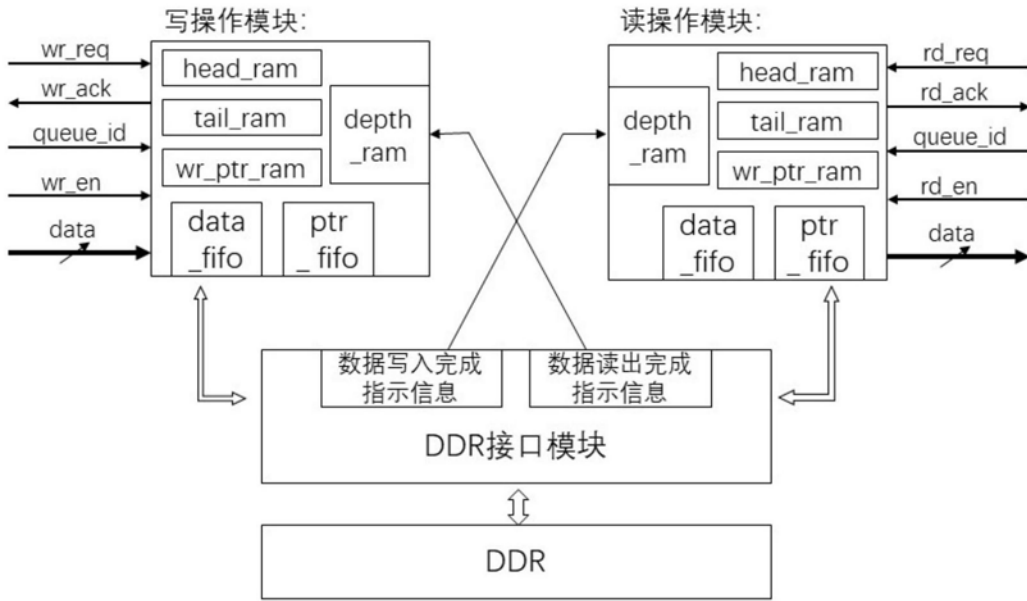


图1

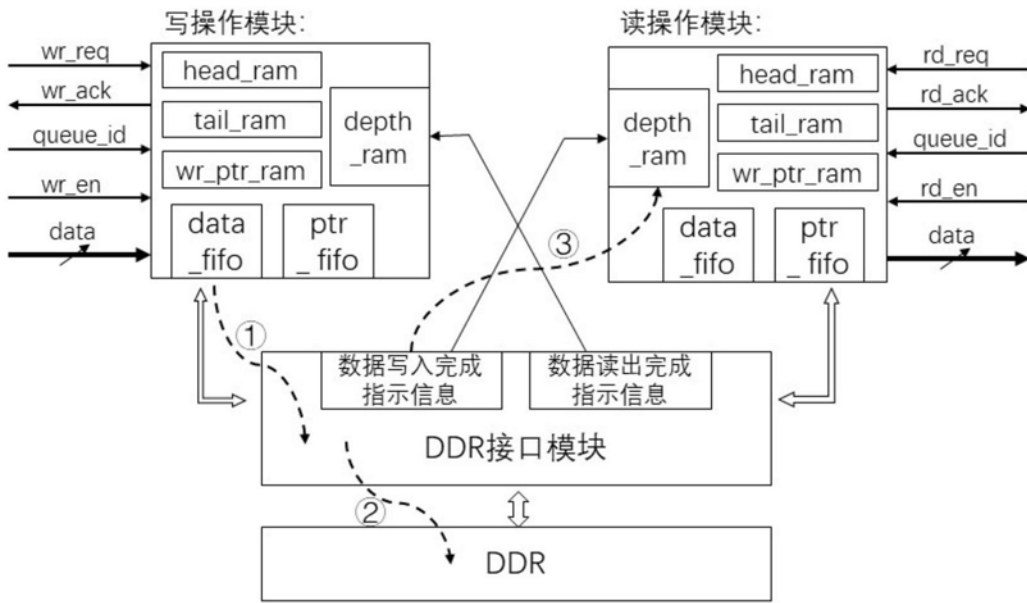


图2

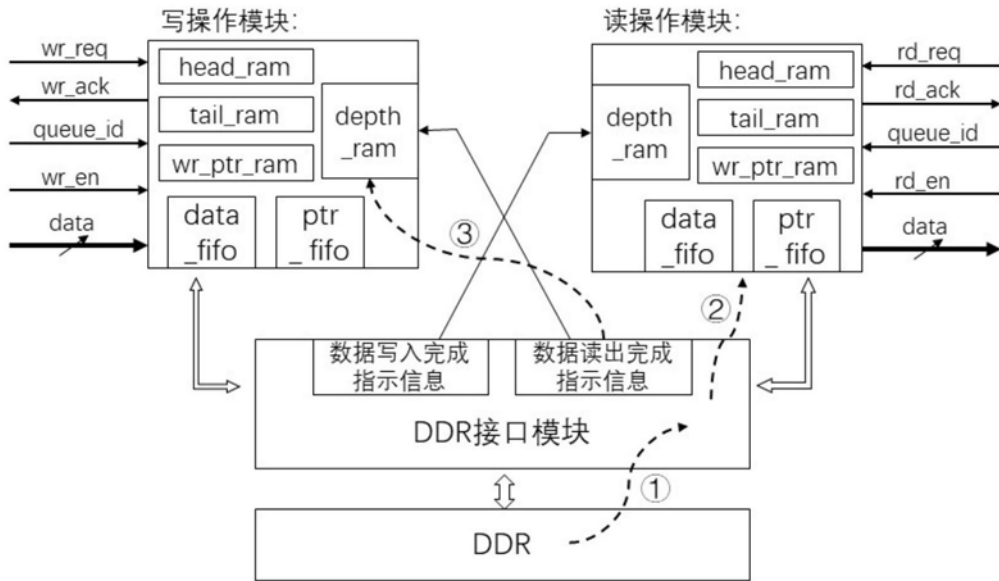


图3