



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0000397
(43) 공개일자 2017년01월02일

- (51) 국제특허분류(Int. Cl.)
G11C 11/412 (2006.01) G11C 5/02 (2006.01)
HO1L 27/06 (2006.01) HO1L 27/11 (2006.01)
- (52) CPC특허분류
G11C 11/412 (2013.01)
G11C 5/025 (2013.01)
- (21) 출원번호 10-2016-7035866(분할)
- (22) 출원일자(국제) 2014년03월11일
심사청구일자 없음
- (62) 원출원 특허 10-2015-7029081
원출원일자(국제) 2014년03월11일
심사청구일자 2015년12월04일
- (85) 번역문제출일자 2016년12월21일
- (86) 국제출원번호 PCT/US2014/022929
- (87) 국제공개번호 WO 2014/150317
국제공개일자 2014년09월25일
- (30) 우선권주장
61/800,220 2013년03월15일 미국(US)
13/939,274 2013년07월11일 미국(US)

- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스
우스 드라이브 5775
- (72) 발명자
시에, 정
미국 92121 캘리포니아주 샌 디에고 모어하우스
드라이브 5775 퀄컴 인코포레이티드
두, 양
미국 92121 캘리포니아주 샌 디에고 모어하우스
드라이브 5775 퀄컴 인코포레이티드
- (74) 대리인
특허법인 남앤드남

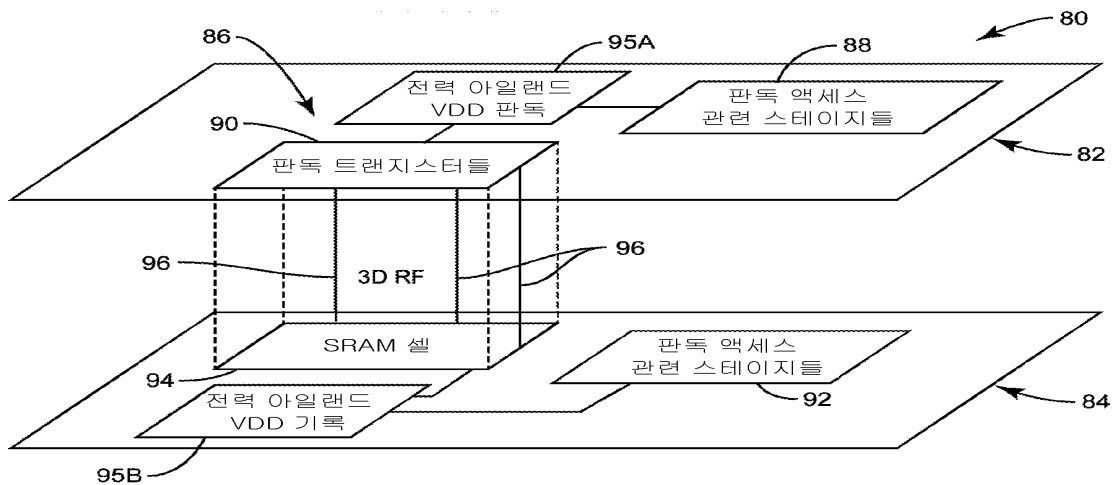
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **집적 회로의 상이한 티어들상에 판독/기록 포트들 및 액세스 로직을 가진 3차원(3D) 메모리 셀**

(57) 요약

3차원(3D) 집적 회로(IC)(3DIC) 티어들 사이에서 3D 메모리 셀 분리가 개시된다. 관련된 3DIC들, 3DIC 프로세서 코어들, 및 방법들이 또한 개시된다. 본원에 개시된 실시예들에서, 메모리 블록의 메모리 판독 액세스 포트들은 3DIC의 상이한 티어들에서 메모리 셀로부터 분리된다. 3DIC들은 보다 높은 디바이스 팩킹 밀도, 보다 낮은 상호연결 지연들, 및 보다 낮은 비용들을 달성한다. 이런 방식으로, 상이한 공급 전압들은 판독 액세스 포트들에 대한 전압을 보다 낮게 공급할 수 있도록 판독 액세스 포트들 및 메모리 셀을 위해 제공될 수 있다. 메모리 셀에서 정적 노이즈 마진들 및 판독/기록 노이즈 마진들은 결과로서 제공될 수 있다. 영역을 증가시키는 분리되지 않은 메모리 블록 안에 다수의 전원 레일(rail)들을 제공하는 것은 또한 회피될 수 있다.

대표도



(52) CPC특허분류

H01L 27/0688 (2013.01)

H01L 27/1108 (2013.01)

H01L 27/1116 (2013.01)

명세서

청구범위

청구항 1

3차원(3D) 메모리 블록으로서,

3D 집적 회로(IC)(3DIC)의 제 1 티어(tier)에 배치된 메모리 셀;

상기 3DIC의 제 2 티어에 배치된 적어도 하나의 관독 액세스 포트 - 상기 적어도 하나의 관독 액세스 포트는 상기 메모리 셀에 관독 액세스를 제공하도록 구성됨 -; 및

상기 적어도 하나의 관독 액세스 포트를 상기 메모리 셀에 커플링하는 적어도 하나의 모놀로식 인터티어 비아 (MIV: monolithic intertier via)

를 포함하는,

3차원(3D) 메모리 블록.

청구항 2

제 1 항에 있어서,

정적 랜덤 액세스 메모리(SRAM) 블록으로 구성된,

3차원(3D) 메모리 블록.

청구항 3

제 1 항에 있어서,

상기 3DIC의 상기 제 1 티어에 배치된 적어도 하나의 기록 액세스 포트를 더 포함하고, 상기 적어도 하나의 기록 액세스 포트는 메모리 셀에 기록 액세스를 제공하도록 구성되는,

3차원(3D) 메모리 블록.

청구항 4

제 1 항에 있어서,

상기 3DIC의 상기 제 2 티어에 배치된 적어도 하나의 기록 액세스 포트를 더 포함하고, 상기 적어도 하나의 기록 액세스 포트는 상기 적어도 하나의 MIV를 통해 상기 메모리 셀에 기록 액세스를 제공하도록 구성되는,

3차원(3D) 메모리 블록.

청구항 5

제 1 항에 있어서,

상기 3DIC의 상기 제 1 티어에 배치된 프로세서 코어 기록 논리 - 상기 프로세서 코어 기록 논리는 상기 메모리 셀의 적어도 하나의 기록 포트에 기록 요청들을 제공하도록 구성됨 -; 및

상기 3DIC의 제 2 티어에 배치된 프로세서 코어 관독 논리 - 상기 프로세서 코어 관독 논리는 상기 메모리 셀의 상기 적어도 하나의 관독 액세스 포트에 관독 액세스들을 제공하도록 구성됨 -

를 더 포함하는,

3차원(3D) 메모리 블록.

청구항 6

제 1 항에 있어서,

상기 3DIC의 상기 제 1 티어에 배치된 제 1 전압이 공급되는 제 1 전압 레일(rail) - 상기 제 1 전압 레일은 상기 제 1 전압을 상기 메모리 셀에 공급하도록 구성됨 -; 및

상기 제 1 전압 레일에 공급된 상기 제 1 전압보다 낮은 제 2 전압이 공급되는 제 2 전압 레일 - 상기 제 2 전압 레일은 상기 3DIC의 상기 제 2 티어에 배치되고 상기 제 2 전압을 상기 적어도 하나의 관독 액세스 포트에 공급하도록 구성됨 -

을 더 포함하는,

3차원(3D) 메모리 블록.

청구항 7

제 1 항에 있어서,

반도체 다이에 통합되는,

3차원(3D) 메모리 블록.

청구항 8

제 1 항에 있어서,

상기 3D 메모리 블록이 통합되는, 셋톱 박스, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인용 휴대 정보 단말기(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 및 휴대용 디지털 비디오 플레이어에 이루어진 그룹으로부터 선택된 디바이스를 더 포함하는,

3차원(3D) 메모리 블록.

청구항 9

제 1 항에 있어서,

상기 3D 메모리 블록은 집적 회로 내에 레지스터를 포함하는,

3차원(3D) 메모리 블록.

청구항 10

제 1 항에 있어서,

상기 3D 메모리 블록은 집적 회로 내에 캐시 메모리를 포함하는,

3차원(3D) 메모리 블록.

청구항 11

3차원(3D) 메모리 블록으로서,

3D 집적 회로(IC)(3DIC)의 제 1 티어에 배치된 메모리 셀;

상기 3DIC의 제 2 티어에 배치된 관독을 위한 적어도 하나의 수단 - 상기 관독을 위한 적어도 하나의 수단은 상기 메모리 셀에 관독 액세스를 제공하도록 구성됨 -; 및

상기 관독을 위한 적어도 하나의 수단을 상기 메모리 셀에 커플링하는 적어도 하나의 모놀로식 인터티어 비아(MIV)

를 포함하는,

3차원(3D) 메모리 블록.

청구항 12

제 11 항에 있어서,

상기 3DIC의 상기 제 1 티어에 배치된 상기 기록을 위한 적어도 하나의 수단을 더 포함하고, 상기 기록을 위한 적어도 하나의 수단은 상기 메모리 셀에 기록 액세스를 제공하도록 구성되는,

3차원(3D) 메모리 블록.

청구항 13

3차원(3D) 메모리 블록을 형성하는 방법으로서,

3D 집적 회로(IC)(3DIC)의 제 1 티어를 형성하는 단계;

상기 3DIC의 상기 제 1 티어 내에 메모리 셀을 형성하는 단계;

상기 3DIC의 제 2 티어를 형성하는 단계;

상기 3DIC의 제 2 티어 내에 적어도 하나의 판독 액세스 포트를 형성하는 단계 - 상기 적어도 하나의 판독 액세스 포트는 상기 메모리 셀에 판독 액세스를 제공하도록 구성됨 -; 및

적어도 하나의 모놀로식 인터티어 비아(MIV)를 사용하여 상기 적어도 하나의 판독 액세스 포트를 상기 메모리 셀에 커플링하는 단계

를 포함하는,

3차원(3D) 메모리 블록을 형성하는 방법.

청구항 14

제 13 항에 있어서,

상기 3DIC의 상기 제 1 티어 상에 적어도 하나의 기록 액세스 포트를 형성하는 단계를 더 포함하고, 상기 적어도 하나의 기록 액세스 포트는 상기 메모리 셀에 기록 액세스를 제공하도록 구성되는,

3차원(3D) 메모리 블록을 형성하는 방법.

청구항 15

제 13 항에 있어서,

레지스터로서 동작하도록 상기 메모리 셀을 구성하는 단계를 더 포함하는,

3차원(3D) 메모리 블록을 형성하는 방법.

청구항 16

제 13 항에 있어서,

상기 메모리 셀을 사용하여 SRAM 블록을 형성하는 단계를 더 포함하는,

3차원(3D) 메모리 블록을 형성하는 방법.

청구항 17

제 13 항에 있어서,

상기 3DIC의 상기 제 2 티어 내에 적어도 하나의 기록 액세스 포트를 형성하는 단계를 더 포함하고, 상기 적어도 하나의 기록 액세스 포트는 상기 적어도 하나의 MIV를 통해 상기 메모리 셀에 기록 액세스를 제공하도록 구성되는,

3차원(3D) 메모리 블록을 형성하는 방법.

청구항 18

제 13 항에 있어서,

상기 3DIC의 상기 제 1 티어 내에 프로세서 코어 기록 논리를 형성하는 단계 - 상기 프로세서 코어 기록 논리는 상기 메모리 셀의 적어도 하나의 기록 포트에 기록 요청들을 제공하도록 구성됨 -; 및

상기 3DIC의 상기 제 2 티어 내에 프로세서 코어 판독 논리를 형성하는 단계 - 상기 프로세서 코어 판독 논리는 상기 메모리 셀의 상기 적어도 하나의 판독 액세스 포트에 판독 액세스들을 제공하도록 구성됨 -

을 더 포함하는,

3차원(3D) 메모리 블록을 형성하는 방법.

청구항 19

제 13 항에 있어서,

상기 3DIC의 상기 제 1 티어 내에 제 1 전압 레일을 형성하는 단계 - 상기 제 1 전압 레일은 제 1 전압을 상기 메모리 셀에 공급하도록 구성됨 -; 및

상기 3DIC의 상기 제 2 티어 내에 제 2 전압 레일을 형성하는 단계 - 상기 제 2 전압 레일은 제 2 전압을 상기 적어도 하나의 판독 액세스 포트에 공급하도록 구성됨 -

을 더 포함하는,

3차원(3D) 메모리 블록을 형성하는 방법.

발명의 설명

기술 분야

[0001] 본 출원은 2013년 3월 15일 출원되고 발명의 명칭이 "THREE-DIMENSIONAL (3D) MEMORY CELL SEPARATION AMONG 3D INTEGRATED CIRCUIT(IC) TIERS, AND RELATED 3D INTEGRATED CIRCUITS(3DICS), 3DIC PROCESSOR CORES, AND METHODS"인 미국 예비 특허 출원 일련 번호 61/800,220에 대한 우선권을 주장하고, 상기 특허 출원은 그 전체가 인용에 의해 본원에 포함된다.

[0002] 본 출원은 또한 2013년 7월 11일 출원되고 발명의 명칭이 "THREE-DIMENSIONAL (3D) MEMORY CELL SEPARATION AMONG 3D INTEGRATED CIRCUIT(IC) TIERS, AND RELATED 3D INTEGRATED CIRCUITS(3DICS), 3DIC PROCESSOR CORES, AND METHODS"인 미국 특허 출원 일련 번호 13/939,274에 대한 우선권을 주장하고, 상기 특허 출원은 그 전체가 인용에 의해 본원에 포함된다.

[0003] 본 개시의 기술은 일반적으로 3차원(3D) 집적 회로(IC)(3DIC)들 및 중앙 프로세싱 유닛(CPU) 코어들 및 다른 디지털 프로세서 코어들을 포함하는 프로세서 코어들에 대해 이들의 사용에 관한 것이다.

배경 기술

[0004] 프로세서-기반 아키텍처들에서, 메모리 구조들은 데이터 저장을 위해 사용된다. 메모리 구조의 예는 레지스터이다. 레지스터는 중앙 프로세싱 유닛(CPU) 또는 다른 디지털 프로세서 같은 프로세싱 유닛의 부분으로서 이용 가능한 작은 양의 스토리지이다. 레지스터들은 산술 및 논리 유닛(ALU)에 의한 명령 실행들의 부분으로서 데이터의 일시적 스토리지를 위해 사용된다. 레지스터들은 메인 메모리보다 빠른 액세스 시간들을 가진다. 캐시 메모리 같은 메모리로부터의 데이터는 산술 동작들 및 조작을 수행하기 위하여 사용될 명령들의 동작에 의해 레지스터들에 로딩된다. 레지스터에 저장된 조작된 데이터는 종종 동일한 명령 또는 추후 명령 어느 하나에 의해 메인 메모리에 다시 저장된다.

[0005] 레지스터 파일은 프로세싱 유닛 내 프로세스 레지스터들의 어레이이다. 레지스터 파일은, 일반적으로 프로세서 기반 시스템에서 가장 바쁜 스토리지 유닛이기 때문에, 프로세서 동작들에서 핵심 역할을 한다. 현대 집적 회로 기반 레지스터 파일들은 일반적으로 다수의 포트들을 가진 빠른 정적 랜덤 액세스 메모리(SRAM)들에 의해 구현된다. SRAM 기반 레지스터 파일들은 보다 빠른 판독 및 기록 액세스를 제공하기 위하여 전용 판독 및 기록 포트들을 가지는 반면, 보통의 다중-포트 SRAM들은 동일한 포트들을 통해 판독 및 기록 액세스들을 공유한다.

[0006] 레지스터 파일들은 자신들의 성능에 영향을 미칠 수 있는 몇몇 특성들을 가진다. 예를 들어, 보다 큰 레지스터 파일들은 제공하는 것은 집적 회로(IC)에 큰 풋프린트(footprint) 영역을 요구한다. 보다 큰 풋프린트 영역들은 레지스터 파일 액세스 레이턴시를 증가시킬 수 있다. 보다 큰 풋프린트 영역들은 또한 주변 논리 영역들을 증가시킬 수 있고 레지스터 파일들 둘레에 배치된 다른 컴포넌트들에 대한 재타이밍 아크(retiming arc)들을 생성한다. 다수의 공급 전압 레일(rail)들은 불충분한 정적 노이즈 마진(SNM)들 및 판독/기록(R/W) 노이즈 마진(RWNM)들로 인한 저장된 비트에 부적당한 플립(flip)들을 회피하도록 충분한 전압을 제공하기 위하여 사용될 수 있다. 만약 다수의 전원 레일들이 SRAM 판독 액세스 포트들에 대한 전압을 별도로 제공하고 보다 낮게 공급할 수 있도록 레지스터 파일 안에 제공되면, IC 내 부가적인 영역은 레지스터 파일을 위해 요구될 것이다. 많은 이들 문제들은 많은 종래의 컴퓨터들에서 사용된 바와 같이 다중-코어 프로세싱 유닛들에서 악화된다.

발명의 내용

[0007] 본원에 개시된 실시예들은 3D 집적 회로(IC)(3DIC) 티어(tier)들 사이에서 3차원(3D) 메모리 셀 분리를 포함한다. 관련된 3DIC들, 3DIC 프로세서 코어들, 및 방법들이 또한 개시된다. 본원에 개시된 실시예들에서, 메모리 블록의 메모리 판독 액세스 포트들은 3DIC의 상이한 티어들에서 메모리 셀로부터 분리된다. 3DIC들은 보다 높은 디바이스 팩킹 밀도, 보다 낮은 상호연결 지연들, 및 보다 낮은 비용들을 달성한다. 이런 방식으로, 상이한 공급 전압들은 판독 액세스 포트들에 대한 전압을 보다 낮게 공급할 수 있도록 판독 액세스 포트들 및 메모리 셀에 대해 제공될 수 있다. 메모리 셀에서 개선된 정적 노이즈 마진(SNM)들 및 판독/기록(R/W) 노이즈 마진(RWNM)들은 결과로서 제공될 수 있다. 영역을 증가시키는, 분리되지 않은 메모리 블록 내에 다수의 전원 레일들을 제공하는 것은 또한 회피될 수 있다.

[0008] 일 실시예에서 이와 관련하여, 3D 메모리 블록이 개시된다. 3D 메모리 블록은 3DIC의 제 1 티어에 배치된 메모리 셀을 포함한다. 3D 메모리 블록은 또한 3DIC의 제 2 티어에 배치된 적어도 하나의 판독 액세스 포트를 포함하고, 적어도 하나의 판독 액세스 포트는 메모리 셀에 판독 액세스를 제공하도록 구성된다. 3D 메모리 블록은 또한 적어도 하나의 판독 액세스 포트를 메모리 셀에 커플링하는 적어도 하나의 모놀리식 인터티어 비아(MIV: monolithic intertier via)를 포함한다.

[0009] 다른 실시예에서, 3D 메모리 블록이 개시된다. 3D 메모리 블록은 3DIC의 제 1 티어에 배치된 메모리 셀을 포함한다. 3D 메모리 블록은 또한 3DIC의 제 2 티어에 배치된 판독을 위한 적어도 하나의 수단을 포함하고, 판독을 위한 적어도 하나의 수단은 메모리 셀에 판독 액세스를 제공하도록 구성된다. 3D 메모리 블록은 또한 판독을 위한 적어도 하나의 수단을 메모리 셀에 커플링하는 적어도 하나의 MIV를 포함한다.

[0010] 다른 실시예에서, 3D 메모리 블록을 형성하는 방법이 개시된다. 방법은 3DIC의 제 1 티어를 형성하는 단계를 포함한다. 방법은 또한 3DIC의 제 1 티어 내에 메모리 셀을 형성하는 단계를 포함한다. 방법은 또한 3DIC의 제 2 티어를 형성하는 단계를 포함한다. 방법은 또한 3DIC의 제 2 티어 내에 적어도 하나의 판독 액세스 포트를 형성하는 단계를 포함하고, 적어도 하나의 판독 액세스 포트는 메모리 셀에 판독 액세스를 제공하도록 구성된다. 방법은 또한 적어도 하나의 MIV를 사용하여 적어도 하나의 판독 액세스 포트를 메모리 셀에 커플링하는 단계를 포함한다.

도면의 간단한 설명

- [0011] 도 1a는 예시적인 종래의 레지스터 파일의 블록도이다.
- [0012] 도 1b는 다수의 판독 및 기록 포트들을 가진 예시적인 종래의 레지스터 파일의 블록도이다.
- [0013] 도 2는 예시적인 종래의 4비트 레지스터의 간략화된 개략도이다.
- [0014] 도 3a는 단일 코어를 가진 예시적인 집적 회로(IC)의 간략화된 블록도이다.
- [0015] 도 3b는 다수의 코어들을 가진 예시적인 IC의 간략화된 블록도이다.
- [0016] 도 4는 3DIC의 다수의 티어들에 걸쳐 펼쳐진 레지스터를 가진 예시적인 모놀리식 3차원(3D) IC(3DIC)의 간략화된 블록도이다.
- [0017] 도 5는 3DIC의 다수의 티어들에 걸쳐 펼쳐진 레지스터를 가진 예시적인 3DIC의 단면도이다.
- [0018] 도 6은 도 4 또는 도 5의 레지스터를 포함할 수 있는 예시적인 프로세서-기반 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] [0019] 이제 도면 모습들을 참조하여, 본 개시의 몇몇 예시적인 실시예들이 설명된다. 단어 "예시적"은 "예, 예증, 또는 예시로서 서빙하는" 것을 의미하는 것으로 본원에 사용된다. "예시적"으로서 본원에 설명된 임의의 실시예는 반드시 다른 실시예들에 비해 바람직하거나 유리한 것으로 해석되지 않을 것이다.
- [0013] [0020] 상세한 설명에 개시된 실시예들은 3D 집적 회로(IC)(3DIC) 티어들 사이에서 3차원(3D) 메모리 셀 분리를 포함한다. 관련된 3DIC들, 3DIC 프로세서 코어들, 및 방법들이 또한 개시된다. 본원에 개시된 실시예들에서, 메모리 블록의 메모리 판독 액세스 포트들은 3DIC의 상이한 티어들 내 메모리 셀로부터 분리된다. 3DIC들은 보다 높은 디바이스 팩킹 밀도, 보다 낮은 상호연결 지연들, 및 보다 낮은 비용들을 달성한다. 이런 방식으로, 상이한 공급 전압들은 판독 액세스 포트들에 대한 전압을 보다 낮게 공급할 수 있도록 판독 액세스 포트들 및 메모리 셀에 대해 제공될 수 있다. 메모리 셀 내의 정적 노이즈 마진(SNM)들 및 판독/기록(R/W) 노이즈 마진(RWNM)들은 결과로서 제공될 수 있다. 영역을 증가시키는, 분리되지 않은 메모리 블록 내에 다수의 전원 레일들을 제공하는 것은 또한 회피될 수 있다.
- [0014] [0021] 모놀노식 3DIC는 높은 밀도 및 낮은 전력 설계들을 위한 논리 시스템들을 재조직하기 위하여 부가적인 자유도들을 제공한다. 당연히 가장 바쁜 스토리지 유닛인 레지스터 파일은 논리 동작 유닛들을 연결하는 중대한 역할을 한다. 본 개시는 3DIC의 적어도 두 개의 티어들 내 트랜지스터들에 연결된 비트 또는 비트 바(bar)(bitb) 신호를 레지스터 파일 코어 셀 설계에 제공한다. 이 설계에서, 셀 전압, 판독 액세스 전압들, 및 기록 액세스 전압들은 R/W 마진 및 전력 소비를 개선하기 위하여 디커플링(decouple)된다. 레지스터 파일의 풋프린트(footprint)는 또한 상당히 감소될 수 있다. 본 개시가 레지스터 파일들과 함께 사용하기에 매우 적합하지만, 본 개시는 또한 캐시 메모리 또는 랜덤 액세스 메모리(RAM) 같은 다른 메모리 디바이스들 및 특히 정적 RAM(SRAM)에 적용 가능하다. 집합적으로 그런 메모리 타입들은 본원에서 "메모리 블록"으로 지칭된다.
- [0015] [0022] 3DIC에서 다중-티어 레지스터의 자세한 사항들을 처리하기 전에, 레지스터의 엘리먼트들의 짧은 개요 및 레지스터가 프로세싱 시스템 내에 피팅(fit)하는 방법은 도 1a-도 3b를 참조하여 제공된다. 본 개시의 다중-티어 레지스터의 논의는 도 4를 참조하여 시작한다.
- [0016] [0023] 이에 관하여, 도 1a는 제 1 인버터(12) 및 제 2 인버터(14)를 가진 예시적인 SRAM 비트 셀(10A)의 회로도이다. 워드 라인(WL)(16)은 인버터들(12, 14) 양쪽에 커플링한다. 특히, WL(16)은 제 1 통과 게이트(PG) 트랜지스터(18)(PG1)의 게이트를 통해 제 1 인버터(12)에 커플링하고 제 2 PG 트랜지스터(20)(PG2)의 게이트를 통해 제 2 인버터(14)에 커플링한다. 비트 라인(22)은 제 2 PG 트랜지스터(20)의 드레인에 커플링한다. 비트 라인 바(24)는 제 1 PG 트랜지스터(18)의 소스에 커플링한다.
- [0017] [0024] 도 1a를 계속 참조하여, 제 1 인버터(12)는 제 1 풀 업(PU: pull up) 트랜지스터(26)(PU1) 및 제 1 풀 다운(PD: pull down) 트랜지스터(28)(PD1)를 포함한다. 제 2 인버터(14)는 제 1 PU 트랜지스터(30)(PU2) 및 제 2 PD 트랜지스터(32)(PD2)를 포함한다. 전압원(V_{DD})(34)은 제 1 및 제 2 PU 트랜지스터들(26, 30)에 커플링한다. PD 트랜지스터들(28, 32)은 접지(36)에 커플링된다.
- [0018] [0025] 도 1a의 SRAM 비트 셀(10A)이 많은 애플리케이션들에서 사용되지만, SRAM 비트 셀(10A)에 대한 하나의 공통 변형은 다수의 R/W 포트들을 가진 비트 셀이다. 이에 관하여, 도 1b는 다수의 R/W 포트들을 가진 SRAM 비트 셀(10B)을 예시한다. 제 1 비트 라인 바(24A)는 제 1 제 1 PG 트랜지스터(18A)의 소스에 커플링하고 제 2 비트 라인 바(24B)는 제 2 제 1 PG 트랜지스터(18B)의 소스에 커플링한다. 제 1 PG 트랜지스터들(18A, 18B)의 드레인들은 제 1 인버터(12)에 커플링된 공통 노드를 공유한다. 유사하게, 제 1 비트 라인(22A)은 제 1 제 2 PG 트랜지스터(20A)의 소스에 커플링하고 제 2 비트 라인(22B)은 제 2 제 2 PG 트랜지스터(20B)의 소스에 커플링한다. 제 2 PG 트랜지스터들(20A, 20B)의 드레인들은 제 2 인버터(14)에 커플링된 공통 노드를 공유한다. 다수의 기록 라인들(16A, 16B)은 PG 트랜지스터들(18A, 18B, 20A, 20B)에 커플링될 수 있다. 부가적으로, 제 1 판독 트랜지스터들(38)은 제 1 인버터(12)에 커플링될 수 있고, 제 2 판독 트랜지스터들(40)은 제 2 인버터(14)에 커플링될 수 있다. 단지 두 개의 비트 라인들 및 두 개의 비트 라인 바 입력들이 도시되지만, 적당한 PG 트랜지스터가 더 많이 존재할 수 있다는 것이 인식되어야 한다.
- [0019] [0026] RAM 비트 셀들은, 본질적으로 레지스터 파일의 기본 빌딩 블록들이고 이와 같이, SRAM 비트 셀들(10A, 10B)은 도 2에 예시된 바와 같이 시프트 레지스터(42) 같은 레지스터로 어셈블리될 수 있다. 시프트 레지스터(42)는 네 개의 SRAM 비트 셀들(10(1)-10(4))을 포함하는 네 개의 비트 시프트 레지스터이다. 클럭 신호(44)는 원해지면 각각의 비트 셀에 제공될 수 있다. 데이터는 처음에 라인(46) 내 데이터에 제공된다. 출력들(48(1)-

48(4))은 개별 비트 셀들(10(1)-10(4))에 대해 제공된다. 네 개의 비트 시프트 레지스터(42)가 예시되지만, 보다 많은 비트 셀들이 보다 큰 레지스터들로 어셈블리될 수 있다는 것이 인식되어야 한다. 시프트 레지스터가 특정하게 예시되지만, 다양한 구성들의 레지스터들은 가능하고 그 용어가 본원에 사용된 바와 같이 용어 "레지스터 파일" 내에 모두 속한다.

[0020] [0027] 레지스터들은 액세스하기에 빠른 메모리 블록을 제공하는 컴퓨팅 디바이스들에 유용한 기능을 서빙하고, 레지스터들은 하드 드라이브 같은 보다 느린 메모리에 액세스할 필요를 제거한다. 레지스터들은 산술 논리 유닛(ALU)과 연관될 수 있다. 게다가, 프로세싱 코어에 의해서만 효과적으로 판독될 수 있는 캐시 메모리와 달리, 레지스터들은 판독 및 기록 둘 다를 수행할 수 있고 이는 ALU가 조작되는 데이터를 저장하게 한다. 이들의 과중사용으로 인해, 레지스터들은 도 3a 및 도 3b에 추가로 예시된 바와 같이 ALU와 동일한 집적 회로 내에 빈번하게 포지셔닝된다.

[0021] [0028] 이에 관하여, 도 3a는 ALU(52)를 사용하는 프로세싱 코어를 가진 예시적인 IC(50A)를 예시한다. ALU(52)는 레지스터(54)뿐 아니라 레벨 1(L1) 캐시(56) 및 레벨 2(L2) 캐시(58)와 연관되어 통신한다. 예시적인 실시예에서, ALU(52)는 레지스터(54)를 통해 L1 캐시(56)와 통신한다. 대안적인 실시예에서, ALU(52)는 레지스터(54)를 통한 통과 없이 직접 L1 캐시(56)와 통신할 수 있다. IC(50A)는 RAM(60) 같은 외부 메모리 디바이스들과 통신할 수 있다. 예시적인 실시예에서, IC(50A)는 단일 코어 및 단일 ALU(52)를 가지며, 따라서 레지스터(54)는 단지 단일 ALU(52)를 서빙한다. 그러나, 몇몇 IC들은 단일 코어 및 다수의 ALU(도시되지 않음)를 가질 수 있다. 그런 실시예에서, 레지스터들은 잘 이해될 바와 같이 다양한 ALU에 커플링될 수 있다. 게다가, 커플링 산업은 점점 각각 하나 또는 그 초과 ALU를 가진 다중-코어 프로세서들에 의존한다.

[0022] [0029] 이에 관하여, 도 3b는 제 1 코어(66) 내의 제 1 ALU(62) 및 제 2 코어(68) 내의 제 2 ALU(64)를 사용하는 다중-코어 프로세서를 포함하는 예시적인 IC(50B)를 예시한다. 상기 주의된 바와 같이, 코어들(66, 68)은 다수의 ALU(도시되지 않음)를 가질 수 있다. ALU들(62, 64)은 공유된 용법을 가능하게 하기 위하여 하나 또는 그 초과 다중-포트 SRAM 비트셀들(10B)을 가질 수 있는 공유된 레지스터(70)를 협력하여 사용할 수 있다. ALU들(62, 64)이 또한 특정 ALU(62, 64)와 연관된 타이밍 임계 회로들에 대해 기능하는 전용 레지스터들(도시되지 않음)을 가질 수 있다는 것이 인식되어야 한다. ALU들(62, 64)은 잘 이해되는 바와 같이 L1 캐시(72) 및 L2 캐시(74)를 추가로 사용할 수 있다. 상기 주의된 바와 같이, 예시적인 실시예에서, ALU들(62, 64)은 레지스터(70)를 통해 L1 캐시(72)와 통신할 수 있다. IC(50B)는 RAM(76) 같은 외부 메모리와 추가로 통신할 수 있다. 도 1a-도 3b의 논의가 레지스터 내 SRAM 비트셀들의 사용에 집중되지만, L1 또는 L2 캐시 또는 외부 RAM 같은 다른 메모리 블록들이 또한 SRAM 비트셀들로부터 형성될 수 있다는 것이 인식되어야 한다.

[0023] [0030] SRAM 비트 셀들의 이런 일반 사용에 반대하여, IC들을 소형화하기 위한 현재 노력들이 IC들(50A, 50B) 같은 IC 내의 공간 사용에 대한 항상 증가하는 수요들을 수반한다는 것이 인식되어야 한다. 부가적으로, 메모리 수요들이 다중-스레드 프로세서들에서 증가하기 때문에, SRAM 기반 레지스터 파일들의 크기는 증가한다. 레지스터가 커질수록, 레지스터 파일 액세스 동안 보다 큰 레이턴시가 발생한다. 게다가, 비트 셀들의 수가 증가하기 때문에, 주변 논리 영역은 증가하고 레지스터 파일 둘레에 배치된 다른 컴포넌트들에 대한 재타이밍 아크들을 생성할 수 있다. 소형화 염려들에 더하여, 비트 셀들에 대한 V_{DD} 를 감소시키는 전력 소비에 관해 염려가 증가하고 있다. V_{DD} 가 너무 작게 되면, SNM 및 RWNM은 팩터(factor)들을 제한하게 되고 판독 및 기록 동작들의 전원들을 분리함으로써 최적화될 수 있다. 그 다음 각각의 전압원에 대하여 전도 경로들을 라우팅하는 것은 낮은 전력 시스템에 대해 추가 병목이 이루어지게 하고 레지스터 파일 내에 다수의 전원 레일들을 가지는 것은 추가 영역 페널티(penalty)를 유도한다. 쉽게 이해되는 바와 같이, 이들 문제들은 시너지적으로 서로 공급되고 이는 회로 설계자들에게 어려움들을 유발한다.

[0024] [0031] 본 개시는 3DIC의 다수의 티어들에 걸쳐 펼쳐진 레지스터 파일의 상이한 엘리먼트들을 레지스터 파일 코어 셀 설계에 제공함으로써 기술의 현재 상태의 결함들을 치유한다. 3DIC의 티어들에 걸쳐 레지스터 파일을 분할함으로써, 다양한 전력 레일들 및 액세스 라인들에 대한 라우팅은 간략화되고 레지스터의 전체 풋프린트가 감소된다. 풋프린트의 감소는 레이턴시를 감소시키고 재타이밍 아크들의 가능성을 감소시킨다.

[0025] [0032] 이에 관하여, 도 4는 제 1 티어(82) 및 제 2 티어(84)에 걸쳐 펼쳐진 레지스터 파일(86)을 가진 제 1 티어(82) 및 제 2 티어(84)를 가진 3DIC(80)를 예시한다. 도 4의 예시된 실시예에서, 판독 액세스 관련 스테이지들(88)(판독 액세스를 제공하도록 구성된 프로세서 코어 판독 논리 및 판독 액세스 포트를 포함함) 및 판독 트랜지스터들(90)은 제 1 티어(82)에 포지셔닝되는 반면 기록 액세스 관련 스테이지들(92)(기록 액세스를 제공하도록 구성된 프로세서 코어 기록 논리 및 기록 액세스 포트를 포함함) 및 SRAM 셀(94)의 인버터들은 제 2 티어

(84)에 포지셔닝되어, 제 2 티어(84)에 레지스터 파일(86)의 메모리 셀 부분이 포지셔닝된다. 관독 트랜지스터들(90)은 SRAM 셀(94)의 인버터들과 통신한다. 예시적인 실시예에서, 관독 트랜지스터들(90)은 하나 또는 그 초과분의 모놀리식 인터티어 비아들(MIV)(96)을 사용하여 SRAM 셀(94)에 커플링된다. 3DIC(80)의 다수의 티어들(82, 84)에 걸쳐 레지스터 파일(86)을 분할함으로써 레지스터 파일(86)의 전체 풋프린트는 2차원 레지스터 파일에 비교될 때 감소된다. 게다가, SRAM 셀(94)로부터 관독 트랜지스터들(90)을 분리함으로써, 라우팅 전압 레일들 및 다수의 액세스 포트들에 관한 라우팅 문제들은 쉬워진다. 따라서, 예시된 바와 같이 제 1 전력 아일랜드(island)(95A)는 제 1 티어(82) 상에 제공되고 V_{DD_READ} 를 관독 트랜지스터들(90) 및 관독 액세스 관련 스테이지들(88) 내의 적당한 엘리먼트들에 제공한다. 마찬가지로, 제 2 전력 아일랜드(95B)는 제 2 티어(84) 상에 제공되고 V_{DD_WRITE} 를 SRAM 셀(94) 및 기록 액세스 관련 스테이지들(92) 내의 적당한 엘리먼트들에 제공한다. 별개의 전압 레일들의 포함은, 메모리 비트의 부적당한 플립들이 회피되도록 SNM을 완화시키는 것을 돕는다. 통상적인 SRAM 셀(94)이 대략 0.1 내지 0.09 제곱 마이크로미터인 것이 주의된다. 통상적인 관통 실리콘 비아(TSV)는 약 5 마이크로미터의 직경 - 즉, SRAM 셀(94)보다 훨씬 큰 직경을 가진다. MIV(96)는 TSV보다 훨씬 작고, 대략 0.05 마이크로미터이며 따라서 TSV 대신 MIV(96)의 사용은 다수의 티어들(82, 84)에 걸쳐 레지스터 파일(86)을 분할할 때 풋프린트 절약을 보존한다. 본원에 사용된 바와 같이 관독을 위한 수단은 관독 액세스 포트 및 등가물들을 지정하기 위하여 사용된다. 마찬가지로, 본원에 사용된 바와 같이, 기록을 위한 수단은 기록 액세스 포트 및 등가물들을 지정하기 위하여 사용된다.

[0027] * [0033] MIV의 개념은 이로써 참조에 의해 포함된 IEEE/ACM Asia South Pacific Design Automation Conference, 2013; pp. 681-686의 회의에서 Shreedpad Panth 등에 의한 명칭이 "High-Density Integration of Functional Modules Using Monolithic 3D-IC Technology"인 서류에서 공개되었다.

[0028] [0034] 도 4는 제 2 티어(84) 상에 기록 액세스 관련 스테이지들(92)을 예시하는 반면 다른 예시적인 실시예에서, 기록 액세스 관련 스테이지들(92)은 제 1 티어(82) 상에 있을 수 있다. 만약 기록 액세스 관련 스테이지들(92)이 제 1 티어(82) 상에 있다면, MIV들(96)은 기록 액세스 관련 스테이지들(92)을 SRAM 셀(94)에 커플링하기 위하여 사용될 수 있다.

[0029] [0035] 도 5는 MIV(98)와 커플링된 제 1 티어(82) 및 제 2 티어(84)를 가진 3DIC(80)의 단면도를 예시한다. 엘리먼트들(100)은 PMOS 또는 NMOS 트랜지스터들일 수 있는 하나 또는 그 초과분의 트랜지스터들을 포함하는 제 1 티어(82) 내에 포지셔닝된다. 엘리먼트들(102)은 마찬가지로 PMOS 또는 NMOS 트랜지스터들일 수 있는 하나 또는 그 초과분의 트랜지스터들을 포함하는 제 2 티어(84) 내에 포지셔닝된다. 엘리먼트들(100)은 비아들(108)에 의해 커플링된 하나 또는 그 초과분의 금속 층들(104, 106)을 포함할 수 있다. 엘리먼트들(102)은 비아들(114)에 의해 커플링된 하나 또는 그 초과분의 금속 층들(110, 112)을 포함할 수 있다. 금속 층들(104, 106, 110, 112)은 수평 상호연결들을 제공하고 3DIC 내의 전도 라우팅 경로들을 가능하게 한다. 종래의 상호연결 비아와 대략 동일한 크기인 작은 MIV 크기는 매우 고밀도의 인터-티어 연결들을 생성하여, 가능하고 경제적으로 실행 가능한 상이한 티어들에 관독 및 기록 포트들의 분리를 형성한다.

[0030] [0036] 다중-티어 레지스터 파일(86)은 특히 다중-코어 프로세서들에 매우 적합하다. 즉, 다중-티어 레지스터 파일(86)은 도 3b에 개략적으로 도시된 다중-코어 IC(50B) 같은 다중-코어 프로세서의 코어들 사이에서 공유되고 코어들이 3DIC(80) 내의 상이한 티어들 상에 배치되게 할 수 있다. 포지셔닝에서 그런 융통성은 전도 경로들을 라우팅하고, 레이턴시를 감소시키고 그렇지 않으면 다중-코어 프로세서들의 성능을 개선시킴에 있어 설계자들을 돕는다.

[0031] [0037] 본원에 개시된 실시예들에 따른 3DIC들에서 레지스터 파일들은 임의의 프로세서 기반 디바이스에 제공되거나 통합될 수 있다. 제한 없이 예들은 셋톱 박스, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인용 휴대 정보 단말기(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 및 휴대용 디지털 비디오 플레이어를 포함한다.

[0032] [0038] 이에 관하여, 도 6은 도 4 및 도 5에 예시된 3DIC의 레지스터 파일들을 이용할 수 있는 프로세서 기반 시스템(120)의 예를 예시한다. 이 예에서, 프로세서 기반 시스템(120)은 각각 하나 또는 그 초과분의 프로세서들(124)을 포함하는 하나 또는 그 초과분의 중앙 프로세싱 유닛(CPU)들(122)을 포함한다. CPU(들)(122)는 레지스터

(54)를 포함할 수 있고 및/또는 마스터 디바이스일 수 있다. CPU(들)(122)는 일시적으로 저장된 데이터에 빠른 액세스를 위하여 프로세서(들)(124)에 커플링된 캐시 메모리(126)를 가질 수 있다. CPU(들)(122)은 시스템 버스(130)에 커플링되고 프로세서 기반 시스템(120)에 포함된 마스터 디바이스들 및 슬레이브 디바이스들을 상호 커플링할 수 있다. 잘 알려진 바와 같이, CPU(들)(122)은 시스템 버스(130)를 통해 어드레스, 제어, 및 데이터 정보를 교환함으로써 이들 다른 디바이스들과 통신한다. 예를 들어, CPU(들)(122)는 슬레이브 디바이스의 예로서 메모리 제어기(132)에 버스 트랜잭션 요청들을 통신할 수 있다. 비록 도 6에 예시되지 않지만, 다수의 시스템 버스들(130)이 제공될 수 있고, 각각의 시스템 버스(130)는 상이한 구조를 구성한다.

[0033] [0039] 다른 마스터 및 슬레이브 디바이스들은 시스템 버스(130)에 연결될 수 있다. 도 6에 예시된 바와 같이, 이들 디바이스들은 메모리 제어기(132), 하나 또는 그 초과 입력 디바이스들(134), 하나 또는 그 초과 출력 디바이스들(136), 하나 또는 그 초과 네트워크 인터페이스 디바이스들(138), 및 하나 또는 그 초과 디스플레이 제어기들(140)을 예들로서 포함할 수 있다. 입력 디바이스(들)(134)는 입력 키들, 스위치들, 음성 프로세서들, 등(그러나 이들로 제한되지 않음)을 포함하는 임의의 타입의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(136)는 오디오, 비디오, 다른 시각 표시기들, 등(그러나 이들로 제한되지 않음)을 포함하는 임의의 타입의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(138)는 네트워크(142)에 그리고 네트워크(142)로부터 데이터의 교환을 허용하도록 구성된 임의의 디바이스들일 수 있다. 네트워크(142)는 무선 네트워크, 사설 또는 공용 네트워크, 로컬 영역 네트워크(LAN), WLAN(wide local area network), 및 인터넷(그러나 이들로 제한되지 않음)을 포함하는 임의의 타입의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(138)는 원해진 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다. 메모리 제어기(132)는 하나 또는 그 초과 메모리 유닛들(144(0-N))을 포함할 수 있다.

[0034] [0040] CPU(들)(122)는 또한 하나 또는 그 초과 디스플레이들(146)에 전송된 정보를 제어하기 위하여 시스템 버스(130)를 통해 디스플레이 제어기(들)(140)에 액세스하도록 구성될 수 있다. 디스플레이 제어기(들)(140)은 디스플레이(들)(146)에 적당한 포맷으로 디스플레이될 정보를 프로세싱하는 하나 또는 그 초과 비디오 프로세서들(148)을 통해 디스플레이될 정보를 디스플레이(들)(146)에 전송한다. 디스플레이(들)(146)는 음극선관(CRT), 액정 디스플레이(LCD), 플라즈마 디스플레이, 등(그러나 이들로 제한되지 않음)을 포함하는 임의의 타입의 디스플레이를 포함할 수 있다.

[0035] [0041] 당업자들은, 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적 논리 블록들, 모듈들, 회로들, 및 알고리즘이 전자 하드웨어, 메모리 또는 다른 컴퓨터 판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 둘의 결합들로서 구현될 수 있다는 것을 추가로 인식할 것이다. 본원에 개시된 조정자(arbiter)들, 마스터 디바이스들, 및 슬레이브 디바이스들은 예들로서 임의의 회로, 하드웨어 컴포넌트, IC, 또는 IC 칩에 이용될 수 있다. 본원에 개시된 메모리는 임의의 타입 및 크기의 메모리일 수 있고 원해진 임의의 타입의 정보를 저장하도록 구성될 수 있다. 이런 교환성을 명확하게 예시하기 위하여, 다양한 예시적 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 일반적으로 그들의 기능성 측면에서 상기 설명되었다. 그런 기능성이 구현되는 방법은 특정 애플리케이션, 설계 선택들, 및/또는 전체 시스템에 부과된 설계 제약들에 따른다. 당업자들은 각각의 특정 애플리케이션에 대해 가변하는 방식으로 설명된 기능성을 구현할 수 있지만, 그런 구현 관점들은 본 개시의 범위에서 벗어남을 유발함으로써 해석되지 않아야 한다.

[0036] [0042] 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적 논리 블록들, 모듈들, 및 회로들은 프로세서, 디지털 신호 처리기(DSP), 주문형 집적회로(ASIC), 필드 프로그램어블 게이트 어레이(FPGA) 또는 다른 프로그램어블 논리 디바이스, 이산 게이트 또는 트랜지스터 논리, 이산 하드웨어 컴포넌트들, 또는 본원에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안으로, 프로세서는 임의의 종래 프로세서, 제어기, 마이크로 제어기, 또는 상태 머신일 수 있다. 프로세서는 또한, 컴퓨팅 디바이스들의 결합, 예를 들어 DSP 및 마이크로프로세서, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과 마이크로프로세서들, 또는 임의의 다른 그런 구성과의 결합으로서 구현될 수 있다.

[0037] [0043] 본원에 개시된 실시예들은 하드웨어, 하드웨어에 저장된 명령들로 구현될 수 있고 예를 들어 랜덤 액세스 메모리(RAM), 플래시 메모리, 판독 전용 메모리(ROM), 전기적 프로그램어블 ROM(EPROM), 전기적 소거 가능 프로그램어블 ROM(EEPROM), 레지스터들, 하드디스크, 제거 가능 디스크, CD-ROM, 또는 기술 분야에서 알려진 임의의 다른 형태의 컴퓨터 판독가능 매체에 상주할 수 있다. 예시적인 스토리지 매체는 프로세서와 커플링되어, 프로세서는 스토리지 매체로부터 정보를 판독하여 스토리지 매체에 정보를 기록할 수 있다. 대안으로, 스토리지 매체는 프로세서의 구성요소일 수 있다. 프로세서 및 스토리지 매체는 ASIC에 상주할 수 있다. ASIC는 원

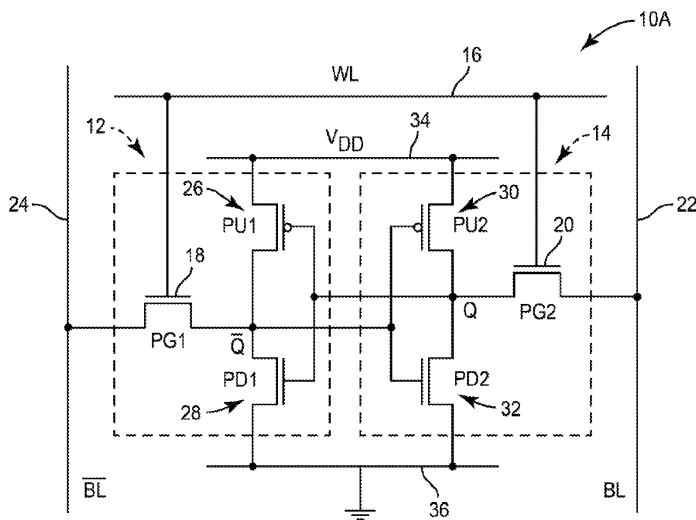
격 스테이션에 상주할 수 있다. 대안으로, 프로세서 및 스토리지 매체는 원격 스테이션, 기지국, 또는 서버에 이산 컴포넌트로서 상주할 수 있다.

[0038] [0044] 또한 본원의 예시적인 실시예들의 임의의 실시예에 설명된 동작 단계들이 예들 및 논의를 제공하기 위하여 설명되는 것이 주의된다. 설명된 동작들은 예시된 시퀀스들과 상이한 다수의 시퀀스들로 수행될 수 있다. 게다가, 단일 동작 단계에서 설명된 동작들은 실제로 다수의 상이한 단계들에서 수행될 수 있다. 부가적으로, 예시적인 실시예들에서 논의된 하나 또는 그 초과 동작 단계들은 결합될 수 있다. 흐름도들에서 예시된 동작 단계들이 당업자에게 쉽게 명백할 바와 같이 다수의 상이한 수정들에 영향을 받을 수 있다는 것이 이해될 것이다. 당업자들은 또한, 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 사용하여 표현될 수 있다는 것을 이해할 것이다. 예를 들어, 상기 설명을 통해 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기 파들, 자기장들 또는 입자들, 또는 이들의 임의의 결합에 의해 표현될 수 있다.

[0039] [0045] 본 개시의 이전 설명은 당업자가 본 개시를 만들거나 이용하게 하도록 제공된다. 본 개시에 대한 다양한 변형들은 당업자들에게 쉽게 명백할 것이며, 본원에 정의된 일반적인 원리들은 본 개시의 사상을 벗어나지 않는 범위에서 다른 변형들에 적용될 수 있다. 따라서, 본 개시는 본원에 설명된 예들 및 설계들로 한정되는 것이 아니라, 본원에 개시된 원리들 및 신규한 특징들에 일치하는 최광의의 범위에 부합되도록 의도된다.

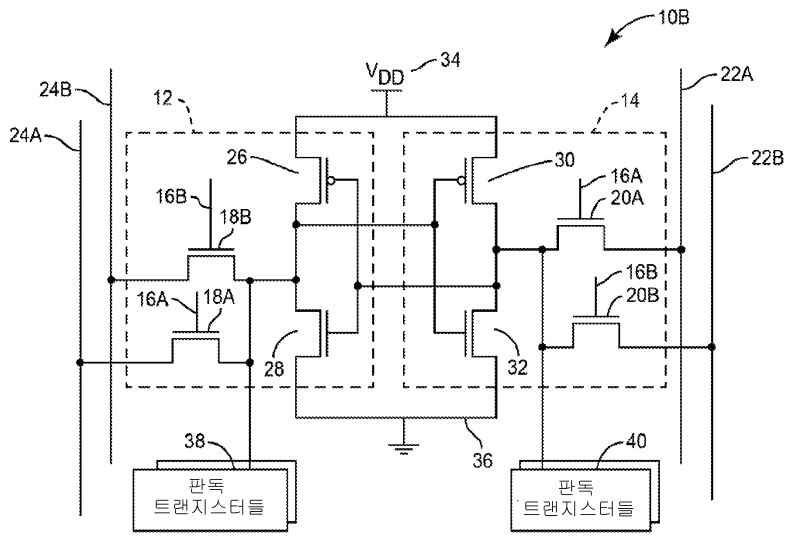
도면

도면1a



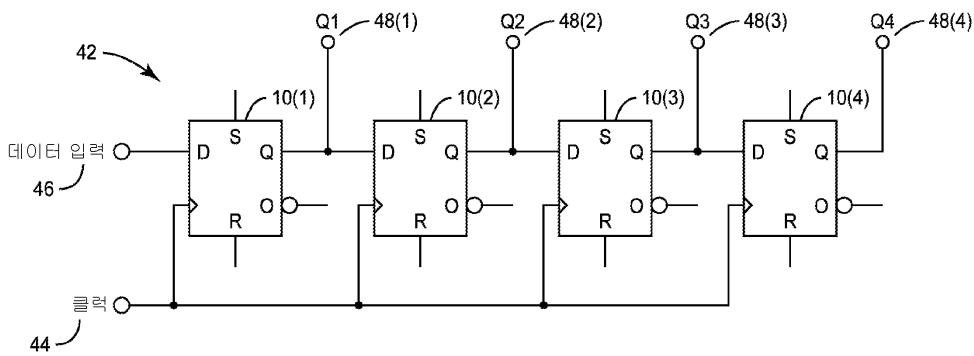
종래 기술

도면1b



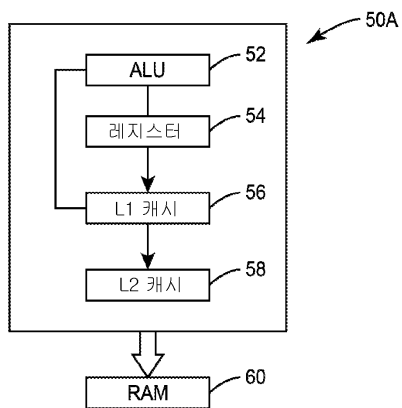
종래 기술

도면2

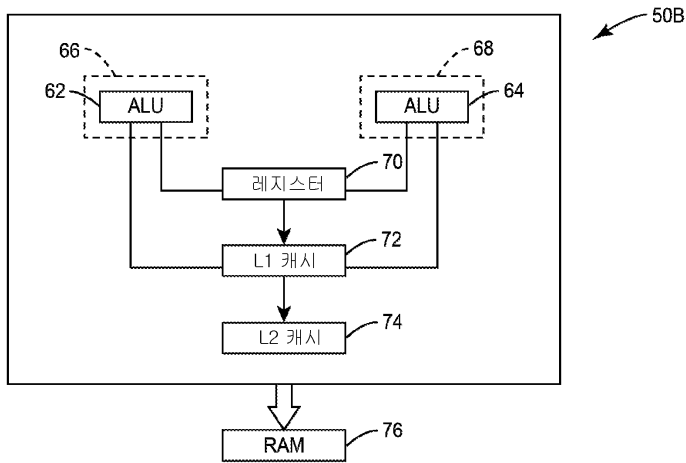


종래 기술

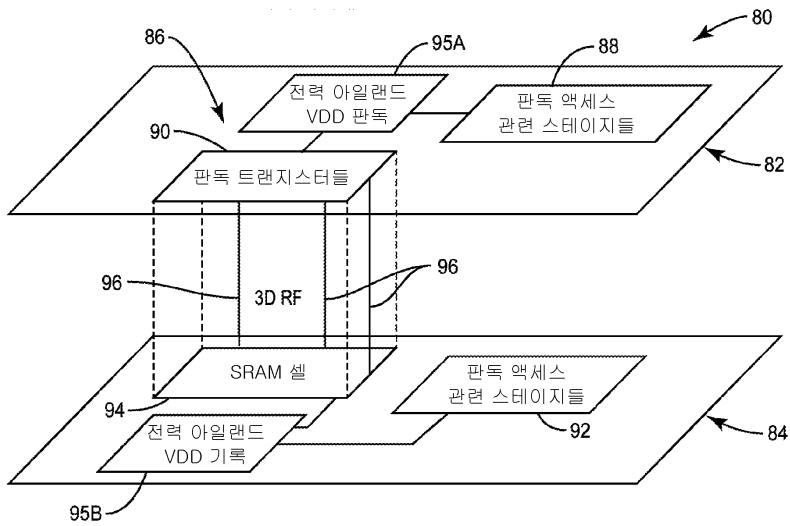
도면3a



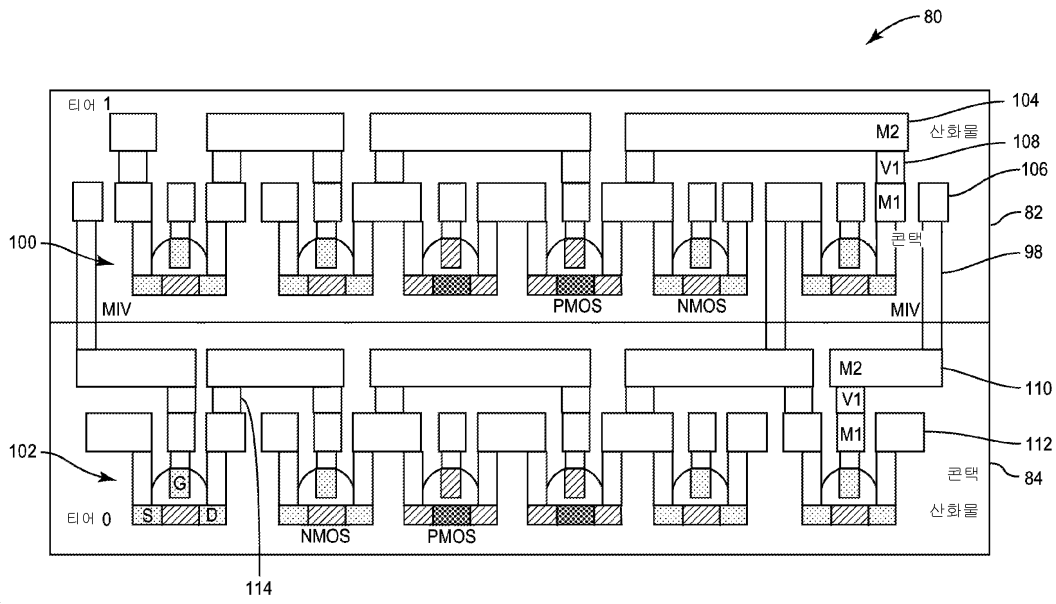
도면3b



도면4



도면5



도면6

