

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-129719

(P2007-129719A)

(43) 公開日 平成19年5月24日(2007.5.24)

(51) Int. Cl.	F I	テーマコード (参考)
H03F 3/68 (2006.01)	H03F 3/68	5J500
H03F 3/70 (2006.01)	H03F 3/70	

審査請求 未請求 請求項の数 30 O L 外国語出願 (全 25 頁)

(21) 出願番号 特願2006-299307 (P2006-299307)
 (22) 出願日 平成18年11月2日 (2006.11.2)
 (31) 優先権主張番号 11/292589
 (32) 優先日 平成17年12月2日 (2005.12.2)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/292436
 (32) 優先日 平成17年12月2日 (2005.12.2)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/264921
 (32) 優先日 平成17年11月2日 (2005.11.2)
 (33) 優先権主張国 米国 (US)

(71) 出願人 502188642
 マーベル ワールド トレード リミテッ
 ド
 バルバドス国 ビービー14027, セン
 トマイケル、プリトンス ヒル、ガンサイ
 トロード、エル ホライズン
 (74) 代理人 100094318
 弁理士 山田 行一
 (74) 代理人 100123995
 弁理士 野田 雅一
 (72) 発明者 セハット スタージャ
 アメリカ合衆国, カリフォルニア州, ロス
 アルトス ヒルズ, エレナ ロード 2
 7330

最終頁に続く

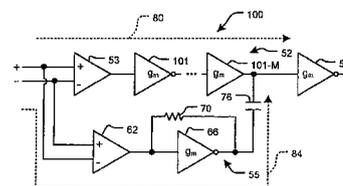
(54) 【発明の名称】 補償付き増幅器

(57) 【要約】 (修正有)

【課題】 多段の増幅回路において、高利得になるにつれミラー効果が無視できなくなり所望の帯域が得られなくなる。ミラー効果を補償する増幅器を提案する。

【解決手段】 増幅器回路は、第1の増幅器の出力に接続する入力を有する第1の演算トランスコンダクタンス増幅器(OTA)を備える。第3の増幅器は、第1の増幅器の入力に接続する入力、及び出力を有する。第4のOTAは、第3の増幅器の出力に接続する入力、及び出力を有する。フィードバック抵抗は、第4のOTAの入力及び出力に接続する。キャパシタは、第4のOTAの出力及び第2のOTAの入力に接続する。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

入力及び出力を有する第 1 の増幅器と、
前記第 1 の増幅器の前記出力に接続する入力、及び出力を有する第 2 の演算トランスコンダクタンス増幅器 (OTA) と、
前記第 1 の増幅器の前記入力に接続する入力、及び出力を有する第 3 の増幅器と、
前記第 3 の増幅器の前記出力に接続する入力、及び出力を有する第 4 の OTA と、
前記第 4 の OTA の前記入力及び前記出力に接続するフィードバック抵抗と、
前記第 4 の OTA の前記出力及び前記第 2 の OTA の前記入力に接続するキャパシタと、
を備える増幅器回路。

10

【請求項 2】

直列接続された N 台の OTA を更に備え、N が零より大きい整数であり、前記 N 台の OTA のうちの最初の OTA の入力、及び出力が前記第 1 の増幅器の前記出力に接続し、前記 N 台の OTA のうちの最後の OTA の出力が前記第 2 の OTA の前記入力に接続する、請求項 1 に記載の増幅器回路。

【請求項 3】

前記第 3 の増幅器の前記入力、及び出力が、前記第 1 の増幅器に容量的に接続され、
前記第 3 の増幅器の前記入力及び前記出力に選択的に接続するスイッチドキャパシタ回路を更に備える、請求項 1 に記載の増幅器回路。

20

【請求項 4】

前記スイッチドキャパシタ回路が、
前記第 3 の増幅器の前記入力に接続する第 1 の端子を有する第 1 のスイッチと、
前記第 3 の増幅器の前記出力に接続する第 1 の端子を有する第 2 のスイッチと、
前記第 1 のスイッチの第 2 の端子及び前記第 2 のスイッチの第 2 の端子に接続する一端を有するキャパシタと、
を備える、請求項 3 に記載の増幅器回路。

【請求項 5】

請求項 3 に記載の増幅器回路を備え、前記増幅器回路の前記入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える、デジタル・アナログ変換器。

30

【請求項 6】

請求項 3 に記載の増幅器回路を備え、前記増幅器回路の前記入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える、アナログ・デジタル変換器。

【請求項 7】

請求項 3 に記載の増幅器回路を備え、前記増幅器回路の前記入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える、フィルタ。

【請求項 8】

入力及び出力を有する第 1 の演算トランスコンダクタンス (OTA) と、
前記第 1 の OTA の出力に接続する入力、及び出力を有する第 2 の OTA と、
前記第 1 の OTA の入力に接続する入力、及び出力を有する第 3 の OTA と、
前記第 3 の OTA の出力に接続する入力、及び出力を有する第 4 の OTA と、
キャパシタを前記第 3 の OTA の前記入力と第 3 の OTA の前記出力の少なくとも一方に選択的に接続するスイッチドキャパシタ回路と、
を備える増幅器回路。

40

【請求項 9】

前記第 4 の OTA の前記入力に接続する入力、及び出力を有する第 4 の OTA の前記出力に接続する出力を有する抵抗を更に備える、請求項 8 に記載の増幅器回路。

【請求項 10】

前記スイッチドキャパシタ回路が、

50

前記第 3 の O T A の前記入力に接続する第 1 の端子を有する第 1 のスイッチと、
 前記第 3 の O T A の前記出力に接続する第 1 の端子を有する第 2 のスイッチと、
 前記第 1 のスイッチの第 2 の端子及び第 2 のスイッチの第 2 の端子に接続する一端を有するキャパシタと、
 を備える、請求項 8 に記載の増幅器回路。

【請求項 1 1】

前記第 1 の O T A の前記入力に接続する一端、及び前記第 2 の O T A の前記出力に接続する反対端を有するキャパシタを更に備える、請求項 8 に記載の増幅器回路。

【請求項 1 2】

前記第 1 の O T A の前記出力と前記第 2 の O T A の前記入力との間に直列接続された N 10
 台の追加の O T A を更に備える、請求項 8 に記載の増幅器回路。

【請求項 1 3】

請求項 8 に記載の増幅器回路を備え、前記第 1 の O T A の前記入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える、デジタル・アナログ変換器。

【請求項 1 4】

請求項 8 に記載の増幅器回路を備え、前記第 1 の O T A の前記入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える、アナログ・デジタル変換器。

【請求項 1 5】

請求項 8 に記載の増幅器回路を備え、前記第 1 の O T A の前記入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える、フィルタ。 20

【請求項 1 6】

前記スイッチドキャパシティブ入力信号が第 1 及び第 2 のフェーズを含み、前記スイッチドキャパシタ回路内のスイッチが前記スイッチドキャパシティブ入力信号の前記第 1 及び第 2 のフェーズに基づいて切り替えられる、請求項 1 3 に記載のデジタル・アナログ変換器。

【請求項 1 7】

前記スイッチドキャパシティブ入力信号が第 1 及び第 2 のフェーズを含み、前記スイッチドキャパシタ回路内のスイッチが前記スイッチドキャパシティブ入力信号の前記第 1 及び第 2 のフェーズに基づいて切り替えられる、請求項 1 4 に記載のアナログ・デジタル変換器。 30

【請求項 1 8】

前記スイッチドキャパシティブ入力信号が第 1 及び第 2 のフェーズを含み、前記スイッチドキャパシタ回路内のスイッチが前記スイッチドキャパシティブ入力信号の前記第 1 及び第 2 のフェーズに基づいて切り替えられる、請求項 1 5 に記載のフィルタ。

【請求項 1 9】

差動モードで構成された、請求項 8 に記載の増幅器回路。

【請求項 2 0】

前記第 1 の O T A の前記入力に接続する一端、及び前記第 3 の O T A の前記入力に接続する反対端を有するキャパシタを更に備える、請求項 8 に記載の増幅器回路。

【請求項 2 1】

入力及び出力を備え、第 1 の利得、第 1 の帯域幅、及び第 1 の出力インピーダンスを有する第 1 の増幅器モジュールと、 40

前記第 1 の増幅器モジュールの前記入力に接続する入力、及び出力を備え、前記第 1 の利得より小さい第 2 の利得、前記第 1 の帯域幅より大きい第 2 の帯域幅、及び前記第 1 の出力インピーダンスより小さい出力インピーダンスを有する第 2 の増幅器モジュールと、

前記第 2 の増幅器モジュールの前記出力及び前記第 1 の増幅器モジュールの前記出力に接続するキャパシタと
 を備える増幅器回路。

【請求項 2 2】

前記第 1 の利得が 1 0 0 以上であり、前記第 2 の利得が 1 0 0 未満である、請求項 2 1 50

に記載の増幅器回路。

【請求項 23】

前記第 2 の増幅器モジュールが、演算トランスコンダクタンス増幅器を含む、請求項 21 に記載の増幅器回路。

【請求項 24】

前記第 2 の増幅器モジュールが、

前記第 1 の増幅器モジュールの前記入力に接続する入力、及び出力を有する第 3 の増幅器と、

前記第 3 の増幅器の前記出力に接続する入力、及び出力を有する第 4 の演算トランスコンダクタンス増幅器 (OTA) と、

前記第 4 の OTA の前記入力及び前記出力に接続する第 1 の抵抗とを備える、請求項 21 に記載の増幅器回路。

10

【請求項 25】

前記第 1 の増幅器の前記出力に接続する第 3 の演算トランスコンダクタンス増幅器 (OTA) を更に備える、請求項 21 に記載の増幅器回路。

【請求項 26】

直列接続された N 台の演算トランスコンダクタンス増幅器 (OTA) を更に備え、N が零より大きい整数であり、前記 N 台の OTA のうちの最初の OTA の入力前記第 1 の増幅器モジュールの前記出力に接続し、前記 N 台の OTA のうちの最後の OTA の出力前記第 3 の OTA の前記入力に接続する、請求項 25 に記載の増幅器回路。

20

【請求項 27】

前記第 1 の増幅器モジュールが、第 1 の増幅器を含む、請求項 21 に記載の増幅器回路。

【請求項 28】

前記第 1 の増幅器モジュールの前記出力及び前記キャパシタに接続する入力を有する第 1 の増幅器を更に備える、請求項 21 に記載の増幅器回路。

【請求項 29】

前記第 1 の増幅器モジュールが、

入力及び出力を有する第 1 の増幅器と、

前記第 1 の増幅器の前記出力に接続する入力、及び出力を有する第 2 の増幅器と、

前記第 2 の増幅器の前記入力及び前記出力に接続するキャパシタと、

前記第 2 の増幅器の前記出力に接続する入力を有する第 3 の増幅器と

を備える、請求項 21 に記載の増幅器回路。

30

【請求項 30】

前記第 2 及び第 3 の増幅器がトランスコンダクタンス増幅器を備える、請求項 21 に記載の増幅器回路。

【発明の詳細な説明】

【発明の分野】

【0001】

[0001]本発明は、増幅器に関するものであり、特に、補償付き増幅器に関するものである。

40

【発明の背景】

【0002】

[0002]増幅器は、1 段以上のステージを含むことがある。各ステージは利得を提供する増幅器を含むことがある。周波数が増加するにつれて、増幅器によって提供される利得は低下し、このことが増幅器の帯域幅を制限する。電子計算デバイスの動作周波数が増加するにつれて、高帯域幅、高利得、そして低雑音を有する増幅器が徐々に重要になってきている。

【0003】

[0003]ミラー補償は、利得ステージの実効入力キャパシタンスを増加させることによっ

50

て、利得ステージの主要極をより低い周波数へ移動させる従来型の周波数補償技術である。ミラー補償回路は、ミラー効果を利用するミラーキャパシタンスを含む。ミラーキャパシタンスがフィードバック構成に接続される場合に、キャパシタンスは増幅器の入力には非常に大きく見える。主要極は、この方法を用いてより低い周波数へ移されるが、システムの利得及び帯域幅は依然として多少制限されている。

【 0 0 0 4 】

[0004]ここで、図 1 及び 2 を参照する。これらの図は、ミラー補償付きの増幅器回路 10 を示しており、当該回路 10 は、第 1 の増幅器 14 及び第 2 の増幅器 16 を含んでいる。第 1 の増幅器 14 の出力は、第 2 の増幅器 16 の入力に接続している。ミラーキャパシタンス 18 の第 1 の端部は、第 2 の増幅器 16 の入力に接続しており、ミラーキャパシタンス 18 の第 2 の端部は、第 2 の増幅器 16 の出力に接続している。

10

【 0 0 0 5 】

[0005]増幅器回路 10 の入力電圧は、第 1 の増幅器 14 の入力に印加される。増幅器回路 10 の出力電圧は、第 2 の増幅器 16 の出力から参照される。ミラー補償の結果、第 2 の増幅器 16 のトランスコンダクタンス g_m が増大され、このことが増幅器回路 10 の帯域幅を増大する。図 2 において見ることができるよう、ミラー補償付きの増幅器の利得は 20 dB / decade の傾きを有する。

【 0 0 0 6 】

[0006]増幅器はスイッチドキャパシタ入力信号と共に使用されることもある。スイッチドキャパシタ入力信号は、アナログ・デジタル変換器 (ADC)、デジタル・アナログ変換器 (DAC)、フィルタ、及び/又は、その他の回路で生成される。図 1 に示すような従来型の増幅器は、特にスイッチドキャパシタ入力信号に対して、許容可能な雑音レベルで十分な利得及び帯域幅を提供することが難しいときがある。

20

【 発明の概要 】**【 0 0 0 7 】**

[0007]増幅器回路は入力と出力を有する第 1 の増幅器を備える。第 2 の演算トランスコンダクタンス増幅器 (OTA) は、第 1 の増幅器の出力に接続する入力を有する。第 3 の増幅器は、第 1 の増幅器の入力に接続する入力と、出力と、を有する。第 4 の OTA は、第 3 の増幅器の出力に接続する入力と、出力と、を有する。フィードバック抵抗は、第 4 の OTA の入力及び出力に接続する。キャパシタは、第 4 の OTA の出力に接続し、第 2

30

【 0 0 0 8 】

[0008]別の特徴において、N 台の OTA が直列接続され、ここで、N は零より大きい整数である。N 台の OTA のうちの最初の OTA の入力は第 1 の増幅器の出力に接続し、N 台の OTA のうちの最後の OTA の出力は第 2 の OTA の入力に接続する。第 3 の増幅器の入力は第 1 の増幅器に容量的に接続される。スイッチドキャパシタ回路は、第 3 の増幅器の入力及び出力に選択的に接続する。

【 0 0 0 9 】

[0009]別の特徴において、スイッチドキャパシタ回路は、第 3 の増幅器の入力に接続する第 1 の端子を有する第 1 のスイッチを備える。第 2 のスイッチは、第 3 の増幅器の出力に接続する第 1 の端子を有する。キャパシタは、第 1 のスイッチの第 2 の端子及び第 2 のスイッチの第 2 の端子に接続する一端を有する。

40

【 0 0 1 0 】

[0010]デジタル・アナログ変換器が、本増幅器回路を備え、この増幅器回路の入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える。アナログ・デジタル変換器が、本増幅器回路を備え、この増幅器回路の入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える。フィルタが、本増幅器回路を備え、増幅器回路の入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える。

【 0 0 1 1 】

50

[0011]増幅器回路は、入力、出力、入力と出力との間の低周波パス、並びに、入力と出力との間にあり高周波パスを備える。高周波パスは、入力及び出力を有する第1の増幅器と、第1の増幅器の出力に接続する入力及び低周波パスに容量的に接続された出力を有する第1の演算トランスコンダクタンス増幅器(OTA)と、第1のOTAの入力及び出力に接続する抵抗とを含む。

【0012】

[0012]別の特徴において、低周波パスはN台のOTAを含み、ここで、Nは1より大きい整数であり、N台のOTAのうちの最初のOTAは入力に接続し、N台のOTAのうちの最後のOTAは出力に接続する。第1の増幅器は、N台のOTAのうちの最初のOTAの入力に接続し、第1のOTAは、N台のOTAのうちの最後のOTAの入力に接続する。低周波パスは第2の増幅器を備える。低周波パスは、第2の増幅器と、直列接続されたN台のOTAとを含み、ここで、Nは零より大きい整数であり、第2の増幅器は入力に接続し、N台のOTAのうちの最後のOTAの出力は出力に接続する。

10

【0013】

[0013]増幅器回路は、入力、出力、入力と出力との間の低周波パス、並びに、入力と出力との間にある高周波パスを備える。高周波パスは、増幅を行い、且つ入力及び出力を有する第1の増幅手段と、トランスコンダクタンスを提供し、第1の増幅手段の出力に接続する入力及び低周波パスに容量的に接続された出力を有する第1のトランスコンダクタンス手段と、第1のトランスコンダクタンス手段の入力及び出力に接続する抵抗を提供する抵抗手段とを含む。

20

【0014】

[0014]別の特徴において、低周波パスは、トランスコンダクタンスを提供するN台のトランスコンダクタンス手段を含み、ここで、Nは1より大きい整数であり、N台のトランスコンダクタンス手段のうちの最初のトランスコンダクタンス手段は入力に接続し、N台のトランスコンダクタンス手段のうちの最後のトランスコンダクタンス手段は出力に接続する。第1の増幅手段は、N台のトランスコンダクタンス手段のうちの最初のトランスコンダクタンス手段の入力に接続し、第1のトランスコンダクタンス手段はN台のトランスコンダクタンス手段のうちの最後のトランスコンダクタンス手段の入力に接続する。

【0015】

[0015]別の特徴において、低周波パスは、増幅を行う第2の増幅手段を備える。低周波パスは、増幅を行う第2の増幅手段と、直列接続されたN台のトランスコンダクタンス手段とを含み、ここで、Nは零より大きい整数であり、第2の増幅手段は入力に接続し、N台のトランスコンダクタンス手段のうちの最後のトランスコンダクタンス手段の出力は出力に接続する。デジタル・アナログ変換器が、本増幅器回路を備え、この増幅器回路の入力へ入力されるスイッチドキャパシティブ入力信号を生成する手段を更に備える。アナログ・デジタル変換器が、本増幅器回路を備え、この増幅器回路の入力へ入力されるスイッチドキャパシティブ入力信号を生成する手段を更に備える。フィルタが、本増幅器回路を備え、この増幅器回路の入力へ入力されるスイッチドキャパシティブ入力信号を生成する手段を更に備える。

30

【0016】

[0016]増幅器回路は、入力、出力、及び入力と出力との間の低周波パスを備える。入力と出力との間の高周波パスが、増幅を行い入力に接続する第1の増幅手段と、トランスコンダクタンスを提供し、第1の増幅手段の出力に接続する入力、及び低周波パスに容量的に接続された出力を有する第2のトランスコンダクタンス手段と、を含む。抵抗を提供する抵抗手段は、第2のトランスコンダクタンス手段の入力及び出力に接続する。

40

【0017】

[0017]別の特徴において、低周波パスは、トランスコンダクタンスを提供するN台のトランスコンダクタンス手段を含み、Nは1より大きい整数である。N台のトランスコンダクタンス手段のうちの最初のトランスコンダクタンス手段は入力に接続し、N台のトランスコンダクタンス手段のうちの最後のトランスコンダクタンス手段は出力に接続する。第

50

1の増幅手段はN台のトランスコンダクタンス手段のうち最初のトランスコンダクタンス手段の入力と通信し、第2のトランスコンダクタンス手段はN台のトランスコンダクタンス手段のうち最後のトランスコンダクタンス手段の入力に接続する。N台のトランスコンダクタンス手段のうち最初のトランスコンダクタンス手段は、第1の増幅手段の非反転入力及び反転入力に接続する反転入力及び非反転入力を有する。キャパシタンスを提供するキャパシタンス手段は出力に接続する。低周波パスは、増幅を行う第3の増幅手段と、トランスコンダクタンスを提供し、直列接続されたN台のトランスコンダクタンス手段を含み、ここで、Nは零より大きい整数である。第3の増幅手段は入力に接続し、N台のトランスコンダクタンス手段のうち最後のトランスコンダクタンス手段は出力に接続する。

10

【0018】

【0018】増幅器回路は、入力及び出力を有する第1の演算トランスコンダクタンス(OTA)を備える。第2のOTAは、第1のOTAの出力に接続する入力を有する。第3のOTAは第1のOTAの入力に接続する入力を有する。第4のOTAは、第3のOTAの出力に接続する入力、及び第2のOTAの入力に接続する出力を有する。スイッチドキャパシタ回路は、第3のOTAの入力と第3のOTAの出力のうち少なくとも一方に容量を選択的に接続する。

【0019】

【0019】別の特徴において、抵抗が、第4のOTAの入力に接続する入力、及び第4のOTAの出力に接続する出力を有する。第3のOTAの入力は、第1のOTAの入力に容量的に接続される。スイッチドキャパシタ回路は、第3のOTAの入力に接続する第1の端子を有する第1のスイッチ、第3のOTAの出力に接続する第1の端子を有する第2のスイッチ、及び第1のスイッチと第2のスイッチの第2の端子に接続する一端を有するキャパシタを備える。

20

【0020】

【0020】別の特徴において、キャパシタは、第1のOTAの入力に接続する一端と、第2のOTAの出力に接続する反対端とを有する。N台の追加のOTAは、第1のOTAの出力と第2のOTAの入力との間に直列接続される。

【0021】

【0021】デジタル・アナログ変換器が、本増幅器回路を備え、第1のOTAの入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える。アナログ・デジタル変換器が、本増幅器回路を備え、第1のOTAの入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える。フィルタが、本増幅器回路を備え、第1のOTAの入力へ入力されるスイッチドキャパシティブ入力信号を生成する回路を更に備える。スイッチドキャパシティブ入力信号は、第1のフェーズ及び第2のフェーズを含み、スイッチドキャパシタ回路内のスイッチは、スイッチドキャパシティブ入力信号の第1のフェーズ及び第2のフェーズに基づいて切り替えられる。

30

【0022】

【0022】増幅器回路は、トランスコンダクタンスを提供し、入力及び出力を有する第1のトランスコンダクタンス手段を含む。第2のトランスコンダクタンス手段は、トランスコンダクタンスを提供し、第1のトランスコンダクタンス手段の出力に接続する入力を有する。第3のトランスコンダクタンス手段は、トランスコンダクタンスを提供し、第1のトランスコンダクタンス手段の入力に接続する入力を有する。第4のトランスコンダクタンス手段は、トランスコンダクタンスを提供し、第3のトランスコンダクタンス手段の出力に接続する入力、及び第2のトランスコンダクタンス手段の入力に接続する出力を有する。スイッチキャパシタ手段は、キャパシタンスを選択的に提供し、第3のトランスコンダクタンス手段の入力と選択的に接続する入力、及び第3のトランスコンダクタンス手段の出力と選択的に接続する出力を有する。

40

【0023】

【0023】別の特徴において、抵抗を提供する抵抗手段は、第4のトランスコンダクタンス

50

手段の入力に接続する入力、及び第4のトランスコンダクタンス手段の出力に接続する出力を有する。第3のトランスコンダクタンス手段の入力は、第1のトランスコンダクタンス手段の入力に容量的に接続される。スイッチドキャパシタ手段は、スイッチングを行い、第3のトランスコンダクタンス手段の入力に接続する第1の端子を有する第1のスイッチング手段と、スイッチングを行い、第3のトランスコンダクタンス手段の出力に接続する第1の端子を有する第2のスイッチング手段と、キャパシタンスを提供し、第1及び第2のスイッチング手段の第2の端子に接続する一端を有するキャパシタンス手段とを備える。

【0024】

[0024]別の特徴において、キャパシタンスを提供するキャパシタンス手段は、第1のトランスコンダクタンス手段の入力に接続する一端と、第2のトランスコンダクタンス手段の出力に接続する反対端とを有する。トランスコンダクタンスを提供するN台のトランスコンダクタンス手段が、第1のトランスコンダクタンス手段の出力と第2のトランスコンダクタンス手段の入力との間に直列接続されており、ここで、Nは零より大きい整数である。

10

【0025】

[0025]デジタル・アナログ変換器が、本増幅器回路を備え、第1のトランスコンダクタンス手段の入力へ入力されるスイッチドキャパシティブ入力信号を生成する手段を更に備える。アナログ・デジタル変換器が、本増幅器回路を備え、第1のトランスコンダクタンス手段の入力へ入力されるスイッチドキャパシティブ入力信号を生成する手段を更に備える。フィルタが、本増幅器回路を備え、第1のトランスコンダクタンス手段の入力へ入力されるスイッチドキャパシティブ入力信号を生成する手段を更に備える。スイッチドキャパシティブ入力信号は、第1のフェーズと第2のフェーズを含む。スイッチドキャパシタ手段内の第1及び第2のスイッチング手段は、スイッチドキャパシティブ入力信号の第1のフェーズと第2のフェーズに基づいて切り替えられる。本増幅器回路は、差動モードで構成される。

20

【0026】

[0026]増幅器回路は、入力及び出力を備え、第1の利得、第1の帯域幅、及び第1の出力インピーダンスを有する第1の増幅器を備える。第2の増幅器モジュールは、第1の増幅器の入力に接続する入力、及び出力を備え、第1の利得より小さい第2の利得、第1の帯域幅より大きい第2の帯域幅、及び第1の出力インピーダンスより小さい出力インピーダンスを有する。キャパシタは、第2の増幅器モジュールの出力、及び第1の増幅器の出力に接続する。

30

【0027】

[0027]別の特徴において、第1の利得は100以上であり、第2の利得は100未満である。第2の増幅器モジュールは、演算トランスコンダクタンス増幅器を含む。第2の増幅器モジュールは、第1の増幅器の入力に接続する入力、及び出力を有する第3の増幅器と、第3の増幅器の出力に接続する入力、及び出力を有する第4の演算トランスコンダクタンス増幅器(OTA)と、第4のOTAの入力及び出力に接続する第1の抵抗と、を備える。

40

【0028】

[0028]別の特徴において、第3の演算トランスコンダクタンス増幅器(OTA)が、第1の増幅器の出力に接続する。N台の演算トランスコンダクタンス増幅器(OTA)は直列接続されており、ここで、Nは零より大きい整数である。N台のOTAのうちの最初のOTAの入力は第1の増幅器の出力に接続し、N台のOTAのうちの最後のOTAの出力は第3のOTAの入力に接続する。

【0029】

[0029]増幅器回路は、増幅を行い、入力及び出力を備え、第1の利得、第1の帯域幅、及び第1の出力インピーダンスを有する第1の増幅手段を備える。増幅を行う第2の増幅モジュール手段は、入力及び出力を備え、第1の利得より小さい第2の利得、第1の帯域

50

幅より大きい第2の帯域幅、及び第1の出力インピーダンスより小さい出力インピーダンスを有する。キャパシタンスを提供するキャパシタンス手段は、第2の増幅モジュール手段の出力及び第1の増幅手段の出力に接続する。

【0030】

[0030]別の特徴において、第1の利得は100以上であり、第2の利得は100未満である。第2の増幅モジュール手段は演算トランスコンダクタンス増幅器を含む。第2の増幅モジュール手段は、増幅を行い、第1の増幅手段の入力に接続する入力、及び出力を有する第3の増幅手段と、トランスコンダクタンスを提供し、第3の増幅手段の出力に接続する入力、及び出力を有する第4のトランスコンダクタンス手段と、第4のトランスコンダクタンス手段の入力及び出力に接続する抵抗を提供する抵抗手段と、を備える。

10

【0031】

[0031]別の特徴において、トランスコンダクタンスを提供する第3のトランスコンダクタンス手段が、第1の増幅手段の出力に接続する。トランスコンダクタンスを提供するN台のトランスコンダクタンス手段が直列接続されており、ここで、Nは零より大きい整数である。N台のトランスコンダクタンス手段のうちの最初のトランスコンダクタンス手段の入力は第1の増幅手段の出力に接続し、N台のトランスコンダクタンス手段のうちの最後のトランスコンダクタンス手段の出力は第3のトランスコンダクタンス手段の入力に接続する。

【0032】

[0032]本発明の更なる適用範囲は、以下に記載する詳細な説明から明白になる。詳細な説明及び具体的な実施例は、発明の好ましい実施形態を示すが、例示の目的だけを意図するものであり、発明の範囲を制限することを意図するものではないことを理解すべきである。

20

【0033】

[0033]本発明は、詳細な説明及び添付図面からより完全に理解されよう。

【好ましい実施形態の詳細な説明】

【0034】

[0056]以下の(複数の)好ましい実施形態の説明は、本質的に単なる例示であり、決して発明、発明の応用、又は、発明の使用を制限することを意図するものではない。本明細書で使用されるように、モジュール、回路、及び/又は、装置という用語は、特定用途向け集積回路(ASIC)、電子回路、一つ以上のソフトウェア又はファームウェアプログラムを実行するプロセッサ(共有、専用、又は、グループ)及びメモリ、組み合わせ論理回路、並びに/若しくは、上記の機能を提供するその他の適当なコンポーネントを指す。本明細書で使用されるように、A、B、及びCのうちの少なくとも一つという語句は、非排他的論理和を使用する論理的な(A又はB又はC)を意味するように解釈されるべきである。方法中のステップは本発明の原理を変更することなく異なる順序で実行してよいことを理解すべきである。明確にするために、同じ参照番号を類似した要素を特定するために図面中で使用する。

30

【0035】

[0057]次に図3Aを参照する。この図は、本発明による補償付きの増幅器回路50の電気回路図を示している。増幅器回路の特定の実施例を示して説明するが、その他の組み合わせも考えられる。増幅器回路50は、入力及び出力を有する第1の増幅器モジュール52を含む。増幅器モジュール52の入力は、増幅器モジュール55の入力に接続している。増幅器モジュール55の出力は、キャパシタ56によって増幅器モジュール52の出力に接続されている。

40

【0036】

[0058]増幅器モジュール55は、増幅器52の利得より小さい利得を有していてもよい。増幅器モジュール52は、100以上の利得を有していてもよい。増幅器モジュール55は、100未満の利得を有していてもよい。幾つかの実装形態では、増幅器モジュール55の利得は、実質的に100未満である。増幅器モジュール55は、非常に大きい帯域

50

幅及び小さい出力インピーダンスを有していてもよい。増幅器モジュール 55 は、増幅器モジュール 52 の帯域幅より大きい帯域幅を有する。増幅器モジュール 52 の出力インピーダンスは、増幅器モジュール 55 の出力インピーダンスより大きくてもよい。増幅器モジュール 55 は、トランスインピーダンス増幅器を含んでいてもよい。増幅器回路 50 は、第 1 の DC パス 57 及び第 2 の高周波パス 58 を有している。

【0037】

[0059]次に図 3 B ~ 3 D を参照する。増幅器の種々の組み合わせを、増幅器回路 50 の増幅器モジュール 52 及び 55 に使用することが可能である。特定の実施例が示されているが、その他の組み合わせも考えられる。図 3 B では、増幅器モジュール 52 は、増幅器 53 を含んでいてもよい。図 3 C では、増幅器モジュール 55 は、トランスインピーダンス増幅器を含んでいてもよい。図 3 D では、増幅器モジュール 52 は、ミラー補償増幅器を含んでいてもよい。更に別の変形態様も考えられる。

10

【0038】

[0060]図 3 C を再び参照する。増幅器回路 50 は、増幅器モジュール 52 を含んでおり、このモジュール 52 は、第 1 の増幅器 53 を含んでおり、当該第 1 の増幅器 53 は、第 2 の増幅器 54 の入力に接続する出力を有している。増幅器 53 の入力、増幅器モジュール 55 に接続している。増幅器モジュール 55 は、増幅器 62、増幅器 66、及びフィードバック抵抗 70 を含んでいる。増幅器 62 の出力は、増幅器 66 の入力に接続されている。フィードバック抵抗 70 は、増幅器 66 の入力と増幅器 66 の出力との間に接続されている。容量素子 56 は、増幅器 66 の出力を増幅器 54 の入力に容量的に接続している。増幅器 53 及び 54 は、DC 利得パス 80 を提供する。DC 利得パス 80 の利得は、追加の増幅器を使用して調整可能である。増幅器 62 及び 66、並びにキャパシタ 56 は、高周波利得パス 84 を提供する。

20

【0039】

[0061]次に、図 3 D を参照する。増幅器モジュール 52 は、増幅器 53 と、容量性フィードバック C_M を有するミラー補償増幅器 85 と、を含んでいてもよい。追加の増幅器 86 は、ミラー補償増幅器 85 の出力と増幅器 54 の入力との間に設けられている。更に別の組み合わせも考えられる。

【0040】

[0062]次に、図 4 A ~ 4 C を参照する。これらの図は、増幅器回路の利得及び帯域幅を説明する例示的なグラフを示している。理解できるように、図 3 A における増幅器回路 50 は、更なる帯域幅をより高い利得値で有している。利得の傾きは、40 dB / decade に増加されており、これによって、利得が、後に、しかしより急速に低下する。追加の利得ステージは、傾きを 60 dB / decade に、図 4 B に示されるように、更に増加させる。ステージ及び / 又は構造次第では、利得帯域幅応答の領域は、図 4 C に示されるように、20、40、60 dB / decade 等の傾きを有することがある。

30

【0041】

[0063]次に、図 5 及び 6 を参照する。これらの図は、補償及び追加の利得付きの別の増幅器の電気回路図を示している。1 台以上の追加の増幅器を DC 利得パス 80 に設けて、更なる利得を提供してもよい。図 5 では、増幅器回路 90 は、増幅器 53 及び 101 を含んでおり、当該増幅器 53 及び 101 は、増幅器 90 の入力と増幅器 54 との間に接続されている。図 6 では、増幅器回路 100 は、一以上の追加の増幅器 101 - M を含んでおり、当該増幅器 101 - M は、増幅器 52 - 2 と 54 との間に接続されている。なお、M は 1 より大きい整数である。理解できるように、追加の増幅器ステージを DC パスに追加して、必要に応じて更なる利得を提供してもよい。

40

【0042】

[0064]本発明による増幅器回路は、低周波数と高周波数の両方で利得を向上し、安定時間を向上している。増幅器回路は、各ステージを非カスコード構成にすることができるので、低電圧で動作しながら高利得を有している。

【0043】

50

[0065]次に、図7A及び7Bを参照する。増幅器回路108は、入力と、増幅器114の入力に接続された出力とを有する増幅器110を含んでいる。増幅器110の入力は、キャパシタ116によって増幅器118の入力に接続されている。増幅器118の出力は、増幅器120の入力に接続されている。増幅器120の出力は、キャパシタ122によって増幅器114の入力に接続されている。

【0044】

[0066]フィードバック抵抗124は、増幅器120の入力と出力に接続されている。フィードバック抵抗126は、増幅器118の入力と出力に接続されている。フィードバック抵抗126は、高抵抗値を有していてもよい。例えば、このフィードバック抵抗は、抵抗124の抵抗値より高い抵抗値を有していてもよい。フィードバック抵抗126は、非常に高い抵抗、例えば、略無限大に近い抵抗を有していてもよい。負荷キャパシタ128を、増幅器114の出力に接続してもよい。図7Bでは、比較的高いフィードバック抵抗128に関連した寄生容量129が、回路の帯域幅を制限する傾向がある。

【0045】

[0067]図7Cに、本発明による増幅器回路130を示す。増幅器回路130は、スイッチドキャパシタを備えて、寄生容量に伴う問題無しに高フィードバック抵抗126をシミュレートしてもよい。増幅器回路130は、増幅器114の入力に接続された出力を有する増幅器110を備えている。増幅器110の入力は、キャパシタ116によって増幅器118の入力にも接続されている。増幅器118の出力は、増幅器120の入力に接続されている。増幅器120の出力は、キャパシタ122によって増幅器114の入力に接続されている。

【0046】

[0068]増幅器118の入力及び出力は、スイッチドキャパシタ回路131に接続していてもよい。スイッチドキャパシタ回路131は、第1のスイッチ132及び第2のスイッチ134を有している。キャパシタ136は、スイッチ132及び134と、グラウンドのような基準電位との間に接続されている。第1のフェーズ ϕ_1 の間に、第1のスイッチ132が閉じられ、第2のスイッチ134が開かれて、キャパシタ136が充電される。第2のフェーズ ϕ_2 の間に、第1のスイッチ132が開かれ、第2のスイッチ134が閉じられ、これによってキャパシタ136を放電させる。第1及び第2のフェーズは、スイッチド入力の第1及び第2のフェーズに対応し、及び/又は、その逆に対応していてもよい。フィードバック抵抗124は、増幅器120の入力と出力に接続されている。負荷キャパシタ146を増幅器114の出力に接続してもよい。幾つかの用途では、増幅器130はスイッチド入力を受けてもよい。スイッチド入力は、容量性ADC、DAC、フィルタなどに見られるようなスイッチドキャパシティブ入力であってもよい。

【0047】

[0069]次に、図8及び9を参照する。これらの図は、スイッチドキャパシタ回路148と図7Cの増幅器130とを備える例示的な回路を示している。増幅器回路130への入力電圧は、スイッチドキャパシティブ入力であってもよい。スイッチドキャパシティブ入力は、フィルタ、デジタル・アナログ変換器(DAC)、アナログ・デジタル変換器(ADC)、及びその他の回路のような回路において生成されてもよい。理解できるように、その他のタイプの入力及び/又は他のスイッチドキャパシタ回路を使用してもよい。スイッチドキャパシタ回路148は、第1のスイッチ152及び第2のスイッチ154を有している。キャパシタ158は、スイッチ152及び154と、グラウンドのような基準電位との間に接続されている。第1のフェーズ ϕ_1 の間に、第1のスイッチ152が閉じられ、第2のスイッチ154が開かれて、キャパシタ158が充電される。第2のフェーズ ϕ_2 の間に、第1のスイッチ152が開かれ、第2のスイッチ154が閉じられて、キャパシタ158が増幅器100を介して放電する。

【0048】

[0070]次に、図10を参照する。増幅器回路180は、図7Cに示した増幅器回路と類似しており、増幅器182-1、182-2、...、182-Xを更に備えている。こ

10

20

30

40

50

ここで、 X はゼロより大きい整数である。追加の増幅器182は、図4に示した領域200における利得帯域幅応答の傾きを増加させる傾向がある。

【0049】

[0071]上記の増幅器回路は、いずれも差動モードで構成することが可能である。例えば、ここで図11を参照すると、図7Cの増幅器が差動モードで構成されている。本明細書に記載されているその他の増幅器も同様に差動モードで構成してもよい。同図は、差動スイッチド入力を受ける本発明による増幅器202を示している。増幅器202は、差動増幅器110Dを備えており、当該増幅器110Dは、差動増幅器114Dの差動入力に接続された差動出力を有している。差動増幅器110Dの差動入力は、キャパシタ116-1及び116-2によって差動増幅器118Dの差動入力に更に接続されている。差動増幅器118Dの差動出力は、差動増幅器120Dの差動入力に接続されている。差動増幅器120Dの差動出力は、キャパシタ122-1及び122-2によって差動増幅器114Dの差動入力に接続されている。

10

【0050】

[0072]差動増幅器118Dの差動入力及び差動出力は、スイッチドキャパシタ回路131-1及び131-2に接続している。負荷キャパシタ(図示せず)を、差動増幅器114Dの差動出力に接続してもよい。

【0051】

[0073]本明細書で説明した増幅器は、増幅器、演算増幅器、演算トランスコンダクタンス増幅器(OTA)、ミラー補償付き増幅器、及び/又は、その他の適当な増幅器であってもよい。OTAはトランスコンダクタンスタイプのデバイスである。入力電圧は、トランスコンダクタンス g_m に基づいて出力電流を制御する。換言すると、OTAは電圧制御型電流源(VCCS)であり、電圧制御型電圧源(VCVS)である従来型の増幅器(オペアンプ)とは著しく異なる。

20

【0052】

[0074]OTAのトランスコンダクタンスパラメータは、増幅器バイアス電流によって制御される。この制御されたトランスコンダクタンスから、出力電流は、入力ピンの間の印加電圧差の関数になる。OTAと従来型のオペアンプとの間には二つの主要な相違点がある。第一に、OTAは電流源であるので、装置の出力インピーダンスが高い。その一方、オペアンプの出力インピーダンスは非常に低い。第二に、OTAを使用して、負フィードバックを利用しない回路を設計することが可能である。換言すると、装置パラメータに対する回路の性能の感度を下げるためにフィードバックを利用しない。

30

【0053】

[0075]次に、図12A~12Gを参照する。これらの図は、本発明の種々の例示的な実装形態を示している。ここで、図12Aを参照する。本発明を、ハードディスクドライブ400内の増幅器、ADC、DAC、フィルタ及びその他の回路に実装することが可能である。幾つかの実装形態では、HDD400内の信号処理及び/又は制御回路402、及び/又は、その他の回路(図示せず)は、データを処理し、符号化及び/又は暗号化を実行し、計算を実行し、並びに/若しくは、磁気記憶媒体406へ出力され、及び/又は、磁気記憶媒体406から入力されるデータをフォーマット化する。

40

【0054】

[0076]HDD400は、一以上の有線又は無線通信リンク408を介して、コンピュータ、携帯情報端末のような携帯型計算装置、携帯電話機、メディア又はMP3プレーヤー等のようなホスト装置(図示せず)、及び/又は、その他の装置と通信する。HDD400は、例えば、ランダムアクセスメモリ(RAM)、フラッシュメモリのような低遅延の不揮発性メモリ、リードオンリーメモリ(ROM)、及び/又は、その他の適当な電子データ記憶装置などのメモリ409に接続される。

【0055】

[0077]次に、図12Bを参照する。本発明を、デジタル多用途ディスク(DVD)ドライブ410の増幅器、ADC、DAC、フィルタ及びその他の回路において実装すること

50

が可能である。信号処理及び／又は制御回路412、及び／又は、DVD410内のその他の回路（図示せず）は、データを処理し、符号化及び／又は暗号化を実行し、計算を実行し、及び／又は、光記憶媒体416へ出力され、及び／又は、磁気記憶媒体416から入力されるデータをフォーマット化する。幾つかの実装形態では、信号処理及び／又は制御回路412、及び／又は、DVD410内のその他の回路（図示せず）は、符号化及び／又は復号化、並びに／若しくは、DVDドライブに関連した任意の別の信号処理機能のようなその他の機能を更に実行する。

【0056】

[0078]DVDドライブ410は、コンピュータ、テレビ、又は、その他の装置のような出力装置（図示せず）と、一以上の有線又は無線通信リンク417を介して、通信してもよい。DVD410は、不揮発性方式でデータを記憶する大容量記憶装置418と通信してもよい。大容量記憶装置418は、ハードディスクドライブ（HDD）を含む。HDDは図12Aに示された構造を有していてもよい。HDDは、約1.8インチより小さい直径を有する1枚以上のプラッタを含むミニHDDであってもよい。DVD410は、例えば、RAM、ROM、フラッシュメモリのような低遅延の不揮発性メモリ、及び／又は、その他の適当な電子データ記憶装置などのメモリ419に接続されてもよい。

10

【0057】

[0079]次に、図12Cを参照する。本発明を、高精細テレビ（HDTV）420の増幅器、ADC、DAC、フィルタ及びその他の回路において実装することが可能である。HDTV420は、有線又は無線のいずれかのフォーマットでHDTV入力信号を受信し、ディスプレイ428のためのHDTV出力信号を生成する。幾つかの実装形態では、信号処理回路及び／又は制御回路422、及び／又は、HDTV420のその他の回路（図示せず）は、データを処理し、符号化及び／又は暗号化を実行し、計算を実行し、データをフォーマット化し、並びに／若しくは、要求され得るその他のタイプのHDTV処理を実行してもよい。

20

【0058】

[0080]HDTV420は、光及び／又は磁気記憶装置のような不揮発性方式でデータを記憶する大容量データ記憶装置427と通信してもよい。少なくとも1台のHDDは図12Aに示された構造を有していてもよく、及び／又は、少なくとも1台のDVDは図12Bに示された構造を有していてもよい。HDDは、約1.8インチより小さい直径を有する1枚以上のプラッタを含むミニHDDでもよい。HDTV420は、例えば、RAM、ROM、フラッシュメモリのような低遅延の不揮発性メモリ、及び／又は、その他の適当な電子データ記憶装置などのメモリ428に接続されてもよい。HDTV420は、WLANネットワークインターフェイス429を介してWLANとの接続もサポートしてもよい。

30

【0059】

[0081]次に、図12Dを参照する。本発明は、車両430の制御システムの増幅器、ADC、DAC、フィルタ、及びその他の回路、WLANインターフェイス、車両制御システムの大容量データ記憶装置、並びに／若しくは、電源433において、実装してもよく、及び／又は、それらにおいて実施されてもよい。幾つかの実装形態では、本発明は、パワートレイン制御システム432を実施する。パワートレイン制御システム432は、温度センサ、圧力センサ、回転センサ、気流センサ、及び／又は、その他の適当なセンサのような1台以上のセンサから入力を受信し、及び／又は、エンジン動作パラメータ、伝達動作パラメータ、及び／又は、その他の制御信号のような一以上の出力制御信号を生成する。

40

【0060】

[0082]本発明を、車両430のその他の制御システム440において実装してもよい。制御システム440も同様に、入力センサ442から信号を受信してもよく、一以上の出力装置444へ制御信号を出力してもよい。幾つかの実装形態では、制御システム440は、アンチロックブレーキングシステム（ABS）と、ナビゲーションシステムと、テレ

50

マテックスシステムと、車両テレマテックスシステムと、車線離脱システムと、適応クルーズ制御システムと、ステレオ、DVD、コンパクトディスクなどのような車両エンターテイメントシステムの一部であってもよい。更に別の実装形態も考えられる。

【0061】

[0083]パワートレイン制御システム432は、不揮発性方式でデータを記憶する大容量データ記憶装置446と通信してもよい。大容量データ記憶装置446は、例えば、ハードディスクドライブHDD及び/又はDVDのような光及び/又は磁気ディスク記憶装置を含んでもよい。少なくとも1台のHDDは図12Aに示された構造を有していてもよく、及び/又は、少なくとも1台のDVDは図12Bに示された構造を有していてもよい。HDDは、約1.8インチより小さい直径を有する1枚以上のプラッタを含むミニHDD 10
であってもよい。パワートレイン制御システム432は、例えば、RAM、ROM、フラッシュメモリのような低遅延の不揮発性メモリ、及び/又は、その他の適当な電子データ記憶装置などのメモリ447に接続されてもよい。パワートレイン制御システム432は、WLANネットワークインターフェイス448を介してWLANとの接続もサポートしてもよい。制御システム440は、また、大容量データ記憶装置、メモリ、及び/又は、WLANインターフェイス(すべて図示されていない)を更に備えてもよい。

【0062】

[0084]次に、図12Eを参照する。本発明を、セルラーアンテナ451を含み得る携帯電話機450の増幅器、ADC、DAC、フィルタ、及びその他の回路において実装することができる。幾つかの実装形態では、携帯電話機450は、マイクロホン456、スピーカー及び/又はオーディオ出力ジャックのようなオーディオ出力458、ディスプレイ460、並びに/若しくは、キーパッド、ポインティングデバイス、音声作動及び/又はその他の入力装置のような入力装置462を含む。信号処理及び/又は制御回路452、及び/又は、携帯電話機450内のその他の回路(図示せず)は、データを処理し、符号化及び/又は暗号化を実行し、計算を実行し、データをフォーマット化し、及び/又は、その他の携帯電話機能を実行してもよい。 20

【0063】

[0085]携帯電話機450は、例えば、ハードディスクドライブHDD及び/又はDVDといった光及び/又は磁気ディスク記憶装置のような不揮発性方式でデータを記憶する大容量データ記憶装置464と通信してもよい。少なくとも1台のHDDは図12Aに示された構造を有し、及び/又は、少なくとも1台のDVDは図12Bに示された構造を有していてもよい。HDDは、約1.8インチより小さい直径を有する1枚以上のプラッタを含むミニHDD 30
であってもよい。携帯電話機450は、例えば、RAM、ROM、フラッシュメモリのような低遅延の不揮発性メモリ、及び/又は、その他の適当な電子データ記憶装置などのメモリ466に接続されてもよい。携帯電話機450は、また、WLANネットワークインターフェイス468を介してWLANとの接続をサポートしてもよい。

【0064】

[0086]次に、図12Fを参照する。本発明を、セットトップボックス480の増幅器、ADC、DAC、フィルタ、及びその他の回路において実装してもよい。セットトップボックス480は、ブロードバンドソースのようなソースから信号を受信し、テレビ、及び/又は、モニタ、並びに/若しくは、その他のビデオ及び/又はオーディオ出力装置といったディスプレイ488に適した標準、及び/又は、高精細のオーディオ/ビデオ信号を出力する。信号処理及び/又は制御回路484、及び/又は、セットトップボックス480内のその他の回路(図示せず)は、データを処理し、符号化及び/又は暗号化を実行し、計算を実行し、データをフォーマット化し、及び/又は、その他のセットトップボックス機能を実行してもよい。 40

【0065】

[0087]セットトップボックス480は、不揮発性方式でデータを記憶する大容量データ記憶装置490と通信してもよい。大容量データ記憶装置490は、例えば、ハードディスクドライブHDD及び/又はDVDのような光及び/又は磁気ディスク記憶装置を含ん 50

でもよい。少なくとも1台のHDDは図12Aに示された構造を有し、及び/又は、少なくとも1台のDVDは図12Bに示された構造を有していてもよい。HDDは、約1.8インチより小さい直径を有する1枚以上のプラッタを含むミニHDDであってもよい。セットトップボックス480は、例えば、RAM、ROM、フラッシュメモリのような低遅延の不揮発性メモリ、及び/又は、その他の適当な電子データ記憶装置などのメモリ4124に接続されていてもよい。セットトップボックス480は、また、WLANネットワークインターフェイス4126を介してWLANとの接続をサポートしてもよい。

【0066】

[0088]次に、図12Gを参照する。本発明を、メディアプレーヤー500の増幅器、ADC、DAC、フィルタ、及びその他の回路において実装することが可能である。幾つかの実装形態では、メディアプレーヤー500は、ディスプレイ507、及び/又は、キーパッド、タッチパッドなどのユーザ入力508を含む。幾つかの実装形態では、メディアプレーヤー500は、グラフィカルユーザインターフェイス(GUI)を採用してもよい。GUIは、通常、ディスプレイ507及び/又はユーザ入力508を介するメニュー、ドロップダウンメニュー、アイコン、及び/又は、ポイントアンドクリックインターフェイスを採用する。メディアプレーヤー500は、スピーカー及び/又はオーディオ出力ジャックのようなオーディオ出力509を更に含む。信号処理及び/又は制御回路504、及び/又は、メディアプレーヤー500のその他の回路(図示せず)は、データを処理し、符号化及び/又は暗号化を実行し、計算を実行し、データをフォーマット化し、及び/又は、その他のメディアプレーヤー機能を実行してもよい。

【0067】

[0089]メディアプレーヤー500は、圧縮オーディオ及び/又はビデオコンテンツのようなデータを不揮発性方式で記憶する大容量データ記憶装置510と通信してもよい。幾つかの実装形態では、圧縮オーディオファイルは、MP3フォーマット、及び/又は、その他の適当な圧縮オーディオ及び/又はビデオフォーマットに準拠したファイルを含む。大容量データ記憶装置は、例えば、ハードディスクドライブHDD及び/又はDVDのような光及び/又は磁気ディスク記憶装置を含んでいてもよい。少なくとも1台のHDDは図12Aに示された構造を有し、及び/又は、少なくとも1台のDVDは図12Bに示された構造を有していてもよい。HDDは、約1.8インチより小さい直径を有する1枚以上のプラッタを含むミニHDDであってもよい。メディアプレーヤー500は、例えば、RAM、ROM、フラッシュメモリのような低遅延の不揮発性メモリ、及び/又は、その他の適当な電子データ記憶装置などのメモリ514に接続されていてもよい。メディアプレーヤー500は、また、WLANネットワークインターフェイス516を介してWLANとの接続をサポートしてもよい。上記の実装形態に加えて、更に他の実装形態も考えられる。

【0068】

[0090]当業者は、以上の説明から、本発明の広い教示を種々の態様で実施し得ることを認識できる。したがって、本発明を特定の実施例との関連において説明したが、図面、明細書、及び特許請求の範囲を詳しく検討することによって、その他の変更が当業者に明白になるので、本発明の真の範囲はそのように限定されるべきではない。

【図面の簡単な説明】

【0069】

【図1】従来技術によるミラー補償付き増幅器の電気回路図である。

【図2】図1の増幅器の利得及び帯域幅を説明するグラフである。

【図3A】本発明による例示的な補償付き増幅器の電気回路図である。

【図3B】本発明による例示的な補償付き増幅器の電気回路図である。

【図3C】本発明による例示的な補償付き増幅器の電気回路図である。

【図3D】本発明による例示的な補償付き増幅器の電気回路図である。

【図4A】増幅器の例示的な利得及び帯域幅を説明するグラフである。

【図4B】増幅器の例示的な利得及び帯域幅を説明するグラフである。

10

20

30

40

50

【図 4 C】増幅器の例示的な利得及び帯域幅を説明するグラフである。

【図 5】本発明による補償ステージ及び追加の利得ステージ付きの増幅器の電気回路図である。

【図 6】本発明による補償ステージ及び追加の利得ステージ付きの増幅器の電気回路図である。

【図 7 A】本発明による例示的な増幅器の電気回路図である。

【図 7 B】寄生容量付きの図 7 A の増幅器の電気回路図である。

【図 7 C】スイッチドキャパシタ回路付きの本発明による増幅器の電気回路図である。

【図 8】図 7 C のスイッチドキャパシタ回路及び増幅器を備える例示的なスイッチド入力を説明する機能ブロック図である。

10

【図 9】例示的なスイッチドキャパシタ回路を説明する機能ブロック図及び電気回路図である。

【図 10】追加の増幅器ステージをもつ図 7 C の増幅器の電気回路図である。

【図 11】差動モードで構成された図 7 C の増幅器の電気回路図である。

【図 12 A】ハードディスクドライブの機能ブロック図である。

【図 12 B】デジタル多用途ディスク (DVD) の機能ブロック図である。

【図 12 C】高精細テレビの機能ブロック図である。

【図 12 D】車両制御システムの機能ブロック図である。

【図 12 E】携帯電話機の機能ブロック図である。

【図 12 F】セットトップボックスの機能ブロック図である。

20

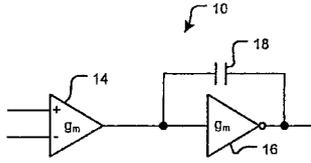
【図 12 G】メディアプレーヤーの機能ブロック図である。

【符号の説明】

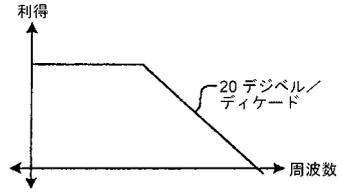
【0070】

100 ... 増幅器回路、53、62、66、101、101-M ... 増幅器、52、55 ... 増幅器モジュール、70 ... フィードバック抵抗、80 ... DC 利得パス、84 ... 高周波利得パス。

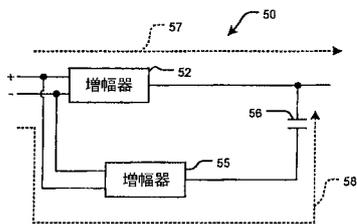
【 図 1 】



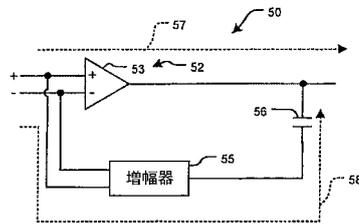
【 図 2 】



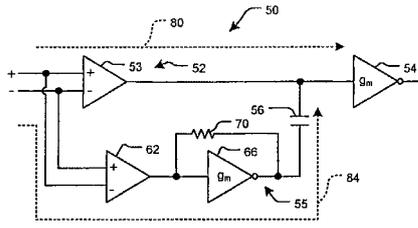
【 図 3 A 】



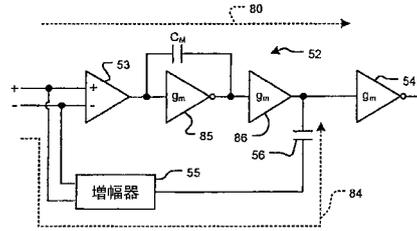
【 図 3 B 】



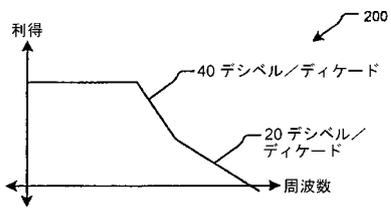
【図 3 C】



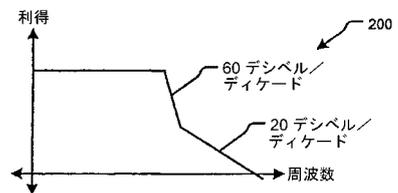
【図 3 D】



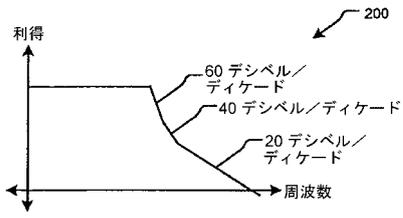
【図 4 A】



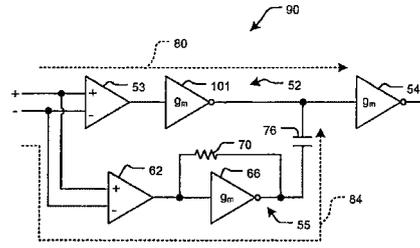
【図 4 B】



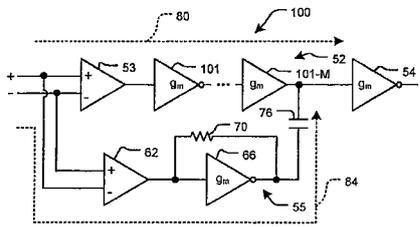
【 図 4 C 】



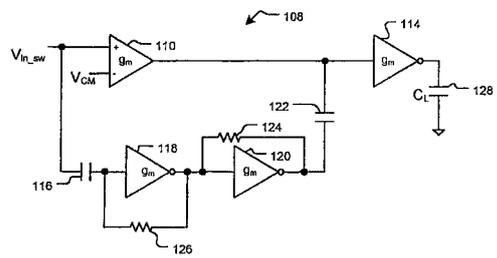
【 図 5 】



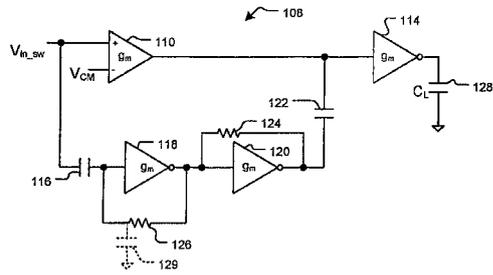
【 図 6 】



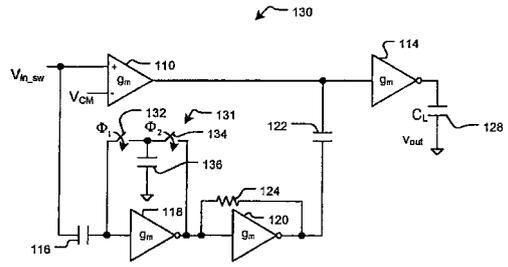
【 図 7 A 】



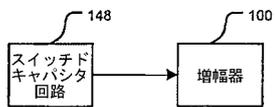
【図 7 B】



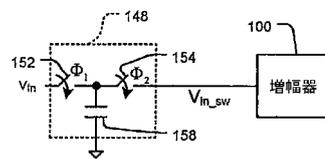
【図 7 C】



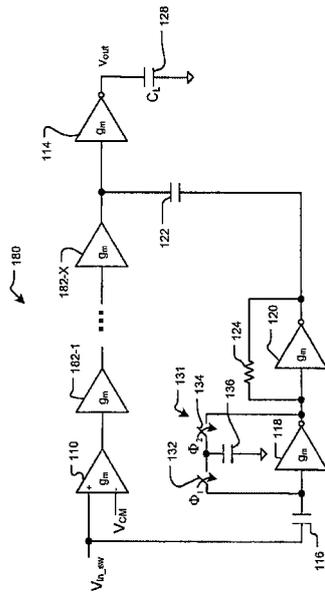
【図 8】



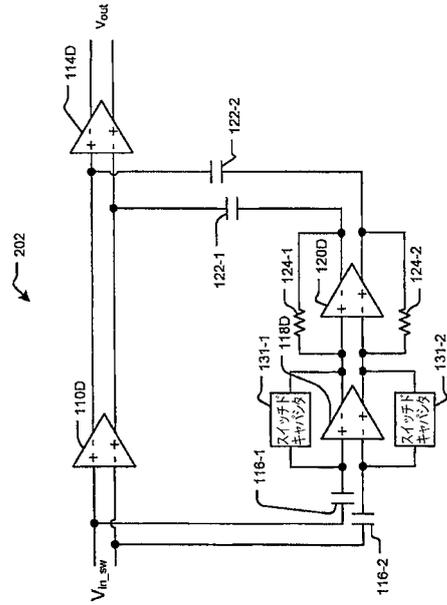
【図 9】



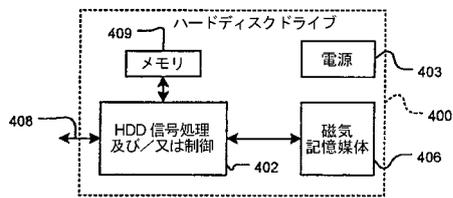
【図 10】



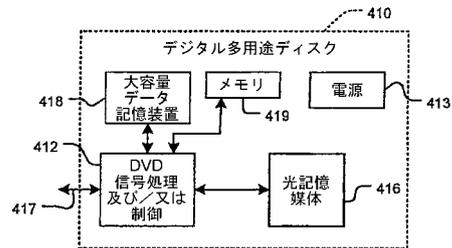
【図 11】



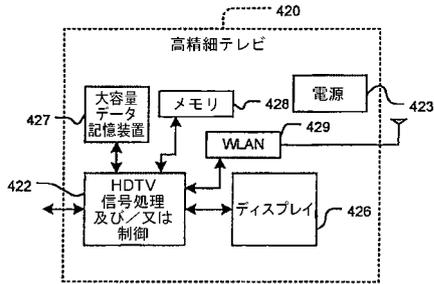
【図 12 A】



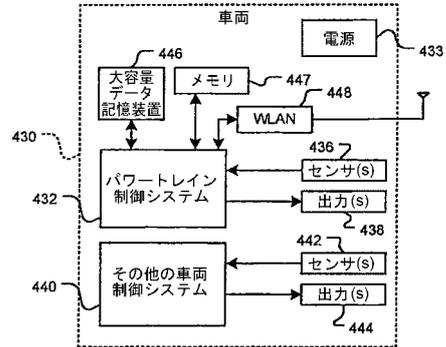
【図 12 B】



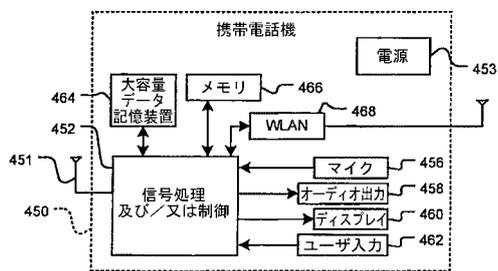
【図12C】



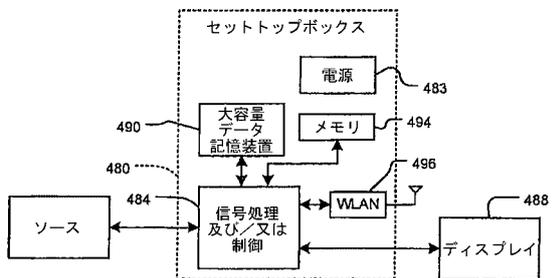
【図12D】



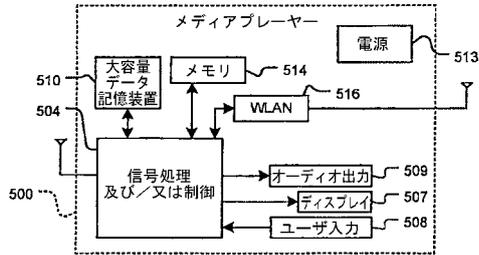
【図12E】



【図12F】



【図 1 2 G】



フロントページの続き

(72)発明者 ファーボッド アラム

アメリカ合衆国, カリフォルニア州, ロス アルトス ヒルズ, シャーロック ロード 2776

0

Fターム(参考) 5J500 AA01 AA47 AC19 AC62 AF11 AH25 AH29 AH38 AK01 AK27

AT03

【外国語明細書】

2007129719000001.pdf