



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I542020 B

(45) 公告日：中華民國 105 (2016) 年 07 月 11 日

(21) 申請案號：102107823

(22) 申請日：中華民國 95 (2006) 年 06 月 09 日

(51) Int. Cl. : H01L29/94 (2006.01)

H01L21/8238(2006.01)

H01L29/66 (2006.01)

(30) 優先權：2005/06/10 美國

60/689,229

(71) 申請人：快捷半導體公司 (美國) FAIRCHILD SEMICONDUCTOR CORPORATION (US)
美國(72) 發明人：耶馬茲 漢薩 YILMAZ, HAMZA (US)；卡拉福特 丹尼爾 CALAFUT, DANIEL
(US)；塞帕 史蒂芬 P SAPP, STEVEN P. (US)；克拉特 納森 KRAFT, NATHAN
(US)；查拉 亞索克 CHALLA, ASHOK (IN)

(74) 代理人：憚軼群；陳文郎

(56) 參考文獻：

JP 2004-363498A

US 6566708B1

US 2003/0068864A1

US 2004/0063269A1

審查人員：吳爾軒

申請專利範圍項數：48 項 圖式數：10 共 51 頁

(54) 名稱

電荷平衡場效電晶體

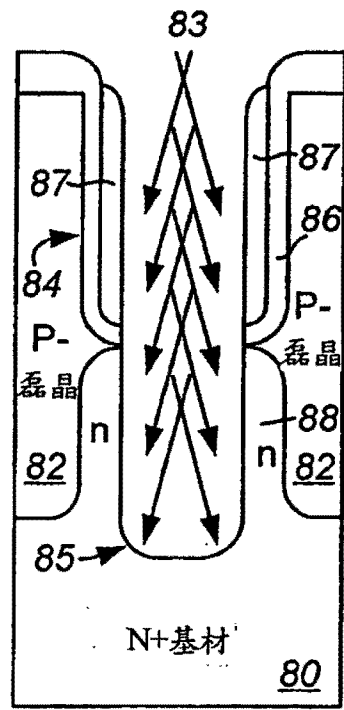
CHARGE BALANCE FIELD EFFECT TRANSISTOR

(57) 摘要

形成一電場場效電晶體之方法如下：提供一第一傳導類型之一半導體區，該半導體區具有在其上延伸之一第二傳導類型之一磊晶層。形成延伸穿過該磊晶層並終止於該半導體區內之一溝槽。以雙程斜角植入方式執行該第一傳導類型之摻質步驟，藉此沿該溝槽側壁形成該第一傳導類型之一區。以臨界電壓調整植入方式執行該第二傳導類型之摻質步驟，藉此將沿該溝槽上側壁延伸之該第一傳導類型區之一部分之一導體類型轉換成該第二傳導類型。形成側接該溝槽各側壁之該第一傳導類型之源極區。

A filed effect transistor is formed as follows. A semiconductor region of a first conductivity type with an epitaxial layer of a second conductivity extending over the semiconductor region is provided. A trench extending through the epitaxial layer and terminating in the semiconductor region is formed. A two-pass angled implant of dopants of the first conductivity type is carried out to thereby form a region of first conductivity type along the trench sidewalls. A threshold voltage adjust implant of dopants of the second conductivity type is carried out to thereby convert a conductivity type of a portion of the region of first conductivity type extending along upper sidewalls of the trench to the second conductivity type. Source region of the first conductivity type flanking each side of the trench are formed.

指定代表圖：



第 2D 圖

符號簡單說明：

80 . . . 高度摻雜 n 型基體

82 . . . p 型磊晶層

83 . . . 雙程斜角植入

84,85 . . . 溝槽

86 . . . 第一介電層

87 . . . 介電隔層

88 . . . n 型矽區

發明摘要

※ 申請案號：102107823 (由 95120583 分案(1))

※ 申請日：95.6.9

※ IPC 分類：H01L 29/94 (2006.01)

H01L 21/8238 (2006.01)

H01L 29/66 (2006.01)

【發明名稱】(中文/英文)

電荷平衡場效電晶體

Charge Balance Field Effect Transistor

【中文】

形成一電場場效電晶體之方法如下：提供一第一傳導類型之一半導體區，該半導體區具有在其上延伸之一第二傳導類型之一磊晶層。形成延伸穿過該磊晶層並終止於該半導體區內之一溝槽。以雙程斜角植入方式執行該第一傳導類型之摻質步驟，藉此沿該溝槽側壁形成該第一傳導類型之一區。以臨界電壓調整植入方式執行該第二傳導類型之摻質步驟，藉此將沿該溝槽上側壁延伸之該第一傳導類型區之一部分之一導體類型轉換成該第二傳導類型。形成側接該溝槽各側壁之該第一傳導類型之源極區。

【英文】

A field effect transistor is formed as follows. A semiconductor region of a first conductivity type with an epitaxial layer of a second conductivity extending over the semiconductor region is provided. A trench extending through the epitaxial layer and terminating in the semiconductor region is formed. A two-pass angled implant of dopants of the first conductivity type is carried out to thereby form a region of first conductivity type along the trench sidewalls. A threshold voltage adjust implant of dopants of the second conductivity type is carried out to thereby convert a conductivity type of a portion of the region of first conductivity type extending along upper sidewalls of the trench to the second conductivity type. Source region of the first conductivity type flanking each side of the trench are formed.

【代表圖】

【本案指定代表圖】：第（ 2D ）圖。

【本代表圖之符號簡單說明】：

- 80…高度摻雜n型基體
- 82…p型磊晶層
- 83…雙程斜角植入
- 84, 85…溝槽
- 86…第一介電層
- 87…介電隔層
- 88…n型矽區

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電荷平衡場效電晶體

Charge Balance Field Effect Transistor

【技術領域】

[0001]本申請案主張2005年6月10日提出申請之美國臨時專利申請案第60/689,229號之請求，其全部內容為所有目的已以參照方式併入本文。

[0002]本申請案關於2004年12月29日提出申請之美國專利申請案第11/026,276號，和2006年5月24日提出申請之美國專利申請案第11/441,386號，其等兩者之全部內容為所有目的已以參照方式併入本文。

【先前技術】

[0003]本發明關於半導體功率裝置技術，且更明確關於電荷平衡場效電晶體和製造電荷平衡場效電晶體之方法。

[0004]用於高電流開關裝置結構之發展已從平面閘極垂直DMOS進步到包括具有遮蔽電極的閘極結構之溝槽閘極結構。較早發展專案集中於減少具體導通電阻， R_{sp} 。後來，其他性能屬性，例如閘極電荷(打開或關閉裝置所需之電荷)也被加入到發展目的中。更近代，此等優點特徵發展成明確的唯一目的，視開關之具體應用而定。

[0005]因為其對MOSFET切換速度的影響，所以具體導通電阻和閘汲電荷之乘積， $R_{sp} \times Q_{GD}$ ，稱作許多電子系統

內普遍存在之同步電壓轉換器內的頂部開關之優值 (FOM)。以相似方式，其功率耗散依據傳導損失之低側 MOSFET，基於依據總閘極電荷， $R_{sp} \times Q_{GD}$ ，之 FOM 進行判斷。遮蔽閘極結構可顯著提高此等優值。另外，藉由增加遮蔽電極之深度，可改良電荷平衡，其對一既定漂移區濃度比平行面板崩潰容許地更高，因此減少 R_{sp} 。

[0006] 執行用於低電壓 MOSFET 之此類一電荷平衡裝置結構，證明較困難，原因為製程和材料變型導致載體類型內之不平衡，其接著順次造成減少的崩潰電壓。假定電荷平衡在漂移區內造成一平電場，則其可顯示，摻雜濃度 N 和漂移區柱寬度 W 之乘積，必須小於半導體允許度和臨界電場之乘積被電荷 q 所除值：

$$N \cdot W < \frac{\epsilon_s \cdot E_c}{q}$$

[0007] 因此，較低的 $BVDSS$ (汲源崩潰電壓) 目標要求更大的摻雜濃度，使得漂移區柱寬度必須降低以維持電荷平衡。舉例而言，為最佳化電荷平衡，具有大約 $2 \times 10^{16} \text{cm}^{-3}$ 漂移區濃度之 30V 裝置要求凸台寬度小於約 $1.4 \mu\text{m}$ 。但是，既然 $2 \times 10^{16} \text{cm}^{-3}$ 在缺乏電荷平衡情況下可支撐 30V，因此這個條件不會造成 R_{sp} 改良。如果濃度加倍以減少漂移區電阻，則所需凸台寬度減半到約 $0.7 \mu\text{m}$ 。考量到所有特徵必須被配合進晶胞結構內，例如為崩潰強度所要求之重體界面，這些精細尺寸是難於實現的。

[0008] 在大多數電荷平衡架構內，漂移區為位於深度摻

雜n型基體上之n型區。在一些變型中，溝槽側壁用硼植入以提供相對極性電荷。對低電壓裝置而言，此等方法之各者可受困于製程變型，其等造成電荷不平衡和在包括 R_{sp} 、QGD、和BVDSS之性能特徵內之相對寬分配。製程變型來自包括磊晶層濃度、閘極相對p井深度之深度、凸台寬度、及遮蔽電極厚度之若干來源。

[0009]因此存在改良電荷平衡MOSFET晶胞結構及製造方法之需要。

【發明內容】

[0010]依據本發明一實施例，一場效電晶體如下形成。提供一第一傳導類型之一半導體區，該半導體區具有在其上延伸之一第二傳導類型之一磊晶層。形成延伸穿過該磊晶層並終止於該半導體區內之一溝槽。以雙程斜角植入方式執行該第一傳導類型之摻質步驟，藉此沿該溝槽側壁形成該第一傳導類型之一區。以臨界電壓調整植入方式執行該第二傳導類型之摻質步驟，藉此將沿該溝槽上側壁延伸之該第一傳導類型區之一部分之一導體類型轉換成該第二傳導類型。形成側接該溝槽各側壁之該第一傳導類型之源極區。

[0011]依據本發明另一實施例，一MOSFET包括延伸進一半導體區內之一溝槽和位於該溝槽一下部內之一遮蔽電極。該遮蔽電極被一遮蔽介電質與該半導體區相絕緣。一閘極位於該溝槽一上部內但與其絕緣。該半導體區包括一第一傳導類型之一基體和位於該基體上之一第二傳導類型

之一第一矽區。該第一矽區具有延伸至該閘極之一頂面和一底面中間之一深度處之一第一部分。該第一矽區具有延伸至該閘極之一頂面和一底面中間之一深度處之一第二部分。該半導體區進一步包括位於該溝槽和該第一矽區第二部分之間之該第一傳導類型之一第二矽區。該第二矽區具有沿遠離該等溝槽側壁之一方向降低之一側向梯度化摻雜濃度。該半導體區也包括位於鄰近該溝槽的該第一矽區內之該第一傳導類型之一源極區。

[0012] 依據本發明另一實施例，一FET如下形成。提供一第一傳導類型之一半導體區，該半導體區具有在其上延伸之一第二傳導類型之一磊晶層。執行一第一矽蝕刻，以形成延伸進並終止於該磊晶層內之一上溝槽部分。以沿該上溝槽部分之側壁並在鄰近該上溝槽部分之凸台區上延伸，但不沿該上溝槽部分之一底面延伸之方式，形成保護材料層。執行一第二矽蝕刻，以形成自該上溝槽部分之該底面延伸穿過該磊晶層並終止於該半導體區內之一下溝槽部分。該下溝槽部分比該上溝槽部分窄。以雙程斜角植入方式執行該第一傳導類型之摻質步驟，藉此沿該下溝槽部分之側壁形成一第一傳導類型之矽區。該保護材料阻斷該等植入摻質進入該上溝槽部分之該等側壁和鄰近該上溝槽部分之該凸台區。

[0013] 依據本發明再一實施例，一MOSFET包括延伸進一半導體區之一溝槽。該溝槽具有一下部和一上部，該下部比該上部窄。該MOSFET進一步包括位於該溝槽一下部

內之一遮蔽電極，該遮蔽電極被一遮蔽介電質與該半導體區絕緣。一閘極位於該溝槽一上部內，該閘極位於該遮蔽電極上但與其絕緣。該半導體區包含一第一傳導類型之一基體和位於該基體上之一第二傳導類型之一第一矽區。該第一矽區具有延伸至該閘極之一頂面和一底面中間之一深度處之一第一部分。該第一矽區具有延伸至該遮蔽電極之一頂面和一底面中間之一深度處之一第二部分。該半導體區進一步包括位於該下溝槽部分和該第一矽區之該第二部分之間之該第一傳導類型之一第二矽區。該第二矽區具有沿遠離該下溝槽部分之該等側壁之一方向降低之一側向梯度化摻雜濃度。該第一傳導類型之一源極區位於該第一矽區內，該源極區鄰近該上溝槽部分。

[0014] 依據本發明另一實施例，一MOSFET如下形成。提供一第一傳導類型之一基體，該基體具有在其上延伸之一第一傳導類型之一磊晶層。執行一第一矽蝕刻，以形成延伸進並終止於該磊晶層內之一上溝槽部分。以沿該上溝槽部分之側壁並在鄰近該上溝槽部分之凸台區上延伸，但不沿該上溝槽部分之一底面延伸之方式，形成保護材料層。執行一第二矽蝕刻，以形成自該上溝槽部分之該底面延伸穿過該磊晶層並終止於該基體內之一下溝槽部分，該下溝槽部分比該上溝槽部分窄。以雙程斜角植入方式執行該第一傳導類型之摻質步驟，藉此沿該下溝槽部分之側壁形成一第一傳導類型之矽區，該保護材料阻斷該等植入摻質進入該上溝槽部分之該等側壁和鄰近該上溝槽部分之該

凸台區。形成內襯於該下溝槽部分之側壁和底面之一遮蔽介電質。在該下溝槽部分內形成一遮蔽電極。沿該上溝槽部分之側壁形成一閘極介電層。在位於該遮蔽電極上但與其絕緣之該上溝槽部分內形成一閘極。

[0015] 依據本發明另一實施例，一MOSFET包括延伸進一半導體區內之一溝槽。該溝槽具有一下部和一上部，該下部比該上部窄。該MOSFET進一步包括位於該溝槽一下部內之一遮蔽電極，該遮蔽電極被一遮蔽介電質與該半導體區絕緣。一閘極位於該溝槽一上部內，該閘極位於該遮蔽電極上但與其絕緣。該半導體區包括一第一傳導類型之一基體，位於該基體上之一第一傳導類型之一磊晶層，及位於該磊晶層內之一第二傳導類型之一主體區。該第一傳導類型之一源極區位於該主體區內，該源極區和該主體區與該基體之間之一介面界定一通道區。該第一傳導類型之一矽區沿該溝槽之該下部側壁延伸並進入該通道區之一下部內。該矽區具有沿遠離該溝槽之側壁之一方向降低之一側向梯度化摻雜濃度。

[0016] 依據本發明另一實施例，一MOSFET如下形成。提供一第一傳導類型之一基體，該基體具有在其上延伸之一第一傳導類型之一磊晶層。形成延伸穿過該磊晶層並終止於該基體內之一閘極溝槽。形成內襯於該閘極溝槽之側壁和底面之一遮蔽介電質。在該閘極溝槽內形成一遮蔽電極。沿該閘極溝槽之上側壁形成一閘極介電層。在該閘極溝槽內形成一閘極，該閘極位於該遮蔽電極上但與其絕

緣。形成，延伸穿過該磊晶層並終止於該基體內之一深凹坑，該深凹坑與該閘極溝槽側向間隔。用該第二傳導類型之矽材料填充該深凹坑。

[0017] 依據本發明另一實施例，一MOSFET包括一第一傳導類型之一基體和位於該基體上之該第一傳導類型之一磊晶層。一閘極溝槽延伸穿過該磊晶層並終止於該基體內。一遮蔽介電質內襯於該閘極溝槽之側壁和底面上。一閘極位於該閘極溝槽之一下部內。一閘極介電層沿該閘極溝槽之上側壁延伸。一閘極位於該閘極溝槽內，該閘極位於該遮蔽電極上但與其絕緣。一深凹坑延伸穿過該磊晶層並終止於該基底內，該深凹坑與該閘極溝槽側向間隔。該深凹坑用該第二傳導類型之矽材料填充。

[0018] 依據本發明另一實施例，一MOSFET如下形成。提供一第一傳導類型之一基體。在該基體上形成該第一傳導類型之一磊晶層。形成延伸穿過該磊晶層並終止於該基體內之多個閘極溝槽。形成內襯於各閘極溝槽之側壁和底面之一遮蔽介電質。在各閘極溝槽內形成一遮蔽電極。沿各閘極溝槽之上側壁形成一閘極介電層。在各閘極溝槽內形成一閘極，該閘極位於該遮蔽電極上但與其絕緣。實施將該第二傳導類型之摻質之多個離子植體植入鄰近閘極溝槽之間之凸台區內，因此形成延伸穿過該磊晶層並終止於該基體內之多個第二傳導類型柱，各個第二傳導類型柱均被定位於每兩個閘極溝槽之間。

[0019] 依據本發明另一實施例，一FET如下形成。在一

第一傳導類型之一半導體區內形成多個溝槽，該等多個溝槽包含多個閘極溝槽和多個非閘極溝槽。在鄰近溝槽之間之該半導體區內形成一第二傳導類型之一主體區。用介電材料填充該等閘極和非閘極溝槽之各者之一底部。在該介電材料上之各閘極溝槽內形成一閘極。在該介電材料上的各個非閘極溝槽內形成該第二傳導類型之一導體材料，使得該導體材料接觸沿各非閘極溝槽之側壁之該主體區。

[0020] 依據本發明另一實施例，一FET如下形成。在第一傳導類型之一半導體區內形成多個溝槽，該等多個溝槽包含多個閘極溝槽和多個非閘極溝槽。在各個閘極和非閘極溝槽之一底部內形成一遮蔽電極。在鄰近溝槽之間之該半導體區內形成一第二傳導類型之一主體區。在各個非閘極溝槽內之該遮蔽電極上形成一介電層。在該介電層上的各個非閘極溝槽內形成該第二傳導類型之一導體材料，使得該導體材料接觸沿該非閘極溝槽之側壁之主體區。

[0021] 依據本發明另一實施例，一FET如下形成。在第一傳導類型之一半導體區內形成多個溝槽，該等多個溝槽包含多個閘極溝槽和多個非閘極溝槽。在鄰近溝槽之間之該半導體區內形成一第二傳導性之一主體區。在各閘極溝槽之一底部內形成一遮蔽電極。在各個非閘極溝槽內形成一遮蔽電極，位於各個非閘極溝槽內之該遮蔽電極具有位於該主體區之一底面上之一頂面。在各個非閘極溝槽內形成該第二傳導類型之一導體材料，使得該導體材料接觸沿該非閘極溝槽側壁之主體區，該導體材料也接觸位於各

個非閘極溝槽內之該遮蔽電極。

[0022] 依據本發明另一實施例，一FET如下形成。在第一傳導類型之一半導體區內形成多個溝槽，該等多個溝槽包含多個閘極溝槽和多個非閘極溝槽。在各閘極和非閘極溝槽之一底部內形成一遮蔽電極。在鄰近溝槽之間之該半導體區內形成一第二傳導類型之一主體區。在各個非閘極溝槽內之該遮蔽電極上形成一介電層。以一雙程斜角植入方式執行該第二傳導類型之摻質步驟，使其等進入各個非閘極溝槽之暴露上側壁內，因此在各主體區內形成一重體區。

[0023] 依據本發明另一實施例，一FET如下形成。在第一傳導類型之一半導體區內形成多個溝槽，該等多個溝槽包含多個閘極溝槽和多個非閘極溝槽。在鄰近溝槽之間之該半導體區內形成一第二傳導類型之一主體區。用介電材料填充各個該等閘極和非閘極溝槽之一底部。在各個閘極溝槽內之該介電材料上形成一閘極。以一雙程斜角植入方式執行該第二傳導類型之摻質步驟，使其等進入各個非閘極溝槽之暴露上側壁內，因此在各主體區內形成一重體區。

[0024] 隨後之詳述和所呈附圖提供對本發明的本質和優點一更好的理解。

【圖式簡單說明】

[0025] 第1A-1D圖之簡化剖面圖揭示依據本發明一實施例，利用一p型磊晶層形成一n通道電荷平衡MOSFET之

一示例性製程流程；

[0026]第2A－2E圖之簡化剖面圖揭示依據本發明另一實施例，利用一p型磊晶層形成一n通道電荷平衡MOSFET之一示例性製程流程；

[0027]第3A－3E圖之簡化剖面圖揭示依據本發明另一實施例，利用一n型磊晶層形成一n通道電荷平衡MOSFET之一示例性製程流程；

[0028]第4圖之簡化示例性剖面圖顯示，依據本發明一實施例之具有一填充矽溝槽之一電荷平衡遮蔽閘極MOSFET；

[0029]第5A－5B圖之簡化剖面圖揭示依據本發明一實施例，利用多重離子植入步驟形成一電荷平衡MOSFET之一示例性製程流程；

[0030]第6A－6G圖之簡化剖面圖揭示依據本發明一實施例，用於形成具有結合於閘極溝槽之間之自對準非閘極溝槽之一溝槽閘極FET，之一示例性製程流程；

[0031]第7A－7H圖之簡化剖面圖揭示依據本發明一實施例，用於形成具有結合於閘極溝槽之間之自對準非閘極溝槽之一遮蔽閘極FET，之另一示例性製程流程；

[0032]第8A－8H圖之簡化剖面圖揭示依據本發明另一實施例，用於形成具有結合於閘極溝槽之間之自對準非閘極溝槽之一遮蔽閘極FET，之另一示例性製程流程；

[0033]第9圖是具有一非閘極溝槽之一遮蔽閘極FET之簡化剖面圖，其中該重主體區域形成於該主體區域內而不

是非閘極溝槽內部；以及

[0034]第10圖是具有一非閘極溝槽之一溝槽蔽閘極FET之簡化剖面圖，其中該重主體區域形成於該主體區域內而不是非閘極溝槽內部。

【實施方式】

[0035]依據本發明一實施例，特別適用於低電壓應用但不局限於此之一n通道遮蔽閘極MOSFET，形成於p型磊晶層內而不是傳統n型磊晶層內。這就提供了簡化製程的機會，例如刪減與形成p型主體區域相關之製程步驟。

[0036]第1A-1D圖之簡化剖面圖揭示依據本發明一實施例，形成一電荷平衡MOSFET之一例示性製程順序。在第1A圖中，一p型磊晶層44形成(例如，藉由矽的選擇性磊晶生長)於一矽基體42上。在一實施例中，初始晶圓材料包括基體42及其上的p型磊晶層44。實施傳統溝槽蝕刻以形成延伸穿過p型磊晶層44並終止於基體42之溝槽46。然後可執行一光學退火步驟，以修復損壞的矽並使溝槽的角緣圓化。

[0037]在第1B圖中，實施一雙程斜角植入50，以利用習知技術沿溝槽側壁和底部形成一n型區48。儘管沒有顯示，但是凸台區被阻擋接納植入摻質。可利用光學擴散和驅動步驟以驅動植入離子進一步深入矽體內。在第1C圖中，利用傳統技術將一遮蔽介電質53和遮蔽電極54形成於溝槽46下部。然後將一內多晶介電(IPD)層56形成於遮蔽電極54上。利用習知方法，在將內襯於上部溝槽側壁之一閘極介電質53形成之後，緊接著將一凹型閘極58形成於IPD層

56上。

[0038]在第1D圖中，利用習知技術實施一p型摻質的臨界電壓(V_t)調整植入，以形成p型區62。選擇 V_t 植體之摻雜濃度，以使該植體反摻雜n型區48沿溝槽區延伸之部分，且電晶體通道區內獲得所需摻雜濃度。然後執行一傳統源極植入以形成n+源極區64。用於源極擴散之熱預算在 V_t 調整植入時也用於啓動。然後重體區66利用傳統技術形成。可從第1D圖看出，p型磊晶層44之大部分仍舊保持為p摻雜態。為完成該裝置，如硼磷矽玻璃(BPSG)之一介電層68被沉積和圖案化以覆蓋溝槽46和源極區64的一部分。然後在該結構上形成一源極互連層70(例如，包含金屬)，以電氣接觸源極區64和重體區66。

[0039]在和上述步驟相關之熱迴圈過程中，位於n型區48和基體42兩者內之n型摻質擴散開。結果，位於擴散的n型區48之摻雜濃度在溝槽附近最大，沿遠離溝槽壁方向逐漸降低。相似地，自基體42擴散進入磊晶層44之摻質導致，具有沿自基體42和磊晶層44之間之原始介面(如第1C圖和第1D圖內虛線所示)至頂面之方向，逐漸降低的摻雜濃度之一分級n型區，形成。這使得基體42和磊晶層44之間之邊界向上有效移動。

[0040]在第1D圖中，n型區48下延於電晶體通道區之部分和p型磊晶層44直接鄰近n型區48該等部分之部分一起，形成電荷平衡結構柱。可從第1A-1D圖所示之製程中看出，此等電荷平衡結構之p型和n型柱以一自對準方式有利

形成。電荷平衡結構和遮蔽閘極結構一起減少閘汲電荷 Q_{gd} 和導通電阻，並增加崩潰電壓。這些改良可利用一簡單製程完成，其中用於形成井區(也稱作主體區)之製程步驟被刪減。在一實施例中，反轉各區的導體類型，從而獲得p型MOSFET。在另一實施例中，基體42包含多層具有不同摻雜濃度之同一傳導類型的矽。

[0041]在第1A-1D圖實施例之一變型中，一很少摻雜的p型磊晶層得以利用，隨後，實施一p型摻質的雙程斜角植入，以形成沿溝槽壁之p型區。接著，實施一n型摻質的雙程斜角植入，以形成沿溝槽壁之n型區。可合適擇定摻雜濃度、植入能量及其他植入參數，以確保p型區比n型區側向延伸更遠，使得p型和n型區形成該電荷平衡結構之兩個柱。因此，既然電荷平衡結構內之n型和p型柱是利用植入步驟摻雜的，因此起源於磊晶層內的摻雜變化之任何電荷不平衡可獲避免。

[0042]因此，藉認真最佳化p型主體和n型側壁植入和驅入條件，p主體之電荷平衡和閘極交疊與傳統技術相比得到很大增強。因此，較低導通態比電阻和低很多的閘汲電荷可獲實現。與傳統遮蔽閘極結構相比，例示性結構之模擬，顯示至少低了10-20%的RSP和一半的閘汲電荷。

[0043]在一選擇性方法中，蝕刻一淺溝槽，且氧化層然後氮化層形成以保護凸台和溝槽側壁不受隨後的深度溝槽蝕刻。因餘留於淺溝槽側壁上之氮化物，更深的溝槽側壁暴露以供斜角植入。這就將植入限制於磊晶區較低部分和

通道區外部，容許p型磊晶層為電荷平衡目的而作用為通道和深度接面。用於獲得此類一結構之一例示性製程流程揭示於第2A-2D圖中。

[0044]在第2A圖中，一p型磊晶層82形成於(例如，藉矽的選擇性磊晶生長)高度摻雜n型基體80上。然後一溝槽84在磊晶層82內被蝕刻至一中間深度。然後一第一介電層86(例如，包含氧化物)形成，內襯於溝槽84側壁和底部並延伸於鄰近溝槽84之矽凸台頂部上。如將會看到之，希望形成第一介電層86，使得第一介電層86延伸於矽凸臺上之部分比第一介電層86位於溝槽84內之部分厚。在凸台區上獲得較厚介電質之一途徑為，以於2006年5月24日提出申請之共同受讓的美國專利申請案第11/441,386號之第13A-13L圖所示之方式相似之一方式，形成如ONO之一複合層，該申請案全部內容已以參照方式併入本文。利用習知技術，然後一第二介電層(例如，包含氧化物)形成於第一介電層86上，然後被蝕刻以形成介電(例如，氮化物)隔層87。

[0045]在第2B圖中，以隔層87作為保護隔層，第一介電層86之暴露部分被蝕刻，直到磊晶層82沿溝槽底部暴露為止。倘若所形成之第一介電層86在凸臺上比沿溝槽底部具有更大厚度，則凸臺面在蝕刻之後仍保持被第一介電層(雖然較薄)所覆蓋。

[0046]在第2C圖中，實施另一種矽蝕刻，藉此使溝槽84的被暴露底面一直延伸穿過磊晶層82並進入基體80，以形成一更深溝槽85。因此，溝槽85具有比其上部較窄之一

下部。在第一介電層86和介電隔層87用於保護凸臺面和上部溝槽壁之情況下，實施一n型摻質的雙程斜角植入83，以沿溝槽85的暴露較下側壁形成n型矽區88。如圖示，n型層88和基體80融合。介電隔層87阻止植體進入通道區。

[0047]在第2E圖中，介電隔層87和第一介電層86可利用傳統技術加以移除。然後，利用傳統技術將一遮蔽介電質89和遮蔽電極90形成於溝槽85下部。利用習知方法將一內多晶介電(IPD)層92形成於遮蔽電極90上。然後利用傳統技術，將閘極介電質96和閘極94形成於IPD層92上。利用習知技術形成源極區93和重體區95。然後將如BPSG之一介電層97沉積於該結構頂部和並被圖案化以覆蓋閘極94和源極區93的一部分，然後形成一源極互連層70(未示)，以電氣接觸源極區93和重體區95。

[0048]可實施相似於第2A-2E圖所示之一製程，以在一n型磊晶層而不是p型磊晶層內形成一遮蔽閘極結構。雙程斜角植入n型摻質抑制本體擴散進入通道區底部，其有利減少通道電阻。該植體也有助於減緩在溝槽側壁所見之高電場。第3A-3E圖揭示用於形成此類一結構之一例示性製程流程。在第3A圖中，利用例如選擇性磊晶生長，在n型基體400上形成n型磊晶層402。導致形成第3E圖的遮蔽閘極結構之所有後續步驟相似於第2A-2E圖之對應步驟，除在第3E圖中，在形成源極區413和重體區415之前，實施一p型摻質主體植入以形成主體區418。如第3D和3E圖所示，由雙程斜角植入所形成之矽區408擴散進通道區內，因此減少通

道電阻。

[0049]依據本發明另一實施例，利用n型磊晶層和用磊晶式增長的p型矽填充之深凹坑，形成電荷平衡遮蔽閘極MOSFET。該實施例將利用第4圖所示之例示性剖面圖進行描述。在第4圖中，在每兩個鄰近閘極溝槽131之間，一深凹坑133延伸穿過主體區136和n型磊晶層132，並終止於高度摻雜n型基體130內。凹坑133用p型矽材料134填充。選擇n型磊晶層132之摻雜濃度和凹坑133內之矽材料134，以使此等兩個區之間達到電荷平衡。另外閘極溝槽結構也與前述實施例中所述之相似，因此在此不再贅述。

[0050]用於形成第4圖所示結構之一例示性方法如下。n型磊晶層132形成(例如，藉由選擇性磊晶生長)於高度摻雜n型基體130上。p型導體之主體區136藉由將摻質植入磊晶層132內而形成。主體區136延伸一足夠深度以能夠使通道區形成。實施一隨後的矽蝕刻，以形成延伸穿過主體區136並終止於基體130內之深凹坑133。然後執行一選擇性磊晶生長，以用p型矽材料134填充深凹坑133。閘極溝槽131及其內之各種材料、以及源極區140、重體區138及其他結構特徵，均依據習知技術形成。在一實施例中，閘極溝槽和閘極及遮蔽電極均在形成深凹坑之前而形成。藉由將凹坑133延至基體－磊晶層介面之下，該等柱底部之高電場被有利減輕。這就容許一較薄的n型磊晶層，進一步減少導通態電阻。

[0051]第5A－5B圖顯示形成第4圖深p型區134之一選

擇性方法。如第5A和5B圖所示之，藉由將多重p型摻質之高能植體172植透淺凹坑168進入n型磊晶層162，形成p型柱164。如圖示，該凹坑深度比源極區166的略深。既然植體172進入凹坑168底面內，因此該凹坑深度設置為p型柱164深度的參照點。植體172之劑量和能量可被改變以獲得p型柱164內之所需摻雜輪廓。既然在該製程結束時存在很少擴散，因此所生成之p型柱164和n型磊晶層162之摻雜輪廓相對較平坦。這就造成改良的製程敏感性。

[0052] 依據本發明其他實施例，用於電荷平衡MOSFET(特別用於低電壓應用，不過並不局限於此)之額外方法和結構利用閘極溝槽之間之非閘極遮蔽溝槽。接下來對此等實施例進行敘述。

[0053] 電荷平衡溝槽閘極FET依據漂移區(典型為磊晶層)之凸台寬度和摻雜濃度，以在高反轉汲源偏壓下控制空乏，以獲得比傳統溝槽閘極FET更高之崩潰。凸台寬度受到光學微影技術之能力限制，以在鄰近閘極溝槽之間之凸台中心內界定一連續重體接觸區。但是，依據本發明一實施例，利用散置於閘極溝槽之間之額外非閘極遮蔽溝槽，能夠使同一崩潰電壓之漂移區電阻降低，有效減少裝置的導通狀態，並容許提高電荷平衡性能。

[0054] 第6A-6G圖之簡化剖面圖揭示依據本發明一實施例，用於形成具有結合於閘極溝槽之間之自對準非閘極溝槽之一溝槽閘極FET，之一例示性製程流程。在第6A圖中，利用傳統技術，溝槽202和204被蝕刻進矽區200。在一

實施例中，矽區200包含一高度摻雜n型基體和位於該基體上之一n型磊晶層。

[0055]溝槽202將被稱作非閘極溝槽，而溝槽204將被稱作閘極溝槽。利用習知技術，形成延伸於凸臺面208上並內襯於溝槽202和204側壁和底面之一介電層206(例如，長成的氧化層)。在第6B圖中，利用傳統方法，沉積一填充溝槽並延伸於凸台區上之介電材料210(例如，沉積譬如SACVD之薄膜)。在第6C圖中，利用習知技術，實施一平坦化製程，以使餘留於溝槽內的介電材料210之頂面與凸台區208實質共平面。

[0056]在第6D圖中，利用傳統方法，一遮罩層(例如，光阻)被沉積和圖案化以形成覆蓋非閘極溝槽202之遮罩區214，然後閘極溝槽204內之介電層206和介電材料210被凹型化，因此形成沿閘極溝槽204底部之厚底介電質(TBD)212。在第6E圖中，利用傳統技術，移除遮罩區214，及形成內襯於閘極溝槽204側壁並延伸於凸臺面和非閘極溝槽202上之一閘極介電層220(例如，包含氧化物)。然後，一多晶矽層被沉積和凹型化至閘極溝槽204內，以在閘極溝槽204形成凹型閘極222。在該裝置主動區內實施傳統毯覆體和源極區植入，以順次在矽區200內形成p型主體區226，然後在主體區226內形成高度摻雜n型源極區224。

[0057]在第6F圖中，利用習知技術，一介電層(例如，包含BPSG)形成於該結構上，然後被圖案化和蝕刻，以形成僅延伸於閘極溝槽204上之介電蓋230。可利用該相同介

電質蝕刻，以在非閘極溝槽202內充分凹型化介電材料206和210，以部分暴露主體區226之側壁。因此，介電質252沿非閘極溝槽202底部保留。

[0058]在第6G圖中，非閘極溝槽202用導體材料(例如，高度摻雜p型多晶矽)填充，以形成重體區234。然後，一源極互連層236(例如，包含材料)形成於該結構上，以接觸源極區224和重體區234。在一實施例中，在形成重體區234時，該沉積的導體材料被凹型化至非閘極溝槽202內，以部分暴露源極區224之側壁。這就能夠使源極互連層236直接接觸源極區224側壁，因此減少源極區接觸電阻。

[0059]可從圖中看出，源極區224被自對準溝槽。在利用帶形晶胞組態之一實施例中，第6A—6G圖所示之製程順序導致也為自對準之連續重體區234之成型。所生成結構之這些和其他自對準特徵容許一非常緊密的晶胞節距。在形成各源極區和重體區時，典型所需之遮罩步驟也被消除，因此減少成本並最小化製程複雜性。

[0060]在一實施例中，一非閘極溝槽形成於每兩個閘極溝槽之間。在另一實施例中，利用非閘極溝槽比閘極溝槽之一較大比率(例如，兩個或更多個非閘極溝槽形成於每兩個閘極溝槽之間)，以減少閘汲電容。在又一實施例中，代替同時形成非閘極和閘極溝槽，非閘極溝槽與閘極溝槽在製程的不同階段形成。儘管這導致額外加工步驟，但是該實施例在最佳化製程和結構的各特徵時，提供更多的靈活性。

[0061]第7A－7H圖之簡化剖面圖揭示依據本發明一實施例，用於形成具有結合於閘極溝槽之間之自對準非閘極溝槽之一遮蔽閘極FET，之另一例示性製程流程。在第7A圖中，閘極溝槽304和非閘極溝槽302被蝕刻進n型矽區300內。在一實施例中，矽區300包含一高度摻雜n型基體及該基體上之一n型磊晶層。在該實施例之一變型中，溝槽302和304終止於磊晶層內，而在另一變型中，溝槽302和304延伸穿過磊晶層並終止於基體內。

[0062]在第7A圖中，利用習知技術形成延伸於凸臺面308上並內襯於溝槽302和304的側壁和底面之一遮蔽介電層306(例如，包含氧化物)。利用傳統技術，將一多晶矽層沉積且然後深度凹型化至溝槽302和304，因此在溝槽302和304內形成遮蔽電極310。在第7B圖中，利用傳統方法，沉積填充溝槽並延伸於凸台區上之一介電材料312(例如，利用SACVD沉積薄膜)。在第7C圖中，利用習知技術，實施一平坦化製程，使得餘留於溝槽內的介電材料312之頂面與凸臺面308實質共平面。

[0063]在第7D圖中，利用傳統方法，將一遮罩層(例如，光阻)沉積和圖案化以形成覆蓋非閘極溝槽302之遮罩區314，然後將溝槽304內之介電層306和介電材料312凹型化至一預定深度，因此在遮蔽電極310上形成電極間介電質316(IED)。在第7E圖中，利用傳統技術，移除遮罩區314，及形成內襯於閘極溝槽304側壁並延伸於凸臺面和非閘極溝槽302上之一閘極介電層322(例如，包含氧化物)。然後，

一多晶矽層被沉積和凹型化至閘極溝槽304內，以在閘極溝槽304形成凹型閘極324。在第7F圖中，在該裝置主動區內順次實施傳統毯覆體和源極區植入，以在矽區300內形成p型主體區328，然後在主體區328內形成高度摻雜n型源極區326。

[0064]在第7G圖中，利用習知技術，一介電層(例如，包含BPSG)形成於該結構上，然後被圖案化和蝕刻，以形成僅延伸於閘極溝槽304上之介電蓋330。可利用該相同介電質蝕刻，以在非閘極溝槽202內充分凹型化介電材料306和310，以部分暴露主體區328之側壁。因此，介電質352保留於非閘極溝槽302之遮蔽電極310上。非閘極溝槽302用導體材料(例如，高度摻雜p型多晶矽)填充，以形成重體區332。然後，一源極互連層334(例如，包含材料)形成於該結構上，以接觸源極區326和重體區332。在一實施例中，在形成重體區332時，該沉積的導體材料被凹型化至非閘極溝槽302內，以部分暴露源極區326之側壁。這就能夠使源極互連層334直接接觸源極區326側壁，因此減少源極區接觸電阻。

[0065]與前述實施例中一樣，源極區326被自對準溝槽，而在利用帶形晶胞組態之實施例中，第7A—7H圖所示之製程順序導致也為自對準之連續重體區332之成型。所生成結構之這些和其他自對準特徵容許一非常緊密的晶胞節距。對於同一崩潰電源，非閘極溝槽內之遮蔽電極容許漂移區電阻降低。另外，在形成各源極區和重體區時，典型

所需之遮罩步驟也被消除，因此減少成本並最小化製程複雜性。

[0066] 閘極和非閘極溝槽內之遮蔽電極可沿一第三維向被電氣連接至源極互連層，或可被容許浮動。在一實施例中，一非閘極溝槽形成於每兩個閘極溝槽之間。在另一實施例中，利用非閘極溝槽比閘極遮蔽溝槽之一較大比率(例如，兩個或更多個非閘極溝槽形成於每兩個閘極溝槽之間)，以減少閘汲電容。在又一實施例中，代替同時形成非閘極和閘極溝槽，非閘極溝槽與閘極溝槽在製程的不同階段形成。儘管這導致額外加工步驟，但是該實施例在最佳化製程和結構的各特徵時，提供更多的靈活性。

[0067] 第8A-8H圖之簡化剖面圖揭示依據本發明另一實施例，用於形成具有結合於閘極溝槽之間之自對準非閘極溝槽之一遮蔽閘極FET，之另一例示性製程流程。在第8A圖中，閘極溝槽404和非閘極溝槽402被蝕刻進n型矽區400內。在一實施例中，矽區400包含一高度摻雜n型基體及該基體上之一n型磊晶層。在該實施例之一變型中，溝槽402和404終止於磊晶層內，而在另一變型中，溝槽402和404延伸穿過磊晶層並終止於基體內。

[0068] 在第8A圖中，利用習知技術形成延伸於凸臺面414上並內襯於溝槽402和404的側壁和底面之一遮蔽介電層406(例如，包含氧化物)。一多晶矽層被沉積和回蝕至略微低於遮蔽介電層406頂面，如圖示。在第8B圖中，利用傳統方法，一遮罩層(例如，光阻)被沉積和圖案化以形成覆蓋

非閘極溝槽402之遮罩區412。在第8C圖中，閘極溝槽404內之多晶矽410然後被深度凹型化至溝槽內，因此在閘極溝槽404內形成遮蔽電極410。移除遮罩區412，然後如圖示回蝕遮蔽介電層406。

[0069]在第8D圖中，利用傳統方法，使內襯於閘極溝槽404上部側壁並延伸於遮蔽電極410上之一閘極介電層420(例如，包含氧化物)、凸臺面和非閘極溝槽402長成。然後將一多晶矽層沉積和凹型化至閘極溝槽404內，以在閘極溝槽404內形成凹型閘極418。在第8E圖中，在該裝置主動區內實施傳統毯覆體和源極區植入，以在矽區400內形成p型主體區424，然後在主體區424內形成高度摻雜n型源極區424。

[0070]在第8F圖中，利用習知技術，一介電層(例如，包含BPSG)形成於該結構上，然後被圖案化和蝕刻，以在閘極溝槽404上形成介電蓋426。可利用該相同介電質蝕刻，以在非閘極溝槽402內充分凹型化遮蔽介電層406，以部分暴露主體區424之側壁。在第8G圖中，沉積一導體材料(例如，高度摻雜p型多晶矽)以填充非閘極溝槽402，然後回蝕，因此在非閘極溝槽402內形成重體區430。在第8H圖中，一源極互連層432(例如，包含材料)形成於該結構上，以接觸源極區422和重體區430。

[0071]可從圖中看出，源極區422被自對準溝槽。在利用帶形晶胞組態之實施例中，第8A—8H圖所示之製程順序導致也為自對準之連續重體區430之成型。所生成結構之這

些和其他自對準特徵容許一非常緊密的晶胞節距。非閘極溝槽內之遮蔽電極也容許漂移區電阻在不降低崩潰電壓情況下被降低。另外，在形成各源極區和重體區時，典型所需之遮罩步驟也被消除，因此減少成本並最小化製程複雜性。

[0072]可從圖中看出，閘極溝槽402之遮罩電極408經重體區430電氣連接至源極互連層432。在一實施例中，一非閘極溝槽形成於每兩個閘極溝槽之間。在另一實施例中，利用非閘極溝槽比閘極溝槽之一較大比率(例如，兩個或更多個非閘極溝槽形成於每兩個閘極溝槽之間)，以減少閘汲電容。在又再一實施例中，代替同時形成非閘極和閘極溝槽，非閘極溝槽與閘極溝槽在製程的不同階段形成。儘管這導致額外加工步驟，但是該實施例在最佳化製程和結構的各特徵時，提供更多的靈活性。

[0073]第9圖是具有一非閘極溝槽之一遮蔽閘極FET之簡化剖面圖，其中該重主體區域形成於該主體區域內而不是非閘極溝槽內部。除重體區520形成於主體區516內，源極互連層518延伸進並填充非閘極溝槽502之上部，第9圖之遮蔽閘極FET相似於第7H圖的。源極互連層電氣接觸沿凸臺面和源極區側壁之源極區514，並接觸沿其等側壁之主體區520，如圖示。第9圖之其餘結構特徵與第7圖所示那些相似，因此不再贅述。

[0074]用於形成第9圖內之FET結構之製程流程與第7A—7H圖所示之相似，除了下列條件。在第7G圖中，在將介

電材料306和310凹型化至非閘極溝槽302內，藉此主體區328之側壁被部分暴露之後，實施p型摻質之一雙程斜角植入非閘極溝槽302暴露側壁內，以在主體區內形成重體區520(第9圖)。在一實施例中，在實施雙程斜角植入時不利用遮罩，且擇定重體植入劑量低於源極區所用之，使得源極區位於非閘極溝槽附近之有效摻雜濃度不會受重體區植入以任何顯著方法影響。

[0075]在第7H圖中，當將源極互連層沉積於該結構上時，源極互連層填充該非閘極溝槽，因此電氣接觸重體區和沿其等側壁之源極區，如第9圖所示。第9圖之實施例具有與上述第7圖所示之實施例相同之特徵和優點。另外，上述第7A－7H圖實施例之選擇性變型和實施例也適用於第9圖FET結構。

[0076]第10圖是具有一非閘極溝槽之一溝槽蔽閘極FET之簡化剖面圖，其中該重主體區域形成於該主體區域內而不是非閘極溝槽內部。除重體區620形成於主體區618內，源極互連層622延伸進並填充非閘極溝槽602之上部，第10圖之遮蔽閘極FET相似於第6G圖的。源極互連層電氣接觸沿凸臺面和源極區側壁之源極區616，並接觸沿其等側壁之主體區620，如圖示。第10圖之其餘結構特徵與第6G圖所示那些相似，因此不再贅述。

[0077]用於形成第10圖內之FET結構之製程流程與第6A－6G圖所示之相似，除了下列條件。在第6F圖中，在將介電材料206和210凹型化至非閘極溝槽202內，藉此主體區

226之側壁被部分暴露之後，實施p型摻質之一雙程斜角植入非閘極溝槽202暴露側壁內，以在主體區內形成重體區620(第10圖)。在一實施例中，在實施雙程斜角植入時不利用遮罩，且擇定重體植入劑量低於源極區所用之，使得源極區位於非閘極溝槽附近之有效摻雜濃度不受重體區植入以任何顯著方法影響。

[0078]在第6G圖中，當將源極互連層沉積於該結構上時，源極互連層填充該非閘極溝槽，因此電氣接觸重體區和沿其等側壁之源極區，如第10圖所示。第10圖之實施例具有與上述第6G圖所示之實施例相同之特徵和優點。另外，上述第6A－6G圖實施例之選擇性變型和實施例也適用於第10圖FET結構。

[0079]本發明之各種結構和方法可結合多種電荷平衡和遮蔽閘極技術(例如，第2A－2B圖、第3A－3B圖、第4圖、第5B－5C圖、第6－8圖、第9圖、第10圖)之一種或更多種，以及揭示並全文已以參照方式併入本文之於2004年12月29日提出申請之共同受讓專利申請案第11/026,276號中，之其他裝置結構和製造製程，以獲得甚至更低的導通電阻、更高的阻斷能力和更高效率等優點和特徵。另外，各種遮蔽閘極結構(例如，第4－7圖所示的那些)之一種或更多種，及在上面所提之共同受讓的2006年5月24日提出申請之美國專利申請案第11/441,386號中所揭示之用於形成各種遮蔽閘極結構之方法，可被有利結合本文所揭示之電荷平衡技術(例如，第3A－3E圖、第4圖、第5A－5B圖、第7A

— 7H圖、第8A—8H圖、第9—10圖所示之那些)之一種或更多種，以獲得具有最佳化性能和結構特徵之電荷平衡遮蔽閘極裝置。

[0080] 本文所述之該等不同實施例之剖面圖可能未按比例繪出，同樣也無意將可能變型限制於該等對應結構之佈局設計。

[0081] 雖然前文顯示和揭示多個具體實施例，但是本發明之實施例並不局限於此。舉例而言，儘管上述各種實施例實施於傳統矽中，但是該等實施例和其等顯見變型也可實施於碳化矽、砷化鎵、氮化鎵、或其他半導體材料中。舉另一示例，儘管上述實施例是被描述於n通道電晶體場境中，但是p通道對應電晶體也可藉簡單反轉各區之導體類型而形成。另外，本文所述之各種電晶體可在開放或封閉晶胞組態內形成，包括六邊形、橢圓形或方形晶胞。進言之，本發明之實施例並不局限於MOSFET。舉例而言，為形成上述MOSFET之IGBT對應件所必需之修正，對研讀過該揭示內容之熟於此技術領域者將變得顯見。另外，儘管本文所述實施例之其中一些可特別用於低電壓應用中，但是本文所述之製程流程和結構可被研讀過該揭示內容之熟於此技術領域者修正，以形成較適於高電壓應用並具有本發明許多相同優點和特徵之電晶體。再者，本發明之一個或更多個實施例之特徵可結合本發明其他實施例之一個或更多個特徵，而不脫離本發明範圍。

[0082] 因此，本發明之範圍不應該是參照上述描述決

定，而是參照所呈申請專利範圍連同其等等效的全部範圍一起決定。

【符號說明】

42…矽基體	89…遮蔽介電質
44…p型磊晶層	92…內多晶介電(IPD)層
46, 84-85, 202, 204…溝槽	93, 140, 166, 413, 514, 616…源極區
48…n型區	94…閘極
50, 83…雙程斜角植入	96, 220, 322, 420…閘極介電層
53…遮蔽介電質/閘極介電質	131, 304, 404…閘極溝槽
54, 90…遮蔽電極	132, 162, 402…n型磊晶層
56…內多晶介電(IPD)層	133, 168…凹坑
58, 222, 324…凹型閘極	134…p型矽材料
62…p型區	136, 516, 618…主體區
64…n+源極區	164…p型柱
66, 95, 138, 234, 332, 415, 430, 520, 620…重體區	172…高能量植體
68, 97, 206…介電層	200, 408…矽區
70, 230, 236, 334, 432, 518, 622…源極互連層	208, 308, 414…凸臺面
80, 130…高度摻雜n型基體	210, 312, 325…介電材料
82…p型磊晶層	212…厚底介電質
86…第一介電層	214, 314, 412…遮罩區
87…介電隔層	224…n型源極區
88, 300…n型矽區	226, 328, 424…p型主體區
	252…介電區

302…非閘極溝槽	330, 426…介電蓋
306, 406…遮蔽介電層	400…n型基體
310…遮蔽電極/介電材料	410…多晶矽/遮蔽電極
316…電極間介電質(IED)	418…主體區/凹型閘極
326, 422…高度摻雜n型源極區	

申請專利範圍

1. 一種場效電晶體(FET)，其包含：

延伸進一第一傳導類型之一半導體區內之多個溝槽，該等多個溝槽包括多個閘極溝槽和多個非閘極溝槽；

一第二傳導類型之多個主體區，各個主體區係設置在該等多個溝槽中之一對各別鄰近溝槽間之該半導體區內；

一介電材料，其填充該等多個閘極溝槽和該等多個非閘極溝槽中之各者之一底部；

多個閘極，各個閘極係設置在該等多個閘極溝槽中之一各別閘極溝槽內；以及

該第二傳導類型之一導體材料，其設置在該等多個非閘極溝槽中之各者內，使得該導體材料接觸數個沿該非閘極溝槽之側壁且鄰接各個非閘極溝槽之對應主體區。

2. 如申請專利範圍第1項之FET，其進一步包含：

該第一傳導類型之多個源極區，各個源極區係設置在該等多個主體區之一各別主體區內，其中該等多個非閘極溝槽中之各者內所設置之該導體材料接觸數個沿該非閘極溝槽之側壁且鄰接各個非閘極溝槽之源極區；以及

一源極互連層，其接觸該等多個源極區中之各

者、及該等多個非閘極溝槽中之各者內所設置的該導體材料。

3. 如申請專利範圍第1項之FET，其中填充該等多個非閘極溝槽中之各者之一底部的該介電材料具有在各個非閘極溝槽中與該非閘極溝槽鄰接之該主體區的一底面上之一頂面。
4. 如申請專利範圍第2項之FET，其中設置在該等多個主體區之一各別主體區內的各源極區延伸跨過一各別凸台區之一整個寬度，該各別凸台區係由沿著其邊側大小之一對各別鄰近溝槽所界圍。
5. 如申請專利範圍第1項之FET，其中該半導體區包含一高度摻雜基體和一上覆磊晶層，且該等多個主體區係形成於該上覆磊晶層之一上部內。
6. 如申請專利範圍第1項之FET，其中設置在該等多個非閘極溝槽中之各者內的該導體材料包含該第二傳導類型之多晶矽。
7. 如申請專利範圍第1項之FET，其中該等多個非閘極溝槽之一者被配置於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。
8. 如申請專利範圍第1項之FET，其中該等多個非閘極溝槽之兩個或更多個非閘極溝槽係形成於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。
9. 一種場效電晶體(FET)，其包含：
 延伸進一第一傳導類型之一半導體區內之多個溝

槽，該等多個溝槽包括多個閘極溝槽和多個非閘極溝槽；

一第二傳導類型之多個主體區，各個主體區係設置在該等多個溝槽中之一對各別鄰近溝槽間之該半導體區內；

多個遮蔽電極，各個遮蔽電極係設置在該等多個閘極溝槽和該等多個非閘極溝槽中之各者之一底部內；

一介電層，其設置在各個非閘極溝槽內之該遮蔽電極上；以及

該第二傳導類型之一導體材料，其設置在該介電層上之該等多個非閘極溝槽中之各者內，使得該導體材料接觸數個沿該非閘極溝槽之側壁且鄰接各個非閘極溝槽之主體區。

10. 如申請專利範圍第9項之FET，其進一步包含：

該第一傳導類型之多個源極區，各個源極區係設置在該等多個溝槽中之一對各別鄰近溝槽間之該半導體區內所設置之該等多個主體區之各個主體區內，

其中設置在該等多個非閘極溝槽中之各者內之該導體材料接觸數個沿該非閘極溝槽之側壁且鄰接各個非閘極溝槽之源極區；以及

接觸該等源極區和該導體材料之一源極互連層。

11. 如申請專利範圍第10項之FET，其中該等多個源極區中之各源極區延伸跨過一各別凸台區之一整個寬度，該

各別凸台區係由沿著其邊側大小之一對各別鄰近溝槽所界圍。

12. 如申請專利範圍第10項之FET，其中該等多個遮蔽電極中之各者係設置在該等多個閘極溝槽和該等多個非閘極溝槽中之各者之一底部內，該等多個遮蔽電極被電氣連接至該源極互連層。
13. 如申請專利範圍第9項之FET，其進一步包含：
 - 一遮蔽介電層，其內襯於該等多個閘極溝槽和該等多個非閘極溝槽中之各者的一下側壁和一底面；
 - 一電極間介電層，其延伸在該等多個閘極溝槽內所設置之數個遮蔽電極上；以及
 - 多個閘極，各個閘極係設置在該等多個閘極溝槽中之各者內之該電極間介電層上。
14. 如申請專利範圍第9項之FET，其中該等多個非閘極溝槽之一者內所設置之該導體材料延伸至比數個鄰接該非閘極溝槽之本體區之一深度為淺之一深度。
15. 如申請專利範圍第9項之FET，其中該半導體區包含一高度摻雜基體和一上覆磊晶層，且該等多個主體區係形成於該上覆磊晶層之一上部內，且其中該等多個閘極和非閘極溝槽終止於該高度摻雜基體內。
16. 如申請專利範圍第9項之FET，其中該半導體區包含一高度摻雜基體和一上覆磊晶層，且該等多個主體區係形成於該上覆磊晶層之一上部內，且其中該等多個閘極和非閘極溝槽終止於該上覆磊晶層內。

17. 如申請專利範圍第9項之FET，其中設置在該等多個非閘極溝槽中之各者內的該導體材料包含該第二傳導類型之一多晶矽層。
18. 如申請專利範圍第9項之FET，其中該等多個非閘極溝槽之一者被配置於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。
19. 如申請專利範圍第9項之FET，其中該等多個非閘極溝槽之兩個或更多個非閘極溝槽係形成於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。
20. 一種場效電晶體(FET)，其包含：

延伸進一第一傳導類型之一半導體區內之多個溝槽，該等多個溝槽包括多個閘極溝槽和多個非閘極溝槽；

一第二傳導性之多個主體區，各個主體區係設置在該等多個溝槽中之一對各別鄰近溝槽間之該半導體區內；

多個遮蔽電極，各個遮蔽電極係設置在該等多個閘極溝槽和該等多個非閘極溝槽中之各者之一底部內，位於各個非閘極溝槽內之該遮蔽電極具有在數個呈鄰接之主體區之一底面上之一頂面；以及

該第二傳導類型之一導體材料，其設置在該等多個非閘極溝槽中之各者內，使得該導體材料接觸數個沿該非閘極溝槽之側壁且鄰接各個非閘極溝槽之主體區，該導體材料也接觸設置在各個非閘極溝槽內之該

遮蔽電極。

21. 如申請專利範圍第20項之FET，其進一步包含：

該第一傳導類型之多個源極區，各個源極區係設置在該等多個主體區之一各別主體區內，其中該等多個非閘極溝槽中之各者內所設置之該導體材料接觸數個沿該非閘極溝槽之側壁且鄰接各個非閘極溝槽之源極區；以及

一源極互連層，其接觸該等多個源極區中之各者、及該等多個非閘極溝槽中之各者內所設置的該導體材料。

22. 如申請專利範圍第21項之FET，其中該等多個源極區中之各源極區延伸跨過一各別凸台區之一整個寬度，該各別凸台區係由沿著其邊側大小之一對各別鄰近溝槽所界圍。

23. 如申請專利範圍第22項之FET，其中該等多個遮蔽電極中之各者係設置在該等多個閘極溝槽和該等多個非閘極溝槽中之各者之一底部內，該等多個遮蔽電極被電氣連接至該源極互連層。

24. 如申請專利範圍第20項之FET，其進一步包含：

內襯於該等多個閘極溝槽之各者的之一下側壁和一底面之一遮蔽介電層；

內襯於各閘極溝槽之上側壁、並延伸於各閘極溝槽內之該遮蔽電極上之一閘極介電層；以及

位於各閘極溝槽內之該閘極介電層上之一閘極。

25. 如申請專利範圍第20項之FET，其中該等多個非閘極溝槽之一者內所設置之該導體材料延伸至比數個鄰接該非閘極溝槽之本體區之一深度為淺之一深度。
26. 如申請專利範圍第20項之FET，其中該半導體區包含一高度摻雜基體和一上覆磊晶層，且該等多個主體區係形成於該上覆磊晶層之一上部內，且其中該等多個閘極和非閘極溝槽終止於該高度摻雜基體內。
27. 如申請專利範圍第20項之FET，其中該半導體區包含一高度摻雜基體和一上覆磊晶層，且該等多個主體區係形成於該上覆磊晶層之一上部內，且其中該等多個閘極和非閘極溝槽終止於該上覆磊晶層內。
28. 如申請專利範圍第20項之FET，其中設置在該等多個非閘極溝槽中之各者內的該導體材料包含該第二傳導類型之一多晶矽層。
29. 如申請專利範圍第20項之FET，其中該等多個非閘極溝槽之一者被配置於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。
30. 如申請專利範圍第20項之FET，其中該等多個非閘極溝槽之兩個或更多個非閘極溝槽係形成於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。
31. 一種場效電晶體(FET)，其包含：
 延伸進一第一傳導類型之一半導體區內之多個溝槽，該等多個溝槽包括多個閘極溝槽和多個非閘極溝槽；

多個遮蔽電極，各個遮蔽電極係設置在該等多個閘極溝槽和該等多個非閘極溝槽中之各者之一底部內；

一介電層，其設置在各個非閘極溝槽內之該遮蔽電極上；以及

一第二傳導類型之多個主體區，各個主體區係設置在該等多個溝槽中之一對各別鄰近溝槽間之該半導體區內，且各個主體區包括一重體區，各重體區與一各別之非閘極溝槽之一側壁相鄰且接觸一設置在該各別之非閘極溝槽內的導體材料。

32. 如申請專利範圍第31項之FET，其進一步包含：

該第一傳導類型之多個源極區，各個源極區係設置在該等多個主體區之一各別主體區內；以及

包括該導體材料之一源極互連層，該源極互連層接觸該等多個源極區中之各者之一上表面，該源極互連層填充該等多個非閘極溝槽中之各者之一上部，並接觸一各別源極區及沿著各個非閘極溝槽之一上側壁之重體區。

33. 如申請專利範圍第32項之FET，其中該等多個源極區中之各源極區延伸跨過一各別凸台區之一整個寬度，該各別凸台區係由沿著其邊側大小之一對各別鄰近溝槽所界圍。

34. 如申請專利範圍第32項之FET，其中該等多個遮蔽電極中之各者係設置在該等多個閘極溝槽和該等多個非閘

- 極溝槽中之各者之一底部內，該等多個遮蔽電極被電氣連接至該源極互連層。
35. 如申請專利範圍第32項之FET，其中該源極互連層延伸進各個非閘極溝槽內之一比數個各別鄰接本體區之一深度為淺之深度。
36. 如申請專利範圍第31項之FET，其進一步包含：
- 一遮蔽介電層，其內襯於該等多個閘極溝槽和該等多個非閘極溝槽中之各者的一下側壁和一底面上；
 - 一電極間介電層，其延伸在該等多個閘極溝槽內所設置之數個遮蔽電極上；以及
 - 多個閘極，各個閘極係設置在該等多個閘極溝槽中之各者內之該電極間介電層上。
37. 如申請專利範圍第31項之FET，其中該半導體區包含一高度摻雜基體和一上覆磊晶層，且該等多個主體區係形成於該上覆磊晶層之一上部內，其中且該等多個閘極和非閘極溝槽終止於該高度摻雜基體內。
38. 如申請專利範圍第31項之FET，其中該半導體包含一高度摻雜基體和一上覆磊晶層，且該等多個主體區係形成於該上覆磊晶層之一上部內，且其中該等多個閘極和非閘極溝槽終止於該上覆磊晶層內。
39. 如申請專利範圍第31項之FET，其中該等多個非閘極溝槽之一者被配置於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。
40. 如申請專利範圍第31項之FET，其中該等多個非閘極溝

槽之兩個或更多個非閘極溝槽係形成於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。

41. 一種場效電晶體(FET)，其包含：

延伸進一第一傳導類型之一半導體區內之多個溝槽，該等多個溝槽包括多個閘極溝槽和多個非閘極溝槽；

一第二傳導類型之多個主體區，各個主體區係設置在該等多個溝槽中之一對各別鄰近溝槽間之該半導體區內，且各個主體區包括一重體區，各重體區與一各別非閘極溝槽之一側壁相鄰且接觸一設置在該各別之非閘極溝槽內的導體材料；

一介電材料，其填充該等多個閘極溝槽和該等多個非閘極溝槽中之各者之一底部；以及

位於各閘極溝槽內的該介電材料上之一閘極。

42. 如申請專利範圍第41項之FET，其進一步包含：

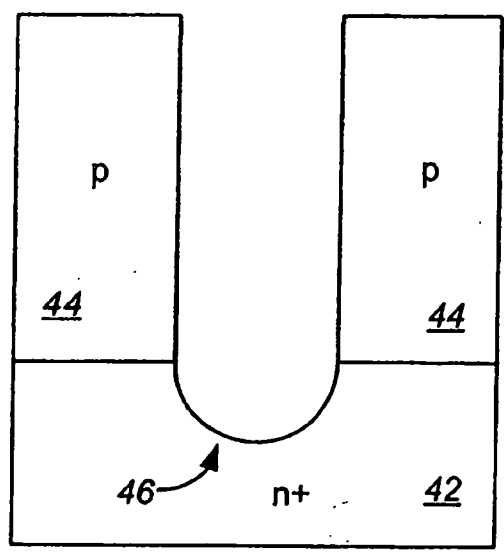
該第一傳導類型之多個源極區，各個源極區係設置在該等多個主體區之一各別主體區內；以及

包括該導體材料之一源極互連層，該源極互連層接觸該等多個源極區中之各者之一上表面，該源極互連層填充該等多個非閘極溝槽中之各者之一上部，並接觸一各別源極區及沿著各個非閘極溝槽之一上側壁之重體區。

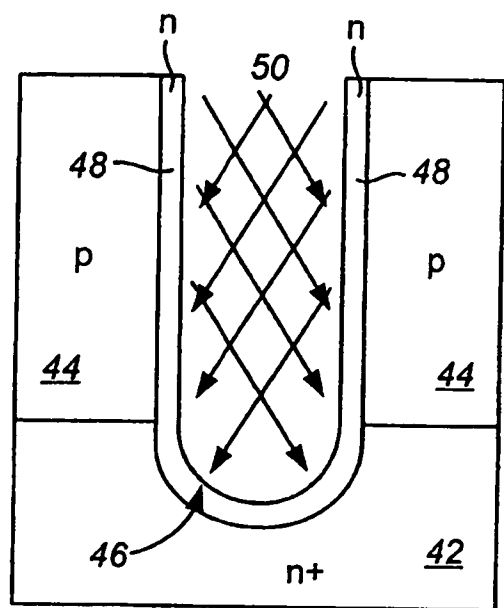
43. 如申請專利範圍第42項之FET，其中該等多個源極區中之各源極區延伸跨過一各別凸台區之一整個寬度，該

各別凸台區係由沿著其邊側大小之一對各別鄰近溝槽所界圍。

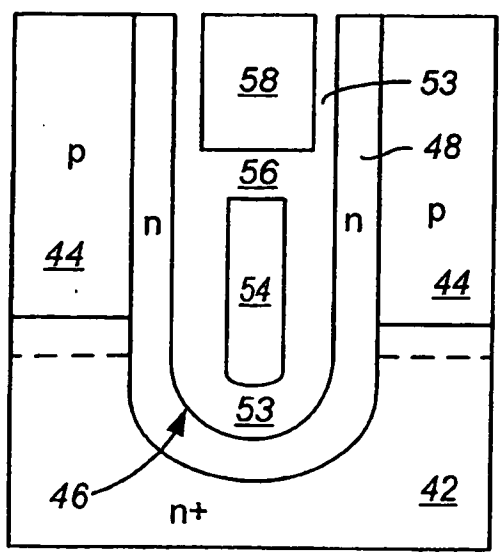
44. 如申請專利範圍第42項之FET，其中該源極互連層延伸進各個非閘極溝槽內之一比該本體區之一深度為淺之深度。
45. 如申請專利範圍第41項之FET，其中填充該等多個非閘極溝槽中之各者之一底部的該介電材料具有在每個非閘極溝槽中與該非閘極溝槽鄰接之該主體區之一底面上之一頂面。
46. 如申請專利範圍第41項之FET，其中該半導體區包含一高度摻雜基體和一上覆磊晶層，且該等多個主體區係形成於該上覆磊晶層之一上部內。
47. 如申請專利範圍第41項之FET，其中該等多個非閘極溝槽之一者被配置於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。
48. 如申請專利範圍第41項之FET，其中該等多個非閘極溝槽中之兩個或更多個非閘極溝槽係形成於該等多個閘極溝槽中之各對鄰近閘極溝槽之間。



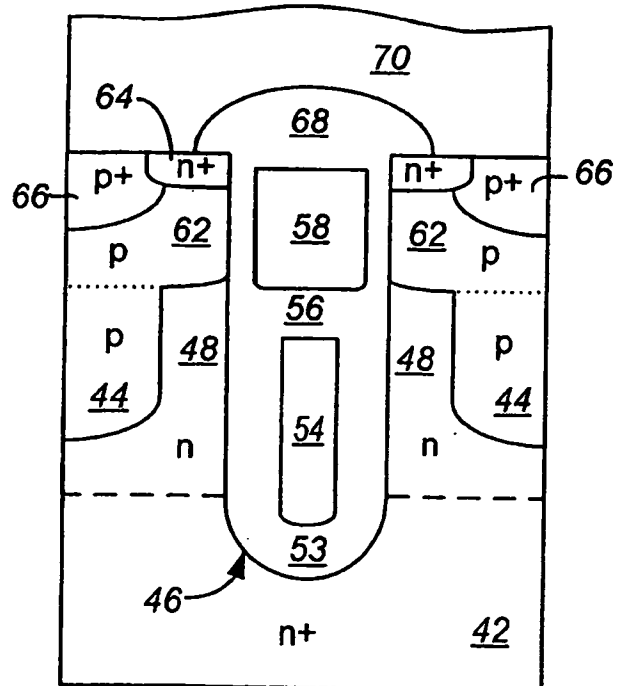
第 1A 圖



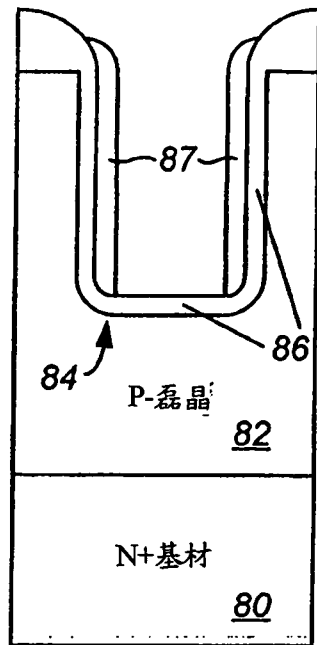
第 1B 圖



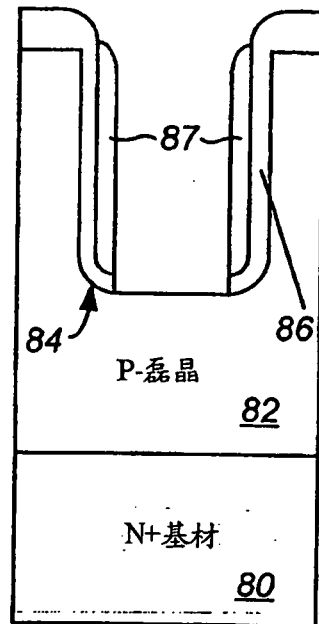
第 1C 圖



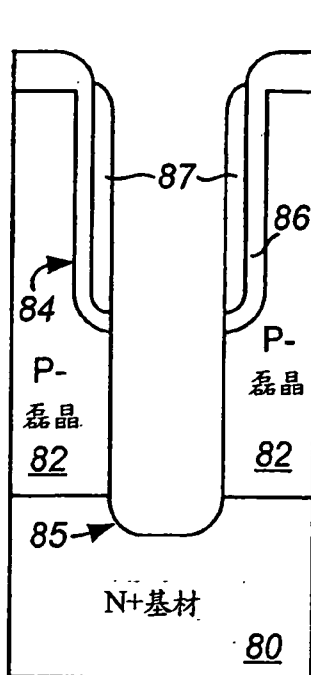
第 1D 圖



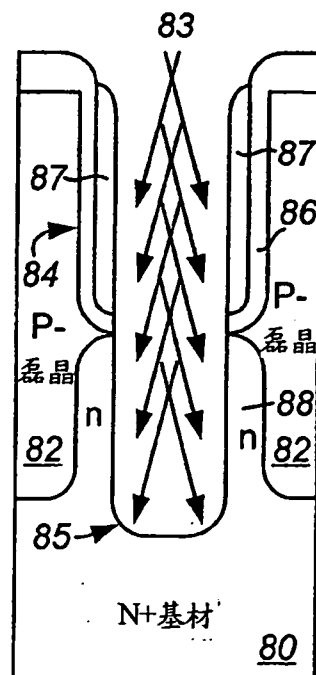
第 2A 圖



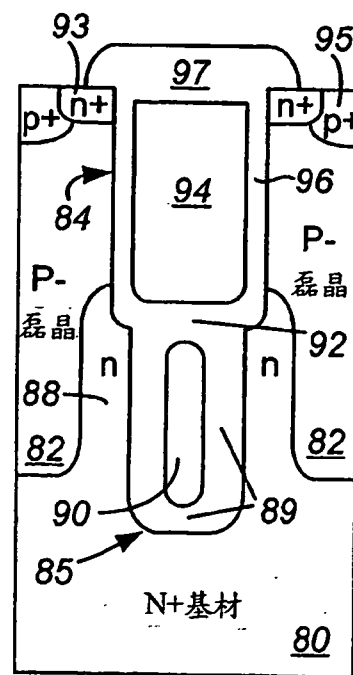
第 2B 圖



第 2C 圖



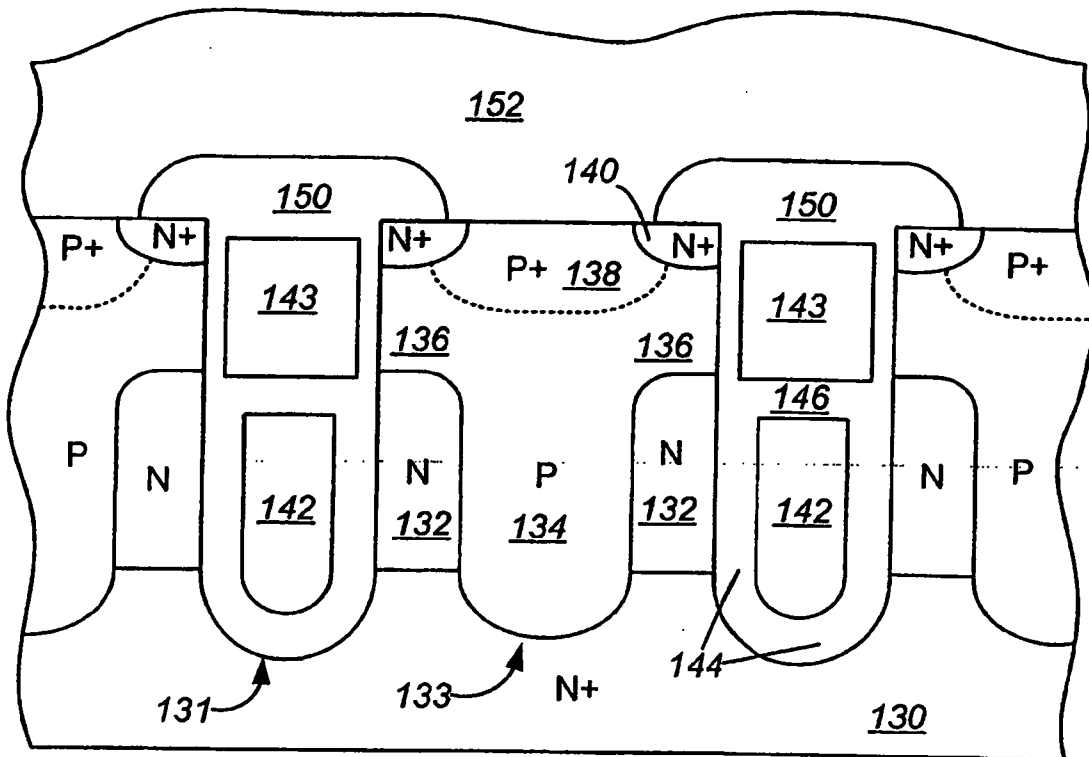
第 2D 圖



第 2E 圖

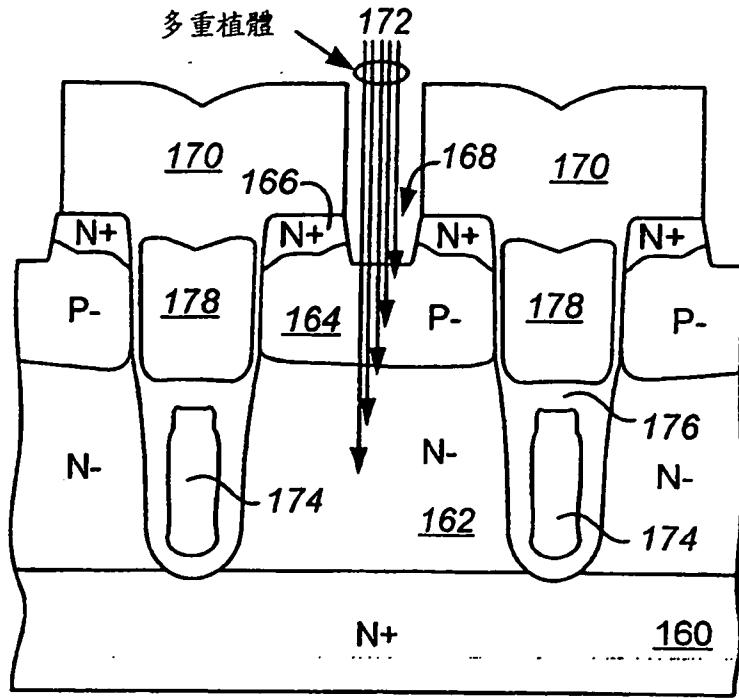


+

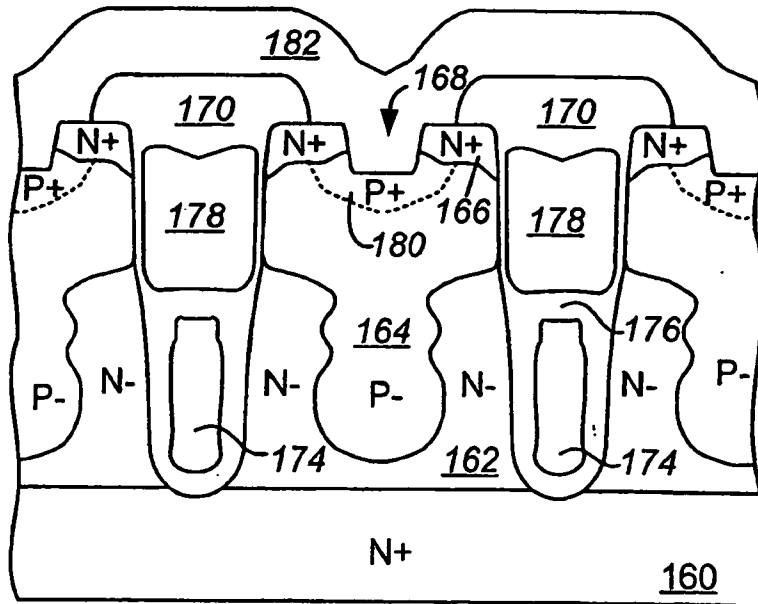


第 4 圖

+

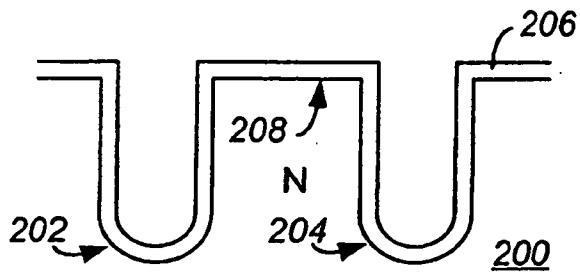


第 5A 圖

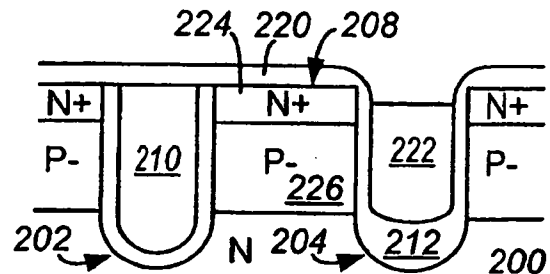


第 5B 圖

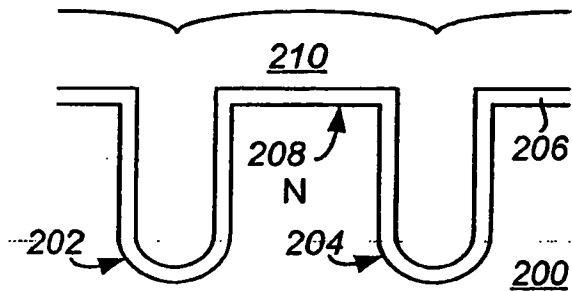




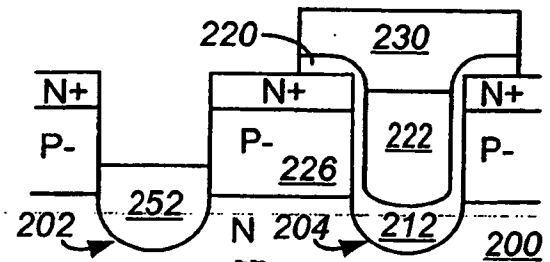
第 6A 圖



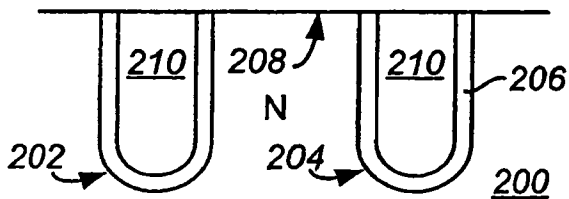
第 6E 圖



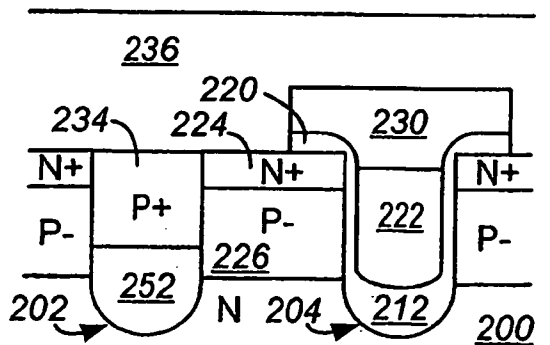
第 6B 圖



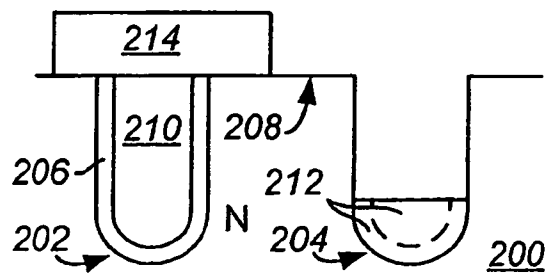
第 6F 圖



第 6C 圖

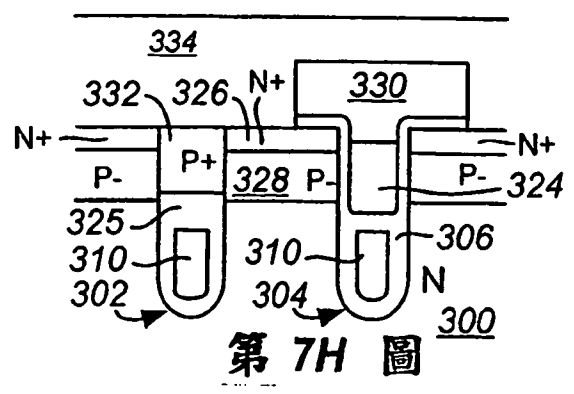
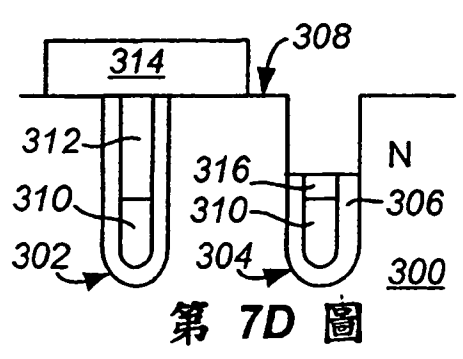
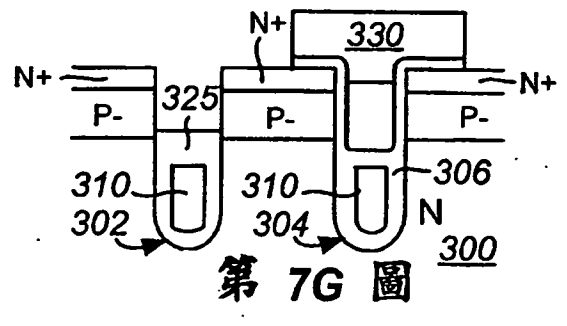
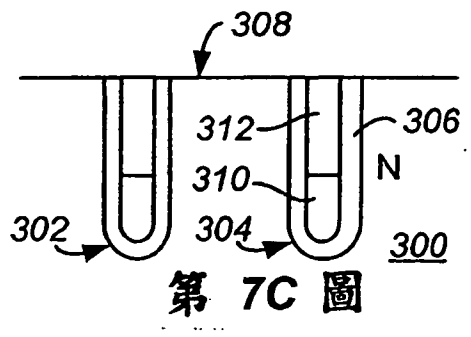
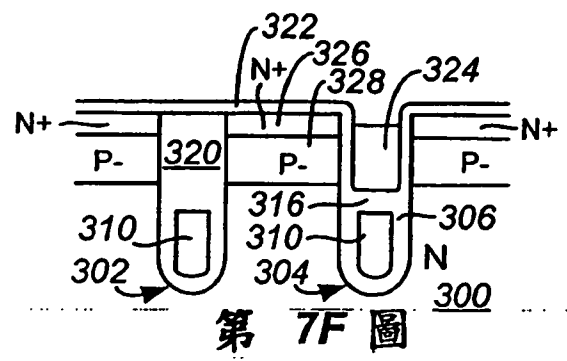
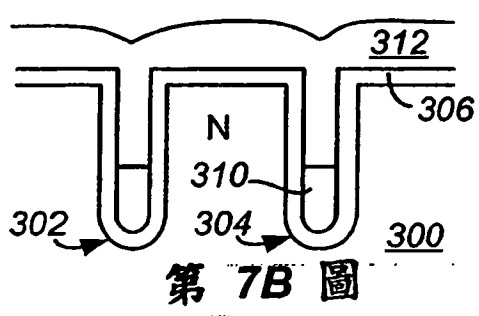
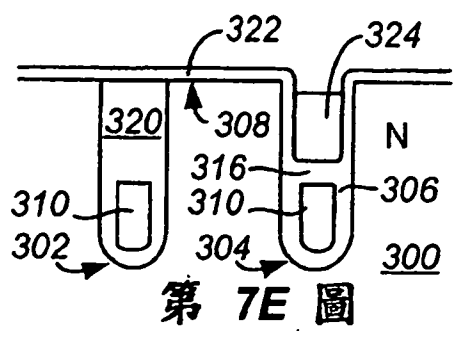
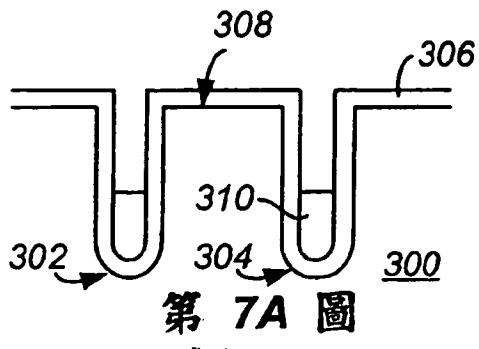


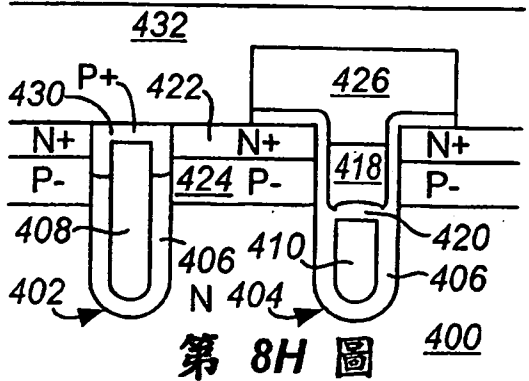
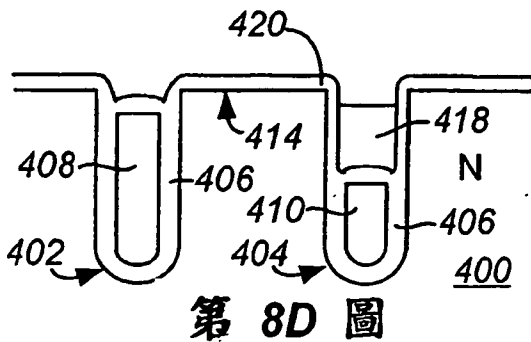
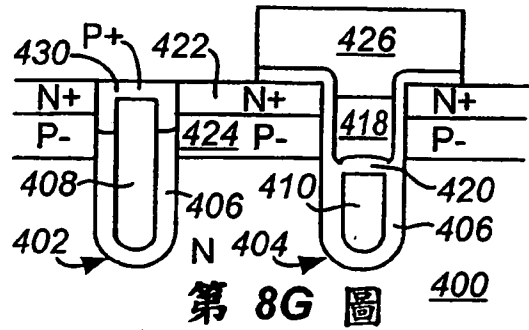
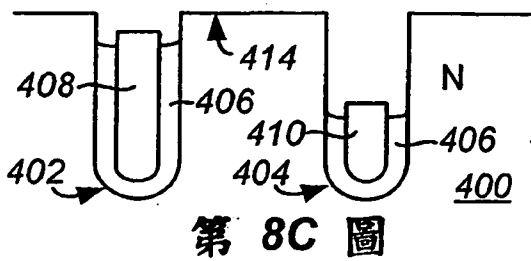
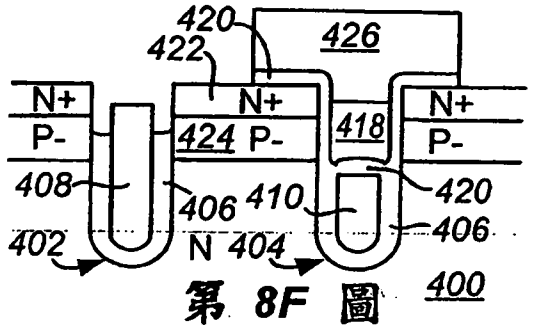
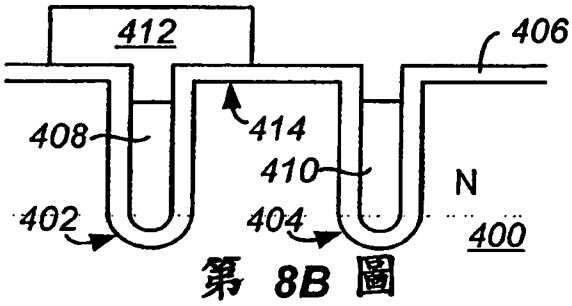
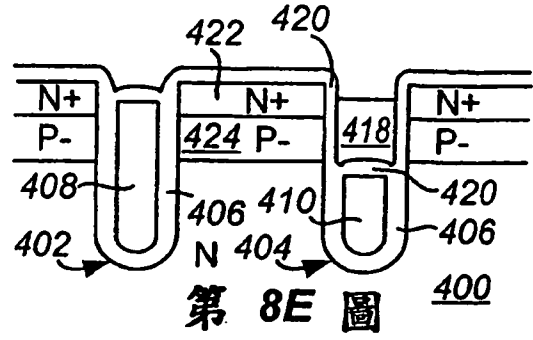
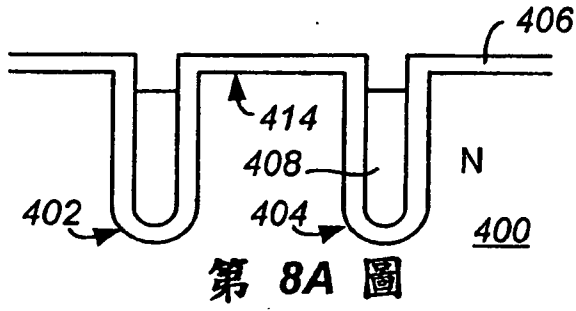
第 6G 圖

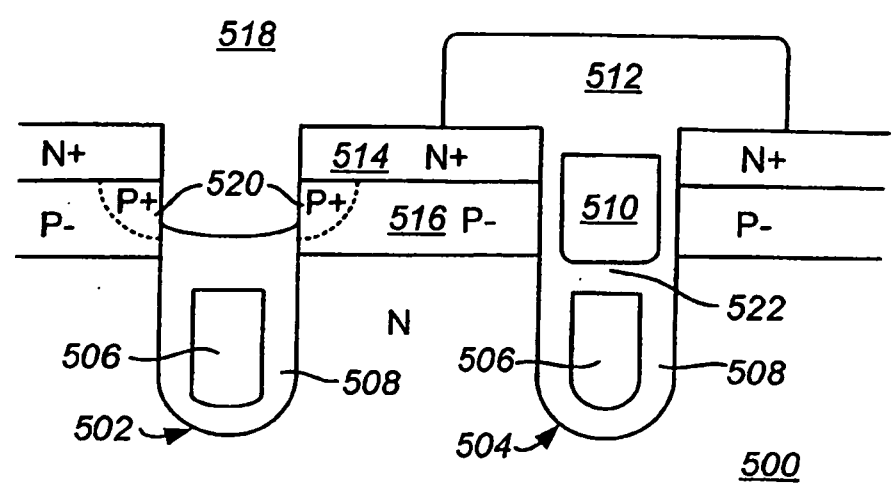


第 6D 圖

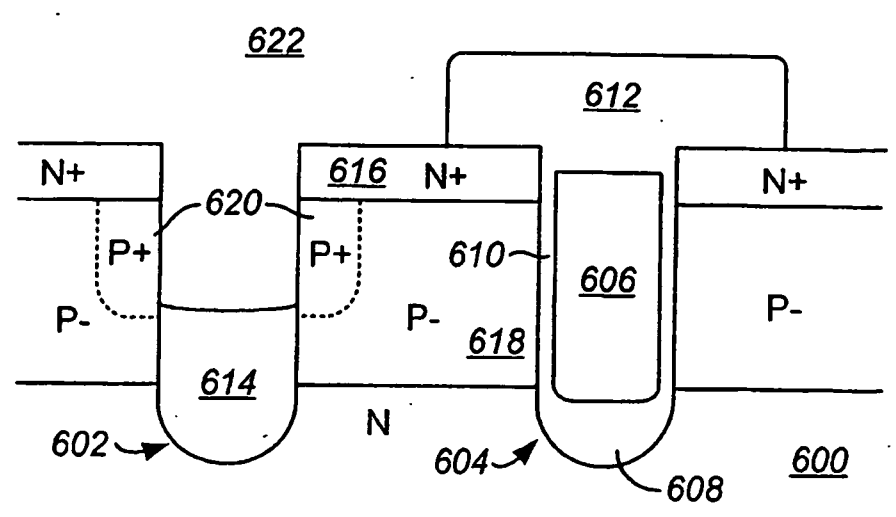








第 9 圖



第 10 圖

