



(12) 发明专利申请

(10) 申请公布号 CN 116387326 A

(43) 申请公布日 2023. 07. 04

(21) 申请号 202310508153.6

(22) 申请日 2020.10.12

(30) 优先权数据

62/944,376 2019.12.06 US

(62) 分案原申请数据

202011083650.9 2020.10.12

(71) 申请人 群创光电股份有限公司

地址 中国台湾新竹科学工业园区苗栗县竹南镇科学路160号

(72) 发明人 戴名柔 蔡嘉豪 蔡明志

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

专利代理师 孙静 臧建明

(51) Int. Cl.

H01L 27/12 (2006.01)

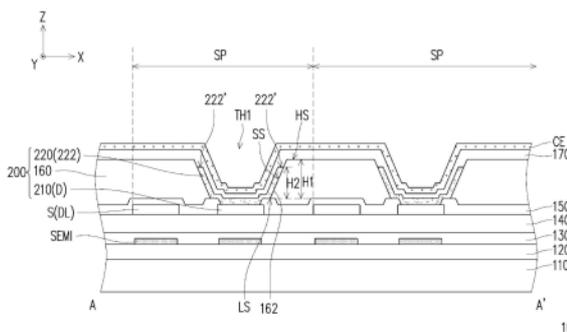
权利要求书1页 说明书9页 附图6页

(54) 发明名称

电子装置

(57) 摘要

本揭露的实施例提供一种电子装置,尤其是连接结构以及包括所述连接结构的显示装置。所述连接结构包括,第一导线、第二导线以及绝缘层。绝缘层设置于第一导线与第二导线之间。所述绝缘层具有被侧墙所环绕的通孔。第二导线的连接部通过通孔电性连接第一导线。第二导线的连接部截止于通孔的侧墙上。



1. 一种电子装置,其特征在于,包括:
基板;
第一电极,设置于所述基板上;
第二电极,设置于所述基板上;以及
绝缘层,设置于所述第一电极与所述第二电极之间,且所述绝缘层具有通孔,所述第二电极的连接部通过所述通孔以电性连接至所述第一电极,
其中在所述电子装置的一剖面方向上,所述连接部的相对两外边缘在所述通孔的轮廓内。
2. 根据权利要求1所述的电子装置,其特征在于,所述电子装置还包括半导体层,所述第一电极电性连接所述半导体层。
3. 根据权利要求2所述的电子装置,其特征在于,所述第一电极为漏极。
4. 根据权利要求2所述的电子装置,其特征在于,所述半导体层包括金属氧化物材料。
5. 根据权利要求1所述的电子装置,其特征在于,所述第二电极为像素电极。
6. 根据权利要求5所述的电子装置,其特征在于,所述第二电极包括透明导电材料。
7. 根据权利要求6所述的电子装置,其特征在于,所述透明导电材料包括铟锡氧化物。
8. 根据权利要求1所述的电子装置,其特征在于,所述第二电极设置于所述第一电极上。
9. 根据权利要求1所述的电子装置,其特征在于,所述绝缘层包括有机绝缘材料。

电子装置

[0001] 本发明是2020年10月12日所提出的申请号为202011083650.9、发明名称为《连接结构及包括其的显示装置》的发明专利申请的分案申请。

技术领域

[0002] 本揭露涉及一种电子装置,尤其涉及一种连接结构及包括其连接结构的显示装置。

背景技术

[0003] 随着电子装置的应用持续的增广,显示技术的发展也日新月异。随着不同的应用条件,对于电子装置的显示质量的要求越来越高,进而电子装置面临不同的问题。因此,电子装置的研发需持续更新与调整。

发明内容

[0004] 本揭露是针对一种连接结构及包括其连接结构的显示装置,其具有较佳的显示质量。

[0005] 根据本揭露的实施例,连接结构包括第一导线、第二导线以及绝缘层。绝缘层设置于第一导线与第二导线之间,且绝缘层具有被侧墙所环绕的通孔。第二导线的连接部通过通孔以电性连接第一导线。第二导线的连接部截止于通孔的侧墙上。

[0006] 根据本揭露的实施例,显示装置包括上述的连接结构。

[0007] 综上所述,在本揭露实施例的连接结构及包括其的显示装置中,通过连接结构的第二导线的连接部截止在绝缘层的通孔的侧墙上。因此,相邻子像素的第二导线可不易彼此接触,或可降低电性异常(如短路)的产生。此外,第二导线如为像素电极时,其具有较佳的图案化效果。在上述的设置下,像素电极的尺寸可以维持适当的大小或具有较佳的电性质量。包含连接结构的显示装置可具有较佳的电性质量,或具有较佳的显示质量。

附图说明

[0008] 图1为本揭露一实施例的显示装置的局部放大上视示意图;

[0009] 图2为图1的剖面线A-A'的剖面示意图;

[0010] 图3为本揭露另一实施例的显示装置的剖面示意图;

[0011] 图4为本揭露另一实施例的显示装置的局部放大上视示意图;

[0012] 图5A为本揭露另一实施例的第二导线的局部放大示意图;

[0013] 图5B为本揭露再一实施例的第二导线的局部放大示意图;

[0014] 图6为图4的剖面线B-B'的剖面示意图。

[0015] 附图标记说明

[0016] 10、10A、10B、10C:显示装置;

[0017] 110:基板;

- [0018] 120、130、140、150、150'、160、160'、170:绝缘层;
- [0019] 162:侧墙;
- [0020] 200:连接结构;
- [0021] 210:第一导线;
- [0022] 220:第二导线;
- [0023] 222:连接部;
- [0024] 222':外边缘;
- [0025] 224:主体部;
- [0026] A-A'、B-B':剖面线;
- [0027] D:漏极;
- [0028] DL:第二信号线;
- [0029] CE:共用电极;
- [0030] G:栅极;
- [0031] H1、H1'、H2、H2':高度;
- [0032] HS:高位面;
- [0033] L:辅助线;
- [0034] LS:低位面;
- [0035] PE:像素电极;
- [0036] S:源极;
- [0037] SEMI:半导体层;
- [0038] SL:第一信号线;
- [0039] SP、SP'、SP1'、SP2':子像素;
- [0040] SS:斜面;
- [0041] T:薄膜晶体管;
- [0042] TH1、TH2:通孔;
- [0043] X、Y、Z:轴。

具体实施方式

[0044] 本揭露中所叙述的一结构(或层别、组件、基材)位于另一结构(或层别、组件、基材)之上,可以指二结构相邻且直接连接(或接触),或可以指二结构相邻而非直接连接(或接触),非直接连接指二结构之间具有至少一中介结构(或中介层别、中介组件、中介基材、中介间隔),一结构的下侧表面相邻或直接连接于中介结构的上侧表面,另一结构的上侧表面相邻或直接连接(或接触)于中介结构的下侧表面,而中介结构可以是单层或多层的实体结构或非实体结构所组成,并无限制。在本揭露中,当某结构设置在其它结构“上”时,可能指某结构“直接”在其它结构上,或指某结构“间接”在其它结构上,即某结构和其它结构间还夹设有至少一结构。

[0045] 本揭露中所叙述的电性连接或耦接,皆可以指直接连接或间接连接,于直接连接的情况下,两电路上组件的端点直接连接或以一导体线段互相连接,而于间接连接的情况下,两电路上组件的端点之间可具有开关、二极管、电容、电感或其他非导体线段的组件其

中之一与至少一导电段或电阻的组合,或至少上述二者与至少一导电段或电阻的组合。

[0046] 通过参考以下的详细描述并同时结合附图可以理解本揭露,须注意的是,为了使读者能容易了解及附图的简洁,本揭露中的多张附图只绘出电子装置的一部分,且附图中的特定组件并非依照实际比例绘图。此外,图中各组件的数量及尺寸仅作为示意,并非用来限制本揭露的范围。

[0047] 在本揭露中,厚度、长度与宽度的测量方式可以是采用光学显微镜测量而得,厚度可以由电子显微镜中的剖面图像测量而得,但不以此为限。另外,任两个用来比较的数值或方向,可存在着一定的误差。若第一值等于第二值,其隐含着第一值与第二值之间可存在约10%的误差;若第一方向垂直于第二方向,则第一方向与第二方向之间的角度可介于80度至100度之间;若第一方向平行于第二方向,则第一方向与第二方向之间的角度可介于0度至10度之间。在此,“约”、“大约”、“大致”等用语表示在一给定值或范围的20%之内、10%之内或5%之内。在此给定的数量为大约的数量,意即在没有特定说明的情况下,仍可隐含“约”、“大约”、“大致”等的含义。

[0048] 本揭露通篇说明书与后附的权利要求中会使用某些词汇来指称特定组件。本领域技术人员应理解,电子设备制造商可能会以不同的名称来指称相同的组件。本文并不意在区分那些功能相同但名称不同的组件。在下文说明书与权利要求中,“含有”与“包括”等词为开放式词语,因此其应被解释为“含有但不限定为…”之意。因此,当本揭露的描述中使用术语“包括”、“含有”和/或“具有”时,其指定了相应的特征、区域、步骤、操作和/或构件的存在,但不排除一个或多个相应的特征、区域、步骤、操作和/或构件的存在。

[0049] 本文中所提到的方向用语,例如:“上”、“下”、“前”、“后”、“左”、“右”等,仅是参考附图的方向。因此,使用的方向用语是用来说明,而非用来限制本揭露。在附图中,各附图示出的是特定实施例中所使用的方法、结构和/或材料的通常性特征。然而,这些附图不应被解释为界定或限制由这些实施例所涵盖的范围或性质。举例来说,为了清楚起见,各膜层、区域和/或结构的相对尺寸、厚度及位置可能缩小或放大。

[0050] 虽然术语第一、第二、第三…可用以描述多种组成组件,但组成组件并不以此术语为限。此术语仅用于区别说明书内单一组成组件与其他组成组件。权利要求中可不使用相同术语,而依照权利要求中组件宣告的顺序以第一、第二、第三…取代。因此,在下文说明书中,第一组成组件在权利要求中可能为第二组成组件。

[0051] 本揭露的电子装置可包括显示装置、天线装置、感测装置、拼接装置或透明显示装置,但不以此为限。电子装置可为可卷曲、可拉伸、可弯折或可挠式电子装置。电子装置可例如包括液晶(liquid crystal)、发光二极管(light emitting diode,LED)、量子点(quantum dot,QD)、荧光(fluorescence)、磷光(phosphor)或其他适合的材且其材料可任意排列组合或其他适合的显示介质,或前述的组合;发光二极管可例如包括有机发光二极管(organic light emitting diode,OLED)、毫米/次毫米发光二极管(mini LED)、微发光二极管(micro LED)或量子点发光二极管(可例如为QLED、QDLED),但不以此为限。天线装置可例如是液晶天线,但不以此为限。拼接装置可例如是显示器拼接装置或天线拼接装置,但不以此为限。需注意的是,电子装置可为前述的任意排列组合,但不以此为限。此外,电子装置的外型可为矩形、圆形、多边形、具有弯曲边缘的形状或其他适合的形状。电子装置可以具有驱动系统、控制系统、光源系统、层架系统…等周边系统以支援显示装置、天线装置或

拼接装置。下文将以半导体装置说明本揭露内容,但本揭露不以此为限。

[0052] 在本揭露中,以下所述的各种实施例可在不背离本揭露的精神与范围内做混合搭配使用,例如一实施例的部分特征可与另一实施例的部分特征组合而成为另一实施例。

[0053] 现将详细地参考本发明的示范性实施例,示范性实施例的实例说明于附图中。只要有可能,相同元件符号在附图和描述中用来表示相同或相似部分。

[0054] 图1为本揭露一实施例的电子装置为显示装置时的局部放大上视示意图。图2为图1的剖面线A-A'的剖面示意图。为了附图清楚及方便说明,图1、图2省略示出了若干元件。请参考图1及图2,图1及图2示出了显示装置10的局部,包括第一信号线SL、第二信号线DL、薄膜晶体管T、多个子像素SP以及连接结构200。在本实施例中,通过连接结构200的设置,显示装置10可具有较佳的显示质量。

[0055] 请同时参考图1及图2,显示装置10包括基板110、设置于基板110上的第一信号线SL、设置于基板110上的第二信号线DL、薄膜晶体管T、像素电极PE以及共用电极CE,但不以此为限。另外,显示装置10还包括多层依序堆叠的绝缘层120、130、140、150、160、170等,但不以此为限。在本揭露中,一绝缘层可以代表单层结构或多层结构,举例来说,绝缘层120可以是单层结构,也可以是多层结构,但不以此为限。在一些实施例中,遮蔽层(未示出)可设置在基板110上,且绝缘层120可设置在基板110上覆盖遮蔽层。基板110的材料包括玻璃、石英、蓝宝石(sapphire)、陶瓷、聚碳酸酯(polycarbonate,PC)、聚酰亚胺(polyimide,PI)、聚对苯二甲酸乙二酯(polyethylene terephthalate,PET)、橡胶、玻璃纤维、陶瓷、其它合适的基板材料、或前述的组合,但不以此为限。遮蔽层包括遮光材料,例如金属材料或光阻材料,但不以此为限。

[0056] 薄膜晶体管T设置于绝缘层120上。薄膜晶体管T包括栅极G、半导体层SEMI、源极S及漏极D。在一些实施例中,在基板110的法线方向(Z轴)上,遮蔽层可重叠于部份半导体层SEMI。遮蔽层可用以遮挡由基板110的底面照射至半导体层SEMI的光线。半导体层SEMI的材料包括单晶硅、多晶硅、非晶硅、金属氧化物材料、有机半导体材料、其他合适的材料或上述的组合。在一些实施例中,绝缘层130设置于半导体层SEMI上。在一些实施例中,第一信号线SL设置于绝缘层130(例如栅极绝缘层)上。在基板110的法线方向(Z轴)上,部分第一信号线SL(例如扫描线)重叠半导体层SEMI以作为栅极G,也就是说栅极G电性连接至第一信号线SL。此与栅极G重叠的半导体层SEMI部分可定义为通道区,在通道区相对两侧的半导体层SEMI部分可别作为源极区及漏极区。绝缘层140设置于第一信号线SL上,第二信号线DL设置于绝缘层140上。在一些实施例中,绝缘层130和/或绝缘层140可形成贯孔(未示出),第二信号线DL(例如是数据线)通过贯孔电性连接于半导体层SEMI(例如源极区)的部分可定义为源极S,但不以此为限。此外,第一导线210(例如是漏极D)可设置于绝缘层140上并通过贯孔电性连接于半导体层SEMI(例如是漏极区)。藉此,第一导线210可通过半导体层SEMI电性连接至第二信号线DL。当薄膜晶体管T开启时,第一导线210上的讯号可以通过半导体层SEMI传递到第二信号线DL。绝缘层150设置于源极S和/或漏极D上。在本实施例中,第一信号线SL与第二信号线DL以及源极S与漏极D可由钼(molybdenum,Mo)、钛(titanium,Ti)、钽(tantalum,Ta)、铌(niobium,Nb)、铪(hafnium,Hf)、镍(nickel,Ni)、铬(chromium,Cr)、钴(cobalt,Co)、锆(zirconium,Zr)、钨(tungsten,W)、铝(aluminum,Al)、铜(copper,Cu)、其他合适的金属、或上述材料的合金或组合,但不以此为限。在一些实施例中,薄膜晶体管T可

视需要而包括顶部栅极(top gate)晶体管、底部栅极(bottom gate)晶体管、双栅极(dual gate)晶体管以及双重栅极(double gate)晶体管,但不以此为限。

[0057] 在本实施例中,第一信号线SL沿着X轴延伸,第二信号线DL沿着Y轴延伸,第一信号线SL与第二信号线DL交错设置,且第一信号线SL与第二信号线DL在Z轴上重叠。如本实施例的图1所示,X轴垂直于Y轴,且Z轴垂直于X轴或Y轴。

[0058] 在一些实施例中,绝缘层160设置于第二信号线DL和/或漏极D上。在基板110的法线方向(Z轴)上,绝缘层150可具有贯孔重叠第一导线210(例如是漏极D)。绝缘层160具有通孔TH1重叠绝缘层150的贯孔,以暴露出第一导线210。在一些实施例中(未绘出),绝缘层160可直接设置于第二信号线DL和/或第一导线210上,即不具有绝缘层150,并且具有通孔TH1,以暴露出第一导线210。第二导线220(例如是像素电极PE)设置于绝缘层160上并延伸入通孔TH1中与第一导线210电性连接。绝缘层170设置于绝缘层160上且可填入通孔TH1中。共用电极CE设置于绝缘层170上。在一些实施例中,绝缘层120、绝缘层130、绝缘层140、绝缘层150、绝缘层170的材料可包括有机绝缘材料或无机绝缘材料,但不限于此。在一些实施例中,绝缘层120、绝缘层130、绝缘层140、绝缘层150、绝缘层170可例如包括单层结构或多层结构,但不限于此。在一些实施例中,第二导线220可为像素电极PE,其材质可包括透明导电材质,例如铟锡氧化物、铟锌氧化物、氧化铟、氧化锡、其他合适材料或上述的组合,亦可为不透明材料,例如铝、钼、铜、钛、其他合适材料或上述的组合,但不以此为限。在一些实施例中,共用电极CE的材质包括透明导电材料,例如铟锡氧化物、铟锌氧化物、氧化铟、氧化锡、其他合适材料或上述的组合,亦可为不透明材料,例如铝、钼、铜、钛、其他合适材料或上述的组合,但不限于此。在一些实施例中,共用电极CE与第二导线220的材料可以相同或不同。

[0059] 请参考图1,图1示出显示装置10的局部子像素阵列。子像素SP例如包含第二导线220(例如是像素电极PE)和薄膜晶体管T。子像素SP可由相邻的两条第一信号线SL以及相邻的两条第二信号线DL所定义。以图1举例说明,子像素SP可沿着X轴排列成三个横行(row),且沿着Y轴排列成二个直列(column)。在此须说明的是,图1是示意性地示出了6个子像素SP,但实际上的数量及排列图案可依据使用者的需求改变,而不以图1所示为限。

[0060] 在一些实施例中,像素电极PE电性连接至薄膜晶体管T。请同时参考图1及图2,详细来说,连接结构200可包括第一导线210、第二导线220以及绝缘层160。在本实施例中,第一导线210可为漏极D,第二导线220可为像素电极PE,但本揭露不以此为限。绝缘层160的至少部份夹设于第一导线210与第二导线220之间。绝缘层160具有被侧墙162所环绕的通孔TH1。第二导线220具有在Z轴上重叠于通孔TH1的连接部222(connection portion)。连接部222通过通孔TH1电性连接至第一导线210(例如为漏极D)。在一些实施例中,绝缘层160可包含有机材料,举例来说,有机材料可包含聚对苯二甲酸乙二酯(polyethylene terephthalate,PET)、聚乙烯(polyethylene,PE)、聚醚砜(polyethersulfone,PES)、聚碳酸酯(polycarbonate,PC)、聚甲基丙烯酸甲酯(polymethylmethacrylate,PMMA)、聚酰亚胺(polyimide,PI)、感光型聚酰亚胺(photo sensitive polyimide,PSPI)或前述的组合,绝缘层160亦可包含无机材料,举例来说,无机材料可包含氧化硅(SiO_x)、氮化硅(SiN_x)或前述的组合,但不以此为限。

[0061] 在一些实施例中,侧墙162具有高位面HS以及低位面LS。高位面HS可例如为侧墙162的顶部,低位面LS可例如为侧墙162的底部。环绕通孔TH1的侧墙162具有斜面SS。斜面SS

位于高位面HS以及低位面LS之间且可连接至高位面HS以及低位面LS。由低位面LS与高位面HS在Z轴上的距离可定义出通孔TH1的侧墙162的高度H1。在一些实施例中,高位面HS与低位面LS的高度差(即高度H1)可在1微米(μm)至6微米($1\text{微米} \leq \text{高度差} \leq 6\text{微米}$)、2微米至6微米($2\text{微米} \leq \text{高度差} \leq 6\text{微米}$)、2微米至3微米($2\text{微米} \leq \text{高度差} \leq 3\text{微米}$)、3微米至5微米($3\text{微米} \leq \text{高度差} \leq 5\text{微米}$),但不以此为限。在一些实施例中(未示出),于剖面下,斜面SS亦可具有弧型曲面。

[0062] 在一些实施例中,于俯视下(沿Z轴方向上),通孔TH1或环绕通孔TH1的侧墙162的图案可为圆形,但不以此为限。在其它实施例中(未示出),通孔TH1或通孔TH1的侧墙162的图案可为矩形、多角形、椭圆形或不规则形,但不以此为限。

[0063] 在此须注意的是,于具有高解析度需求的显示装置中,子像素SP的尺寸将会变小。因此,像素电极PE连接漏极D的部分会尽量设置于通孔TH1的底面,以降低相邻的像素电极PE接触而导致短路发生。然而,在黄光微影工艺中,由于设置在通孔TH1底面的像素电极PE的连接部222的光路较设置在绝缘层160顶表面上的像素电极PE来得长,因此对像素电极PE进行图案化时,绝缘层160的顶表面上的像素电极PE的曝光量会增加,而导致过曝(over-exposure),造成像素电极PE的尺寸缩小,而可能使显示装置产生电性连接异常或因像素电极PE的尺寸缩小而影响储存电容而降低显示质量。

[0064] 值得注意的是,本揭露一实施例的显示装置10包括连接结构200,且连接结构200的第二导线220的连接部222截止于通孔TH1的侧墙162上。具体来说,第二导线220(例如为像素电极PE)可自绝缘层160上,往通孔TH1中延伸。第二导线220的连接部222可定义为第二导线220在通孔TH1中或重叠通孔TH1的部分。更具体来说,连接部222截止于通孔TH1的侧墙162的斜面SS上。藉此,连接部222不会超出通孔TH1的轮廓,因此相邻的第二导线220(例如为像素电极PE)相接触的风险可以减少,或可以降低产生电性异常的机会。

[0065] 此外,连接部222的外边缘222' 设置于不小于侧墙162的高度H1的10%的位置上,且连接部222的外边缘222' 设置于不大于侧墙162的高度H1的90%的位置上。换句话说,连接部222在侧墙162上的高度H2可以大于等于H1的10%,或小于等于H1的90%。在另一些实施例中,连接部222的外边缘222' 设置于不小于侧墙162的高度H1的20%的位置上,且连接部222的外边缘222' 设置于不大于侧墙162的高度H1的80%的位置上。换句话说,连接部222在侧墙162上的高度H2可以大于等于H1的20%,或小于等于H1的80%,但不以此为限。也就是说,连接部222的外边缘222' 会停在侧墙162的斜面SS上。由于连接部222设置在斜面SS上,其外边缘222' 位于通孔TH1的轮廓之内,因此在黄光微影制程中,连接部222可受到较佳的曝光量,且绝缘层160的顶表面上的第二导线220(例如为像素电极PE)也不易过曝。在上述的设置下,像素电极PE的尺寸可以维持在适当的大小。如此一来,像素电极PE与共用电极CE之间的电容量较不受影响。显示装置10可具有较佳的电性质量,或具有较佳的显示质量。

[0066] 在本实施例中,显示装置10的子像素SP例如是顶共用电极(top com electrode)的设计,但本揭露不以此为限。在一些实施例中,如图3为本揭露另一实施例的显示装置的剖面示意图。为了附图清楚及方便说明,图3省略示出了若干元件。本实施例的显示装置10A大致相似于图2的显示装置10,因此两实施例中相同与相似的构件于此不再重述。本实施例不同于显示装置10之处主要在于,显示装置10A例如是顶像素电极(top pixel electrode)的设计。举例来说,共用电极CE设置于绝缘层160上。共用电极CE可环绕通孔TH1设置而不在

Z轴上重叠通孔TH1。绝缘层170设置在共用电极CE上,且覆盖绝缘层160。绝缘层170可具有贯孔并重叠于绝缘层160的通孔TH1。绝缘层170的贯孔、绝缘层160的通孔TH1及绝缘层150的贯孔可露出第一导线210(例如为漏极D)。第二导线220(例如为像素电极PE)的连接部222设置于通孔TH1的侧墙162上,且在通孔TH1中电性连接第一导线210。藉此,连接结构200或显示装置10A可获致与上述实施例相似的较佳技术效果。

[0067] 简言之,在本揭露一实施例的包括连接结构200的显示装置10中,由于连接结构200的第二导线220的连接部222设置在绝缘层160的通孔TH1的侧墙162的斜面SS上。因此,相邻子像素SP的第二导线220不容易相互接触,或可降低产生电性异常的机会。此外,在进行黄光微影制程时,连接部222可受到较好的曝光量,且在绝缘层160顶表面上的第二导线220(例如为像素电极PE)也不易过曝。在上述的设置下,像素电极PE的尺寸可以维持适当的大小。如此一来,像素电极PE与共用电极CE之间的电容量较不受影响。显示装置10可具有较佳的电性质量,或具有较佳的显示质量。

[0068] 以下将列举其他实施例以作为说明。在此必须说明的是,下述实施例沿用前述实施例的元件标号与部分内容,其中采用相同的标号来表示相同或近似的元件,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例,下述实施例不再重复赘述。

[0069] 图4为本揭露另一实施例的显示装置的局部放大上视示意图。图5A为本揭露另一实施例的第二导线的局部放大示意图。为了附图清楚及方便说明,图4及图5A省略示出了若干元件。本实施例的显示装置10B大致相似于图1的显示装置10,因此两实施例中相同与相似的构件于此不再重述。本实施例不同于显示装置10之处主要在于,显示装置10B的子像素SP'的连接部222例如是成对地相邻设置。详细来说,相邻的两条第一信号线SL在辅助线L的上下两侧设置在基板110上,辅助线L与第一信号线SL大致沿着X轴延伸。换句话说,两条第一信号线SL在辅助线L的两侧镜像(mirror)设置。至少三条第二信号线DL沿着Y轴延伸,且第二信号线DL并与第一信号线SL交错。相邻的两条第二信号线DL可以定义出子像素SP'。子像素SP1'与子像素SP2'分别位于辅助线L的两侧且以镜像设置。举例来说,子像素SP1'的第二导线220(例如是像素电极PE)的连接部222邻近辅助线L的一侧设置,且子像素SP2'的第二导线220(例如是像素电极PE)的连接部222邻近辅助线L的相对应另一侧设置。从另一角度来说,成对设置的子像素SP1'与子像素SP2'是采用背对背(back to back)的设计。藉此子像素SP'之间可以共用部分通孔使显示装置10B的开口率可以提升。在此须注意的是,图4是示意性地示出6个子像素SP'(包括子像素SP1'、子像素SP2'),但实际上的数量及排列图案可依据使用者的需求改变,而不以图4所示为限。

[0070] 请参考图4及图5A,图5A是通孔TH1和通孔TH2的局部放大示意图。连接结构200的绝缘层160具有通孔TH1及通孔TH2。通孔TH1或通孔TH2分别露出第一导线210(例如是漏极D)。第二导线220还包括主体部224。主体部224例如为像素电极PE重叠共用电极CE的电极部分,亦可包含上述电极部分与连接部222之间以连接两者的颈部,但不以此为限,可依使用者的需求而定义。如图5A所示,通孔TH1(或通孔TH2)由侧墙162所环绕。从Z轴方向上来看,通孔TH1(或通孔TH2)的侧墙162的最外缘为通孔TH1(或通孔TH2)的顶部,亦为高位面HS。通孔TH1(或通孔TH2)的侧墙162的最内缘为通孔TH1(或通孔TH2)的底部,亦为低位面LS。高位面HS与低位面LS之间的侧墙162可具有斜面SS。

[0071] 在一些实施例中,主体部224可定义为第二导线220设置于绝缘层160顶表面上,且

大致不重叠通孔TH1(或通孔TH2)的部分。如图5A所示,主体部224设置于绝缘层160或高位面HS上,且主体部224可由绝缘层160或通孔TH1(或通孔TH2)的高位面HS延伸至通孔TH1(或通孔TH2)的外缘,以在环绕通孔TH1(或通孔TH2)的侧墙162上连接至连接部222。连接部222定义为设置在环绕通孔TH1(或通孔TH2)的侧墙162的斜面SS上,且在低位面LS处电性连接第一导线210(示出于图4及图6)。

[0072] 值得注意的是,由图4及图5A所示的上视图可知,由于连接部222停在或截止于通孔TH1的侧墙162的斜面SS上,因此相邻的第二导线220的连接部222不容易接触,或可降低产生电性异常的机会。此外,连接结构200或显示装置10B可获致与上述实施例相似的较佳技术效果。

[0073] 在另一些实施例中,如图5B为本揭露再一实施例的第二导线的局部放大示意图。为了附图清楚及方便说明,图5B省略示出了若干元件。当显示装置10C因像素设计排列调整或解析度较低有设计空间时,成对的相邻两个子像素SP' (例如子像素SP1' 及子像素SP2') 通孔TH1及通孔TH2之间的距离可以增加。如此一来,第二导线220的主体部224可在Y轴上延伸进入通孔TH1并在侧墙162上连接至连接部222。连接部222再于Y轴上延伸至通孔TH1的外缘与主体部224接触。藉此,子像素SP1' 的主体部224的部分与子像素SP2' 的主体部224的部分可往辅助线L延伸,并设置于辅助线L的相对两侧的绝缘层160上。在上述的设置下,相邻的第二导线220的连接部222不易接触,或可降低产生电性异常的机会。此外,连接结构200或显示装置10C可获致与上述实施例相似的较佳技术效果。

[0074] 图6为图4的剖面线B-B' 的剖面示意图。为了附图清楚及方便说明,图6省略示出了若干元件。图6所示的显示装置10B的剖面图大致相似于图2所示的显示装置10的剖面图,因此两实施例中相同与相似的构件于此不再重述。在本实施例中,绝缘层120设置在基板110上。半导体层SEMI设置在绝缘层120上。绝缘层130设置在半导体层SEMI上。栅极G设置在绝缘层130上。绝缘层140设置在栅极G上。第一导线210(例如是漏极D)设置在绝缘层140上。绝缘层150设置在第一导线210上。绝缘层160设置在绝缘层150与第一导线210上。绝缘层160具有被侧墙162所环绕的通孔TH1及通孔TH2。通孔TH1与通孔TH2可分别设置在辅助线L的相对两侧。第二导线220的连接部222截止于通孔TH1的侧墙162上,或截止于通孔TH2的侧墙162上。举例来说,在辅助线L一侧的子像素SP1' 中的连接部222设置于环绕通孔TH1的侧墙162上。在辅助线L另一侧的子像素SP2' 中的连接部222设置于环绕通孔TH2的侧墙162上。环绕通孔TH1或通孔TH2的侧墙162具有高位面HS以及低位面LS。通孔TH1或通孔TH2的侧墙162具有斜面SS。斜面SS位于高位面HS以及低位面LS之间且可连接至高位面HS以及低位面LS。

[0075] 在本实施例中,在通孔TH1与通孔TH2之间或重叠辅助线L的绝缘层可包含绝缘层150' 及绝缘层160', 可用来定义环绕通孔TH1与通孔TH2的侧墙162的高度。具体来说,由上述侧墙162的低位面LS至高位面HS之间(也就是低位面LS与高位面HS在Z轴上的距离)可定义出环绕通孔TH1或通孔TH2的侧墙162的高度H1' 。

[0076] 在一些实施例中,远离辅助线L(或不位于通孔TH1与通孔TH2之间)的绝缘层160与邻近辅助线(或位于通孔TH1与通孔TH2之间)的绝缘层160' 的高度可以一致。绝缘层160与绝缘层160' 的高度例如是定义为侧墙162的高位面HS至侧墙162的底表面接触绝缘层150' 的低位面LS之间的垂直距离。在另一些实施例中,绝缘层160的高度与绝缘层160' 的高度也可以不一致。举例来说,位于通孔TH1与通孔TH2之间的绝缘层160' 的高度可在黄光微影工

艺后而减少,因此,绝缘层160的高度可以大于绝缘层160'的高度,但本揭露不以此为限。在另一些实施例中,绝缘层160的高度也可以小于绝缘层160'的高度。

[0077] 在一些实施例中,连接部222的外边缘222' 设置于不小于侧墙162的高度H1' 的10%的位置上,且连接部222的外边缘222' 设置于不大于侧墙162的高度H1' 的90%的位置上。换句话说,连接部222在侧墙162上的高度H2' 可以大于等于H1' 的10%,或小于等于H1' 的90%。在另一些实施例中,连接部222的外边缘222' 设置于不小于侧墙162的高度H1' 的20%的位置上,且连接部222的外边缘222' 设置于不大于侧墙162的高度H1' 的80%的位置上。换句话说,连接部222在侧墙162上的高度H2' 可以大于等于H1' 的20%,或小于等于H1' 的80%,但不以此为限。藉此,连接部222的外边缘222' 会停在侧墙162的斜面SS上。由于连接部222设置在斜面SS上,因此在黄光微影制程中,连接部222可受到较好的曝光量,且绝缘层160' 的顶表面上的第二导线220(例如为像素电极PE)也不易过曝。在上述的设置下,像素电极PE的尺寸可以维持适当的大小。如此一来,像素电极PE与共用电极之间的电容量较不受影响。显示装置10B可具有较佳的电性质量,或具有较佳的显示质量。

[0078] 综上所述,在本揭露实施例的连接结构及包含其的显示装置中,通过连接结构的第二导线的连接部设置在绝缘层的通孔的侧墙上。因此,相邻子像素的第二导线不容易接触,或可降低产生电性异常的机会。此外,在进行黄光微影制程时,连接部可受到较好的曝光量,且在绝缘层顶表面上的第二导线(例如为像素电极)也不易过曝。在上述的设置下,像素电极的尺寸可以维持适当的大小。如此一来,像素电极与共用电极之间的电容量较不受影响。包含连接结构的显示装置可具有较佳的电性质量,或具有较佳的显示质量。

[0079] 最后应说明的是:以上各实施例仅用以说明本揭露的技术方案,而非对其限制;尽管参照前述各实施例对本揭露进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本揭露各实施例技术方案的范围。各实施例间的特征只要不违背发明精神或相冲突,均可任意混合搭配使用。

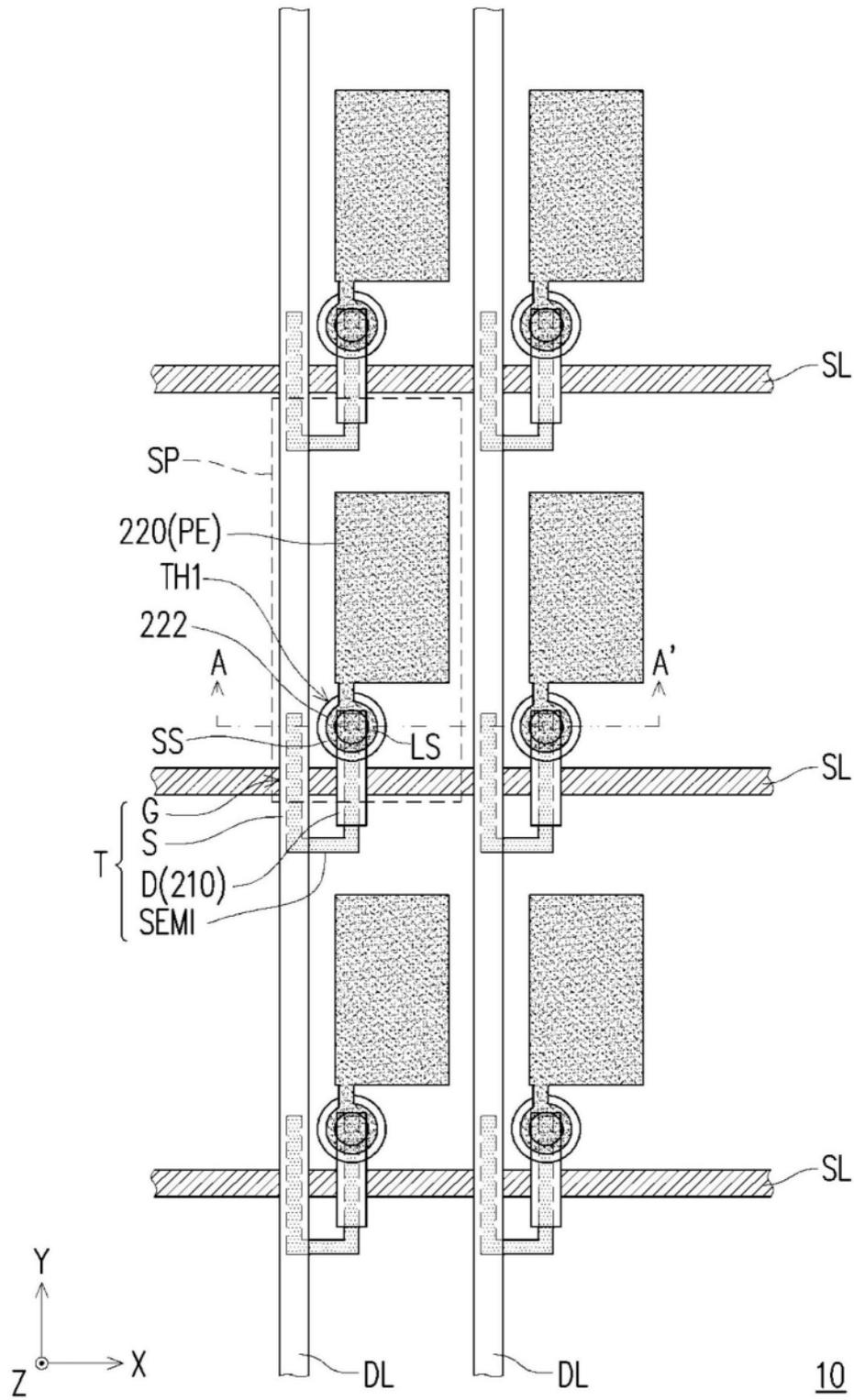


图1

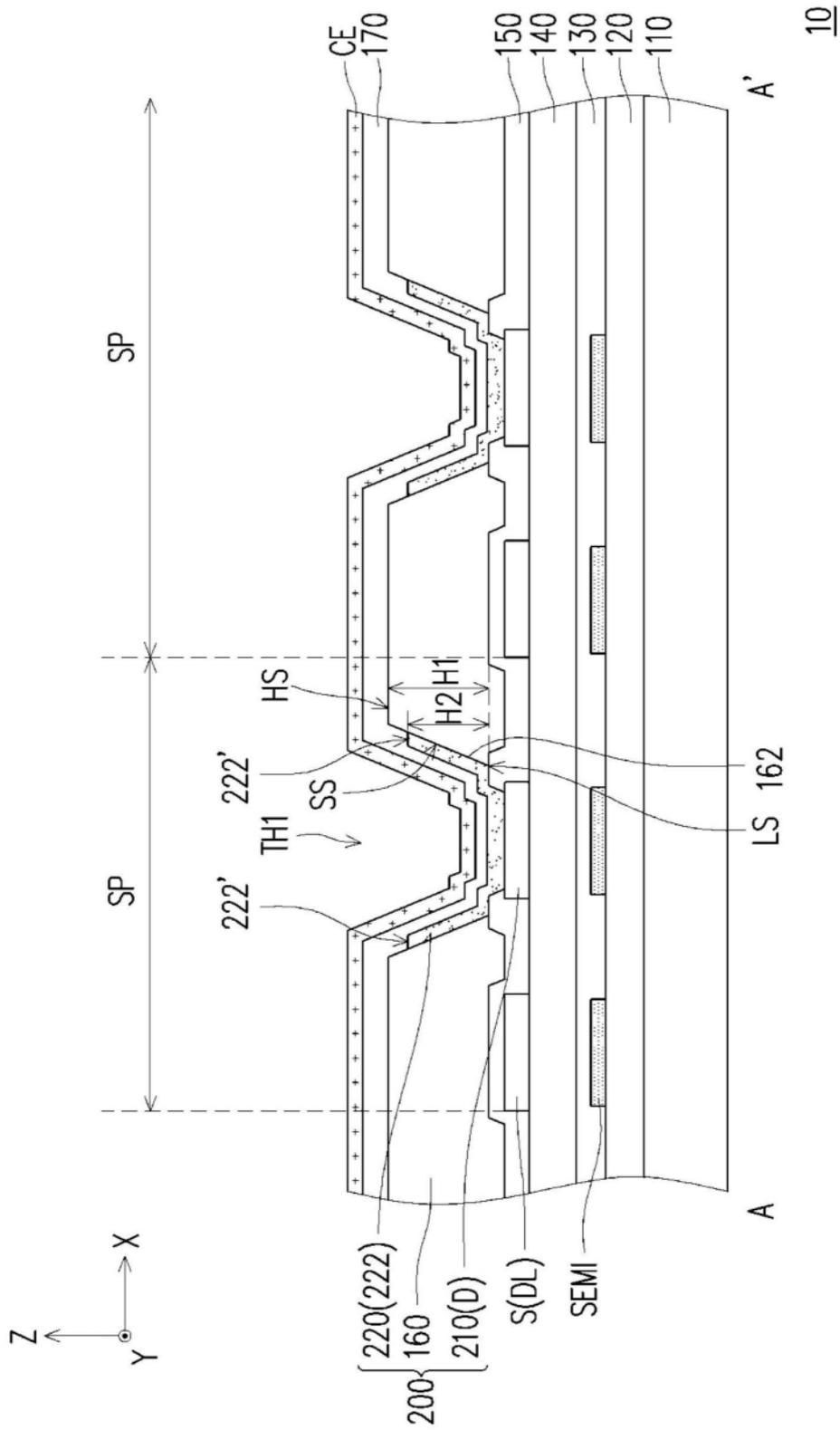


图2

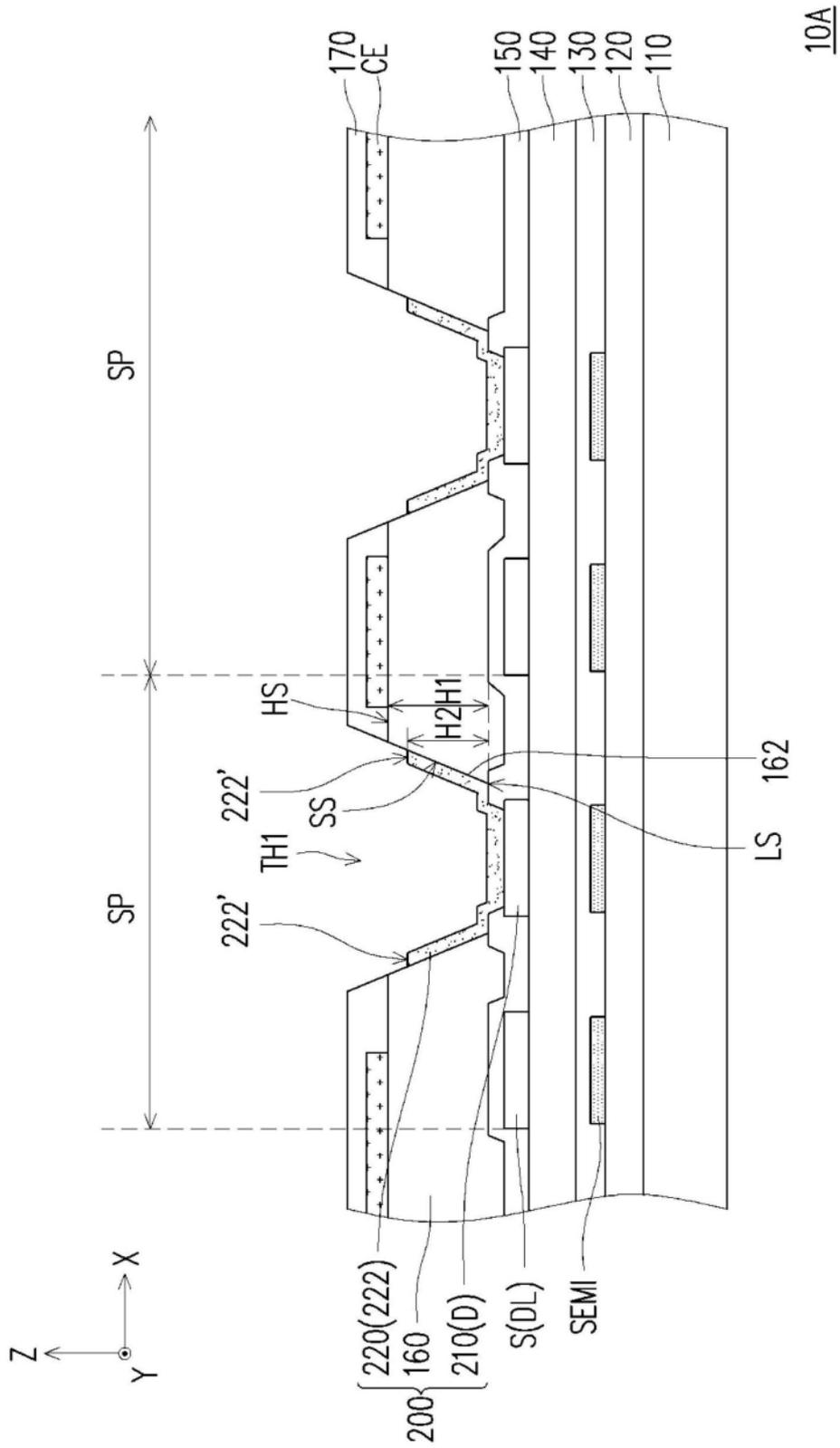


图3

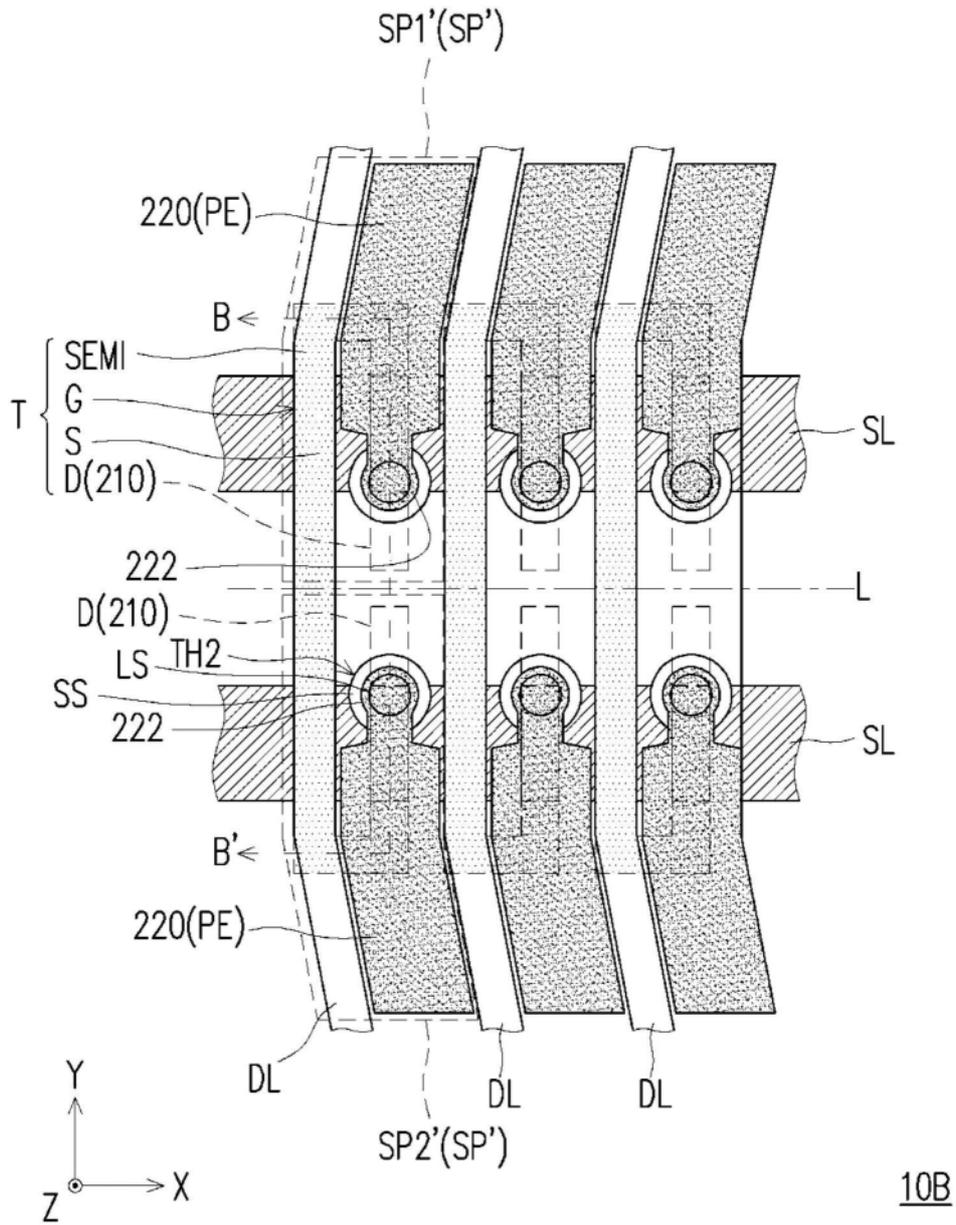


图4

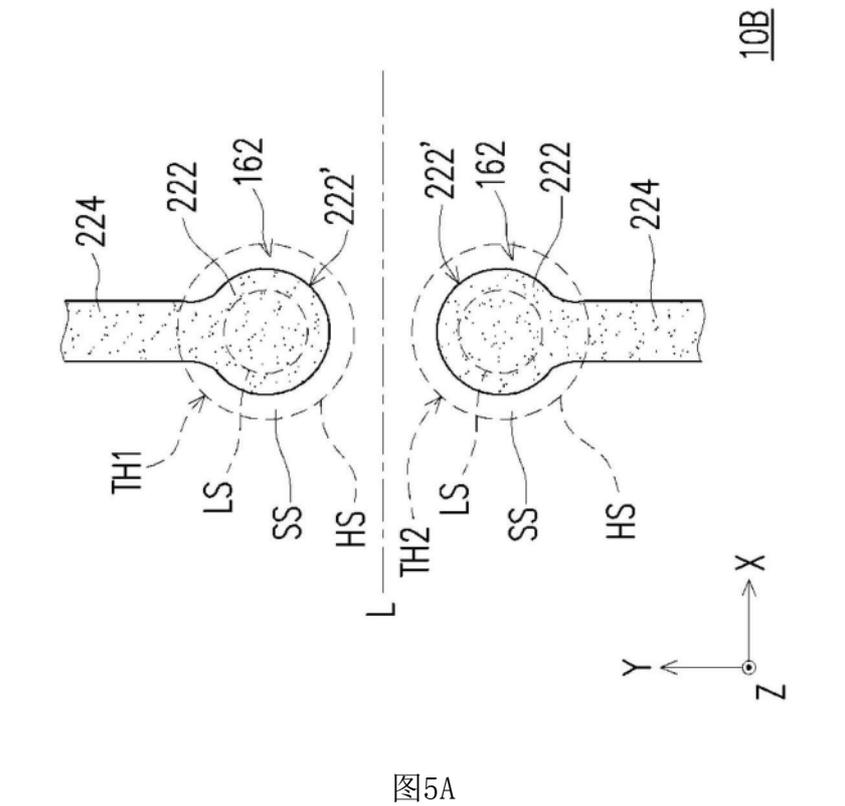


图5A

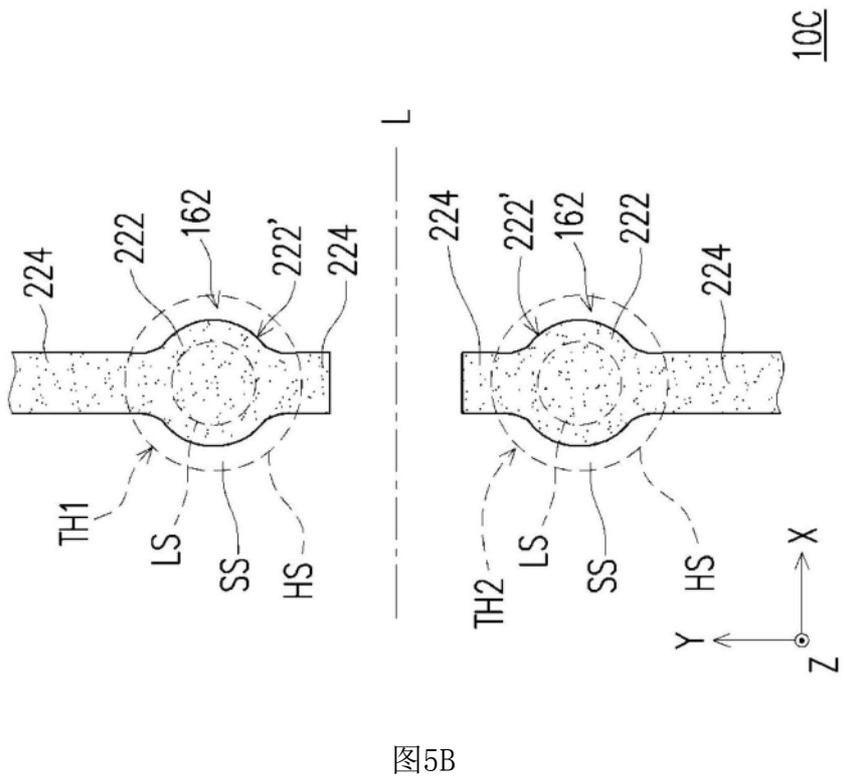


图5B

