

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-169606

(P2019-169606A)

(43) 公開日 令和1年10月3日(2019.10.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/41 (2006.01)	HO 1 L 29/44 P	2H192
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 612D	4M104
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 616T	5F110
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 612C	
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 617K	

審査請求 未請求 請求項の数 19 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2018-56104 (P2018-56104)  
 (22) 出願日 平成30年3月23日 (2018. 3. 23)

(71) 出願人 000005049  
 シャープ株式会社  
 大阪府堺市堺区匠町 1 番地  
 (74) 代理人 100101683  
 弁理士 奥田 誠司  
 (74) 代理人 100155000  
 弁理士 喜多 修市  
 (74) 代理人 100139930  
 弁理士 山下 亮司  
 (74) 代理人 100125922  
 弁理士 三宅 章子  
 (74) 代理人 100135703  
 弁理士 岡部 英隆  
 (74) 代理人 100184985  
 弁理士 田中 悠

最終頁に続く

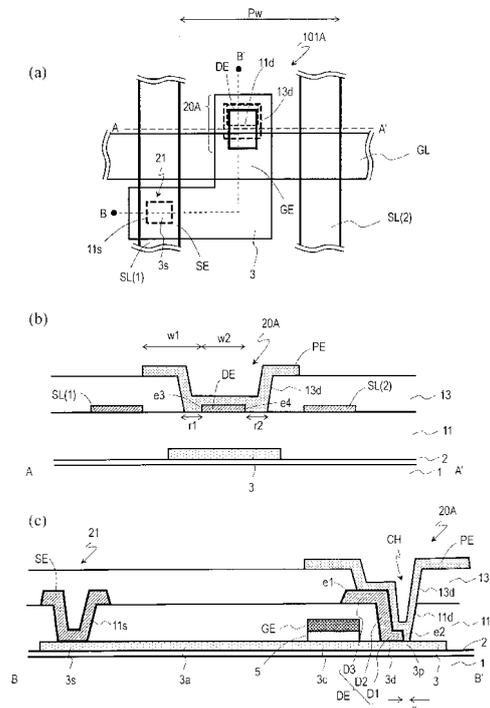
(54) 【発明の名称】 アクティブマトリクス基板およびその製造方法

(57) 【要約】 (修正有)

【課題】 高い画素開口率および/または高い精細度を有し得るアクティブマトリクス基板を提供する。

【解決手段】 ドレイン電極 DE は、半導体層のうちドレイン開口部 11d によって露出された露出部分の一部のみと接する第 1 部分 D1 と、ドレイン開口部の側面に位置する第 2 部分 D2 と、下部絶縁層 11 の上面に位置する第 3 部分 D3 とを含み、TFT を覆う上部絶縁層 13 は、ドレイン開口部と部分的に重なる上部開口部 13d を有する。基板 1 の法線方向から見たとき、上部開口部及びドレイン開口部は半導体層の内部に位置し、かつ、ドレイン電極は、ドレイン開口部の一部のみ及び上部開口部の一部のみと重なっており、画素電極 PE は、上部開口部 13d およびドレイン開口部 11d を含むコンタクトホール CH 内で、ドレイン電極の少なくとも第 1 部分および第 2 部分と半導体層の露出部分の他の一部 3p と直接接する。

【選択図】 図 2



## 【特許請求の範囲】

## 【請求項 1】

複数の画素領域を有するアクティブマトリクス基板であって、

前記複数の画素領域のそれぞれは、基板に支持された薄膜トランジスタと、画素電極とを有し、

前記薄膜トランジスタは、

前記基板に支持された半導体層と、

前記半導体層上にゲート絶縁層を介して配置されたゲート電極と、

前記ゲート電極および前記半導体層を覆う下部絶縁層であって、前記半導体層の一部を露出するソース開口部およびドレイン開口部が形成されている、下部絶縁層と、

前記下部絶縁層上に配置され、前記ソース開口部内で前記半導体層と接するソース電極、および、前記下部絶縁層上に配置され、前記ドレイン開口部内で前記半導体層と接するドレイン電極と

を備え、

前記ドレイン電極は、前記半導体層のうち前記ドレイン開口部によって露出された露出部分の一部のみと接する第 1 部分と、前記ドレイン開口部の側面に位置する第 2 部分と、前記下部絶縁層の上面に位置する第 3 部分とを含み、

前記薄膜トランジスタを覆う上部絶縁層をさらに備え、前記上部絶縁層は、前記ドレイン開口部と少なくとも部分的に重なる上部開口部を有し、前記上部開口部および前記ドレイン開口部は、前記上部絶縁層および前記下部絶縁層を貫通するコンタクトホールを構成しており、

前記基板の法線方向から見たとき、前記上部開口部および前記ドレイン開口部は前記半導体層の内部に位置し、

前記基板の法線方向から見たとき、前記ドレイン電極は、前記ドレイン開口部の一部のみおよび前記上部開口部の一部のみと重なっており、

前記画素電極は、前記コンタクトホール内で、前記ドレイン電極の少なくとも前記第 1 部分および前記第 2 部分、および、前記半導体層の前記露出部分の他の一部と直接接する、アクティブマトリクス基板。

## 【請求項 2】

前記基板の法線方向から見たとき、前記ドレイン電極の前記第 3 部分は、前記第 1 部分よりも前記ゲート電極側に位置している、請求項 1 に記載のアクティブマトリクス基板。

## 【請求項 3】

前記基板の法線方向から見たとき、前記ドレイン電極の前記第 3 部分は、前記ゲート電極と少なくとも部分的に重なっている、請求項 1 または 2 に記載のアクティブマトリクス基板。

## 【請求項 4】

前記基板の法線方向から見たとき、前記薄膜トランジスタのチャネル幅方向に沿った前記ドレイン電極の幅は、前記上部開口部の前記チャネル幅方向に沿った幅よりも小さい、請求項 1 から 3 のいずれかに記載のアクティブマトリクス基板。

## 【請求項 5】

前記基板に垂直であり、かつ、前記ドレイン電極および前記上部開口部を前記チャネル幅方向に横切る断面において、前記ドレイン電極は前記上部開口部の内部に位置する、請求項 4 に記載のアクティブマトリクス基板。

## 【請求項 6】

前記基板の法線方向から見たとき、前記ドレイン電極は、前記ゲート電極側に位置する第 1 端部と、前記ゲート電極と反対側に位置する第 2 端部とを有し、

前記薄膜トランジスタのチャネル幅方向に沿った前記ドレイン電極の幅は、前記第 1 端部で前記第 2 端部よりも大きい、請求項 1 から 3 のいずれかに記載のアクティブマトリクス基板。

## 【請求項 7】

10

20

30

40

50

前記基板の法線方向から見たとき、前記ドレイン電極における前記第1端部の前記チャンネル幅方向に沿った幅は、前記上部開口部の前記チャンネル幅方向に沿った幅よりも大きく、前記ドレイン電極における前記第2端部の前記チャンネル幅方向に沿った幅は、前記上部開口部の前記チャンネル幅方向に沿った幅よりも小さい、請求項6に記載のアクティブマトリクス基板。

【請求項8】

前記基板の法線方向から見たとき、前記上部開口部と前記ゲート電極とは少なくとも部分的に重なっており、

前記基板の法線方向から見たとき、前記上部開口部のうち前記ゲート電極と重なっている部分全体は、前記ドレイン電極の内部に位置している、請求項6または7に記載のアクティブマトリクス基板。

10

【請求項9】

前記アクティブマトリクス基板は、列方向に延びる複数のソースバスラインと、前記列方向と交差する行方向に延びる複数のゲートバスラインとを有し、

前記ソース電極は、前記複数のソースバスラインの対応する1つに接続され、前記ゲート電極は、前記複数のゲートバスラインの対応する1つに接続されており、

前記ソース電極および前記ドレイン電極は前記複数のソースバスラインと同じ導電膜から形成されている、請求項1から8のいずれかに記載のアクティブマトリクス基板。

【請求項10】

前記アクティブマトリクス基板は、列方向に延びる複数のソースバスラインと、前記列方向と交差する行方向に延びる複数のゲートバスラインとを有し、

前記ソース電極は、前記複数のソースバスラインの対応する1つに接続され、前記ゲート電極は、前記複数のゲートバスラインの対応する1つに接続されており、

前記ソース電極および前記ドレイン電極は前記複数のソースバスラインと同じ導電膜から形成されており、

前記基板の法線方向から見たとき、前記半導体層のうち前記ゲート電極よりも前記ドレイン電極側に位置する部分は、前記行方向に延びており、

前記ドレイン電極は、前記対応する1つのゲートバスライン側に位置する第1端部と、前記対応する1つのゲートバスラインと反対側に位置する第2端部とを有し、

前記ドレイン電極の前記行方向に沿った幅は、前記第1端部で前記第2端部よりも大きい、請求項1に記載のアクティブマトリクス基板。

20

30

【請求項11】

前記基板の法線方向から見たとき、前記ドレイン電極における前記第1端部の前記行方向に沿った幅は、前記上部開口部の前記行方向に沿った幅よりも大きく、前記ドレイン電極における前記第2端部の前記行方向に沿った幅は、前記上部開口部の前記行方向に沿った幅よりも小さい、請求項10に記載のアクティブマトリクス基板。

【請求項12】

前記アクティブマトリクス基板は、列方向に延びる複数のソースバスラインと、前記列方向と交差する行方向に延びる複数のゲートバスラインとを有し、

前記ソース電極は、前記複数のソースバスラインの対応する1つに接続され、前記ゲート電極は、前記複数のゲートバスラインの対応する1つに接続されており、

前記ソース電極および前記ドレイン電極は前記複数のソースバスラインと同じ導電膜から形成されており、

前記基板の法線方向から見たとき、前記半導体層のうち前記ゲート電極よりも前記ドレイン電極側に位置する部分は、前記行方向に延びており、

前記基板の法線方向から見たとき、前記ドレイン電極は、前記ゲート電極と間隔を空けて配置され、かつ、前記ドレイン電極の前記第3部分は、前記対応する1つのゲートバスラインと少なくとも部分的に重なっている、請求項1に記載のアクティブマトリクス基板。

40

【請求項13】

50

前記ソース開口部は、前記対応する1つのソースバスラインと重なるように配置され、前記基板の法線方向から見たとき、前記半導体層は、前記ソース開口部から、前記対応する1つのゲートバスラインを横切って前記コンタクトホールまでL字形に延びている、請求項9から12のいずれかに記載のアクティブマトリクス基板。

【請求項14】

前記ソース開口部は、前記対応する1つのソースバスラインと重なるように配置され、前記基板の法線方向から見たとき、前記半導体層は、前記ソース開口部から、前記対応する1つのゲートバスラインを2回横切るように前記コンタクトホールまでU字形に延びている、請求項9に記載のアクティブマトリクス基板。

【請求項15】

前記半導体層は酸化物半導体層である、請求項1から13のいずれかに記載のアクティブマトリクス基板。

【請求項16】

前記酸化物半導体層はIn-Ga-Zn-O系半導体を含む、請求項15に記載のアクティブマトリクス基板。

【請求項17】

前記酸化物半導体層は結晶質部分を含む、請求項16に記載のアクティブマトリクス基板。

【請求項18】

前記半導体層は、結晶質シリコン半導体層である、請求項14に記載のアクティブマトリクス基板。

【請求項19】

基板上に半導体層を形成する工程と、  
前記半導体層の一部上にゲート絶縁層を介してゲート電極を形成する工程と、  
前記半導体層および前記ゲート電極を覆うように下部絶縁層を形成し、前記下部絶縁層に、前記半導体層の一部を露出するドレイン開口部を形成する工程と、  
前記下部絶縁層上および前記ドレイン開口部内にドレイン電極を形成する工程であって、前記ドレイン電極は、前記ドレイン開口部内で、前記半導体層の露出した部分の一部のみと接する、ドレイン電極形成工程と、  
前記下部絶縁層および前記ドレイン電極を覆うように上部絶縁層を形成する工程と、  
前記上部絶縁層のパターニングを行うことにより、前記ドレイン開口部と少なくとも部分的に重なるように上部開口部を形成する工程であって、前記パターニングでは、前記ドレイン電極および前記半導体層をエッチストップとして機能させる、パターニング工程と、

前記上部絶縁層上、前記上部開口部内および前記ドレイン開口部内に画素電極を形成する工程と

を包含する、アクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板およびその製造方法に関する。

【背景技術】

【0002】

液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎にスイッチング素子として薄膜トランジスタ(Thin Film Transistor; 以下、「TFT」)を備えている。このようなTFT(以下、「画素TFT」)としては、従来から、アモルファスシリコン膜を活性層とするTFT(以下、「アモルファスシリコンTFT」)や多結晶シリコン膜を活性層とするTFT(以下、「多結晶シリコンTFT」)が広く用いられている。

【0003】

10

20

30

40

50

TFTの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いる場合がある。このようなTFTを「酸化物半導体TFT」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体TFTは、アモルファスシリコンTFTよりも高速で動作することが可能である。従って、酸化物半導体TFTを用いて、ゲートドライバやソースドライバなどの駆動回路を、基板上にモノリシック（一体的）に設ける技術も知られている。

【0004】

酸化物半導体TFTの多くは、ボトムゲート構造を有しているが、トップゲート構造を有する酸化物半導体TFTも提案されている（例えば特許文献1）。

【先行技術文献】

10

【特許文献】

【0005】

【特許文献1】特開2015-195363号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明者が検討したところ、トップゲート構造を有する画素TFTを用いたアクティブマトリクス基板では、ドレイン電極のサイズを小さくすることが困難である。このため、高い画素開口率が得られない可能性がある。また、ドレイン電極の幅を小さくできないことで、隣接するソースバスライン間の距離（以下、「画素幅」）を低減することが難しく、高い精細度が得られない可能性がある。詳細は後述する。

20

【0007】

本発明の一実施形態は上記事情に鑑みてなされたものであり、その目的は、トップゲート構造を有するTFTを備え、高い画素開口率および/または高い精細度を有し得るアクティブマトリクス基板を提供することにある。

【課題を解決するための手段】

【0008】

本発明の一実施形態のアクティブマトリクス基板は、複数の画素領域を有するアクティブマトリクス基板であって、前記複数の画素領域のそれぞれは、基板に支持された薄膜トランジスタと、画素電極とを有し、前記薄膜トランジスタは、前記基板に支持された半導体層と、前記半導体層上にゲート絶縁層を介して配置されたゲート電極と、前記ゲート電極および前記半導体層を覆う下部絶縁層であって、前記半導体層の一部を露出するソース開口部およびドレイン開口部が形成されている、下部絶縁層と、前記下部絶縁層上に配置され、前記ソース開口部内で前記半導体層と接するソース電極、および、前記下部絶縁層上に配置され、前記ドレイン開口部内で前記半導体層と接するドレイン電極とを備え、前記ドレイン電極は、前記半導体層のうち前記ドレイン開口部によって露出された露出部分の一部のみと接する第1部分と、前記ドレイン開口部の側面に位置する第2部分と、前記下部絶縁層の上面に位置する第3部分とを含み、前記薄膜トランジスタを覆う上部絶縁層をさらに備え、前記上部絶縁層は、前記ドレイン開口部と少なくとも部分的に重なる上部開口部を有し、前記上部開口部および前記ドレイン開口部は、前記上部絶縁層および前記下部絶縁層を貫通するコンタクトホールを構成しており、前記基板の法線方向から見たとき、前記上部開口部および前記ドレイン開口部は前記半導体層の内部に位置し、前記基板の法線方向から見たとき、前記ドレイン電極は、前記ドレイン開口部の一部のみおよび前記上部開口部の一部のみと重なっており、前記画素電極は、前記コンタクトホール内で、前記ドレイン電極の少なくとも前記第1部分および前記第2部分、および、前記半導体層の前記露出部分の他の一部と直接接する。

30

40

【0009】

ある実施形態において、前記基板の法線方向から見たとき、前記ドレイン電極の前記第3部分は、前記第1部分よりも前記ゲート電極側に位置している。

【0010】

50

ある実施形態において、前記基板の法線方向から見たとき、前記ドレイン電極の前記第3部分は、前記ゲート電極と少なくとも部分的に重なっている。

【0011】

ある実施形態において、前記基板の法線方向から見たとき、前記薄膜トランジスタのチャンネル幅方向に沿った前記ドレイン電極の幅は、前記上部開口部の前記チャンネル幅方向に沿った幅よりも小さい。

【0012】

ある実施形態において、前記基板に垂直であり、かつ、前記ドレイン電極および前記上部開口部を前記チャンネル幅方向に横切る断面において、前記ドレイン電極は前記上部開口部の内部に位置する。

【0013】

ある実施形態において、前記基板の法線方向から見たとき、前記ドレイン電極は、前記ゲート電極側に位置する第1端部と、前記ゲート電極と反対側に位置する第2端部とを有し、前記薄膜トランジスタのチャンネル幅方向に沿った前記ドレイン電極の幅は、前記第1端部で前記第2端部よりも大きい。

【0014】

ある実施形態において、前記基板の法線方向から見たとき、前記ドレイン電極における前記第1端部の前記チャンネル幅方向に沿った幅は、前記上部開口部の前記チャンネル幅方向に沿った幅よりも大きく、前記ドレイン電極における前記第2端部の前記チャンネル幅方向に沿った幅は、前記上部開口部の前記チャンネル幅方向に沿った幅よりも小さい。

【0015】

ある実施形態において、前記基板の法線方向から見たとき、前記上部開口部と前記ゲート電極とは少なくとも部分的に重なっており、前記基板の法線方向から見たとき、前記上部開口部のうち前記ゲート電極と重なっている部分全体は、前記ドレイン電極の内部に位置している。

【0016】

ある実施形態において、前記アクティブマトリクス基板は、列方向に延びる複数のソースバスラインと、前記列方向と交差する行方向に延びる複数のゲートバスラインとを有し、前記ソース電極は、前記複数のソースバスラインの対応する1つに接続され、前記ゲート電極は、前記複数のゲートバスラインの対応する1つに接続されており、前記ソース電極および前記ドレイン電極は前記複数のソースバスラインと同じ導電膜から形成されている。

【0017】

ある実施形態において、前記アクティブマトリクス基板は、列方向に延びる複数のソースバスラインと、前記列方向と交差する行方向に延びる複数のゲートバスラインとを有し、前記ソース電極は、前記複数のソースバスラインの対応する1つに接続され、前記ゲート電極は、前記複数のゲートバスラインの対応する1つに接続されており、前記ソース電極および前記ドレイン電極は前記複数のソースバスラインと同じ導電膜から形成されており、前記基板の法線方向から見たとき、前記半導体層のうち前記ゲート電極よりも前記ドレイン電極側に位置する部分は、前記行方向に延びており、前記ドレイン電極は、前記対応する1つのゲートバスライン側に位置する第1端部と、前記対応する1つのゲートバスラインと反対側に位置する第2端部とを有し、前記ドレイン電極の前記行方向に沿った幅は、前記第1端部で前記第2端部よりも大きい。

【0018】

ある実施形態において、前記基板の法線方向から見たとき、前記ドレイン電極における前記第1端部の前記行方向に沿った幅は、前記上部開口部の前記行方向に沿った幅よりも大きく、前記ドレイン電極における前記第2端部の前記行方向に沿った幅は、前記上部開口部の前記行方向に沿った幅よりも小さい。

【0019】

ある実施形態において、前記アクティブマトリクス基板は、列方向に延びる複数のソー

10

20

30

40

50

スバスラインと、前記列方向と交差する行方向に延びる複数のゲートバスラインとを有し、前記ソース電極は、前記複数のソースバスラインの対応する１つに接続され、前記ゲート電極は、前記複数のゲートバスラインの対応する１つに接続されており、前記ソース電極および前記ドレイン電極は前記複数のソースバスラインと同じ導電膜から形成されており、前記基板の法線方向から見たとき、前記半導体層のうち前記ゲート電極よりも前記ドレイン電極側に位置する部分は、前記行方向に延びており、前記基板の法線方向から見たとき、前記ドレイン電極は前記ゲート電極と間隔を空けて配置され、かつ、前記ドレイン電極の前記第３部分は前記対応する１つのゲートバスラインと少なくとも部分的に重なっている。

【 0 0 2 0 】

ある実施形態において、前記ソース開口部は、前記対応する１つのソースバスラインと重なるように配置され、前記基板の法線方向から見たとき、前記半導体層は、前記ソース開口部から、前記対応する１つのゲートバスラインを横切って前記コンタクトホールまでＬ字形に延びている。

【 0 0 2 1 】

ある実施形態において、前記ソース開口部は、前記対応する１つのソースバスラインと重なるように配置され、前記基板の法線方向から見たとき、前記半導体層は、前記ソース開口部から、前記対応する１つのゲートバスラインを２回横切るように前記コンタクトホールまでＵ字形に延びている。

【 0 0 2 2 】

ある実施形態において、前記半導体層は酸化物半導体層である。

【 0 0 2 3 】

ある実施形態において、前記酸化物半導体層は  $In - Ga - Zn - O$  系半導体を含む。

【 0 0 2 4 】

ある実施形態において、前記酸化物半導体層は結晶質部分を含む。

【 0 0 2 5 】

ある実施形態において、前記半導体層は、結晶質シリコン半導体層である。

【 0 0 2 6 】

本発明の一実施形態のアクティブマトリクス基板の製造方法は、基板上に半導体層を形成する工程と、前記半導体層の一部上にゲート絶縁層を介してゲート電極を形成する工程と、前記半導体層および前記ゲート電極を覆うように下部絶縁層を形成し、前記下部絶縁層に、前記半導体層の一部を露出するドレイン開口部を形成する工程と、前記下部絶縁層上および前記ドレイン開口部内にドレイン電極を形成する工程であって、前記ドレイン電極は、前記ドレイン開口部内で、前記半導体層の露出した部分の一部のみと接する、ドレイン電極形成工程と、前記下部絶縁層および前記ドレイン電極を覆うように上部絶縁層を形成する工程と、前記上部絶縁層のパターニングを行うことにより、前記ドレイン開口部と少なくとも部分的に重なるように上部開口部を形成する工程であって、前記パターニングでは、前記ドレイン電極および前記半導体層をエッチストップとして機能させる、パターニング工程と、前記上部絶縁層上、前記上部開口部内および前記ドレイン開口部内に画素電極を形成する工程とを包含する。

【 発明の効果 】

【 0 0 2 7 】

本発明の一実施形態によると、トップゲート構造を有する T F T を備え、高い画素開口率および／または高い精細度を有し得るアクティブマトリクス基板を提供できる。

【 図面の簡単な説明 】

【 0 0 2 8 】

【 図 1 】 アクティブマトリクス基板 1 0 0 0 の平面構造の一例を示す概略図である。

【 図 2 】 ( a ) は、第 1 の実施形態のアクティブマトリクス基板 1 0 0 0 の画素領域 P i x における T F T 1 0 1 A およびスタックコンタクト部 2 0 A を示す平面図であり、( b ) および ( c ) は、それぞれ、A - A ' 線および B - B ' 線に沿った断面図である。

10

20

30

40

50

【図3】(a)は、変形例1のTF T 1 0 1 Bおよびスタックコンタクト部2 0 Bを示す平面図であり、(b)および(c)は、それぞれ、A - A'線およびB - B'線に沿った断面図である。

【図4】(a)および(b)は、それぞれ、変形例2のTF T 1 0 1 Cおよびスタックコンタクト部2 0 Cを示す平面図およびB - B'線に沿った断面図である。

【図5】(a)は、変形例3のTF T 1 0 1 Dおよびスタックコンタクト部2 0 Dを示す平面図であり、(b)および(c)は、それぞれ、B - B'線およびC - C'線に沿った断面図である。

【図6】(a)は、変形例4のTF T 1 0 1 Eおよびスタックコンタクト部2 0 Eを示す平面図であり、(b)および(c)は、それぞれ、D - D'線およびE - E'線に沿った断面図である。

【図7】(a) ~ (e)は、TF T 1 0 1およびスタックコンタクト部2 0の製造方法の一例を説明するための工程断面図である。

【図8】(a)および(b)は、それぞれ、第2の実施形態におけるTF T 1 0 1 Fおよびスタックコンタクト部2 0 Fを示す平面図および断面図である。

【図9】変形例のTF T 1 0 1 Gおよびスタックコンタクト部2 0 Gを示す平面図である。

【図10】画素幅Pwを説明するための模式的な断面図である。

【図11】従来のアクティブマトリクス基板のコンタクト構造を説明するための断面図である。

【図12】参考例のアクティブマトリクス基板のコンタクト構造を説明するための断面図である。

【発明を実施するための形態】

【0029】

上述したように、トップゲート構造を有する画素TF Tを用いたアクティブマトリクス基板では、画素幅を低減したり、あるいは、画素開口率を向上したりすることが困難な場合がある。この理由を以下に説明する。

【0030】

アクティブマトリクス基板は、複数のゲートバスラインおよび複数のソースバスラインを含んでおり、各画素TF Tのゲート電極は対応する1つのゲートバスライン、ソース電極は対応する1つのソースバスラインに電氣的に接続される。画素TF Tのゲート電極はゲートバスラインと同じ導電膜から形成され、ソース電極およびドレイン電極はソースバスラインと同じ導電膜から形成されることが多い。本明細書では、ゲートバスラインと同じ導電膜から形成された層を「ゲートメタル層」、ソースバスラインと同じ導電膜から形成された層を「ソースメタル層」と称する。

【0031】

図10は、画素幅Pwを説明するための模式的な断面図であり、隣接する2本のソースバスラインSLおよびその間に位置する画素TF Tのドレイン電極DEを含む断面を示している。

【0032】

図10に示すように、画素TF Tのドレイン電極DEとソースバスラインSLとは、同じ金属層(ソースメタル層)に形成されるため、ドレイン電極DEとその両側にあるソースバスラインSLとは、導通しないように一定以上の距離w1を空けて配置される。画素幅(隣接するソースバスライン間の距離)Pwは、距離w1と、ドレイン電極DEの幅w2とによって決まる。

【0033】

画素幅Pwを低減するには、ドレイン電極DEの幅w2を小さくすることが好ましい。また、画素のサイズが同じ(ソースバスラインSLおよびゲートバスラインGLの配列ピッチ、配線幅などが同じ)場合、画素開口率を高めるためには、ドレイン電極DEのサイズを小さく抑えることが好ましい。

10

20

30

40

50

## 【0034】

しかしながら、特許文献1に開示されているような従来の構造では、ドレイン電極DEのサイズを低減することは困難な場合がある。

## 【0035】

図11は、従来のアクティブマトリクス基板の画素TF T 9 0 1およびコンタクト構造を説明するための断面図である。この構造は、例えば特許文献1に開示されている。

## 【0036】

図11に示すように、TF T 9 0 1は、基板1に支持された酸化物半導体層3と、酸化物半導体層3の上方(基板と反対側)にゲート絶縁層5を介して配置されたゲート電極GEと、ソース電極SEおよびドレイン電極DEとを有している。酸化物半導体層3、ゲート絶縁層5およびゲート電極GEは下部絶縁層11で覆われている。ソース電極SEおよびドレイン電極DEは、下部絶縁層11上に配置されたソースメタル層内に形成されており、下部絶縁層11のソース開口部11s、11d内で、酸化物半導体層3の一部と接している。画素電極PEは、ソースメタル層上に、上部絶縁層13を介して配置されており、上部絶縁層13に設けられた上部開口部13d内で、ドレイン電極DEと接している。

## 【0037】

本明細書では、酸化物半導体層3とソース電極SEとのコンタクト部21を「ソースコンタクト部」、酸化物半導体層3とドレイン電極DEとのコンタクト部22を「ドレインコンタクト部」、ドレイン電極DEと画素電極PEとのコンタクト部23を「画素電極コンタクト部」と称する。

## 【0038】

図11に示す従来のコンタクト構造では、上部絶縁層13のパターニング時に下部絶縁層11やその基板1側の絶縁膜(図示しない下地絶縁膜など)がエッチング(オーバーエッチング)されるおそれがある。このため、通常は、基板1の法線方向から見たとき、ドレイン電極DEを、ドレインコンタクト部22においてドレイン開口部11d全体と重なり、かつ、画素電極コンタクト部23において上部開口部13d全体と重なるように配置する。これにより、上部絶縁層13のパターニング時にドレイン電極DEをエッチストップとして機能させて下部絶縁層11などの絶縁膜がエッチング(オーバーエッチング)されるのを防止できる。

## 【0039】

この構造では、ドレイン電極DEは、ソースコンタクト部21およびドレインコンタクト部22に亘って形成されるので、ドレイン電極DEのサイズが大きくなってしまふ。

## 【0040】

これに対し、本発明者は、ドレインコンタクト部22と画素電極コンタクト部23とを重なるように配置することで、ドレイン電極DEのサイズを小さく抑える構造(以下、「スタック構造」)を検討した。

## 【0041】

図12は、参考例のアクティブマトリクス基板における画素TF T 9 0 2およびコンタクト構造を示す断面図である。

## 【0042】

参考例では、下部絶縁層11のドレイン開口部11dと上部絶縁層13の上部開口部13dとを少なくとも部分的に重なるように配置している。これにより、スタック構造を有するコンタクト部(以下、「スタックコンタクト部」と呼ぶ。)24を形成している。

## 【0043】

この例でも、ドレイン電極DEをスタックコンタクト部24全体に亘って形成し、上部絶縁層13のパターニング時にエッチストップとして機能させる。従って、ドレイン電極DEを図11に示す従来例よりも小さくできるものの、そのサイズはドレイン開口部11d、上部開口部13dのサイズに依存する。このため、高開口率化、高精細化に限界がある。

## 【0044】

10

20

30

40

50

そこで、本発明者は、基板 1 の法線方向から見たとき、酸化物半導体層 3 の内部にドレイン開口部 11d および上部開口部 13d を配置し、かつ、ドレイン電極 DE をドレイン開口部 11d の一部のみと重なるように配置することにより、下部絶縁層 11 および下地絶縁膜などのオーバーエッチングを抑制しつつ、ドレイン電極 DE のサイズを低減できることを見出した。

【0045】

以下、図面を参照しながら、本発明によるアクティブマトリクス基板の実施形態を説明する。

【0046】

(第 1 の実施形態)

図 1 は、第 1 の実施形態のアクティブマトリクス基板 1000 の平面構造の一例を示す概略図である。

【0047】

アクティブマトリクス基板 1000 は、表示領域 DR と、表示領域 DR 以外の領域（非表示領域または額縁領域）FR とを有している。表示領域 DR は、マトリクス状に配列された画素領域 Pix によって構成されている。画素領域 Pix は、表示装置の画素に対応する領域であり、単に「画素」と呼ぶこともある。各画素領域 Pix は、画素 TFT である TFT101 と、画素電極 PE とを有する。図示していないが、アクティブマトリクス基板 1000 を FFS (Fringe Field Switching) モードなどの横電界モードの表示装置に適用する場合、アクティブマトリクス基板 1000 には、画素電極 PE と絶縁層（誘電体層）を介して対向するように共通電極が設けられる。

【0048】

非表示領域 FR は、表示領域 DR の周辺に位置し、表示に寄与しない領域である。非表示領域 FR は、端子部が形成される端子部形成領域、駆動回路が一体的（モノリシック）に設けられる駆動回路形成領域などを含んでいる。駆動回路形成領域には、例えばゲートドライバ GD、検査回路（不図示）などがモノリシックに設けられている。ソースドライバ SD は、例えば、アクティブマトリクス基板 1000 に実装されている。

【0049】

表示領域 DR には、列方向に延びる複数のソースバスライン SL と、列方向に交差する行方向に延びる複数のゲートバスライン GL とが形成されている。各画素は、例えばゲートバスライン GL およびソースバスライン SL で規定されている。ゲートバスライン GL は、それぞれ、ゲートドライバ GD の各端子に接続されている。ソースバスライン SL は、それぞれ、アクティブマトリクス基板 1000 に実装されたソースドライバ SD の各端子に接続されている。

【0050】

<画素領域 Pix の構成>

次いで、アクティブマトリクス基板 1000 における各画素領域 Pix の構成を説明する。画素 TFT である TFT101A は、トップゲート構造を有する酸化物半導体 TFT である。ここでは、VA モードの液晶表示パネルに適用されるアクティブマトリクス基板を例に説明する。

【0051】

図 2 (a) は、アクティブマトリクス基板 1000 における 1 つの画素領域 Pix の一部を示す平面図であり、画素 TFT および画素 TFT と画素電極とのコンタクト部（スタックコンタクト部）を示す。図 2 (b) および (c) は、それぞれ、図 2 (a) における A - A' 線および B - B' 線に沿った断面図である。

【0052】

画素領域 Pix は、例えば、隣接する 2 つのソースバスライン SL (ソースバスライン SL (1)、SL (2) と呼ぶことがある。) および隣接する 2 つのゲートバスライン GL に包囲された領域である。画素領域 Pix は、基板 1 と、基板 1 に支持された TFT (画素 TFT) 101A と、画素電極 PE とを有している。

10

20

30

40

50

## 【 0 0 5 3 】

TFT101Aは、基板1と、基板1に支持された酸化物半導体層（例えばIn-Ga-Zn-O系半導体層）3と、ゲート電極GEと、ソース電極SEおよびドレイン電極DEとを有する。ゲート電極GEは、酸化物半導体層3の一部上に、ゲート絶縁層5を介して配置されている。基板1と酸化物半導体層3との間に、下地絶縁層2が設けられていてもよい。

## 【 0 0 5 4 】

ソース電極SEおよびドレイン電極DEは、それぞれ、酸化物半導体層3と電氣的に接続されている。ソース電極SEおよびドレイン電極DEは、ソースメタル層内に（すなわちソースバスラインSLと同じ導電膜を用いて）形成されてもよい。同様に、ゲート電極GEは、ゲートメタル層内に（すなわちゲートバスラインGLと同じ導電膜を用いて）形成されてもよい。

10

## 【 0 0 5 5 】

この例では、ゲート絶縁層5は、酸化物半導体層3のうちゲート電極GEに重なる領域にのみ形成されている。ゲート絶縁層5は島状であってもよい。ゲート電極GEおよびゲート絶縁層5は、例えば、同一のマスクを用いてパターンングされていてもよい。この場合、基板1の法線方向から見たとき、ゲート電極GEの周縁およびゲート絶縁層5の周縁は整合する。

## 【 0 0 5 6 】

酸化物半導体層3、ゲート絶縁層5およびゲート電極GEは、下部絶縁層11で覆われている。下部絶縁層11には、酸化物半導体層3の一部を露出するソース開口部11s、および、酸化物半導体層3の他の一部を露出するおよびドレイン開口部11dが形成されている。なお、図2(a)および以降の平面図では、各開口部の底面の形状を破線で示している。本明細書では、基板1の法線方向から見たときの各開口部の形状および配置は、その開口部の底面の形状および配置を指すものとする。

20

## 【 0 0 5 7 】

ソース電極SEは、下部絶縁層11上およびソース開口部11s内に配置され、ソース開口部11s内で、酸化物半導体層3の露出部分と接している。図示するように、ソース電極SEはソースバスラインSL(1)の一部であってもよい。ドレイン電極DEは、下部絶縁層11上およびドレイン開口部11d内に配置され、ドレイン開口部11d内で、酸化物半導体層3の露出部分の一部のみと接している。本明細書では、酸化物半導体層3のうちソース電極SEおよびドレイン電極DEと直接接している部分を、それぞれ、ソースコンタクト領域3sおよびドレインコンタクト領域3dと呼ぶ。

30

## 【 0 0 5 8 】

ソース電極SEは、ソース開口部11s全体およびソース開口部11sの周囲を覆っている。つまり、基板1の法線方向から見たとき、ソース電極SEの内部にソース開口部11sが位置する。一方、ドレイン電極DEは、ドレイン開口部11dの一部のみと重なっている。図示するように、ドレイン電極DEは、ドレイン開口部11dの底面の一部から側面の一部を経て、下部絶縁層11の上面の一部を覆うように延びていてもよい。ドレイン電極DEのうち、ドレイン開口部11dの底面上に位置する部分を第1部分D1、ドレイン開口部11dの側面上に位置する部分を第2部分D2、下部絶縁層11の上面に位置する部分を第3部分D3と呼ぶ。第3部分D3は、第1部分D1よりもゲート電極GE側に位置してもよい。また、第3部分D3の少なくとも一部は、下部絶縁層11と上部絶縁層13との間に位置してもよい。

40

## 【 0 0 5 9 】

下部絶縁層11およびソースメタル層（ソースバスラインSL、ソース電極SEおよびドレイン電極DEを含む）の上には、上部絶縁層13が形成されている。上部絶縁層13は、上部開口部13dを有している。上部開口部13dは、基板1の法線方向から見たとき、ドレイン電極DEの一部のみと重なっていてもよい。上部開口部13dの側面の一部は、ドレイン電極DEの第3部分D3上に位置してもよい。

50

## 【0060】

本実施形態では、上部開口部13dは、基板1の法線方向から見たとき、ドレイン開口部11dと少なくとも部分的に重なるように配置されている。上部開口部13dおよびドレイン開口部11dは、上部絶縁層13および下部絶縁層11を貫通する1つのコンタクトホールCHを構成している。画素電極PEは、上部絶縁層13上およびコンタクトホールCH内に配置され、コンタクトホールCH内で、ドレイン電極DEと直接接している。画素電極PEは、また、酸化物半導体層3のうちドレイン開口部11dによって露出され、かつ、ドレイン電極DEと接していない部分の少なくとも一部と直接接している。酸化物半導体層3のうち画素電極PEと直接接する部分を「透明コンタクト領域3p」と呼ぶ。

10

## 【0061】

画素電極PEは、ドレイン電極DEの第1部分D1および第2部分D2の両方と接していることが好ましい。これにより、画素電極PEとドレイン電極DEとのコンタクト面積をより確実に確保できる。

## 【0062】

酸化物半導体層3は、基板1の法線方向から見たとき、コンタクトホールCHよりも一回り大きい形状を有しており、コンタクトホールCH（すなわちドレイン開口部11dおよび上部開口部13d）の全体と重なるように配置されている。つまり、基板1の法線方向から見たとき、ドレイン開口部11dおよび上部開口部13dは酸化物半導体層3の内部に位置している。これにより、ドレイン電極DEのサイズをコンタクトホールCHよりも小さくしても、ドレイン電極DEが存在していない領域において、酸化物半導体層3をエッチストップとして機能させることが可能になる。

20

## 【0063】

基板1の法線方向から見たときに、酸化物半導体層3のうちゲート電極GEと重なる部分はチャネル領域3cであり、ゲート電極GEと重ならない部分は、チャネル領域3cよりもよりも電気抵抗の小さい低抵抗化領域3aであってもよい。このような構成は、例えば、下部絶縁層11の形成時に、酸化物半導体層3のうち、ゲート絶縁層5を介してゲート電極GEで覆われていない部分が低抵抗化されることで得られる。

## 【0064】

本実施形態によると、ドレイン電極DEはドレイン開口部11dの一部のみおよび上部開口部13dの一部のみと重なるように配置されるので、図11および図12に示す従来例および参考例よりも、ドレイン電極DEのサイズを小さくできる。従って、画素開口率を高めることが可能である。また、上部絶縁層13のパターニングの際に、ドレイン電極DEに加えて酸化物半導体層3をエッチストップとして機能させることにより、下地絶縁膜のオーバーエッチングを抑制できる。

30

## 【0065】

基板1の法線方向から見たとき、透明コンタクト領域3pの面積は、ドレイン開口部11dの面積の50%以上80%以下であってもよい。これにより、画素開口率をさらに高めることができる。

## 【0066】

ドレイン電極DEの第2端部e2とドレイン開口部11dの側面との距離（すなわち、透明コンタクト領域3pの列方向の長さ）xは、ドレイン開口部11dの列方向の長さの50%以上80%以下であってもよい。

40

## 【0067】

ドレイン電極DEの行方向に沿った幅w2は、上部開口部13dの幅よりも小さくてもよい。これにより、画素幅pwをより効果的に低減できる。例えば、図2(b)に示すように、ドレイン電極DEおよび上部開口部13dを行方向に横切る断面において、ドレイン電極DEのソースバスラインSL(1)側の第3端部e3およびソースバスラインSL(2)側の第4端部e4は、いずれも、上部開口部13dの内側に位置していてもよい。第3端部e3とソースバスラインSL(1)との距離r1、および、第4端部e4とソー

50

スバスライン S L ( 2 ) との距離 r 2 は、それぞれ、ドレイン電極 D E の幅 w 2 の 1 0 % 以上 4 0 % 以下であってもよい。

【 0 0 6 8 】

あるいは、図示していないが、ドレイン電極 D E の第 3 端部 e 3 および第 4 端部 e 4 の一方のみが上部開口部 1 3 d の内側に位置し、他方が上部開口部 1 3 d の外側に位置してもよい。

【 0 0 6 9 】

図 2 ( c ) に示すように、T F T 1 0 1 A のチャネル長方向に沿った断面において、ドレイン電極 D E のゲート電極 G E 側 ( またはゲートバスライン G L 側 ) の第 1 端部 e 1 は下部絶縁層 1 1 上に位置し、ゲート電極 G E ( またはゲートバスライン G L 側 ) と反対側に位置する第 2 端部 e 2 は、ドレイン開口部 1 1 d の底面に位置していてもよい。この場合、上部絶縁層 1 3 に上部開口部 1 3 d を形成するためのパターニング工程において、ゲート電極 G E 側 ( すなわちゲート電極 G E の近傍の領域 ) ではドレイン電極 D E 、ゲート電極 G E と反対側 ( すなわちゲート電極 G E と十分に離れた領域 ) では酸化物半導体層 3 がエッチストップとして機能し得る。これにより、上部絶縁層 1 3 のパターニング工程において、下部絶縁層 1 1 のうちゲート電極 G E の近傍に位置する部分がエッチングされてゲート電極 G E またはゲートバスライン G L が露出し、ゲート - ドレイン間リークが生じることを抑制できる。一方、ゲート電極 G E と十分に離れた領域には、ドレイン電極 D E が存在していないので、下部絶縁層 1 1 がエッチングされるおそれがある。しかしながら、ゲート電極 G E と十分に離れた領域では、下部絶縁層 1 1 がエッチングされてもゲート - ドレイン間リークは生じない。また、この領域で下部絶縁層 1 1 がエッチングされても、酸化物半導体層 3 がエッチストップとして機能するので、下地絶縁膜のエッチングを抑制できる。

【 0 0 7 0 】

基板 1 の法線方向から見たとき、ドレイン電極 D E の第 3 部分 D 3 は、ゲート電極 G E と少なくとも部分的に重なっていてもよい。言い換えると、基板 1 の法線方向から見たとき、ドレイン電極 D E のゲート電極 G E 側の第 1 端部 e 1 は、ゲート電極 G E の内部に位置していてもよい。ドレイン電極 D E をゲート電極 G E ( またはゲートバスライン G L ) と重なるように配置することで、ドレイン電極 D E のサイズを維持しつつ、画素開口率をさらに向上できる。また、上部絶縁層 1 3 のパターニングの際に、下部絶縁層 1 1 がエッチングされてゲート電極 G E ( またはゲートバスライン G L ) が露出することをより効果的に抑制できる。

【 0 0 7 1 】

図 2 ( a ) に示すように、ドレイン電極 D E を介して画素電極 P E と酸化物半導体層 3 とを電氣的に接続するためのスタックコンタクト部 2 0 A は画素領域 P i x 内に配置され、酸化物半導体層 3 とソース電極 S E とを電氣的に接続するためのソースコンタクト部 2 1 は画素領域 P i x と列方向に隣接する他の画素領域内に配置されていてもよい。この場合、酸化物半導体層 3 は、スタックコンタクト部 2 0 A から、ゲートバスライン G L を横切って、ソースコンタクト部 2 1 まで L 字形に延びていてもよい。

【 0 0 7 2 】

本実施形態におけるコンタクト構造は、図 2 に示す例に限定されない。本実施形態では、( 1 ) 画素電極 P E と酸化物半導体層 3 とのコンタクト部がスタック構造を有しており ( すなわち、基板 1 の法線方向から見たとき、下部絶縁層 1 1 のドレイン開口部 1 1 d と上部絶縁層 1 3 の上部開口部 1 3 d とが少なくとも部分的に重なっている ) 、( 2 ) ドレイン電極 D E は、下部絶縁層 1 1 上およびドレイン開口部 1 1 d 内に配置され、かつ、基板 1 の法線方向から見たとき、ドレイン開口部 1 1 d の一部のみおよび上部開口部 1 3 d の一部のみと重なっており、( 3 ) 基板 1 の法線方向から見たとき、酸化物半導体層 3 の内部にドレイン開口部 1 1 d および上部開口部 1 3 d が位置していればよい。このような構造であれば、ドレイン電極 D E のサイズを従来よりも低減できるので、画素開口率および / または精細度を向上できる。また、上部絶縁層 1 3 のパターニングの際にドレイン電

10

20

30

40

50

極 D E および酸化物半導体層 3 がエッチストップとして機能するので、下地絶縁膜などがオーバーエッチングされることを抑制できる。

【0073】

<変形例>

以下、図面を参照しながら、本実施形態のコンタクト構造の変形例を説明する。以下の説明では、図 2 に示す構造と異なる点を主に説明し、共通の構成については説明を適宜省略する。

【0074】

図 3 ( a ) は、変形例 1 の T F T 1 0 1 B およびスタックコンタクト部 2 0 B を示す平面図であり、図 3 ( b ) および ( c ) は、それぞれ、図 3 ( a ) における A - A ' 線および B - B ' 線に沿った断面図である。

10

【0075】

変形例 1 でも、ドレイン電極 D E の第 3 部分 D 3 は、ゲート電極 G E ( ゲートバスライン G L ) と少なくとも部分的に重なるように配置されている。ただし、変形例 1 では、図 3 ( b ) に示すように、ドレイン電極 D E の行方向の幅  $w_2$  が、上部開口部 1 3 d の幅よりも大きく、ドレイン電極 D E の第 3 端部 e 3 および第 4 端部 e 4 が下部絶縁層 1 1 の上面 ( すなわち上部開口部 1 3 d の外側 ) に位置している。これにより、上部絶縁層 1 3 のパターニング工程において、下部絶縁層 1 1 がエッチングされてゲートバスライン G L またはゲート電極 G E が露出することをより効果的に抑制できる。

20

【0076】

なお、この例では、ドレイン電極 D E の幅  $w_2$  は、酸化物半導体層 3 の行方向に沿った幅よりも大きい、酸化物半導体層 3 の幅よりも小さくてもよい。

【0077】

図 3 ( a ) に示すように、基板 1 の法線方向から見たとき、上部開口部 1 3 d がゲート電極 G E と部分的に重なっており、上部開口部 1 3 d のうちゲート電極 G E と重なる部分全体がドレイン電極 D E の内部に位置してもよい。これにより、ゲート電極 G E またはゲートバスライン G L の露出によるリークをより確実に抑えるとともに、画素開口率をさらに向上できる。

【0078】

図 4 ( a ) および ( b ) は、それぞれ、変形例 2 の T F T 1 0 1 C およびスタックコンタクト部 2 0 C を示す平面図および B - B ' 線に沿った断面図である。

30

【0079】

変形例 2 に示すように、基板 1 の法線方向から見たとき、ドレイン電極 D E はゲート電極 G E と重なっていてもよい。これにより、ゲート - ドレイン間容量を低減できる。この例では、ドレイン電極 D E の幅  $w_2$  は上部開口部 1 3 d の幅よりも大きい、上部開口部 1 3 d の幅よりも小さくてもよい。

【0080】

図 2 ~ 図 4 に示す例では、ドレイン電極 D E の平面形状は、行方向に延びる 2 辺と列方向に延びる 2 辺とを有する矩形であるが、ドレイン電極 D E の平面形状は特に限定しない。以下に説明するように、ドレイン電極 D E は、ドレイン電極 D E のうちゲート電極 G E またはゲートバスライン G L の近傍に位置する部分の幅が、その他の部分の幅よりも大きくなるようなパターンを有してもよい。

40

【0081】

図 5 ( a ) は、変形例 3 の T F T 1 0 1 D およびスタックコンタクト部 2 0 D を示す平面図であり、図 5 ( b ) および ( c ) は、それぞれ、B - B ' 線および C - C ' 線に沿った断面図である。

【0082】

変形例 3 では、基板 1 の法線方向から見たとき、ドレイン電極 D E は凸型の形状を有している。ここでは、基板 1 の法線方向から見たとき、ドレイン電極 D E のうちゲート電極 G E 側に位置する第 1 端部 e 1 のチャンネル幅方向 ( ここでは行方向 ) の幅  $w_{21}$  が、ゲー

50

ト電極 G E と反対側に位置する第 2 端部 e 2 のチャンネル幅方向（ここでは行方向）の幅  $w_{22}$  よりも大きい。第 1 端部 e 1 の幅  $w_{21}$  を大きくすることで、上部絶縁層 1 3 のパターンニング工程において、ドレイン電極 D E によって下部絶縁層 1 1 のオーバーエッチングを抑制できるので、ゲート電極 G E またはゲートバスライン G L の露出によるリークを抑制できる。また、ドレイン電極 D E の第 2 端部 e 2 の幅を小さくすることで、画素開口率を高めることが可能である。

【 0 0 8 3 】

基板 1 の法線方向から見たときの、透明コンタクト領域 3 p の面積のドレイン開口部 1 1 d の面積に対する割合は、50%以上80%以下であってもよい。これにより、画素開口率をさらに効果的に向上できる。

10

【 0 0 8 4 】

第 1 端部 e 1 の幅  $w_{21}$  は上部開口部 1 3 d の幅よりも大きいことが好ましい。これにより、上部絶縁層 1 3 のパターンニング工程における下部絶縁層 1 1 のオーバーエッチングをより確実に防止できる。また、基板 1 の法線方向から見たとき、第 1 端部 e 1 はゲート電極 G E と重なっていてもよい。図示するように、基板 1 の法線方向から見たとき、上部開口部 1 3 d がゲート電極 G E と部分的に重なっており、上部開口部 1 3 d のうちゲート電極 G E と重なる部分全体がドレイン電極 D E の内部に位置してもよい。これにより、ゲート電極 G E またはゲートバスライン G L の露出によるリークを抑えつつ、画素開口率をさらに向上できる。

20

【 0 0 8 5 】

第 2 端部 e 2 の幅  $w_{22}$  は、画素電極 P E とドレイン電極 D E とのコンタクト面積を確保できるように設定されればよく、上部開口部 1 3 d の幅よりも小さくてもよい。あるいは、ドレイン電極 D E における第 2 端部 e 2 の幅  $w_{22}$  は、第 1 端部 e 1 の幅  $w_{21}$  の 0.8 倍以下であってもよい。これにより、画素開口率をより効果的に高めることができる。一方、幅  $w_{22}$  が、幅  $w_{21}$  の例えば 0.3 倍以上であれば、より確実にコンタクト面積を確保できる。

【 0 0 8 6 】

図 5 ( c ) に示すように、ドレイン電極 D E 、ドレイン開口部 1 1 d および上部開口部 1 3 d を行方向に横切る断面において、ドレイン電極 D E の幅  $w_{22}$  は、上部開口部 1 3 d およびドレイン開口部 1 1 d の行方向に沿った幅よりも小さくてもよい。この場合、ドレイン開口部 1 1 d の底面において、ドレインコンタクト領域 3 d のソースバスライン S L ( 1 ) 側および / またはソースバスライン S L ( 2 ) 側に、画素電極 P E と接する透明コンタクト領域 3 p が配置されてもよい。

30

【 0 0 8 7 】

ドレイン電極 D E の平面形状は、図 5 に示すような凸型に限定されず、三角形、台形などでもよい。なお、ドレイン電極 D E のパターンニング工程で使用するレジストマスクのパターンが凸型、三角形などであっても、パターンニングされた後のドレイン電極 D E は丸みを帯びた台形状を有することがある。

【 0 0 8 8 】

図 6 ( a ) は、変形例 4 の T F T 1 0 1 E およびスタックコンタクト部 2 0 E を示す平面図であり、図 6 ( b ) および ( c ) は、それぞれ、図 6 ( a ) における D - D ' 線および E - E ' 線に沿った断面図である。

40

【 0 0 8 9 】

変形例 4 では、T F T 1 0 1 E の酸化物半導体層 3 の一部がソースバスライン S L と重なるように延びている点で、図 2 に示す T F T 1 0 1 A と異なる。変形例 4 では、基板 1 の法線方向から見たとき、酸化物半導体層 3 は、ソースコンタクト部 2 1 から、ソースバスライン S L の下方を、ソースバスライン S L とゲートバスライン G L との交点に延びている。ゲートバスライン G L のうち上記交点に位置する部分がゲート電極 G E となる。酸化物半導体層 3 のうちゲート電極 G E よりもドレイン側に位置する部分は、ゲートバスライン G L と平行に（すなわち行方向に）、スタックコンタクト部 2 0 まで延びている。

50

## 【0090】

基板1の法線方向から見たとき、ドレイン電極DEは、ゲート電極GEと間隔を空けて配置され（つまりゲート電極GEとは重なっていない）、かつ、ドレイン電極DEの第3部分D3は、ゲートバスラインGLのうちゲート電極GEとして機能しない部分と少なくとも部分的に重なっていてもよい。

## 【0091】

この例では、ドレイン電極DEは、ゲートバスラインGL（ゲート電極GEとして機能する部分以外）側に位置する第1端部e1と、ゲートバスラインGLと反対側に位置する第2端部e2とを有している。ドレイン電極DEの行方向に沿った幅は、第1端部e1で第2端部e2よりも大きい（第1端部e1の幅 $w_{21}$  > 第2端部e2の幅 $w_{22}$ ）。基板1の法線方向から見たとき、ドレイン電極DEの第1端部e1は、ゲートバスラインGL（ゲート電極GEとして機能する部分以外）と重なっていてもよい。ドレイン電極DEの幅 $w_{21}$ 、 $w_{22}$ 、上部開口部13dの幅との関係などは、変形例3（図5）と同様であるので、説明を省略する。

10

## 【0092】

なお、図6では、ドレイン電極DEは凸型の平面形状を有するが、矩形であってもよい（図2、図3参照）。また、ドレイン電極DEはゲートバスラインGLと重なっていてもよい。

## 【0093】

図2～図6に示す例では、いずれも、酸化物半導体層3はL字形のパターンを有するが、酸化物半導体層3の平面形状は特に限定しない。

20

## 【0094】

< TFT101およびスタックコンタクト部20の製造方法 >

図7(a)～(e)は、TFT101およびスタックコンタクト部20の製造方法の一例を説明するための工程断面図である。

## 【0095】

まず、図7(a)に示すように、基板1上に、酸化物半導体層3を形成する。基板1としては、例えばガラス基板、シリコン基板、耐熱性を有するプラスチック基板（樹脂基板）などを用いることができる。基板1と酸化物半導体層3との間に下地絶縁層を設けてもよい。

30

## 【0096】

酸化物半導体層3は、次のようにして形成される。まず、例えばスパッタ法で酸化物半導体膜（厚さ：例えば15nm以上200nm以下）を形成する。酸化物半導体膜は、例えばIn-Ga-Zn-O系半導体膜であってもよい。次いで、酸化物半導体膜のアニール処理を行ってもよい。ここでは、大気雰囲気中、300以上500以下の温度で、例えば30分以上2時間以下の熱処理を行う。次いで、例えばウェットエッチングで、酸化物半導体膜のパターニングを行い、酸化物半導体層3を得る。

## 【0097】

次いで、図7(b)に示すように、酸化物半導体層3を覆うように、ゲート絶縁層となる絶縁膜（厚さ：90nm以上200nm以下）5'と、ゲート電極となる導電膜（厚さ：60nm以上700nm以下）7'とをこの順で堆積する。

40

## 【0098】

絶縁膜5'は、例えば酸化シリコン(SiO<sub>x</sub>)層である。導電膜7'として、例えば、モリブデン(Mo)、タングステン(W)、アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)等の金属またはこれらの合金を用いることができる。導電膜7'は、異なる導電材料から形成された複数の層を含む積層構造を有していてもよい。

## 【0099】

次に、図7(b)に示すように、導電膜7'をパターニングすることによってゲート電極GEおよびゲートバスライン（不図示）を含むゲートメタル層を形成する。具体的には、まず、フォトリソ工程により、導電膜7'の一部上に、エッチングマスクとなるレジス

50

ト層 R を形成する。次いで、レジスト層 R をマスクとして、ウェットエッチングを用いて導電膜 7' のパターニングを行い、ゲート電極 GE を得る。

【0100】

この後、レジスト層 R をマスクとして、ドライエッチングを用いて絶縁膜 5' のパターニングを行い、ゲート絶縁層 5 を得る。酸化物半導体層 3 のうちゲート電極 GE と重なる部分以外は露出する。露出した酸化物半導体層 3 の表層がオーバーエッチングされる場合もある。続いて、レジスト層 R を除去する。なお、レジスト剥離液から酸化物半導体層 3 を保護する目的で、レジスト層 R を除去した後で、ゲート電極 GE をマスクとして絶縁膜 5' のパターニングを行ってもよい。

【0101】

次に、図 7 (c) に示すように、酸化物半導体層 3、ゲート絶縁層 5 およびゲート電極 GE を覆うように下部絶縁層 11 を形成する。下部絶縁層 11 は、例えば、酸化シリコン (SiO<sub>x</sub>) 層、窒化シリコン (SiN<sub>x</sub>) 層または酸化窒化シリコン (SiN<sub>x</sub>O<sub>y</sub>) 層である。また、下部絶縁層 11 は、これらの層が積層された積層構造を有していてもよい。下部絶縁層 11 の厚さは、例えば 150 nm 以上 500 nm 以下である。

【0102】

下部絶縁層 11 は、例えば窒化シリコン層などの水素供与性の層を含んでもよい。窒化シリコン層を酸化物半導体層 3 と接するように配置することで、酸化物半導体層 3 のうち窒化シリコン層と接する部分が還元され、ゲート絶縁層 5 と接する部分 (チャネル領域 3c) よりも電気抵抗の低い低抵抗化領域 3a となる。

【0103】

この後、下部絶縁層 11 に、酸化物半導体層 3 の一部が露出するようにソース開口部 11s およびドレイン開口部 11d を形成する。エッチング方法は、ドライエッチングでもよいし、ウェットエッチングでもよい。

【0104】

続いて、下部絶縁層 11 上およびソース開口部 11s およびドレイン開口部 11d 内に、例えばスパッタ法などによってソース・ドレイン用の導電膜 (不図示) を形成し、この導電膜のパターニングを行う。これにより、図 7 (d) に示すように、ソース電極 SE、ドレイン電極 DE およびソースバスライン (不図示) を含むソースメタル層を形成する。ソース電極 SE およびドレイン電極 DE の厚さは、例えば 100 nm 以上 500 nm 以下である。

【0105】

本実施形態では、ソース電極 SE は、ソース開口部 11s 全体を覆うように配置され、ソース開口部 11s 内で酸化物半導体層 3 と接する。ドレイン電極 DE は、ドレイン開口部 11d の一部のみを覆うように配置され、ドレイン開口部 11d 内で酸化物半導体層 3 と接する。このようにして、TFT101 が製造される。

【0106】

ソース・ドレイン用の導電膜の材料としては、例えば、モリブデン (Mo)、タングステン (W)、アルミニウム (Al)、銅 (Cu)、チタン (Ti)、タンタル (Ta) 等の金属またはこれらの合金を用いることができる。ソース・ドレイン用の導電膜として、酸化物半導体層 3 の側から Ti 膜 (厚さ: 30 nm)、Al (厚さ: 300 nm)、および Ti 膜 (厚さ 50 nm) の 3 層、あるいは Ti 膜 (厚さ: 30 nm)、Cu 膜 (厚さ: 300 nm) の 2 層をこの順で積み重ねた積層膜を形成してもよい。

【0107】

続いて、図 7 (e) に示すように、ソースメタル層を覆うように上部絶縁層 13 を形成する。次いで、上部絶縁層 13 のエッチングを行い、上部開口部 13d を形成する。上部絶縁層 13 のエッチングには、ウェットエッチングを用いてもよいし、ドライエッチングを用いてもよい。このとき、上部絶縁層 13 がエッチングされ、かつ、酸化物半導体層 3 およびドレイン電極 DE がエッチングされないように、各層の材料に応じて、エッチング条件が選択される。ここでいうエッチング条件とは、ドライエッチングを用いる場合、エ

10

20

30

40

50

エッチングガスの種類、基板 1 の温度、チャンバ内の真空度などを含む。また、ウェットエッチングを用いる場合、エッチング液の種類やエッチング時間などを含む。

【0108】

上部開口部 13d は、ドレイン開口部 11d と少なくとも部分的に重なるように配置される。基板 1 の法線方向から見たとき、上部開口部 13d のサイズは、ドレイン開口部 11d よりも大きく、上部開口部 13d の内部にドレイン開口部 11d が位置してもよい。

【0109】

上部絶縁層 13 のエッチング時に下部絶縁層 11 もエッチングされ、ドレイン開口部 11d のサイズが形成時よりも大きくなることがある。この場合、図示するように、上部開口部 13d の側面の一部とドレイン開口部 11d の側面の一部とが整合してもよい。なお、下部絶縁層 11 がエッチングされても、酸化物半導体層 3 がエッチストップとして機能するため、酸化物半導体層 3 の基板 1 側にある絶縁膜はエッチングされない。

10

【0110】

上部絶縁層 13 の厚さは、例えば 50nm 以上であれば、より確実にソースメタル層とゲートメタル層との電気絶縁性を確保できる。一方、上部絶縁層 13 の厚さが、例えば 800nm 以下であれば、上部開口部 13d の側面のうちドレイン電極 DE で遮光されていない領域で生じる光散乱に起因して、表示のコントラストが低下するのを抑制できる。

【0111】

上部絶縁層 13 は、無機絶縁層であってもよいし、有機絶縁層であってもよい。上部絶縁層 13 の厚さを抑える観点から、上部絶縁層 13 は、酸化珪素 ( $\text{SiO}_2$ ) 層、窒化珪素 ( $\text{SiN}_x$ ) 層、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) 層などの無機絶縁層であることが好ましい。

20

【0112】

次いで、図示しないが、上部絶縁層 13 上および上部開口部 13d 内に透明導電膜を形成し、パターニングすることにより、画素電極 PE を得る。画素電極 PE は、コンタクトホール CH 内でドレイン電極 DE および酸化物半導体層 3 と直接接する。

【0113】

透明導電膜としては、例えば ITO (インジウム・錫酸化物) 膜、In-Zn-O 系酸化物 (インジウム・亜鉛酸化物) 膜、ZnO 膜 (酸化亜鉛膜) などを用いることができる。このようにして、アクティブマトリクス基板 1000 が製造される。

30

【0114】

< 酸化物半導体について >

酸化物半導体層 3 に含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c 軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

【0115】

酸化物半導体層 3 は、2 層以上の積層構造を有していてもよい。酸化物半導体層 3 が積層構造を有する場合には、酸化物半導体層 3 は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよい。また、複数の非晶質酸化物半導体層を含んでいてもよい。酸化物半導体層 3 が上層と下層とを含む 2 層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

40

【0116】

非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開 2014-007399 号公報に記載されている。参考のために、特開 2014-007399 号公報の開示内容の全てを

50

本明細書に援用する。

【0117】

酸化物半導体層3は、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本実施形態では、酸化物半導体層3は、例えば、In-Ga-Zn-O系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。このような酸化物半導体層3は、In-Ga-Zn-O系の半導体を含む酸化物半導体膜から形成され得る。

10

【0118】

In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

【0119】

なお、結晶質In-Ga-Zn-O系の半導体の結晶構造は、例えば、上述した特開2014-007399号公報、特開2012-134475号公報、特開2014-209727号公報などに開示されている。参考のために、特開2012-134475号公報および特開2014-209727号公報の開示内容の全てを本明細書に援用する。In-Ga-Zn-O系半導体層を有するTFTは、高い移動度（a-SiTFTに比べ200倍超）および低いリーク電流（a-SiTFTに比べ100分の1未満）を有しているため、駆動TFT（例えば、複数の画素を含む表示領域の周辺に、表示領域と同じ基板上に設けられる駆動回路に含まれるTFT）および画素TFT（画素に設けられるTFT）として好適に用いられる。

20

【0120】

酸化物半導体層3は、In-Ga-Zn-O系半導体の代わりに、他の酸化物半導体を含んでもよい。例えばIn-Sn-Zn-O系半導体（例えばIn<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>-ZnO; InSnZnO）を含んでもよい。In-Sn-Zn-O系半導体は、In（インジウム）、Sn（スズ）およびZn（亜鉛）の三元系酸化物である。あるいは、酸化物半導体層3は、In-Al-Zn-O系半導体、In-Al-Sn-Zn-O系半導体、Zn-O系半導体、In-Zn-O系半導体、Zn-Ti-O系半導体、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO（酸化カドミウム）、Mg-Zn-O系半導体、In-Ga-Sn-O系半導体、In-Ga-O系半導体、Zr-In-Zn-O系半導体、Hf-In-Zn-O系半導体、Al-Ga-Zn-O系半導体、Ga-Zn-O系半導体、In-Ga-Zn-Sn-O系半導体などを含んでもよい。

30

【0121】

（第2の実施形態）

第2の実施形態のアクティブマトリクス基板は、画素TFTとして、トップゲート構造を有するポリシリコンTFTを用いる点で、第1の実施形態と異なる。

【0122】

図8(a)および(b)は、それぞれ、本実施形態におけるTFT101Fおよびスタックコンタクト部20Fを示す平面図および断面図である。ここでは、前述の実施形態と異なる点を説明し、同様の構成については説明を適宜省略する。

40

【0123】

TFT101Fは、活性層として、結晶質シリコン半導体層30を有する。結晶質シリコン半導体層30は、ゲート絶縁層5で覆われており、ゲート絶縁層5上に、結晶質シリコン半導体層30の一部と重なるようにゲート電極GEが配置されている。ゲート絶縁層5は、ゲート電極GEの下方のみでなく、結晶質シリコン半導体層30の全体（後述するソースコンタクト領域30sおよびドレインコンタクト領域30dを除く）を覆っている。

50

## 【0124】

結晶質シリコン半導体層30は、ゲート電極GEとゲート絶縁層5を介して重なる1つまたは複数のチャンネル領域31と、チャンネル領域31以外の部分に配置され、チャンネル領域31よりも高い濃度で不純物を含む高濃度不純物領域32とを有する。高濃度不純物領域32は、チャンネル領域31よりも低い電気抵抗を有する。

## 【0125】

ゲート絶縁層5およびゲート電極GEは下部絶縁層11で覆われている。ソース電極SEは、下部絶縁層11上、および、下部絶縁層11およびゲート絶縁層5に設けられたソース開口部11s内に配置され、ソース開口部11s内で高濃度不純物領域32の一部と接している。ドレイン電極DEは、下部絶縁層11上、および、下部絶縁層11およびゲート絶縁層5に設けられたドレイン開口部11d内に配置され、ドレイン開口部11d内で高濃度不純物領域32の一部と接している。本実施形態でも、ドレイン電極DEは、ドレイン開口部11dによって露出された結晶質シリコン半導体層30の露出部分の一部のみと接している。

10

## 【0126】

下部絶縁層11およびソースメタル層(ソース電極SE、ドレイン電極DEおよびソースバスラインSL)上には上部絶縁層13が設けられている。上部絶縁層13には、ドレイン開口部11dと部分的に重なるように上部開口部13dが設けられている(スタック構造)。基板1の法線方向から見たとき、ドレイン開口部11dおよび上部開口部13dは、結晶質シリコン半導体層30の内部に位置している。画素電極PEは、上部絶縁層13上に配置され、上部開口部13dおよびドレイン開口部11dによって構成されたコンタクトホールCH内で、ドレイン電極DEおよび結晶質シリコン半導体層30と直接接している。結晶質シリコン半導体層30のうちドレイン電極DE、ソース電極SEと接する部分をドレインコンタクト領域30d、ソースコンタクト領域30s、画素電極PEと接する部分を透明コンタクト領域30pと呼ぶ。

20

## 【0127】

本実施形態でも、上部絶縁層13のパターニングの際に結晶質シリコン半導体層30をエッチストップとして機能させることができるので、ドレイン電極DEをドレイン開口部11dの一部のみおよび上部開口部13dの一部のみと重なるように配置できる。従って、従来よりもドレイン電極DEのサイズを小さくでき、画素開口率を改善できる。また、ドレイン電極DEの行方向の幅w2を上部開口部13dの幅よりも小さくすることで、画素幅Pwを低減でき、高精細化を実現できる。

30

## 【0128】

TFT101Fは、2つのTFTを直列に接続した構造(「デュアルゲート構造」と呼ぶ)を有することが好ましい。デュアルゲート構造では、1つの結晶質シリコン半導体層30に複数の(ここでは2つの)ゲート電極GEが間隔を空けて配置される。つまり、結晶質シリコン半導体層30のソースコンタクト領域30sとドレインコンタクト領域30dとの間に、複数の(ここでは2つの)チャンネル領域31が形成される。隣接する2つのチャンネル領域31の間には高濃度不純物領域32が配置される。

40

## 【0129】

TFT101Fがデュアルゲート構造を有することが好ましい理由は以下の通りである。液晶表示装置のアクティブマトリクス基板に使用する画素TFTには、オフリーク電流が小さいことが要求される。液晶表示装置では、画面を書き換えるまでの1フレームの期間中、液晶に印加された電圧を保持する必要があるが、画素TFTのオフリーク電流が大きいと、液晶に印加された電圧が時間とともに低下して表示特性を劣化させる可能性があるからである。ポリシリコンTFTは、酸化物半導体TFTやアモルファスシリコンTFTよりもオフリーク特性に劣ることから、酸化物半導体TFTと同様のTFT構造(図2~図6)をポリシリコンTFTに適用すると、オフリーク電流が大きくなってしまい、所望の表示特性が得られない場合がある。これに対し、図8に示すようなデュアルゲート構造を適用すると、ソース電極SEとドレイン電極DEとの間にかかる電圧を1/2程度に

50

小さくできるので、オフリーク電流を小さく抑えることが可能である。

【0130】

この例では、結晶質シリコン半導体層30は、ソースコンタクト部21からスタックコンタクト部20Fまで、ゲートバスラインGLを2回横切るようにU字形に延びている。ゲートバスラインGLのうち結晶質シリコン半導体層30が横切った2箇所がゲート電極GEとして機能する。この構成により、ゲート電極GEを別途配置するよりも画素幅Pwを低減でき、また、画素開口率も改善できる。

【0131】

次いで、図8を参照しながら、TFT101Fおよびスタックコンタクト部20Fの製造方法の一例を説明する。

【0132】

まず、基板1上に下地膜(不図示)を形成し、その上に、例えばプラズマCVD(Chemical Vapor Deposition)法やスパッタ法などの公知の方法で非晶質シリコン(a-Si)膜を形成する。次いで、a-Siを結晶化させることにより結晶質シリコン(p-Si)膜を得る。a-Si膜の結晶化は、例えばa-Si膜にエキシマレーザー光を照射することによって行ってもよい。この後、p-Si膜のパターニングを行い、結晶質シリコンからなる半導体層(厚さ:例えば30nm以上70nm以下)30を形成する。結晶質シリコン半導体層30を覆うようにゲート絶縁層5を形成する。ゲート絶縁層5は、例えばSiNx層である。

【0133】

続いて、ゲート絶縁層5上に、ゲート用の導電膜を形成し、パターニングすることにより、ゲート電極GEを得る。この工程で、ゲート絶縁層5はパターニングしなくてもよい。

【0134】

この後、ゲート電極GEをマスクとして、結晶質シリコン半導体層30に不純物を注入し、高濃度不純物領域32を形成する。結晶質シリコン半導体層30のうち不純物を注入されなかった領域がチャンネル領域3cとなる。

【0135】

続いて、前述の実施形態と同様に、下部絶縁層11、ソース電極SEおよびドレイン電極DE、上部絶縁層13および画素電極PEを形成する。このようにして、アクティブマトリクス基板が製造される。

【0136】

なお、本実施形態における画素TFTおよびスタックコンタクト部の構造は、図8に示す例に限定されない。例えば、図9に示すように、ドレイン電極DEは、凸型形状などの矩形以外の平面形状を有してもよい。ドレイン電極DEの幅w21、w22、配置などは、図5を参照しながら前述した幅、配置と同様であってもよい。また、ドレイン電極DEと上部開口部13d、ドレイン開口部11dとの配置関係も特に限定されず、第1の実施形態と同様のバリエーションが可能である。

【産業上の利用可能性】

【0137】

本発明の実施形態のアクティブマトリクス基板は、スマートフォン、ヘッドマウントディスプレイ等に使用される液晶表示装置に好適に用いられる。また、液晶表示装置に限定されず、有機EL表示装置などの種々の表示装置に好適に用いられる。

【符号の説明】

【0138】

1	基板
3	酸化物半導体層
3a	低抵抗化領域
3c	チャンネル領域
3d	ドレインコンタクト領域

10

20

30

40

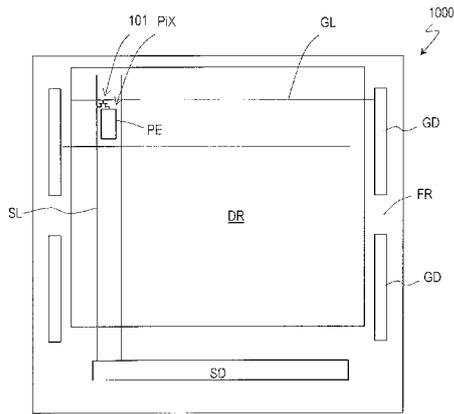
50

3 s	ソースコンタクト領域
3 p	透明コンタクト領域
5	ゲート絶縁層
1 1	下部絶縁層
1 1 d	ドレイン開口部
1 1 s	ソース開口部
1 3	上部絶縁層
1 3 d	上部開口部
2 0、2 0 A ~ 2 0 G	スタックコンタクト部
2 1	ドレインコンタクト部
3 0	結晶質シリコン半導体層
3 1	チャンネル領域
3 2	高濃度不純物領域
1 0 1、1 0 1 A ~ 1 0 1 G	T F T
1 0 0 0	アクティブマトリクス基板
CH	コンタクトホール
DE	ドレイン電極
SE	ソース電極
SL	ソースバスライン
GE	ゲート電極
GL	ゲートバスライン
PE	画素電極
P i x	画素領域
P w	画素幅

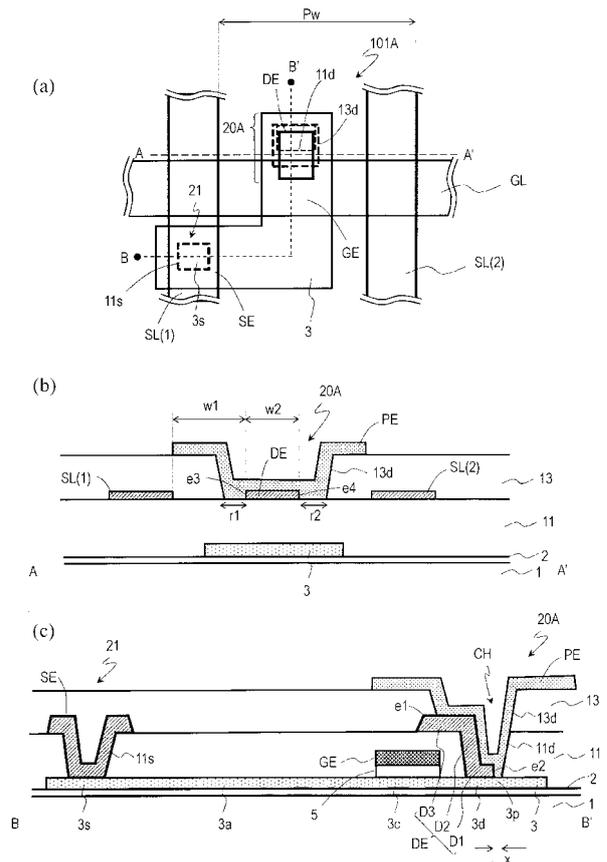
10

20

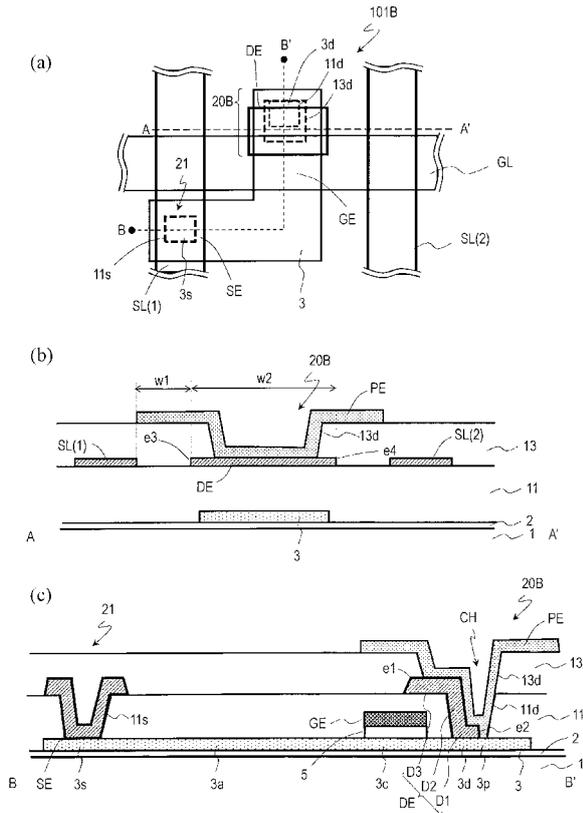
【 図 1 】



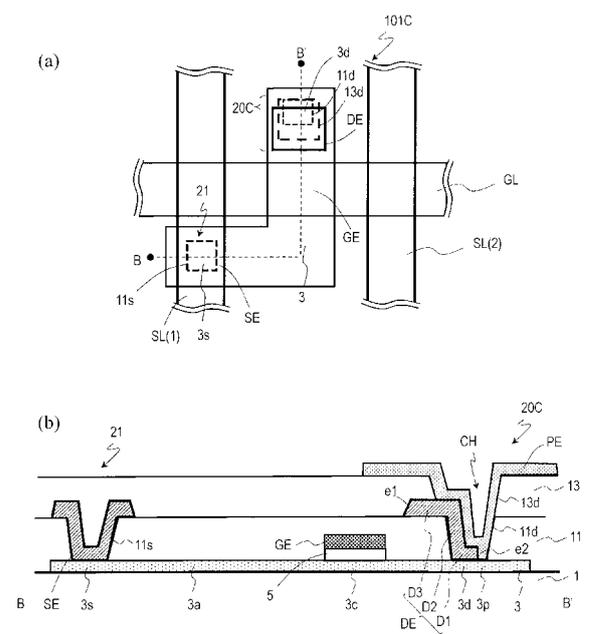
【 図 2 】



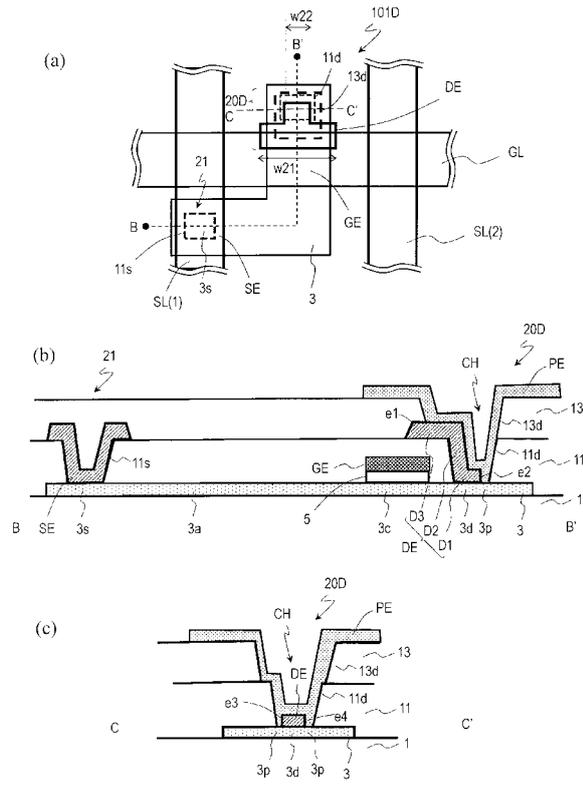
【 図 3 】



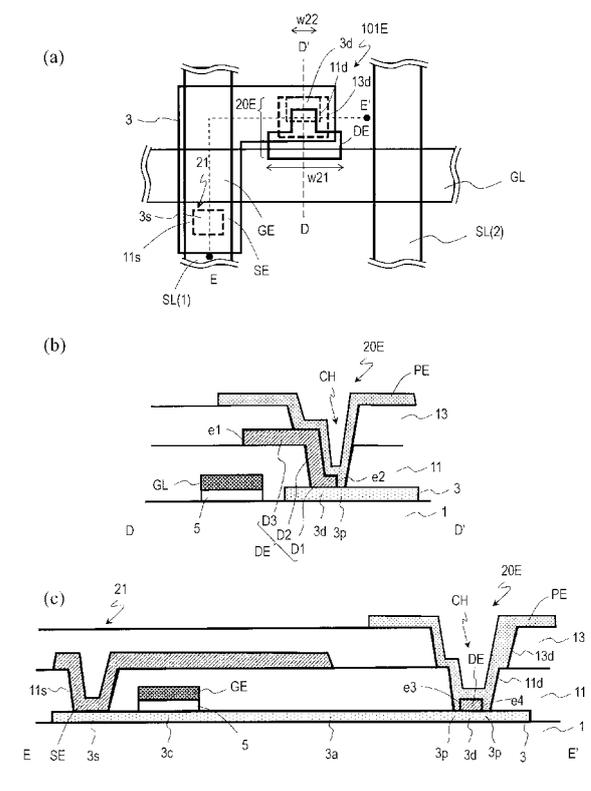
【 図 4 】



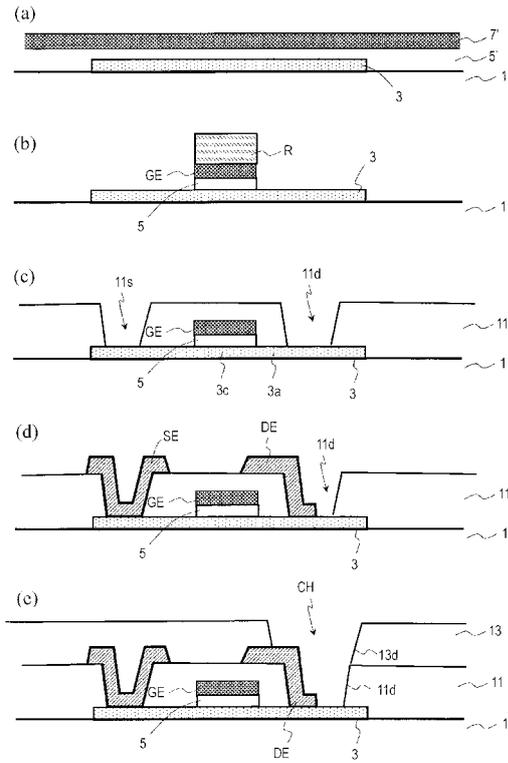
【 図 5 】



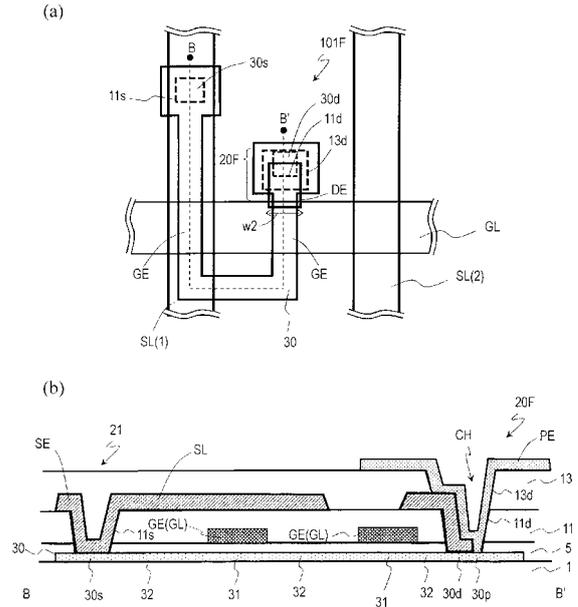
【 図 6 】



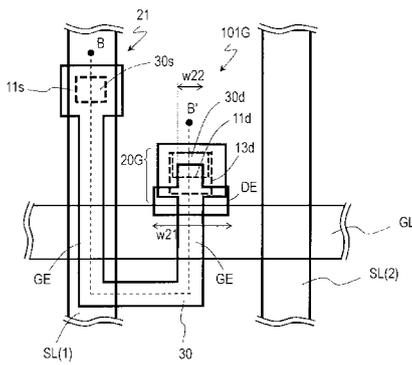
【 図 7 】



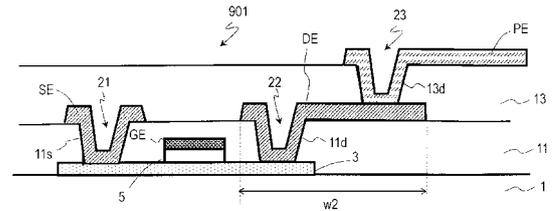
【 図 8 】



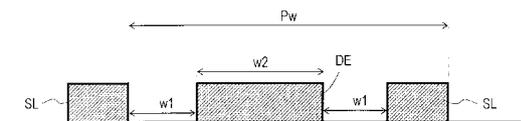
【 図 9 】



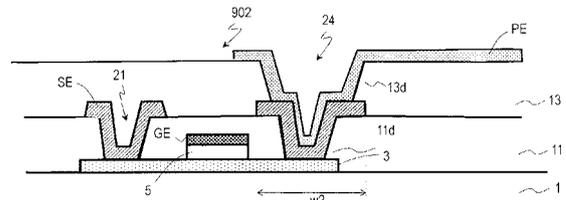
【 図 1 1 】



【 図 1 0 】



【 図 1 2 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 1 7 N
	H 0 1 L 29/78	6 1 8 B
	H 0 1 L 29/78	6 1 9 A
	H 0 1 L 29/78	6 2 7 C
	H 0 1 L 21/28	3 0 1 B
	G 0 2 F 1/1368	

(74)代理人 100202197  
弁理士 村瀬 成康

(74)代理人 100202142  
弁理士 北 倫子

(72)発明者 吉田 圭介  
大阪府堺市堺区匠町1番地 シャープ株式会社内

Fターム(参考) 2H192 AA24 BC34 BC42 CB02 CB37 CC42 FA44 FB02 JA13  
4M104 AA03 AA08 AA09 BB02 BB04 BB14 BB16 BB17 BB18 DD63  
EE03 FF06 FF11 GG09  
5F110 AA04 AA06 BB02 CC01 CC02 DD01 DD02 DD05 DD12 EE02  
EE03 EE04 EE06 EE14 EE28 FF02 FF03 GG01 GG02 GG06  
GG13 GG15 GG17 GG19 GG23 GG25 GG43 GG45 GG52 GG58  
HJ02 HJ16 HL02 HL03 HL04 HL06 HL07 HL08 HL11 HL12  
HL14 HL23 HM02 HM03 HM12 HM13 HM17 HM18 HM19 NN03  
NN05 NN14 NN22 NN23 NN24 NN27 PP03 QQ04 QQ09 QQ11