

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363573

(P2004-363573A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int. Cl.<sup>7</sup>

F I

テーマコード (参考)

HO 1 L 25/065  
 HO 1 L 23/52  
 HO 1 L 25/07  
 HO 1 L 25/18

HO 1 L 25/08 Z  
 HO 1 L 23/52 C

審査請求 未請求 請求項の数 13 O L (全 10 頁)

(21) 出願番号 特願2004-141893 (P2004-141893)  
 (22) 出願日 平成16年5月12日 (2004.5.12)  
 (31) 優先権主張番号 特願2003-137140 (P2003-137140)  
 (32) 優先日 平成15年5月15日 (2003.5.15)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 801000050  
 財団法人くまもとテクノ産業財団  
 熊本県上益城郡益城町大字田原2081番地10  
 (74) 代理人 100098785  
 弁理士 藤島 洋一郎  
 (74) 代理人 100109656  
 弁理士 三反崎 泰司  
 (72) 発明者 大野 恭秀  
 熊本県熊本市大江3丁目2番1号

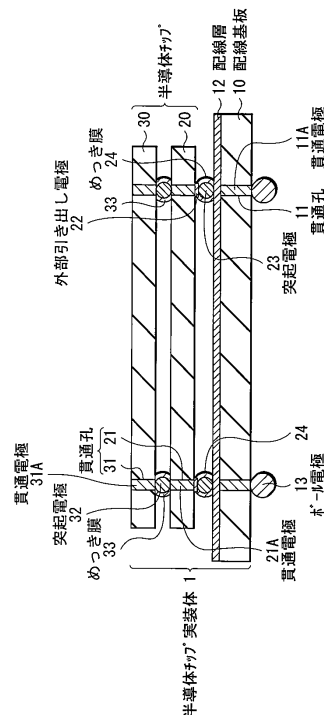
(54) 【発明の名称】 半導体チップ実装体およびその製造方法

(57) 【要約】

【課題】 配線基板と半導体チップ、半導体チップ同士の電気的接合部が均一であり、信頼性が高く、かつ低抵抗の半導体チップ実装体を提供する。

【解決手段】 配線基板10上に、外部引き出し電極に突起電極(バンプ)23を有する半導体チップ20を搭載し、この半導体チップ20の上に半導体チップ30を搭載する。配線基板10の配線層12と半導体チップ20の突起電極23との間、半導体チップ20,30の突起電極同士を電解めっきにより電気的に接続させる。配線層12と突起電極23との間および半導体チップ20,30の突起電極同士はめっき膜24,33により安定して接続される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

表面に配線層を有する配線基板と、  
突起電極を有すると共に前記配線基板上に搭載され、前記突起電極が前記配線層に接触すると共に、少なくとも前記突起電極と前記配線層との接触部の周囲が導電性のめっき膜により被覆されてなる第 1 の半導体チップと、

突起電極を有すると共に前記第 1 の半導体チップ上に積層して搭載され、少なくとも互いの突起電極同士の接触部の周囲が導電性のめっき膜により被覆されてなる 1 または 2 以上の第 2 の半導体チップ

とを備えたことを特徴とする半導体チップ実装体。

10

## 【請求項 2】

前記めっき膜は、銅 (Cu)、ニッケル (Ni)、金 (Au)、錫 (Sn) またはこれら金属の合金により構成されている

ことを特徴とする請求項 1 記載の半導体チップ実装体。

## 【請求項 3】

前記第 1 の半導体チップは、その両面間を貫通する貫通孔内に導電性材料を埋設して形成された貫通電極を有すると共に、前記貫通電極の端部に外部引き出し電極を有し、前記外部引出電極に前記突起電極が形成されている

ことを特徴とする請求項 1 または 2 記載の半導体チップ実装体。

## 【請求項 4】

前記配線基板と第 1 の半導体チップとの接続部における前記突起電極および外部引き出し電極の全体が前記めっき膜により被覆されている

ことを特徴とする請求項 3 記載の半導体チップ実装体。

20

## 【請求項 5】

前記半導体チップの突起電極の全体が前記めっき膜により被覆されている

ことを特徴とする請求項 4 記載の半導体チップ実装体。

## 【請求項 6】

前記配線基板上に搭載された第 1 の半導体チップおよび第 2 の半導体チップが樹脂で封止されている

ことを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体チップ実装体。

30

## 【請求項 7】

前記第 2 半導体チップおよび前記配線基板が、前記第 1 の半導体チップの貫通電極に対向する位置に貫通電極を有し、前記複数の貫通電極が前記突起電極を介して電氣的に接続されている

ことを特徴とする請求項 1 乃至 6 のいずれか 1 に記載の半導体チップ実装体。

## 【請求項 8】

表面に配線層を有する配線基板に対して、突起電極を有する第 1 の半導体チップの前記突起電極が前記配線基板の配線層上の所定の接続箇所に接触するように位置合わせを行うと共に、前記第 1 の半導体チップ上に、突起電極を有する 1 または 2 以上の第 2 の半導体チップを互いの突起電極同士が接触するように位置合わせを行う工程と、

40

前記第 1 の半導体チップの突起電極と前記配線基板の配線層の接続箇所との間、および前記第 1 および第 2 の半導体チップの突起電極同士をそれぞれめっき膜により電氣的に接続させる工程

とを含むことを特徴とする半導体チップ実装体の製造方法。

## 【請求項 9】

前記めっき膜を電気めっきまたは溶射めっきにより形成する

ことを特徴とする請求項 8 記載の半導体チップ実装体の製造方法。

## 【請求項 10】

前記めっき膜を、めっき液が収容されためっき槽の壁面に超音波振動を加えつつ形成する

50

ことを特徴とする請求項 8 または 9 に記載の半導体チップ実装体の製造方法。

【請求項 1 1】

前記第 1 および第 2 の半導体チップが実装された配線基板をめっき槽内に配置し、内部を減圧したのちめっき液を前記めっき層内に収容することにより、前記めっき膜を形成する

ことを特徴とする請求項 8 または 9 に記載の半導体チップ実装体の製造方法。

【請求項 1 2】

前記めっき膜を、めっき槽に収容されためっき液を加圧しつつ形成する

ことを特徴とする請求項 8 または 9 に記載の半導体チップ実装体の製造方法。

【請求項 1 3】

前記めっき膜を形成した後、前記配線基板上に搭載された第 1 の半導体チップおよび第 2 の半導体チップを樹脂で封止する工程を含む

ことを特徴とする請求項 8 ないし 1 2 に記載の半導体チップ実装体の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体チップがフリップチップ接続された半導体チップ実装体およびその製造方法に関する。

【背景技術】

【0002】

電子機器の小型化、軽量化の社会的要求に応じて L S I (Large Scale Integrated circuit) などの半導体装置では、小型化および高密度化が進んでいる。このような小型化および高密度化のひとつの手法として半導体チップの積層化が行われている。

【0003】

従来、このような半導体チップの積層化は、図 2 に示したように、配線基板 100 上に搭載された大きなサイズの半導体チップ 101 上にサイズの小さな半導体チップ 102 を接着材等により搭載し、配線基板 100、半導体チップ 101、102 間をボンディングワイヤ 103 によって電氣的に接続したのち、樹脂封止することにより行われている。より小型化および高密度化を図るためには、半導体チップのサイズを小さくすると共に、各チップを薄くする必要がある。

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記のような方法で積層した半導体チップ実装体は、以下のような問題を有していた。まず、ボンディングワイヤ 103 で半導体チップ 101 と配線基板 100 上の基板電極とを電氣的に接続しているために、特に高周波動作においてボンディングワイヤ 103 がインダクタンス成分となって、円滑な動作を阻害する要因となる。また、ボンディングワイヤ 103 が半導体チップ 101、102 の上面から突出しており、かつワイヤボンディングするための領域を確保しなければならないために、半導体チップの薄型化が充分できないという問題があった。更に、ボンディングワイヤ 103 は一般に金ワイヤが使用されるため、コスト増加の要因ともなる。また、ワイヤボンディングは、その接合時において、下段に積層されている半導体チップ 101 に掛かる荷重が大きく、それによって薄い半導体チップ 101 では破壊される虞がある。

【0005】

このようなことから、最近、ワイヤボンディング法に代わる方法として下記のような半導体チップをフリップチップ接続するタイプの C S P (Chip Size Package; チップサイズパッケージ) が提案されている (特許文献 1 ~ 5)。フリップチップ法では、上記ワイヤボンディング法とは異なり、半導体チップの全面を利用して接続を行うことができると共に、突起電極 (パンプ) をによって接続を行うために、非常に微細なチップの接合を行うことができ、高密度実装が可能になる。しかしながら、これらについても以下のような問

10

20

30

40

50

題があった。

【0006】

例えば、特許文献1～3では、積層する半導体チップと配線基板とを位置合わせし、半田により接合したのち、次に積層する半導体チップを位置合わせし、半田接合している。このように半田を電気的な接着剤として使用する場合には、多段積層時の一括リフローはセルフアライメントの効果が期待できないため、半導体チップごとに順次半田接合を実施することになる。しかしながら、このような場合、最初に積層した接合部には、最後に積層するまでに数回の半田接合時による熱が負荷され、一段目と最終段目の接合部との間では構造が異なってくることで、また、繰り返しの加熱で信頼性が低下することなどが懸念される。

10

【0007】

一方、特許文献4, 5では半導体チップと配線基板とを導電性接着剤を用いて電氣的に接合している。しかしながら、導電性接着剤は導電性の点で劣り、かつ接着強度が低いので、経時変化する半導体では、その使用年数が経過するにつれて、電氣的特性が低下する虞がある。

【特許文献1】特開2002-203874号公報

【特許文献2】特開2002-170919号公報

【特許文献3】特開平10-135272号公報

【特許文献4】特開2001-338949号公報

【特許文献5】特開平7-263493号公報

20

【0008】

本発明はかかる問題点に鑑みてなされたもので、その第1の目的は、高密度実装が可能であり、かつ、半導体チップの突起電極と配線基板の配線層との間、および半導体チップの突起電極同士の電氣的接続状態が均一であり、信頼性の高い半導体チップ実装体を提供することにある。

【0009】

本発明の第2の目的は、上記信頼性の高い高密度の半導体チップ実装体を容易にかつ低コストで製造できる半導体チップ実装体の製造方法を提供することにある。

【課題を解決するための手段】

【0010】

本発明による半導体チップ実装体は、表面に配線層を有する配線基板と、突起電極を有すると共に前記配線基板上に搭載され、前記突起電極と配線層とが接触し、かつめっき膜により電氣的に接続された第1の半導体チップと、突起電極を有すると共に前記第1の半導体チップ上に順次積層して搭載され、対向する互いの突起電極同士がめっきにより電氣的に接続された1または2以上の第2の半導体チップとを備えた構成を有するものである。

30

【0011】

めっき膜は、具体的には、電解めっきにより形成されたものであり、例えば銅(Cu)、ニッケル(Ni)、金(Au)、錫(Sn)またはこれら金属の合金により構成されている。

40

【0012】

本発明の半導体チップ実装体としては、半導体チップが、その両面を貫通する貫通孔内に導電性材料を埋設して形成された貫通電極を有し、その貫通電極の端部に外部引出電極を有し、外部引出電極に突起電極が形成されている態様のものが好ましい。また、第2半導体チップおよび配線基板にも、第1の半導体チップの貫通電極に対向する位置に貫通電極を設け、複数の貫通電極を突起電極を介して電氣的に接続させることにより、電氣的接続部を一直線状に配置する態様とすることが望ましい。

【0013】

本発明による半導体チップ実装体の製造方法は、表面に配線層を有する配線基板の表面に、突起電極を有する第1の半導体チップを前記突起電極が配線層上の接続箇所

50

るように位置合わせを行うと共に、第1の半導体チップ上に、突起電極を有する1または2以上の第2の半導体チップを互いの突起電極同士が接触するように位置合わせをして積層する工程と、第1の半導体チップの突起電極と配線基板の配線層の接続箇所との間、および第1の半導体チップおよび第2の半導体チップの各突起電極同士をそれぞれめっきにより電氣的に接続させる工程とを含むものである。

【0014】

めっき法としては、好ましくは、電解めっきまたは溶射めっきが用いられる。

【0015】

なお、めっきに際しては、めっき液が収容されためっき槽の壁面に超音波振動を加えつつめっき膜を形成する、または、第1および第2の半導体チップが実装された配線基板をめっき槽内に配置し、内部を減圧したのちめっき液をめっき層内に収容することによってめっき膜を形成することが望ましい。あるいは、めっき槽に収容されためっき液を加圧しつつめっき膜を形成するようにしてもよい。このような方法により、めっきが促進され、安定しためっき膜を形成することができる。

10

【発明の効果】

【0016】

本発明の半導体チップ実装体およびその製造方法によれば、半導体チップの突起電極と配線基板の配線層との間、および半導体チップの突起電極同士を、それぞれめっき膜により電氣的に接続させるようにしたので、接合箇所においてめっき膜が均一、かつ安定して付着し、ばらつきのない接合強度が得られると共に、接合作業を迅速に行うことができ、これにより生産性が向上する。また、リードと半導体チップとの間隔を充分に取れるため、高度集積が可能となり、小型で極めて信頼性の高い半導体チップ実装体を提供することができる。

20

【0017】

特に、本発明の半導体チップ実装体およびその製造方法は、65nm以下の微細配線を有し、電極パッドの下層の層間絶縁膜の材質が比較的脆い構造の半導体チップと配線基板との多層接続に有効である。

【0018】

また、本発明の半導体チップ実装体では、第1の半導体チップ、第2の半導体チップおよび配線基板にそれぞれ貫通電極を設け、これら貫通電極を突起電極を介して電氣的に接続させることにより、電氣的接続部を一直線状に配置する態様とすることが望ましい。これにより、ギガヘルツ(GHz)の周波数の信号伝達を高速に行うことができる。

30

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0020】

図1は、本発明の一実施の形態に係る半導体チップ実装体1の断面構成を表すものである。この半導体チップ実装体1は、例えばポリイミド樹脂からなる配線基板10の上に、多層構造(ここでは2層)の半導体チップ20、30を積層して搭載したものである。

【0021】

配線基板10には貫通孔(電極形成孔)11が設けられると共に表面に配線層12による電子回路が形成されている。電極形成孔11には、貫通電極11Aを形成する。外部電極11Aは、例えばニッケル(Ni)を1~150μm程度めっきすることにより形成することができる。他の方法として、めっきの後、半田をリフローさせることにより電極を作ることも可能である。

40

【0022】

基板10の裏面には電極形成孔11に対応する位置に例えば半田からなるボール電極13が形成されており、このボール電極13と表面の配線層12とが貫通孔11を介して電氣的に接続されている。ボール電極13には図示しないが、さらに、外部のプリント基板に電氣的に接続されている。

50

## 【 0 0 2 3 】

配線基板 10 は、例えばポリイミド樹脂により形成されており、その表面の電気回路は公知のフォトリソグラフィ技術により作成されたものである。フォトリソグラフィ法では基板をレジスト膜で覆い、このレジスト膜をパターンが形成されたマスクで覆う。マスクとする膜全体を感光性の樹脂で形成し、その露光および感光によりパターンニングして電極形成孔を形成するようにしてもよい。レジスト膜としては、紫外線により硬化する樹脂、例えばアクリル系の感光性剥離タイプ或いはエポキシアクリル系の樹脂を用いることができる。レジスト膜は、例えばスピンコート法により基板に被覆され、次いでこのレジスト膜を露光、現像によりパターンニングしてマスクを形成し、このマスクを用いて基板をエッチングやめっき処理することにより配線層を形成することができる。

10

## 【 0 0 2 4 】

配線層 12 は、例えば銅 (Cu) によりめっきで形成するのが導電性が優れているため好ましい。配線層 12 の幅は、例えば 5 ~ 30 μm 程度である。

## 【 0 0 2 5 】

下側の半導体チップ 20 (第 1 の半導体チップ) には貫通孔 (スルーホール) 21 が設けられ、この貫通孔 21 には導電材料例えば銅 (Cu) が充填され、プラグ 21A が形成されている。このプラグ 21A の下端部には外部引き出し電極 22 が設けられている。外部引き出し電極 22 にはその表面に突起電極 (金属バンプ) 23 が設けられ、この突起電極 23 が配線基板 10 側の配線層 12 の電極部分と接触している。半導体チップ 20 側の外部引き出し電極 22 と配線基板 10 側の配線層 12 との間は突起電極 23 の表面全体を含めて、導電性のめっき膜 24 により覆われている。このめっき膜 24 により、突起電極 23 と配線層 12 とが全面にわたって均一に接続され、電気的な接続不良が解消されている。

20

## 【 0 0 2 6 】

半導体チップ 20 の表面には、配線パターン (図示せず) が形成されている。この配線パターンは例えばモリブデン (Mo)、タングステン (W)、タングステンシリサイド (WSi<sub>2</sub>) などのシリサイド、金 (Au) または銅 (Cu) 等の導電性の良好な金属をめっきしたのち、リソグラフィ法で金属層をエッチングして部分的に除去することにより設けられたものである。

## 【 0 0 2 7 】

外部引き出し電極 22 は、例えば貫通孔 21 に微小半田ボールをリフローさせることにより、あるいは CVD (Chemical Vapor Deposition: 化学的気相成長) 法、スパッタリング等の PVD (Physical Vapor Deposition: 物理的気相成長) 法などにより形成することができる。

30

## 【 0 0 2 8 】

突起電極 23 は、配線基板 10 や積層された他の半導体との電気的接合を容易にするためのものであり、例えばめっきにより形成されたものである。めっき金属としては、めっき接合金属と同種の金属とすることが好ましいが、これに限定するものでなく、導電性、密着性等を考慮し、例えば銅 (Cu)、ニッケル (Ni)、金 (Au)、錫 (Sn) およびこれら金属の合金などから選択することができる。突起電極 23 の高さは 100 μm 以下、特に 2 ~ 50 μm の範囲とすることが好ましい。

40

## 【 0 0 2 9 】

上側の半導体チップ 30 (第 2 の半導体チップ) にも、同じく貫通孔 31 が設けられ、この貫通孔 31 にも例えば銅 (Cu) が充填されてプラグ 31A が形成されている。このプラグ 31A の下端部には突起電極 (金属バンプ) 32 が設けられ、この突起電極 32 が下側の半導体チップ 20 側のプラグ 21A と接触している。突起電極 32 の表面も例えばニッケル (Ni) からなるめっき膜 33 により覆われ、このめっき膜 33 により半導体チップ 20 側のプラグ 21A と半導体チップ 30 側のプラグ 31A との電気的な接続が確保されている。その他は、半導体チップ 20 と同様である。

## 【 0 0 3 0 】

50

なお、半導体チップ20, 30を構成する材料としては、例えばゲルマニウム(Ge)、シリコン(Si)、ガリウムヒ素(GaAs)、ガリウム・リン(GaP)などが挙げられるが、実装製品が小型化できるよう、各チップはできるだけ薄いことが望ましい。このようなチップのためのウェハは例えば、上記材料からなる単結晶を薄くスライスすることにより製造することができる。

#### 【0031】

次に、上記半導体チップ実装体1の製造方法について説明する。この方法は、「位置合わせ工程」と「めっきによる接合工程」とからなり、必要に応じて更に「樹脂封止工程」を含むものである。

#### 【0032】

位置合わせ工程では、配線基板11の表面に、突起電極23を有する半導体チップ20を、突起電極23が配線基板11上の配線層12の電極接合部に当接するように位置合わせを行う。次いで、半導体チップ20上に、第2の半導体チップ30を互いの突起電極同士が接触するように位置合わせを行う。なお、半導体チップ20, 30間には電氣的短絡を防ぐために、必要に応じて絶縁フィルムや絶縁塗料のような絶縁層を設けておいてもよい。

#### 【0033】

このような半導体チップ20, 30と配線基板10との位置合わせには、好ましくはテフロン(登録商標)からなる位置合わせ治具を用いる。この位置合わせ用治具には配線基板10若しくは半導体チップ20, 30に設けられた窪み部または突起部に嵌合するための突起部または窪み部が設けられており、これら突起部または窪み部に配線基板10若しくは半導体チップ20, 30に設けられた窪み部または突起部を挿入し、位置合わせを行うことができる。位置合わせの最適位置は、通電して電流量が電氣的に最も小さくなる位置であり、あるいは顕微鏡映像をモニターしながら自動的もしくは手動で操作することにより決定してもよい。

#### 【0034】

配線基板10と半導体チップ20、更に半導体チップ20, 30同士の位置合わせがなされると、次いで、これらをフリップチップ接続する。具体的には、2つの半導体チップ20, 30と配線基板10とを位置ずれしないように治具で押圧しながら、めっきを行うことにより配線基板10, 半導体チップ20, 30をフリップチップ接続、すなわち、突起電極(バンブ)を介して配線基板10および半導体チップ20, 30相互間を電氣的に接続させる。

#### 【0035】

このめっき処理は、配線基板10および半導体チップ20, 30を槽内のめっき浴中に浸漬して電氣めっきしてもよいし、無電解めっきしてもよい。また、めっき液をスプレー状に吹き付ける等の手法で互いに接触部を電氣的に導通させたのち、その接触部をめっき金属で被覆させることにより接合してもよい。このようにめっき処理することにより、図1に示したように、配線基板10の電極と半導体チップ20の突起電極との間、および半導体チップ20, 30の突起電極間にめっき金属を被覆させて接合する。この際、電氣的接合箇所である突起部やその接触面を除いた他の電氣回路露出面には油性塗料を印刷により塗布することによって、めっき金属の析出を防ぐことが好ましい。

#### 【0036】

めっき用金属としては、例えば銅(Cu)、ニッケル(Ni)、金(Au)、錫(Sn)またはこれらの合金を用いることができ、突起電極等の電極と同材質でもよいが、他の金属を用いてもよい。

#### 【0037】

なお、めっき処理に際しては、半導体チップ20と配線基板10との間に半導体チップ20を破損しない程度にわずかに圧力を加えることも可能である。

#### 【0038】

なお、電解めっきでは、配線基板10の電極と半導体チップ20の突起電極、および半

10

20

30

40

50

導体チップ20, 30の突起電極同士を位置合わせし、めっき浴に浸す。両者をめっき浴に浸したのち、共通電極を負極、めっき用電極を正極として両者間に直流電圧を所定の時間印加する。

【0039】

なお、めっき処理に際しては、液壁面に超音波振動を与えることが望ましい。これにより、めっき液を、配線基板10と半導体チップ20との間、および半導体チップ20, 30間に充分浸透させることができると共に、めっき液の循環が促進され、めっきのすべてのパンプ成長の均一化を図ることができる。

【0040】

また、半導体チップ20, 30が実装された配線基板10をめっき槽内に配置し、内部を減圧して半導体チップ20, 30同士の間、配線基板10と半導体チップ20との間の狭い領域の空気を抜き、そののちめっき層内にめっき液を収容することによって、めっき膜を形成するようにしてもよい。これにより、めっき液を、配線基板10と半導体チップ20との間、および半導体チップ20, 30間の狭い領域に充分浸透させることができ、空気残存部におけるめっき不良の発生を防止することができる。

【0041】

更には、めっき膜をめっき槽に収容されためっき液の表面部分の空気を加圧しながら形成するようにしてもよい。これによっても上記と同様の効果を得ることができる。

【0042】

上記めっき工程が終了すると、めっき液を純水で洗浄し、めっき時に付着した汚染物質を除去する。次に、必要に応じて、酸化や吸湿による劣化を防ぐため、配線基板10, 半導体チップ20, 30相互間の接合部を中心に、一部もしくは全部を樹脂で封止する。封止樹脂としては、エポキシ樹脂を始めとする電気絶縁性と耐熱性が優れた樹脂が選択すればよい。

【0043】

以上の工程ののち、基板をダイシングあるいはレーザービーム等により切断して分割することにより、高密度に集積された半導体チップ実装体1を得ることができる。

【0044】

このように本実施の形態では、配線基板10上に半導体チップ20, 30の位置合わせを行ったのち、半導体チップ20の突起電極と配線基板10の電極との間、および半導体チップ20, 30の各突起電極同士をそれぞれめっきにより電氣的に接続させるようにしたので、めっき膜を均一、かつ安定して付着させることができ、ばらつきのない接合強度が得られる。また、接合作業を迅速に行うことができるので、生産性が向上する。更に、リードと半導体チップとの間隔を充分に取れるため、高度集積が可能となり、小型で極めて信頼性の高い半導体チップ実装体を得ることができる。

【0045】

特に、従来行われているパンプ接続では、ミクロに見ると突起電極同士の接続部では接続されていない箇所（不接合箇所）が見られるが、本実施の形態では、このような不接合箇所にめっき金属が充填されるので、十分な接合強度が得られるとともに電氣的接合も十分に確保でき、接合部がより低抵抗となる。特に、配線基板10の配線層12や半導体チップ20, 30の配線層の幅が65nm以下というように微細配線になると、その膜厚も薄くなり、また、配線層下の絶縁層が多孔質（ポーラス）シリコン酸化膜（ $\text{SiO}_2$ ）により形成されている場合には脆いため、従来のワイヤボンディングやパンプ圧着のような圧力を加える手法を用いることは望ましくない。このような場合に、本実施の形態の手法が有効であり、10 $\mu\text{m}$ ピッチの微細配線を有する半導体実装体を絶縁層を損傷することなく得ることができる。

【0046】

また、今後は、ギガヘルツ（GHz）の周波数の信号伝達が普及するものと考えられているが、従来のデバイス（図2）のように電極間がワイヤにより接続されていると、ワイヤの長さ分およびワイヤが弯曲していることによる高周波抵抗の影響で信号伝達に遅れが



生じてしまう。これに対して、本実施の形態では、図 1 に示したように、配線基板 10 に貫通電極 11A、半導体チップ 20 に貫通電極 21A、半導体チップ 30 に貫通電極 31A がそれぞれ設けられ、これら貫通電極 11A, 12A, 13A が互いに対向するように配置されると共に、突起電極 23, 32 を介して電氣的に接続されている。すなわち、貫通電極 11A, 12A, 13A が直線状に最短距離で接続されており、ギガヘルツ (GHz) の周波数の信号であっても、伝達が高速にかつ安定して行われる。

【0047】

以下、具体的な実施例について説明する。

【実施例】

【0048】

直径 4 インチのシリコンウェハ上に、1 チップが  $7.5 \times 7.5$  mm の大きさであり、その外周部に 200 個のアルミニウム (Al) 電極 ( $80 \mu\text{m} \times 80 \mu\text{m}$ ) を配置し、電極部分以外は、シリコン酸化膜 ( $\text{SiO}_2$ ) からなる保護膜で被覆した。次いで、レーザーにより電極部分に貫通孔を形成し、その中に、半田を毛細管現象により浸透させ充填した。さらに、充填した半田部分に高さ  $5 \mu\text{m}$  の金の突起電極 (バンプ) を形成した。

10

【0049】

このウェハを突起電極同士が接触するように 2 枚積層して配置し、その周辺部にめっき負電極を接続し、電流密度を  $200 \text{ A/m}^2$  に設定した Cu めっき浴 (硫酸銅 0.8 モル/l, 硫酸 0.5 モル/l) 中に浸漬して、突起電極周辺において  $5 \mu\text{m}$  の厚さに Cu めっきを行い、突起電極同士を電氣的に接続させた。次いで、めっき液を洗浄し、チップ同士の空間にアンダーフィルの樹脂を注入した。その後、チップサイズに分割した。

20

【0050】

次に、配線基板の電極と半導体チップに形成した Cu めっきによる突起とが当接するように、配線基板と半導体チップとの位置合わせを行ったのち、これらを治具で固定し、上記しためっき浴と同様の浴中で、配線基板、2 つの半導体チップ相互のめっき接続を行った。このとき、配線基板の電極部以外は油性塗料を塗布してめっきが付着しないようにした。

【0051】

上記方法で得た半導体チップ実装体をめっき純水で洗浄したのち、洗浄液を乾燥させることにより製品を得た。

30

【0052】

(剥離試験結果)

このようにしてめっき接続した接合部をシェア試験し、半導体チップ間の層間接着強度を測定した。その結果、平均  $10 \text{ g}$  / バンプの強度が得られ、極めて良好な接合であることが明らかになった。

【0053】

(電気抵抗試験)

電気抵抗試験でも、 $0.5 \text{ m}$  / バンプと良好な接続抵抗を示した。

【0054】

以上実施の形態および実施例を挙げて本発明を説明したが、本発明は上記実施の形態や実施例に限定されるものではなく種々変形可能である。例えば、配線基板 10 上に搭載する半導体チップは 2 層だけではなく、3 層以上とすることもできる。すなわち、配線基板 10 上に搭載された第 1 の半導体チップの上に 2 以上の第 2 の半導体チップを順次搭載していくようにしてもよい。

40

【図面の簡単な説明】

【0055】

【図 1】本発明の一実施の形態に係る半導体チップ実装体の構造を表す断面図である。

【図 2】従来の半導体チップ実装体の模式図である。

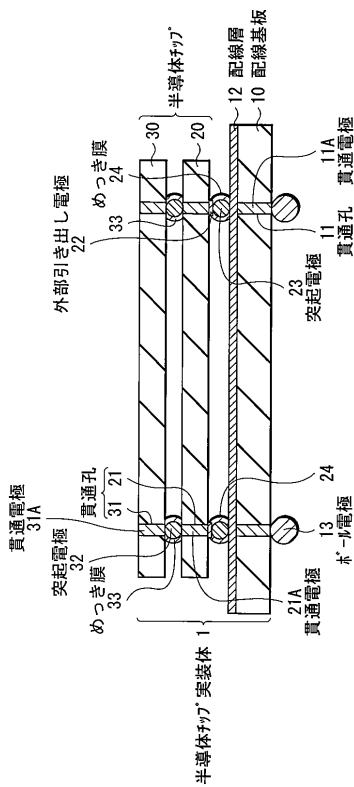
【符号の説明】

【0056】

50

10...配線基板、11, 21, 31...貫通孔(スルーホール)、11A...貫通電極、12...配線層、20...半導体チップ(第1の半導体チップ)、30...半導体チップ(第2の半導体チップ)、22...外部引き出し電極、23...突起電極(パンプ)、24, 33...めっき膜。

【 図 1 】



【 図 2 】

