

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-169438
(P2009-169438A)

(43) 公開日 平成21年7月30日(2009.7.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 660V	5C006
G02F 1/133 (2006.01)	G09G 3/20 641R	5C080
	G09G 3/20 622K	
	G09G 3/20 623C	

審査請求 有 請求項の数 17 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2009-111728 (P2009-111728)
 (22) 出願日 平成21年5月1日(2009.5.1)
 (62) 分割の表示 特願2004-519312 (P2004-519312) の分割
 原出願日 平成14年9月17日(2002.9.17)
 (31) 優先権主張番号 2002/38920
 (32) 優先日 平成14年7月5日(2002.7.5)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 503447036
 サムスン エレクトロニクス カンパニー
 リミテッド
 大韓民国キョンギード, スウォン-シ, ヨ
 ントン-ク, マエタン-ドン 416
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子
 (72) 発明者 ソン, ジャン-クン
 大韓民国, 137-778 ソウル, ソチ
 ヨ-ク, ソチョ 4-ドン, サミク アパ
 ート 5-201

最終頁に続く

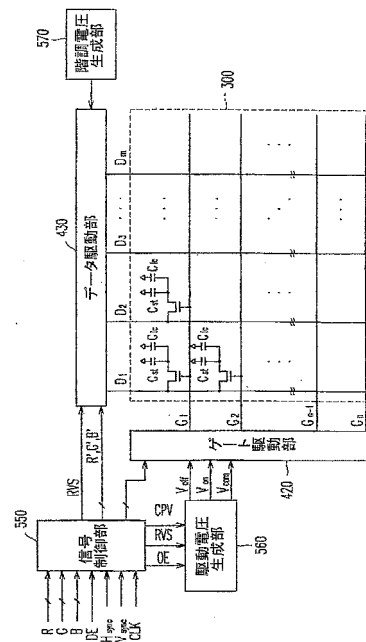
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】全画素のデータ信号の印加時間を均一にし、画質を改善する液晶情事装置の提供。

【解決手段】行列状に配列された複数の画素を含む液晶表示板アセンブリと、液晶表示板アセンブリにゲート電圧を印加し前記画素にデータ信号を印加させるゲート駆動部と、階調信号に該当する階調電圧を選択して前記データ信号として前記画素に印加するデータ駆動部と、前記階調信号と前記階調信号を制御する制御信号を前記ゲート駆動部及びデータ駆動部に供給する信号制御部と、を含む液晶表示装置を提供する。前記データ信号はノーマルデータ信号及びブラックデータ信号を含み、前記データ駆動部は、前記信号制御部の制御に従って前記画素に対し前記ノーマルデータ信号と前記ブラックデータ信号とを交互に印加し、隣接するフレームにおける前記ノーマルデータの走査方向が互いに逆である。従って、全ての画素のノーマルデータ保持時間とブラックデータ保持時間とがそれぞれ一定になるので、液晶パネル全体の画質状態が均一となり、画質が改善される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 走査領域、第 2 走査領域及び第 3 走査領域であって、前記第 1 走査領域、前記第 2 走査領域及び前記第 3 走査領域の各々は、複数のゲート線及び複数のデータ線に接続されるスイッチング素子を有する複数の画素に接続される複数のゲート線を有する、第 1 走査領域、第 2 走査領域及び第 3 走査領域を含む液晶表示板アセンブリと、

前記スイッチング素子をオンさせる電圧を印加するデータ駆動部と、

階調信号に該当する階調電圧を選択して、データ線を介してデータ信号として前記画素に印加するデータ駆動装置であって、前記データ信号の各々は、ノーマルデータ信号とブラックデータ信号とを含む、データ駆動装置と、

10

前記ゲート駆動装置及びデータ駆動装置を制御するための前記階調信号及び制御信号を供給する信号制御部と、を含み、

前記信号制御部は、1 フレーム期間に、

ゲートオン電圧が前記第 2 走査領域のゲート線に印加されると同時に前記ブラックデータ信号が前記第 2 走査領域のゲート線に接続されている前記画素に印加され、その後、ゲートオン電圧が前記第 1 走査領域のゲート線に対して配列方向に順次印加されると同時にノーマルデータ信号が前記第 1 走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御し、

前記信号制御部は、前記 1 フレーム期間に、

最後のゲートオン電圧が前記第 1 走査領域の最後のゲート線に印加された後、ゲートオン電圧が前記第 3 走査領域のゲート線に印加され、前記ブラックデータ信号が前記第 3 走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御するよう、前記ゲート駆動装置及びデータ駆動装置を制御する、液晶表示装置。

20

【請求項 2】

前記ブラックデータ信号は、前記複数の走査領域のうちの 1 つの走査領域の全画素に対して同時に印加される、請求項 1 に記載の液晶表示装置。

【請求項 3】

ゲートオン電圧は前記複数の走査領域の 1 つに印加されると同時に、他の走査領域のゲート線に接続される画素は直前のデータ信号を保持する、請求項 1 に記載の液晶表示装置。

30

【請求項 4】

前記液晶表示装置は、OCB (Optically Compensated Bend) モードである、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記信号制御部は、前記 1 フレーム期間の次のフレーム期間に、

ゲートオン電圧が前記第 2 走査領域のゲート線に印加されると同時に前記ブラックデータ信号が前記第 2 走査領域のゲート線に接続されている画素に印加され、その後、ゲートオン電圧が前記ゲート線の配列方向とは逆の方向に前記第 1 走査領域のゲート線に順次印加されると同時に前記ノーマルデータ信号が前記第 1 走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御し、

40

最後のゲートオン電圧が前記第 1 走査領域の最後のゲート線に印加された後にゲートオン電圧が前記第 3 走査領域のゲート線に印加され、前記ブラックデータ信号が前記 1 フレーム期間の次のフレーム期間に前記第 3 走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御する、請求項 3 に記載の液晶表示装置。

【請求項 6】

前記 1 フレーム期間に印加されるノーマルデータ信号の極性は、前記 1 フレーム期間の次のフレーム期間に印加されるノーマルデータ信号の電圧の極性と逆である、請求項 5 に記載の液晶表示装置。

50

【請求項 7】

前記 1 フレーム期間に印加されるブラックデータ信号の極性は、前記 1 フレーム期間の次のフレーム期間に印加されるブラックデータ信号の電圧の極性と逆である、請求項 5 に記載の液晶表示装置。

【請求項 8】

前記 ノーマルデータ信号を保持する画素では、隣接する二つのフレームの保持時間の平均値は一定である、請求項 5 に記載の液晶表示装置。

【請求項 9】

前記 ゲート駆動装置は、複数のゲート駆動デバイスを含み、
前記複数のゲート駆動デバイスは、前記複数のゲート線に接続され、
前記複数の画素は、それぞれ、前記ゲート線を介して、前記ゲート駆動デバイスに接続されている、請求項 5 に記載の液晶表示装置。

10

【請求項 10】

前記信号制御部は、前記複数の走査領域中の複数の画素のうちの 50% またはそれ以上の画素が前記ブラックデータ信号を保持するよう更に制御する、請求項 5 に記載の液晶表示装置。

【請求項 11】

前記信号制御部は、前記 1 フレーム期間に、
前記ブラックデータ信号が前記第 3 走査領域のゲート線に接続されている画素に印加された後、前記ノーマルデータ信号が前記第 2 走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御する、請求項 1 に記載の液晶表示装置。

20

【請求項 12】

第 1 走査領域、第 2 走査領域及び第 3 走査領域であって、前記第 1 走査領域、前記第 2 走査領域及び前記第 3 走査領域の各々は、複数のゲート線及び複数のデータ線に接続されるスイッチング素子を有する複数の画素に接続される複数のゲート線を有する、第 1 走査領域、第 2 走査領域及び第 3 走査領域を含む液晶表示板アセンブリと、前記スイッチング素子をオンさせる電圧を印加するデータ駆動部と、階調信号に該当する階調電圧を選択して、データ線を介してデータ信号として前記画素に印加するデータ駆動装置であって、前記データ信号の各々は、ノーマルデータ信号とブラックデータ信号とを含む、データ駆動装置と、前記ゲート駆動装置及びデータ駆動装置を制御するための前記階調信号及び制御信号を供給する信号制御部と、を含む液晶表示板アセンブリの駆動方法であって、

30

1 フレーム期間に、ゲートオン電圧が前記第 2 走査領域のゲート線に印加されると同時に前記第 2 走査領域のゲート線に接続されている前記画素に前記ブラックデータ信号を印加するステップと、

配列されている第 1 走査領域のゲート線に対して配列方向にゲートオン電圧を順次印加すると同時に前記第 1 走査領域のゲート線に接続されている画素に前記ノーマル信号を印加するステップと、

前記 1 フレーム期間に、最後のゲートオン電圧が前記第 1 走査領域の最後のゲート線に印加された後に、第 3 走査領域のゲート線にゲートオン電圧を印加するステップと、

40

前記 1 フレーム期間に、前記第 3 走査領域のゲート線に接続されている画素に前記ブラックデータ信号を印加するステップと、

を含む液晶表示板アセンブリの駆動方法。

【請求項 13】

前記 1 フレーム期間の次のフレーム期間に、ゲートオン電圧が前記第 2 走査領域のゲート線に接続されているゲート線に印加されると同時に、前記第 2 走査領域のゲート線に接続されている画素に前記ブラックデータ信号を印加するステップと、

前記 1 フレーム期間の次のフレーム期間に、ゲートオン電圧が前記ゲート線の配列方向とは逆の方向に前記第 1 走査領域のゲート線に順次印加されると同時に、前記第 1 走査領域のゲート線に接続されている画素に前記ノーマル信号を印加するステップと、

50

前記 1 フレーム期間の次のフレーム期間に、最後のゲートオン電圧が前記第 1 走査領域の最後のゲート線に印加された後に、前記第 3 走査領域のゲート線にゲートオン電圧を印加するステップと、

前記 1 フレーム期間の次のフレーム期間に沿って前記第 3 走査領域のゲート線に接続されている画素に前記ブラックデータ信号を印加するステップとを含む、請求項 1 2 に記載の液晶表示板アセンブリの駆動方法。

【請求項 1 4】

前記 1 フレーム期間に印加されるノーマルデータ信号の極性は、前記 1 フレーム期間の次のフレーム期間に印加されるノーマルデータ信号の電圧の極性と逆である、請求項 1 3 に記載の液晶表示板アセンブリの駆動方法。

10

【請求項 1 5】

前記 1 フレーム期間に印加されるブラックデータ信号の極性は、前記 1 フレーム期間の次のフレーム期間に印加されるブラックデータ信号の電圧の極性と逆である、請求項 1 3 に記載の液晶表示板アセンブリの駆動方法。

【請求項 1 6】

前記複数の走査領域中の複数の画素のうちの 50% またはそれ以上の画素は前記ブラックデータ信号を保持する、請求項 1 2 に記載の液晶表示板アセンブリの駆動方法。

【請求項 1 7】

前記 1 フレーム時間に、前記ブラックデータ信号が前記第 3 走査領域のゲート線に接続されている画素に印加された後に、前記第 2 走査領域のゲート線に接続されている画素に前記ノーマルデータ信号を印加するステップをさらに含む、請求項 1 2 に記載の液晶表示板アセンブリの駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

一般的な液晶表示装置は、二つの表示板とその間に介在している誘電率異方性を有する液晶層を含む。液晶層に電界を印加し、この電界の強度を調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。このような液晶表示装置は、携帯が便利な平板表示装置 (FPD) の代表的なものであって、この中でも薄膜トランジスタ (TFT) をスイッチング素子に用いる薄膜トランジスタ液晶表示装置 (TFT-LCD) が主に利用されている。

30

【0003】

このような薄膜トランジスタ液晶表示装置では、液晶分子自体の応答速度が遅いために画質が不鮮明でぼやけてしまう現象が生じる。この問題を解決するために、短時間でブラック画面を挿入するインパルス駆動方式が開発された。

【0004】

インパルス駆動方式には、一定の周期でバックライトを点滅させて画面全体をブラックにする方式と、一定の周期でブラックデータ信号を画素に印加する方式と、がある。

40

しかし、前記のような方式は、バックライトや液晶の応答速度が遅いために、画面の残像やフリッカー現象などが生じ、画質を低下させる問題がある。特に、後者の場合、1 フレーム期間中にデータ信号の印加時間が減る問題がある。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする技術的課題は、このような従来の問題点を解決するためのもので、全画素のデータ信号の印加時間を均一にし、画質を改善することである。

【課題を解決するための手段】

50

【 0 0 0 6 】

本発明の課題を解決するための液晶表示装置において、第1走査領域、第2走査領域及び第3走査領域であって、前記第1走査領域、前記第2走査領域及び前記第3走査領域の各々は、複数のゲート線及び複数のデータ線に接続されるスイッチング素子を有する複数の画素に接続される複数のゲート線を有する、第1走査領域、第2走査領域及び第3走査領域を含む液晶表示板アセンブリと、前記スイッチング素子をオンさせる電圧を印加するデータ駆動部と、階調信号に該当する階調電圧を選択して、データ線を介してデータ信号として前記画素に印加するデータ駆動装置であって、前記データ信号の各々は、ノーマルデータ信号とブラックデータ信号とを含む、データ駆動装置と、前記ゲート駆動装置及びデータ駆動装置を制御するための前記階調信号及び制御信号を供給する信号制御部と、を
10
含み、前記信号制御部は、1フレーム期間に、ゲートオン電圧が前記第2走査領域のゲート線に印加されると同時に前記ブラックデータ信号が前記第2走査領域のゲート線に接続されている前記画素に印加され、その後、ゲートオン電圧が前記第1走査領域のゲート線に対して配列方向に順次印加されると同時にノーマルデータ信号が前記第1走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御し、前記信号制御部は、前記1フレーム期間に、最後のゲートオン電圧が前記第1走査領域の最後のゲート線に印加された後、ゲートオン電圧が前記第3走査領域のゲート線に印加され、前記ブラックデータ信号が前記第3走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御するよう、前記ゲート駆動装置及びデータ駆動装置を制御する。
20

【 0 0 0 7 】

ここで、ブラックデータ信号は、一つの走査領域の全ての画素に対して同時に印加される。

【 0 0 0 8 】

ゲートオン電圧は前記複数の走査領域の1つに印加されると同時に、他の走査領域のゲート線に接続される画素は直前のデータ信号を保持することが好ましい。

【 0 0 0 9 】

液晶表示装置はOCBモードの液晶表示装置でも良い。

【 0 0 1 0 】

前記信号制御部は、前記1フレーム期間の次のフレーム期間に、ゲートオン電圧が前記第2走査領域のゲート線に印加されると同時に前記ブラックデータ信号が前記第2走査領域のゲート線に接続されている画素に印加され、その後、ゲートオン電圧が前記ゲート線の配列方向とは逆の方向に前記第1走査領域のゲート線に順次印加されると同時に前記ノーマルデータ信号が前記第1走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御し、最後のゲートオン電圧が前記第1走査領域の最後のゲート線に印加された後にゲートオン電圧が前記第3走査領域のゲート線に印加され、前記ブラックデータ信号が前記1フレーム期間の次のフレーム期間に前記第3走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御するようにしてもよい。
30

【 0 0 1 1 】

前記1フレーム期間に印加されるノーマルデータ信号の極性は、前記1フレーム期間の次のフレーム期間に印加されるノーマルデータ信号の電圧の極性と逆であってもよい。
40

【 0 0 1 2 】

前記1フレーム期間に印加されるブラックデータ信号の極性は、前記1フレーム期間の次のフレーム期間に印加されるブラックデータ信号の電圧の極性と逆であってもよい。

【 0 0 1 3 】

前記ノーマルデータ信号を保持する画素では、隣接する二つのフレームの保持時間の平均値は一定であってもよい。

【 0 0 1 4 】

前記ゲート駆動装置は、複数のゲート駆動デバイスを含み、前記複数のゲート駆動デバ
50

イスは、前記複数のゲート線に接続され、前記複数の画素は、それぞれ、前記ゲート線を介して、前記ゲート駆動デバイスに接続されていてもよい。

【0015】

前記信号制御部は、前記複数の走査領域中の複数の画素のうちの50%またはそれ以上の画素が前記ブラックデータ信号を保持するよう更に制御するようにしてもよい。

【0016】

前記信号制御部は、前記1フレーム期間に、前記ブラックデータ信号が前記第3走査領域のゲート線に接続されている画素に印加された後、前記ノーマルデータ信号が前記第2走査領域のゲート線に接続されている画素に印加されるよう、前記ゲート駆動装置及びデータ駆動装置を制御するようにしてもよい。

10

【0017】

本発明の課題を解決するために本発明は、第1走査領域、第2走査領域及び第3走査領域であって、前記第1走査領域、前記第2走査領域及び前記第3走査領域の各々は、複数のゲート線及び複数のデータ線に接続されるスイッチング素子を有する複数の画素に接続される複数のゲート線を有する、第1走査領域、第2走査領域及び第3走査領域を含む液晶表示板アセンブリと、前記スイッチング素子をオンさせる電圧を印加するデータ駆動部と、階調信号に該当する階調電圧を選択して、データ線を介してデータ信号として前記画素に印加するデータ駆動装置であって、前記データ信号の各々は、ノーマルデータ信号とブラックデータ信号とを含む、データ駆動装置と、前記ゲート駆動装置及びデータ駆動装置を制御するための前記階調信号及び制御信号を供給する信号制御部と、を含む液晶表示板アセンブリの駆動方法であって、1フレーム期間に、ゲートオン電圧が前記第2走査領域のゲート線に印加されると同時に前記第2走査領域のゲート線に接続されている前記画素に前記ブラックデータ信号を印加するステップと、配列されている第1走査領域のゲート線に対して配列方向にゲートオン電圧を順次印加すると同時に前記第1走査領域のゲート線に接続されている画素に前記ノーマル信号を印加するステップと、前記1フレーム期間に、最後のゲートオン電圧が前記第1走査領域の最後のゲート線に印加された後に、第3走査領域のゲート線にゲートオン電圧を印加するステップと、前記1フレーム期間に、前記第3走査領域のゲート線に接続されている画素に前記ブラックデータ信号を印加するステップと、を含む。

20

【0018】

前記1フレーム期間の次のフレーム期間に、ゲートオン電圧が前記第2走査領域のゲート線に接続されているゲート線に印加されると同時に、前記第2走査領域のゲート線に接続されている画素に前記ブラックデータ信号を印加するステップと、前記1フレーム期間の次のフレーム期間に、ゲートオン電圧が前記ゲート線の配列方向とは逆の方向に前記第1走査領域のゲート線に順次印加されると同時に、前記第1走査領域のゲート線に接続されている画素に前記ノーマル信号を印加するステップと、前記1フレーム期間の次のフレーム期間に、最後のゲートオン電圧が前記第1走査領域の最後のゲート線に印加された後に、前記第3走査領域のゲート線にゲートオン電圧を印加するステップと、前記1フレーム期間の次のフレーム期間に沿って前記第3走査領域のゲート線に接続されている画素に前記ブラックデータ信号を印加するステップとを含むようにしてもよい。

30

40

【0019】

前記1フレーム期間に印加されるノーマルデータ信号の極性は、前記1フレーム期間の次のフレーム期間に印加されるノーマルデータ信号の電圧の極性と逆であってもよい。

【0020】

前記1フレーム期間に印加されるブラックデータ信号の極性は、前記1フレーム期間の次のフレーム期間に印加されるブラックデータ信号の電圧の極性と逆であってもよい。

【0021】

前記複数の走査領域中の複数の画素のうちの50%またはそれ以上の画素は前記ブラックデータ信号を保持するようにしてもよい。

【0022】

50

前記 1 フレーム時間に、前記ブラックデータ信号が前記第 3 走査領域のゲート線に接続されている画素に印加された後に、前記第 2 走査領域のゲート線に接続されている画素に前記ノーマルデータ信号を印加するステップをさらに含むようにしてもよい。

【発明の効果】

【0023】

液晶パネル全体の画質状態が均一となり、画質が改善される。

【図面の簡単な説明】

【0024】

【図 1】本発明の一実施例による液晶表示装置のブロック図。

【図 2】本発明の一実施例による液晶表示装置の一つの画素に対する等価回路図。

10

【図 3 a】本発明の一実施例によるゲート駆動部の詳細ブロック図である。

【図 3 b】本発明の一実施例によるゲート駆動 IC と液晶表示板アセンブリ間の連結関係を示した図。

【図 4】本発明の一実施例によるインパルス駆動方法を示した図。

【図 5】図 4 に示す駆動方法によって印加されるゲート信号及びデータ信号における波形図。

【図 6】本発明の他の実施例による液晶表示装置の駆動方法で、第 1 フレームにおける走査過程を示した図。

【図 7】図 6 に示す第 1 フレームにおけるゲート信号及びデータ信号を示す波形図。

【図 8】本発明の他の実施例による液晶表示装置の駆動方法で、第 2 フレームにおける走査過程を示した図。

20

【図 9】図 8 に示す第 2 フレームにおけるゲート信号及びデータ信号を示す波形図。

【発明を実施するための形態】

【0025】

添付した図面を参考にして本発明の実施例について本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は様々な形態で実現されることができ、ここに説明する実施例に限定されるわけではない。

【0026】

以下、本発明の実施例による液晶表示装置に関して説明する。

【0027】

図 1 は本発明の実施例による液晶表示装置のブロック図である。図 2 は本発明の一実施例による液晶表示装置の一つの画素に対する等価回路図である。

30

【0028】

図 1 に示すように、本発明による液晶表示装置は、液晶表示板アセンブリ（以下、液晶表示板と言う）300、液晶表示板300に連結されたゲート駆動部420及びデータ駆動部430、ゲート駆動部420に連結された駆動電圧生成部560、データ駆動部430に連結された階調電圧生成部570、及びこれらを制御する信号制御部550を含む。

【0029】

液晶表示板300は、等価回路的には、複数の信号線（G1-Gn、D1-Dm）とこれに連結された複数の画素を含む。各画素は、信号線（G1-Gn、D1-Dm）に連結されたスイッチング素子（Q）と、スイッチング素子（Q）に連結された液晶キャパシタ（Clc）及び保持キャパシタ（Cst）を含む。信号線（G1-Gn、D1-Dm）は、走査信号またはゲート信号を伝達し、行方向に延長する複数の走査信号線またはゲート線（G1-Gn）と、画像信号またはデータ信号を伝達し、列方向に延長するデータ線（D1-Dm）を含む。スイッチング素子（Q）は三端子素子であって、その制御端子はゲート線（G1-Gn）に連結され、入力端子はデータ線（D1-Dm）に連結され、出力端子は液晶キャパシタ（Clc）及び保持キャパシタ（Cst）の一つの端子に連結されている。

40

【0030】

液晶キャパシタ（Clc）は、スイッチング素子（Q）の出力端子と共通電圧（Vcom）または基準電圧に連結されている。保持キャパシタ（Cst）の別の端子は、他の電圧、例えば

50

基準電圧に連結されている。しかし、保持蓄電器 (Cst) の他の端子は、すぐ上のゲート線 (以下、前段ゲート線と言う) に連結されることができる。前者の連結方法は独立配線方式といい、後者の連結方法は前段ゲート方式という。

【0031】

一方、液晶表示板アセンブリ300を構造的に見ると、図2のように概略的に示すことができる。便宜上、図2では一つの画素のみを示した。

【0032】

図2に示すように、液晶表示板アセンブリ300は互いに対向する下部表示板100及び上部表示板200と、両者間に介在する液晶層3と、を含む。下部表示板100には、ゲート線 (Gi-1、Gi) 及びデータ線 (Dj) と、スイッチング素子 (Q) 及び保持キャパシタ (Cst) が具備されている。液晶キャパシタ (Clc) は、下部表示板100の画素電極190と上部表示板200の基準電極270とを二つの端子とし、二つの電極190、270の間の液晶層3は液晶キャパシタ (Clc) の誘電体として機能する。本実施例の液晶層3は、例えばOCB (optically compensated bend) モードとされることができるが、この場合、液晶分子は下部表示板100と上部表示板200との中間に位置する面に対して対称に方向が変化する、いわゆるベンド配列で配向されている。OCBモード液晶表示装置は、応答速度及び狭い視野角を改善するためのもので、液晶分子のベンド配列を採用しており、特定電圧以下ではベンド配向が崩れてしまうため、ベンド配向が崩れないような臨界電圧 (Vc) 以上の電圧でのみ駆動される。

10

【0033】

画素電極190はスイッチング素子 (Q) に連結され、基準電極270は上部表示板200の全面に形成され共通電圧 (Vcom) に連結される。

20

【0034】

ここで、液晶層3の液晶分子は、画素電極190及び基準電極270により発生する電場の変化に応じてその配列を変える。これにより、液晶層3を通過する光の偏光が変化する。このような偏光の変化は、表示板100、200に付着された少なくとも一つの偏光子 (図示せず) による光透過率の変化として現れる。

【0035】

さらに、基準電圧の印加を受ける別個の配線が下部表示板100に具備され、画素電極190と重なることによって保持キャパシタ (Cst) を形成する。前段ゲート方式の場合、画素電極190は絶縁体を媒介として前段ゲート線 (Gi-1) と重なることによって、画素電極190は、前段ゲート線 (Gi-1) と共に保持キャパシタ (Cst) の二つの端子を形成する。

30

【0036】

図2はスイッチング素子 (Q) の例であるMOSトランジスタを示している。このMOSトランジスタは、実際の工程において非晶質シリコンまたは多結晶シリコンをチャンネル層とする薄膜トランジスタで形成される。

【0037】

図2とは異なって、基準電極270が下部表示板100に具備されることもある。この場合、二つの電極190、270は全て線形に形成される。

40

【0038】

一方、カラーディスプレイを実現するためには各画素がカラーを表示できることが要求される。これは、画素電極190に対応する領域に赤色、緑色、及び青色のカラーフィルタ230を具備することによって可能である。カラーフィルタ230は、図2に示すように、主に上部表示板200の該当領域に形成されるが、下部表示板100の画素電極190の上または下に形成することもできる。

【0039】

再び図1を参照すれば、ゲート駆動部420及びデータ駆動部430は、各々スキャン駆動部及びソース駆動部とも呼ばれ、複数のゲート駆動IC及びデータ駆動ICを含む。各ICは、液晶表示板アセンブリ300の外部に別途に位置したり、液晶表示板アセンブ

50

リ 3 0 0 上に配置できる。また、各 IC は、信号線 (G1 -Gn、D1 -Dm) 及び薄膜トランジスタ (Q) と同じ工程によって液晶表示板アセンブリ 3 0 0 上に配置することもできる。図 3 a で、ゲート駆動部 4 2 0 は、4 個のゲート駆動 IC 4 2 1 ~ 4 2 4 を含み、このゲート駆動 IC 4 2 1 ~ 4 2 4 は、可撓性回路基板上にチップ状に形成されている。また、各々のゲート駆動 IC 4 2 1 ~ 4 2 4 は、図 3 b に示すように、複数の配線 5 0 0 を通じて複数のゲート線に連結されている。即ち、4 個のゲート駆動 IC 4 1 2 ~ 4 2 4 は、複数の配線 5 0 0 を通じて全てのゲート線 (G1 -Gn) に連結される。

【 0 0 4 0 】

ゲート駆動部 4 2 0 の各ゲート駆動 IC 4 2 1 ~ 4 2 4 は、液晶表示板アセンブリ 3 0 0 のゲート線 (G1 -Gn) に連結されて、駆動電圧生成部 5 6 0 からのゲートオン電圧 (Von) とゲートオフ電圧 (Voff) の組み合わせからなるゲート信号をゲート線 (G1 -Gn) に印加する。本発明の実施例では、ゲート信号は、ゲート駆動部 4 2 0 のゲート駆動 IC 4 2 1 ~ 4 2 4 に連結されたゲート線 (G1 -Gn) を通じて印加される。

10

【 0 0 4 1 】

データ駆動部 4 3 0 は、液晶表示板アセンブリ 3 0 0 のデータ線 (D1 -Dm) に連結されており、階調電圧生成部 5 7 0 からの階調電圧を選択して、データ信号としてデータ線 (D1 -Dm) に印加する。

【 0 0 4 2 】

このようなゲート駆動部 4 2 0、データ駆動部 4 3 0 及び駆動電圧生成部 5 6 0 は、液晶表示板アセンブリ 3 0 0 の外部に存在し、これらに連結された信号制御部 4 0 0 によって制御される。以下、これについて詳細に説明する。

20

【 0 0 4 3 】

信号制御部 5 5 0 は、外部のグラフィック制御部 (図示せず) から RGB 階調信号 (R、G、B) 及びその表示を制御する制御入力信号、例えば垂直同期信号 (Vsync) と水平同期信号 (Hsync)、メインクロック (CLK)、データイネーブル信号 (DE) などの提供を受ける。信号制御部 5 5 0 は、制御入力信号に基づいてゲート制御信号及びデータ制御信号を生成し、階調信号 (R、G、B) を液晶表示板 3 0 0 の動作に合わせて適切に処理した後、ゲート制御信号をゲート駆動部 4 2 0 に送り、データ制御信号及び処理した階調信号 (R'、G'、B') はデータ駆動部 4 3 0 に送る。

【 0 0 4 4 】

ゲート制御信号は、ゲートオンパルス (ゲート信号のハイ区間) の出力開始を指示する垂直同期開始信号 (STV)、ゲートオンパルスの出力期間を制御するゲートクロック信号 (CPV) 及びゲートオンパルスの幅を定義する出力イネーブル信号 (OE) を含む。このゲート制御信号のうち、出力イネーブル信号 (OE) 及びゲートクロック信号 (CPV) は、駆動電圧生成部 5 6 0 に供給される。データ制御信号は、階調信号の入力開始を指示する水平同期開始信号 (STH) とデータ線に該当するデータ電圧の印加を指示するロード信号 (LOAD または TP)、データ電圧の極性を反転する反転制御信号 (RVS) 及びデータクロック信号 (HCLK) を含む。

30

【 0 0 4 5 】

ゲート駆動部 4 2 0 は、信号制御部 5 5 0 からのゲート制御信号に従ってゲートオンパルスを順次にゲート線 (G1 -Gn) に印加し、このゲート線 (G1 -Gn) に連結されたスイッチング素子 (Q) を順次にオンさせる。データ駆動部 4 3 0 は、信号制御部 5 5 0 からのデータ制御信号に従い、階調信号 (R'、G'、B') に対応する階調電圧生成部 5 7 0 からのアナログ電圧をデータ信号として当該データ線 (D1 -Dm) に供給する。このとき、データ線 (D1 -Dm) に供給されたデータ信号は、オンされたスイッチング素子 (Q) を通じて当該画素に印加される。このような方法で、1 フレーム期間中に全てのゲート線 (G1 -Gn) に対して順次にゲートオンパルスを印加して、全ての画素行にデータ信号を印加する。1 フレームに該当する全ての行の画素にデータ信号が印加された後、反転制御信号 (RVS) が供給されれば、次のフレームに該当する全ての行のデータ信号の極性が変わる。なお、本発明の実施例によれば、各画素にノーマルデータ信号 (N) とブラックデータ信号

40

50

(B)とを交互に印加する。

【0046】

以下、図4及び図5を参照して、本発明の実施例によるインパルス駆動方法についてより詳細に説明する。

【0047】

図4は本発明の一実施例によるインパルス駆動方法を示す図面である。図5は、図4の駆動方法によって印加されるゲート信号及びデータ信号に対する波形図である。

【0048】

本実施例のインパルス駆動方法は、1フレームのノーマルデータ信号Nが画素に印加された後、全てのゲート線(G1-Gn)にゲートオン電圧(Von)を印加してスイッチング素子(Q)をオンさせて、予め定められた時間の間に全ての画素にブラックデータ(B)を印加する方法である。走査方向は、各フレームに2択的に行われる。即ち、走査方向は、上方から下方へ、そして下方から上方へと交互に行う。

【0049】

図4aに示すように、第1フレームの場合、第1ゲート線(G1)から最後のゲート線(Gn)にゲートオン電圧(Von)を順次に印加し、階調信号(R', G', B')に該当するノーマルデータ信号(N)を全ての画素に印加する。次に、図4bに示すように、全てのゲート線(G1-Gn)にゲートオン電圧(Von)を同時に印加し、データ線(D1-Dm)にブラックデータ信号(B)を印加し、液晶表示板アセンブリ300の全体をブラック状態で表示する。各画素に印加されたノーマルデータ信号(N)は、ブラックデータ信号(B)が印加されるまで保持されるので、ノーマルデータの保持時間は、第1行から最後の行に行くほど徐々に減少する。

【0050】

第2フレームでは、第1フレームとは逆に最後の行から第1行に順次にノーマルデータ信号(N)を印加する(図4c)。その後、再び全てのゲート線(G1-Gn)にゲートオン電圧(Von)を同時に印加し、データ線(D1-Dm)を通じてすべての画素にブラックデータ信号(B)を印加する(図4d)。このようにすれば、ノーマルデータの保持時間は、第1行から最後の行に行くほど徐々に増加する。よって、二つのフレームの期間中、各画素のノーマルデータ保持時間を平均すれば、全て同じになる。

【0051】

図4e及び図4fに示すように、図4a及び図4bと同じような方法でノーマルデータ信号(N)及びブラックデータ信号(B)を印加する過程を反復する。

【0052】

更に、本発明では、各フレームごとにノーマルデータ信号(N)の極性が反転し、また、各フレームごとにブラックデータ信号(B)の極性も反転する。例えば、図4aのように“+”の極性のノーマルデータ信号(N)を印加すると、図4cのように“-”の極性のノーマルデータ信号(N)を印加し、図4eのように再び“+”の極性のノーマルデータ信号(N)を印加する。同様に、ブラックデータ信号(B)に対しても、例えば図4bにおいて“+”の極性のブラックデータ信号(B)を印加すれば、図4dのように“-”の極性のブラックデータ信号(B)を印加し、再び図4fのように“+”の極性のブラックデータ信号(B)を印加する。

【0053】

以下、図6乃至図9を参照して、本発明の実施例によるインパルス方式の液晶表示装置駆動方法について説明する。

【0054】

図6は本発明の他の実施例による液晶表示装置の駆動方法で、第1フレームにおける走査過程を示す図面であり、図7は図6に示す第1フレームにおけるゲート信号及びデータ信号を示す波形図である。

【0055】

図8は本発明の他の実施例による液晶表示装置の駆動方法で、第2フレームにおける走

10

20

30

40

50

査過程を示す図面であり、図9は図8に示す第2フレームにおけるゲート信号及びデータ信号を示す波形図である。

【0056】

まず、説明の便宜のために、図3に示されるゲート駆動IC421～424との連結関係に基づいて、すべてのゲート線(G1-Gn)を4つのゲート線組(G11-G1i、G21-G2i、G31-G3i、G41-G4i)に分ける。即ち、各ゲート線組(G11-G1i、G21-G2i、G31-G3i、G41-G4i)のゲート線は、対応するゲート駆動IC421～424にのみ連結される。また、画素を4つのゲート線組(G11-G1i、G21-G2i、G31-G3i、G41-G4i)との連結関係に基づいて、4個の仮想領域3001～3004に分ける。即ち、互いに異なる仮想領域3001～3004の画素は、互いに異なるゲート線組(G11-G1i、G21-G2i、G31-G3i、G41-G4i)に連結され、これによって、互いに異なるゲート駆動IC421～424に連結される。

10

【0057】

まず、図6aに示すように、第2領域3002の全ゲート線(G21-G2i)にゲートオン電圧(Von)を同時に印加し、データ線(D1-Dm)を通じてブラックデータ信号(B)を印加する。この時、他の領域の画素では直前に印加されたデータ信号が保持される。

【0058】

次に、図6bに示すように、第1領域3001を上方から下方に走査してノーマルデータ信号(N)を印加する。この時、第2領域3002では、前の段階で印加されたブラックデータ信号(B)が引き続き保持される。

20

【0059】

次に、図6cに示すように、第3ゲート駆動IC423と連結された全てのゲート線(G31-G3i)にゲートオン電圧(Von)を同時に印加し、第3領域3003にブラックデータ信号(B)を印加する。この時、第1領域3001ではノーマルデータ信号(N)が、第2領域3002ではブラックデータ信号(B)がそれぞれ保持される。

【0060】

図6dに示すように、第2ゲート駆動IC422と連結された第2領域3002に対し、上方から下方に走査動作を行いノーマルデータ信号(N)を印加する。この時、第1領域3001の画素にはノーマルデータ信号(N)が、第3領域3003の画素にはブラックデータ信号(B)がそれぞれ保持される。

30

【0061】

次に、図6eに示すように、第4ゲート駆動IC424に連結された第4領域3004の全ゲート線(G41-G4i)にゲートオン電圧(Von)を同時に印加した後、ブラックデータ信号(B)を画素に印加し、第4領域3004をブラック状態にする。この時、第1及び第2領域3001、3002ではノーマルデータ信号(N)を、第3領域3003ではブラックデータ信号(B)をそれぞれ保持している。

【0062】

図6fに示すように、第3ゲート駆動IC423と連結されゲート線(G31-G3i)に連結された第3領域3003を上方から下方に順次に走査してノーマルデータ信号(N)を印加する。この時、第1及び第2領域3001、3002ではノーマルデータ信号(N)を、第4領域3004ではブラックデータ信号(B)をそれぞれ保持している。

40

【0063】

図6gに示すように、第1ゲート駆動IC421と連結された第1領域3001のゲート線(G11-G1i)にゲートオン電圧(Von)を同時に印加し、ブラックデータ信号(B)を印加して、第1領域3001をブラック状態にする。この時、第2及び第3領域3002、3003ではノーマルデータ信号(N)を保持し、第4領域3004ではブラックデータ信号(B)をそれぞれ保持している。

【0064】

最後に、図6hに示すように、第4ゲート駆動IC424と連結されゲート線(G41-G4i)に連結された第4領域3004を上方から下方に走査してノーマルデータ信号(N)

50

を印加する。この時、第1領域3001はブラックデータ信号(B)を、第2及び第3領域3002、3003はノーマルデータ信号(N)をそれぞれ保持している。

【0065】

このような方法により1フレームを完了し、次のフレームを開始する。各領域3001～3004内における走査方向は、直前フレームの走査方向と逆方向、つまり下方から上方に順次に行われる。

【0066】

この時、反転制御信号(RVS)がデータ駆動部430に印加され、ノーマルデータ信号(N)とブラックデータ信号(B)との極性が変わる。

【0067】

以下、図8、図9を参照して、次のフレームの走査動作を詳細に説明する。

【0068】

次のフレームの走査動作は、直前フレームのように、第1領域3001から最後の領域である第4領域3004に順次を実施されるが、各領域3001～3004における走査方向が下方から上方に行われる。この点を除くと、図6を参照して説明した動作と同様であるので、詳細な説明は省略する。

【0069】

本実施例で、ブラックデータ信号(B)が保持される領域を二つにしたのは、インパルス駆動方式の効果を上げるためであって、一つや三つであっても良い。しかし、全表示領域の50%以上の面積においてブラックデータ信号が保持されることが好ましい。

【0070】

また、本発明の実施例で、ゲート駆動部420は4個のゲート駆動IC421～424を備えているが、ゲート駆動ICの数も変更できる。そして、一つの領域を一つのゲート駆動ICに対応させて分けているが、これに限定されず、二つ以上のゲートICに対応させて分けることもできる。

【0071】

このように、ブラックデータ信号を利用するインパルス駆動時に、フレームの走査方向を直前フレームでの走査方向と逆に実施し、全ての画素のノーマルデータ保持時間とブラックデータ保持時間とが各々一定になる。したがって、液晶パネル全体の画質状態が均一となり、画質が改善される。

【0072】

また、液晶表示板アセンブリを複数の領域に仮想分割し、各領域における走査動作を直前フレームでの走査動作と逆方向に実施するので、液晶表示板アセンブリの中央部と周縁部の各画素に対するノーマルデータ保持時間とブラックデータ保持時間との差を減らすことができるので、フリッカー現象を防止し、液晶パネル全体の画質が改善される。

【0073】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者の様々な変形及び改良形態も本発明の権利範囲に属するものである。

【符号の説明】

【0074】

- 3 液晶層
- 100 下部表示板
- 190 画素電極
- 200 上部表示板
- 270 基準電極
- 300 液晶表示板アセンブリ
- 420 ゲート駆動部
- 430 データ駆動部
- 500 配線

10

20

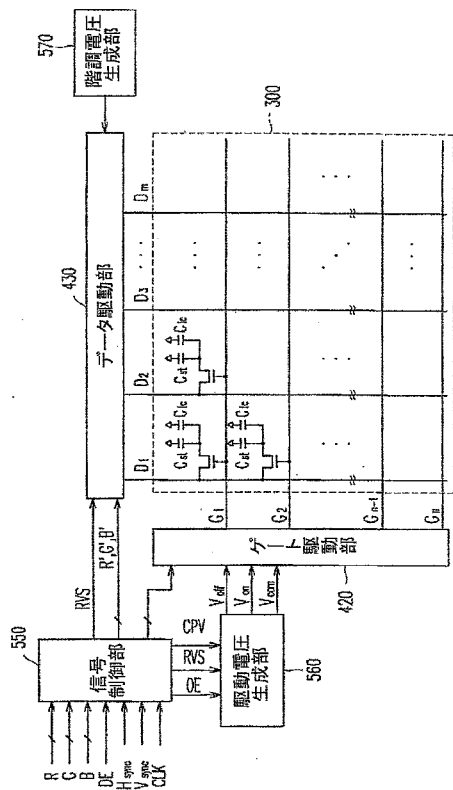
30

40

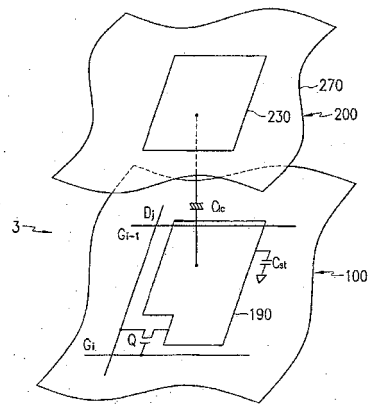
50

- 550 信号制御部
- 560 駆動電圧生成部
- 570 階調電圧生成部

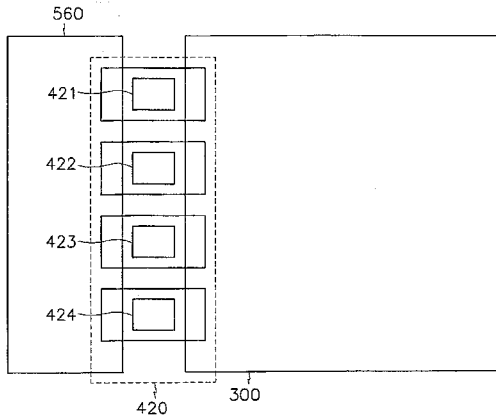
【図1】



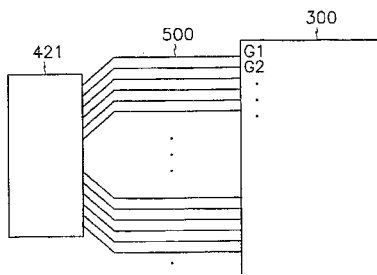
【図2】



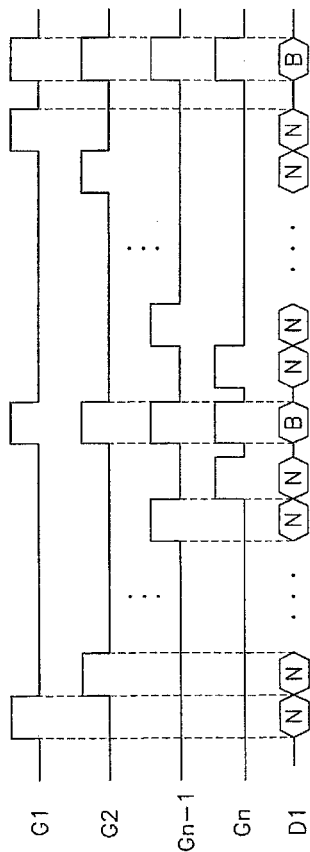
【 図 3 a 】



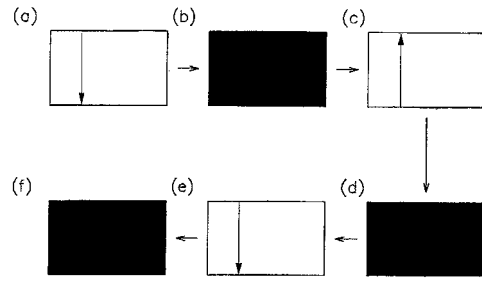
【 図 3 b 】



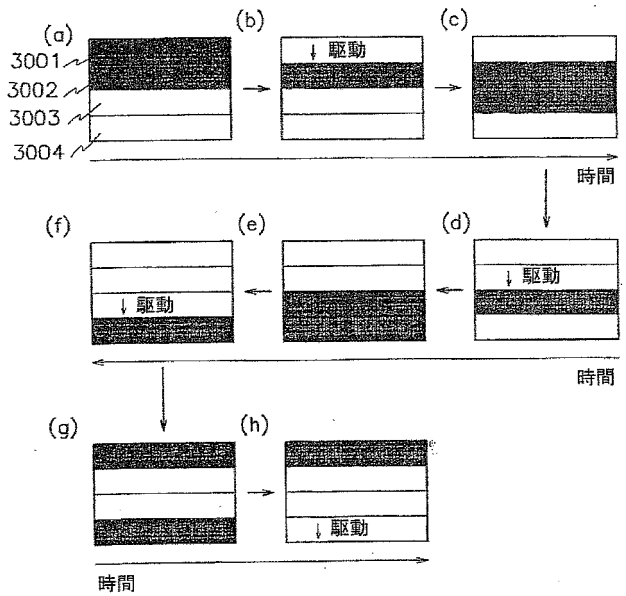
【 図 5 】



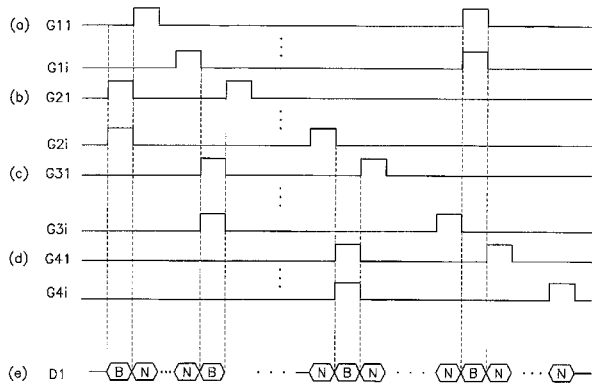
【 図 4 】



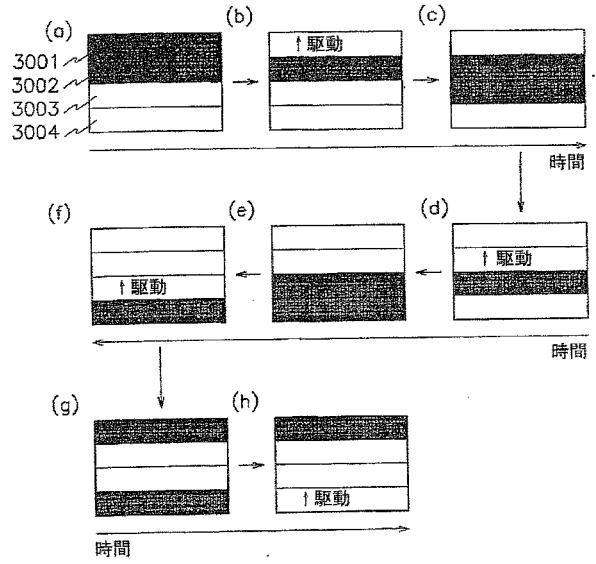
【 図 6 】



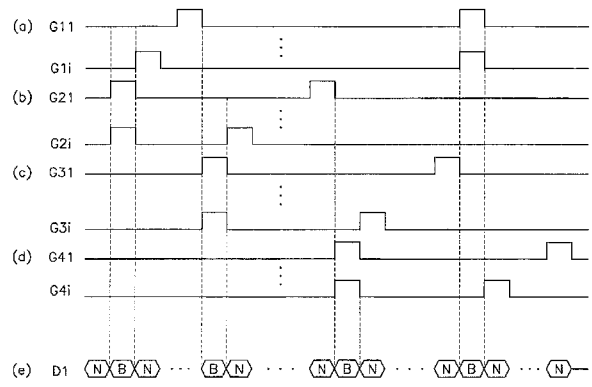
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 2 R
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 1 1 E
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 0

(72)発明者 リ, チャン - フン

大韓民国, キュンキ - ド, 4 4 2 - 4 7 0 スウォン - シティ, パルダル - ク, ヨントン - ドン,
シンナムシル サンヨン アパート 5 4 2 - 2 0 3

(72)発明者 チャン, ハク - スン

大韓民国, 1 3 5 - 2 3 0 ソウル, カンナム - ク, イルウォン - ドン, ガチ マウル アパート
1 0 0 6 - 3 1 5

F ターム(参考) 2H193 ZA04 ZA05 ZC16 ZC25 ZC30 ZC34 ZC35 ZD32 ZE02 ZQ14
5C006 AC23 AC28 AF22 AF33 AF42 AF44 AF59 BA19 BB16 BC03
FA04 FA23 FA29
5C080 AA10 BB05 DD02 DD06 EE19 EE29 FF11 JJ01 JJ02 JJ04
JJ06