

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-164651

(P2009-164651A)

(43) 公開日 平成21年7月23日(2009.7.23)

(51) Int.Cl.  
H01L 29/78 (2006.01)

F I  
H01L 29/78 301D

テーマコード(参考)  
5F140

審査請求有 請求項の数 6 OL (全7頁)

(21) 出願番号 特願2009-105942 (P2009-105942)  
(22) 出願日 平成21年4月24日(2009.4.24)  
(62) 分割の表示 特願2006-48374 (P2006-48374)の分割  
原出願日 平成18年2月24日(2006.2.24)

(71) 出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(74) 代理人 100131071  
弁理士 ▲角▼谷 浩  
(72) 発明者 中谷 清史  
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内  
Fターム(参考) 5F140 AA25 AC01 AC21 BA01 BA16  
BD19 BF01 BF04 BF08 BG02  
BH13 BH17 BH30 BH43 BH47  
BK05 BK13 BK21 BK25 CA03  
CA06 CC12 CD02 CD08

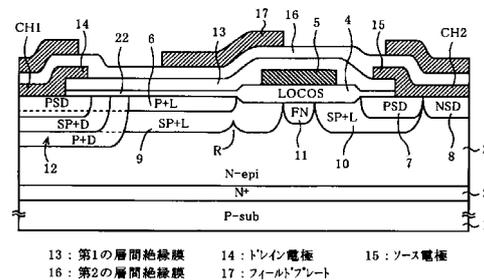
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高いゲート耐圧、高いソース・ドレイン耐圧を有するとともに、低いオン抵抗を有した高耐圧MOSトランジスタを提供する。

【解決手段】 エピタキシャル・シリコン層2上には、LOCOS膜4を介してゲート電極5が形成されている。LOCOS膜4の左側にはP型の第1のドリフト層6が形成され、ゲート電極5を間に挟んでLOCOS膜4の右側のエピタキシャル・シリコン層2の表面には、第1のドリフト層6と対向してP+型のソース層7が配置されている。第1のドリフト層6より深くエピタキシャル・シリコン層2の中に拡散され、第1のドリフト層6の下方からLOCOS膜4の左側下方へ延びるP型の第2のドリフト層9と、前記第1のドリフト層6及び前記第2のドリフト層9と接触したドレイン層12が形成されている。

【選択図】 図10



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体層上にフィールド絶縁膜を介して形成されたゲート電極と、第 2 導電型の第 1 のドリフト層と、前記ゲート電極を間に挟んで前記第 1 のドリフト層と対向して配置されたソース層と、前記第 1 のドリフト層より深く前記半導体層中に拡散され、前記第 1 のドリフト層の下方からフィールド絶縁膜の下方へ延びる第 2 導電型の第 2 のドリフト層と、前記第 1 のドリフト層及び前記第 2 のドリフト層と接触したドレイン層を備えることを特徴とする半導体装置。

## 【請求項 2】

前記ゲート電極の一部上から前記第 1 のドリフト層の一部上に延びるフィールドプレートを備えることを特徴とする請求項 1 に記載の半導体装置。 10

## 【請求項 3】

前記フィールドプレートは第 2 層金属層からなることを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 4】

第 1 のドリフト層は前記フィールド絶縁膜の端から離れて配置されていることを特徴とする請求項 1、2、3 のいずれかに記載の半導体装置。

## 【請求項 5】

前記フィールド絶縁膜の下部に接して前記半導体層より高濃度の第 1 導電型のチャネル不純物層が形成されていることを特徴とする請求項 1、2、3、4 いずれかに記載の半導体装置。 20

## 【請求項 6】

前記半導体層は、第 2 導電型の単結晶半導体基板上にエピタキシャル成長されたエピタキシャル半導体層であり、前記単結晶半導体基板と前記半導体層の界面に前記半導体層より高濃度の第 1 導電型の埋め込み半導体層が形成されていることを特徴とする請求項 1、2、3、4、5 のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体装置に関し、特に、高耐圧の MOS トランジスタの構造に関する。 30

## 【背景技術】

## 【0002】

高耐圧 MOS トランジスタは、高いソース・ドレイン耐圧、あるいは高いゲート耐圧を有しており、LCD ドライバー等の各種ドライバーや電源回路等に広く用いられている。近年、高いソース・ドレイン耐圧と高いゲート耐圧とを併せ持つ高耐圧トランジスタが要望されている。そこで、本来はフィールド絶縁膜である LOCOS 膜 (Local Oxidation Silicon) をゲート絶縁膜として用いてゲート耐圧を向上させるとともに、低濃度のドレイン層を設けることによりソース・ドレイン耐圧の向上が図られている。

## 【0003】

高耐圧 MOS トランジスタについては、特許文献 1 に記載されている。 40

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2004 - 39774 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、更なる高耐圧 MOS トランジスタを実現したいという問題があった。

## 【課題を解決するための手段】

## 【 0 0 0 6 】

そこで、本発明の半導体装置は、第1導電型の半導体層上にフィールド絶縁膜を介して形成されたゲート電極と、第2導電型の第1のドリフト層と、前記ゲート電極を間に挟んで前記第1のドリフト層と対向して配置されたソース層と、前記第1のドリフト層より深く前記半導体層中に拡散され、前記第1のドリフト層の下方からフィールド絶縁膜の下方へ延びる第2の導電型の第2のドリフト層と、前記第1のドリフト層及び前記第2のドリフト層と接触したドレイン層を備えることを特徴とするものである。

## 【 発明の効果 】

## 【 0 0 0 7 】

本発明によれば、高いゲート耐圧及びソース・ドレイン耐圧を有するとともに、低いオン抵抗を有した高耐圧MOSトランジスタを提供することができる。

10

## 【 図面の簡単な説明 】

## 【 0 0 0 8 】

【 図 1 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

【 図 2 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

【 図 3 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

【 図 4 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

【 図 5 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

【 図 6 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

【 図 7 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

20

【 図 8 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

【 図 9 】 本発明の実施の形態による半導体装置の製造方法を説明する断面図である。

【 図 1 0 】 本発明の実施の形態による半導体装置を説明する断面図である。

【 図 1 1 】 本発明の実施の形態による半導体装置を説明する断面図である。

## 【 符号の説明 】

## 【 0 0 0 9 】

1 単結晶シリコン基板	2 エピタキシャル・シリコン層		
3 埋め込みシリコン層	4 LOCOS膜	5 ゲート電極	
6 第1のドリフト層	7 ソース層	8 N+層	
9 第2のドリフト層	10 低濃度ソース層	11 チャンネル不純物層	30
12 ドレイン層	13 第1の層間絶縁膜	14 ドレイン電極	15
ソース電極	16 第2の層間絶縁膜	17 フィールドプレート	20
ダミー酸化膜	21, 23, 24, 25, 26, 27	ホットレジスト層	21
A ホットレジスト片	22 ゲート酸化膜	CH1, CH2	コンタクトホール
OF オフセット長			
SL スリット			

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 0 】

本発明の実施の形態による高耐圧MOSトランジスタの構造について、図10を参照しながら説明する。P型の単結晶シリコン基板1上にN型のエピタキシャル・シリコン層2がエピタキシャル成長され、単結晶シリコン基板1とエピタキシャル・シリコン層2との界面にN+型の埋め込みシリコン層3が形成されている。エピタキシャル・シリコン層2上には、約1000nmの膜厚を有するLOCOS膜4が形成され、このLOCOS膜4上にゲート電極5が形成されている。LOCOS膜4の左側のエピタキシャル・シリコン層2の表面にはP型の第1のドリフト層(P+L)6が形成され、ゲート電極5を間に挟んでLOCOS膜4の右側のエピタキシャル・シリコン層2の表面には、第1のドリフト層6と対向してP+型のソース層(PSD)7が配置されている。ソース層7の右側にはエピタキシャル・シリコン層2をソース電位に設定するためのN+層(NSD)8が形成されている。

40

## 【 0 0 1 1 】

50

また、第1のドリフト層6より深くエピタキシャル・シリコン層2の中に拡散され、第1のドリフト層6の下方からLOCOS膜4の左側下方へ延びるP型の第2のドリフト層(SP+L)9が形成されている。LOCOS膜4の左端下方の第2のドリフト層9の下部には凹部Rが形成されている。

#### 【0012】

また、この第2のドリフト層9と同時に形成され、ソース層7の下方からLOCOS膜4の右側下方へ延びる低濃度ソース層10が形成されている。LOCOS膜4の下方の第2のドリフト層9と低濃度ソース層10の間には、LOCOS膜4の下部に接してエピタキシャル・シリコン層2より高濃度のN型のチャンネル不純物層(FN)11が形成されている。

10

#### 【0013】

第1及び第2のドリフト層6, 9の左側には、これらと接触してP型のドレイン層12が形成されている。ドレイン層12は3つのP型層(PSD層、SP+D層、P+D層)からなり、表面のPSD層が最も高濃度であり、その下方のSP+D層が次に高濃度であり、その下方のP+D層が最も低濃度である。このようにドレイン層12に濃度勾配をつけることにより、ドレイン層12の空乏層の拡がりを大きくして高耐圧化を図っている。

#### 【0014】

また、ゲート電極5を覆って、約1000nmの膜厚を有する第1の層間絶縁膜13が形成され、ドレイン層12のPSD層上の第1の層間絶縁膜13にコンタクトホールCH1が開口されている。このコンタクトホールCH1を通して、ドレイン層12のPSD層にコンタクトするアルミニウム等の第1層金属層からなるドレイン電極14が形成されている。また、ソース層7及びN+層8上の第1の層間絶縁膜13にコンタクトホールCH2が開口されている。このコンタクトホールCH2を通して、ソース層7及びN+層8にコンタクトするアルミニウム等の第1層金属層からなるソース電極15が形成されている。

20

#### 【0015】

また、ゲート電極5の一部上から、第1の層間絶縁膜13、及び約1000nmの膜厚を有する第2の層間絶縁膜16を介して第1のドリフト層6上に延びたフィールドプレート17が形成されている。フィールドプレート17はアルミニウム等からなる第2層金属層で形成され、ソース電位に設定されている。フィールドプレート17は第1及び第2のドリフト層6, 9とエピタキシャル・シリコン層2との間の空乏層を拡大する働きをする。フィールドプレート17を第2層金属層で形成するのは、第1層金属層で形成すると、LOCOS膜4の端で電界集中が起こり、ソース・ドレイン耐圧が低下するからである。

30

#### 【0016】

上述の高耐圧MOSトランジスタは、ゲート絶縁膜として厚いLOCOS膜4を用いているので約200Vという高いゲート耐圧を有する。また、低濃度ドレイン層を第1及び第2のドリフト層6, 9の2層で形成しているため、トランジスタのオン抵抗を低減できる。

#### 【0017】

また、第2のドリフト層9の下部に凹部Rを形成したので、LOCOS膜4の端下でのP型不純物濃度が局所的に低下するとともに、第2のドリフト層9の凹部Rとエピタキシャル・シリコン層2とのPN接合面積も大きくなるので、ドレイン電圧が印加されたときに空乏層の広がりが大きくなる。これに加えてフィールドプレート17による空乏層拡大の効果もある。この空乏層は、エピタキシャル・シリコン層2の中へも広がるが、単結晶シリコン基板1とエピタキシャル・シリコン層2との界面にN+型の埋め込みシリコン層3が形成されているので、空乏層が単結晶シリコン基板1へ到達するのが防止される。これらの相乗効果により、約280Vという高いソース・ドレイン耐圧を得ることができる。第2のドリフト層9に凹部Rを形成したことにより、オン抵抗は少し高くなるが、それは許容できる程度であり、第2のドリフト層9の濃度を上げることにより補償することができる。

40

50

## 【0018】

また、図11に示すように、第1のドリフト層6をLOCOS膜4の左端から、オフセット長OFだけ離して形成することにより、電界の高いLOCOS膜4の端でPN接合ブレークダウンが起こるのを防止して、さらにソース・ドレイン耐圧を向上させることができる。

## 【0019】

次に、図10の高耐圧MOSトランジスタの製造方法について図面を参照しながら説明する。図1に示すように、P型の単結晶シリコン基板1の表面にN型不純物を高濃度にイオン注入し、その表面にN型のエピタキシャル・シリコン層2をエピタキシャル成長させる。すると、単結晶シリコン基板1とエピタキシャル・シリコン層2の界面にN+型の埋め込みシリコン層3が形成される。エピタキシャル・シリコン層2の表面には熱酸化によるダミー酸化膜20が形成される。

10

## 【0020】

次に、イオン注入により、第2のドリフト層9、低濃度ソース層10及びN型のチャネル不純物層11を図10に対応してそれぞれの領域に形成する。図2では、ホトレジスト層21をマスクとしてボロン(B+)のイオン注入を行うことにより第2のドリフト層9、低濃度ソース層10を形成する工程を示している。第2のドリフト層9をイオン注入で形成する際に、ホトレジスト片21Aを形成しておくことにより、そのホトレジスト片21Aの下方にそのホトレジスト幅に応じたスリットSLが形成される。チャネル不純物層11はリン(P+)のイオン注入をdose量 $5 \times 10^{15} / \text{cm}^2$ の条件で行うことにより形成される。

20

## 【0021】

次に、図3に示すように、ホトレジスト層21及びダミー酸化膜20を除去した後に、選択酸化により、約1000nmの膜厚を有するLOCOS膜4を形成する。LOCOS膜4の左端は第2のドリフト層9のスリットSLの中に入る。その後、90nmの膜厚を有するゲート酸化膜22を形成する。そして、このLOCOS膜4上に約400nmの膜厚を有するゲート電極5を形成する。ゲート電極5はポリシリコン、高融点金属シリサイド等で形成される。

## 【0022】

次に、図4に示すように、図10のドレイン層12の形成領域に対応する開口を有するホトレジスト層23を形成する。このホトレジスト層23をマスクとして、ボロン(B+)のイオン注入によりドレイン層12のP+D層を形成する。ボロン(B+)のdose量は約 $1 \times 10^{13} / \text{cm}^2$ である。

30

## 【0023】

次に、図5に示すように、ホトレジスト層23を除去した後に、1180の温度で、N<sub>2</sub>雰囲気中で4時間の熱拡散を行う。これにより、第2のドリフト層9、チャネル不純物層11及びP+D層が深く拡散される。この熱拡散により、ボロンの横方向拡散が起こってスリットSLの幅が狭まっていき、最終的にはスリットSLの上部がボロンで埋められて、第2のドリフト層9の下部に凹部Rが形成される。

## 【0024】

次に、図6に示すように、ホトレジスト層24を形成し、このホトレジスト層24をマスクとして、ボロン(B+)のイオン注入により、P+D層の中にSP+D層を形成する。そして、ホトレジスト層24を除去し、1050の温度で5時間の熱拡散を行う。次に、図7に示すように、ドレイン側に開口部を有するホトレジスト層25を形成し、このホトレジスト層25をマスクとして、ボロン(B+)のイオン注入により第2のドリフト層9の表面に第1のドリフト層6を形成する。

40

## 【0025】

次に、図8に示すように、ホトレジスト層25を除去した後に、N+層8形成領域に対応した開口を有するホトレジスト層26を形成し、このホトレジスト層26をマスクとしてリン(B+)のイオン注入によりN+層8を形成する。

50

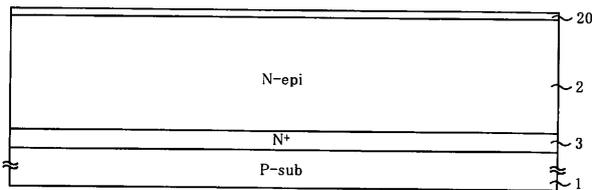
【 0 0 2 6 】

次に、図 9 に示すように、ドレイン層 1 2 の P S D 層の形成領域、ソース層 7 の形成領域に対応する開口を有するホトレジスト層 2 7 を形成し、このホトレジスト層 2 7 をマスクとしてボロン ( B + ) のイオン注入により、ドレイン層 1 2 の P S D 層、ソース層 7 を形成する。ボロン ( B + ) の d o s e 量は約  $1 \times 1 0^{15} / \text{cm}^2$  である。

【 0 0 2 7 】

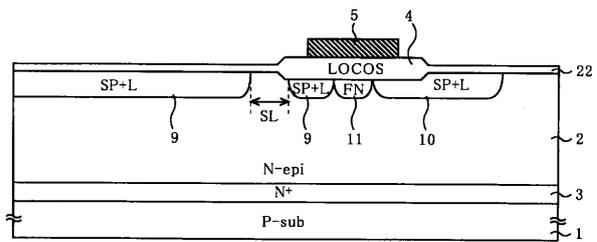
次に、図 1 0 に示すように、ゲート電極 5 を覆って、約 1 0 0 0 n m の膜厚を有する第 1 の層間絶縁膜 1 3 が C V D により形成され、ドレイン層 1 2 の P S D 層上の第 1 の層間絶縁膜 1 3、ゲート酸化膜 2 2 にコンタクトホール C H 1 がエッチングにより開口される。このコンタクトホール C H 1 を通して、ドレイン層 1 2 の P S D 層にコンタクトするアルミニウム等の第 1 層金属層からなるドレイン電極 1 4 が形成される。また、ソース層 7 及び N + 層 8 上の第 1 の層間絶縁膜 1 3、ゲート酸化膜 2 0 にコンタクトホール C H 2 がエッチングにより開口されている。このコンタクトホール C H 2 を通して、ソース層 7 及び N + 層 8 にコンタクトするアルミニウム等の第 1 層金属層からなるソース電極 1 5 が形成される。次に、全面に約 1 0 0 0 n m の膜厚を有する第 2 の層間絶縁膜 1 6 が形成される。さらに、ゲート電極 5 の一部上から、第 1 の層間絶縁膜 1 3、及び第 2 の層間絶縁膜 1 6 を介して第 1 のドリフト層 6 の一部上に延びるフィールドプレート 1 7 が形成される。

【 図 1 】



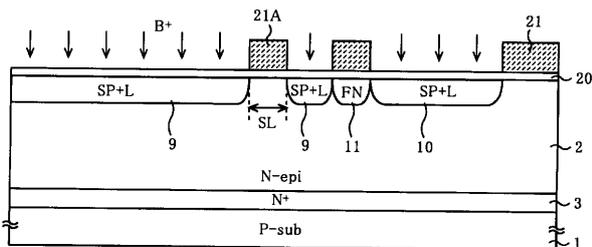
1 : 単結晶シリコン基板  
2 : エピタキシャル・シリコン層  
3 : 埋め込みシリコン層

【 図 3 】



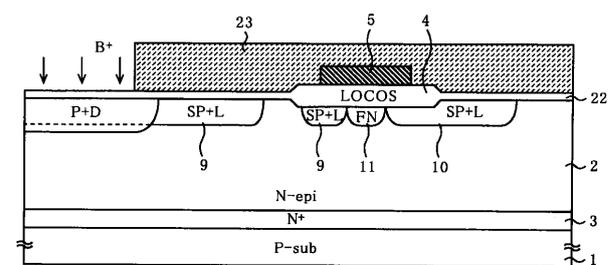
4 : LOCOS 膜 5 : ゲート電極

【 図 2 】

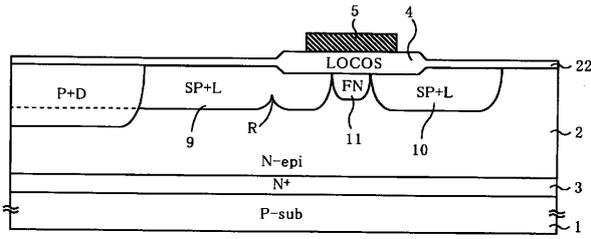


9 : 第 2 のドリフト層 10 : 低濃度ソース層 11 : チャネル不純物層

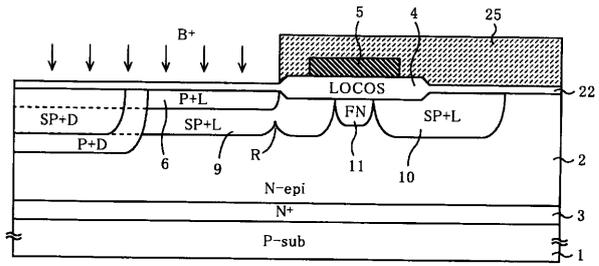
【 図 4 】



【図5】

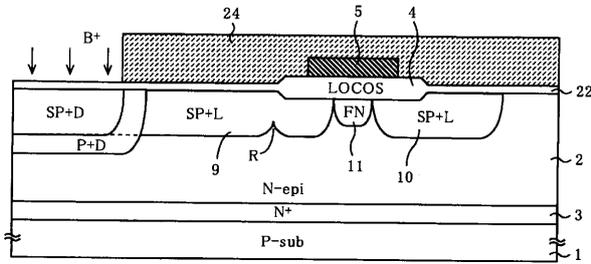


【図7】

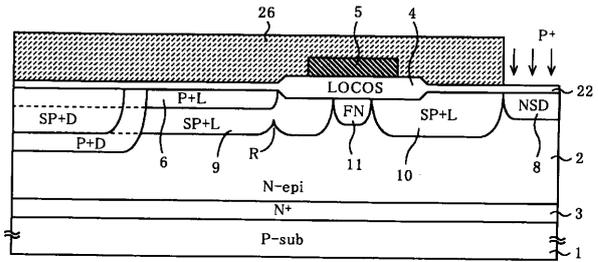


6 : 第1のドリフト層

【図6】

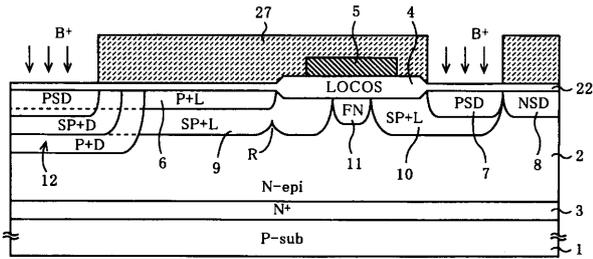


【図8】

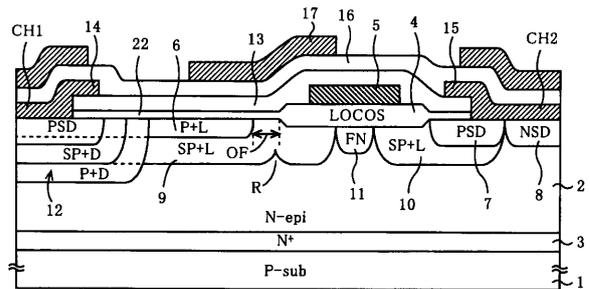


8 : N+層

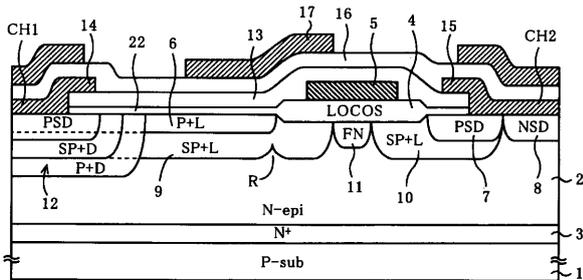
【図9】



【図11】



【図10】



- 13 : 第1の層間絶縁膜
- 14 : ドレイン電極
- 15 : ソース電極
- 16 : 第2の層間絶縁膜
- 17 : フィールドプレート