



(12) 发明专利

(10) 授权公告号 CN 1964195 B

(45) 授权公告日 2011.04.06

(21) 申请号 200610144502.7

US 6114987 A,2000.09.05,

(22) 申请日 2006.11.08

EP 0509706 A2,1992.10.21,

(30) 优先权数据

CN 1213538 C,2005.08.03,

05110472.7 2005.11.08 EP

CN 1118937 C,2003.08.20,

EP 0650259 A1,1995.04.26,

(73) 专利权人 汤姆森特许公司

审查员 王晓渊

地址 法国布洛涅

(72) 发明人 迈克尔·德雷克斯勒

拉尔夫-德特勒夫·谢弗

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 吕晓章 李晓舒

(51) Int. Cl.

H03L 7/08 (2006.01)

H03L 7/107 (2006.01)

(56) 对比文件

US 2002118069 A1,2002.08.29,

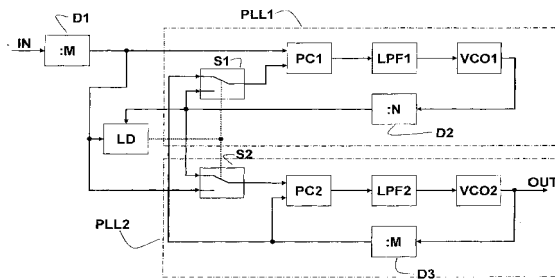
权利要求书 1 页 说明书 4 页 附图 4 页

(54) 发明名称

可切换锁相环电路以及用于操作该电路的方法

(57) 摘要

一种电子电路，包括第一和第二 PLL 级 (PLL1、PLL2)，依赖于 PLL 电路中第一 PLL 电路到输入信号 (IN) 的锁定，其可以切换为并联或串联。当并联时，只有第二 PLL 电路 (PLL2) 有效地提供时钟信号到电子电路的输出。第一 PLL 电路 (PLL1) 继续设法锁定到输入信号 (IN)。锁定检测器 (LD) 监控第一 PLL 电路 (PLL1) 到输入 (IN) 的锁定状态，并且在锁定时，设置开关 (S1、S2) 以耦合第一 PLL 电路 (PLL1) 的输出到第二 PLL 电路 (PLL2) 的输入，和耦合第二 PLL 电路 (PLL2) 的输出到第一 PLL 电路 (PLL1) 的输入。



1. 一种电子电路,具有:包括第一相位比较器(PC1)和第一可控振荡器(VC01)的第一PLL电路(PLL1)、包括第二相位比较器(PC2)和第二可控振荡器(VC02)的第二PLL电路(PLL2),其中输入信号(IN)连接到第一PLL电路(PLL1)的第一相位比较器(PC1)的输入,其中提供第二开关(S2),用于选择性地连接输入信号(IN)或第一PLL电路(PLL1)的输出信号到第二PLL电路(PLL2)的第二相位比较器(PC2)的输入,其特征在于,提供第一开关(S1),用于选择性地连接第一PLL电路(PLL1)的输出信号或第二PLL电路(PLL2)的输出信号到第一PLL电路(PLL1)的相位比较器的另一输入作为反馈信号源,并且第二PLL电路(PLL2)的输出是该电子电路的唯一输出,

其中,当第一PLL电路(PLL1)锁定到输入信号(IN)时,所述第二开关(S2)将第一PLL电路(PLL1)的输出信号提供给第二PLL电路(PLL2)的第二相位比较器(PC2)的所述输入,并且所述第一开关(S1)将第二PLL电路(PLL2)的输出信号提供给第一PLL电路(PLL1)的第一相位比较器(PC1)的所述另一输入。

2. 根据权利要求1所述的电子电路,其特征在于提供锁定检测电路(LD),其用来检测各个输入信号(IN)到第一可控振荡器(VC01)的输出信号的锁定,并且如果输入信号(IN)锁定到第一可控振荡器(VC01)的输出信号,则用来控制第一和第二开关(S1、S2)使得第一PLL电路(PLL1)的输出信号连接到第二PLL电路(PLL2)的相位比较器的输入、并且第二PLL电路(PLL2)的输出信号连接到第一PLL电路(PLL1)的相位比较器的所述另一输入。

3. 根据权利要求1所述的电子电路,其特征在于第一PLL电路(PLL1)进一步包括第一滤波器(LPF1)和/或第二PLL电路(PLL2)进一步包括第二滤波器(LPF2)。

4. 根据权利要求1所述的电子电路,其特征在于第一可控振荡器(VC01)具有比第二可控振荡器(VC02)小的牵引范围。

5. 根据权利要求1所述的电子电路,其特征在于第一分频器(D1)提供在输入端(IN)和第一相位比较器(PC1)以及第二开关(S2)的相应输入之间、第二分频器(D2)提供在第一可控振荡器(VC01)的输出和第一和第二开关(S1、S2)的相应输入之间、和/或第三分频器(D3)提供在第二可控振荡器(VC02)的输出和第二相位比较器(PC2)与第一开关(S1)的相应输入之间。

6. 一种用于操作电子电路的方法,该电子电路具有包括第一相位比较器(PC1)和第一可控振荡器(VC01)的第一PLL电路(PLL1)、以及包括第二相位比较器(PC2)和第二可控振荡器(VC02)的第二PLL电路(PLL2),该方法包括以下步骤:

- 直接提供输入信号(IN)到第一PLL电路(PLL1)的相位比较器的第一输入;
 - 通过开关(S2),提供输入信号给第二PLL电路(PLL2)的相位比较器的第一输入;
 - 反馈第一和第二PLL电路(PLL1、PLL2)的相应可控振荡器(VC01、VC02)的信号到相应第一和第二PLL电路(PLL1、PLL2)的相位比较器(PC1、PC2)的相应第二输入;和
 - 在锁定检测器(LD)中监控第一PLL电路(PLL1)关于输入信号(IN)的锁定状态;
- 其特征在于,所述方法进一步包括步骤:

- 当第一PLL电路(PLL1)锁定到输入信号(IN)时,控制所述开关(S2)以将第一PLL电路(PLL1)的输出信号完全提供给第二PLL电路(PLL2)的相位比较器的第一输入,并且控制另一开关(S1)以将第二PLL电路(PLL2)的输出信号作为反馈信号完全提供给第一PLL电路(PLL1)的第二输入。

可切换锁相环电路以及用于操作该电路的方法

技术领域

[0001] 本发明涉及包括两个 PLL 电路的、可以在不同结构之间切换的电子电路。具体地，本发明涉及其中受控振荡器必需在频率和相位方面被锁定到输入时钟的 PLL 电路。

[0002] 背景技术

[0003] 在特定时钟频率向其提供输入信号电子电路经常需要在进一步处理级处理接收到的输入信号。因此，在进一步处理级内使用的时钟和输入信号之间的固定关系是必需的。进一步的要求是时钟具有很低的抖动，即，在频率或相位上很低的波动。为此，经常把输入信号提供到锁相环电路，或 PLL 电路，其同步可控振荡器与输入信号。一种特定类型的 PLL 电路使用温度补偿压控振荡器 (TCXO)。TCXO 显示极好的温度和抖动特性。然而，这种类型的振荡器具有很小的频率牵引范围，即这种类型的振荡器的输出频率只能在围绕标定频率的小范围内变化。因此，使用 TCXO 振荡器的 PLL 电路具有很小锁定范围，即在输入信号频率和振荡器的标定频率之间的差别不应很大。具有较大锁定范围的 PLL 电路能够使用压控振荡器 (VCXO) 建立，其具有较大的牵引范围。然而，与 TCXO 相比较，VCXO 在频率和相位上较不稳定，因此与使用 TCXO 的 PLL 电路相比，使用 VCXO 的 PLL 电路的输出信号可能具有较大数量的时钟抖动。

[0004] 因此，希望具有提供在展示大锁定范围的同时锁定到输入信号、产生低抖动的输出时钟信号的电路。

[0005] 发明内容

[0006] 本发明提出组合具有单独的控制级的两个 PLL 电路，其中一个 PLL 电路使用 TCXO、另一个使用 VCXO 作为振荡器。依赖于工作模式，两个 PLL 电路单独或以级联方式使用。

[0007] 在第一工作模式，两个 PLL 电路以第一种结构连接，该结构提供较大锁定范围。为此，输入信号提供到第一和第二 PLL 电路两者。第一 PLL 电路具有牵引范围相对较小的可控振荡器，并试图以公知方式锁定到输入信号。具有相对较小的牵引范围但有很好相位、频率和温度稳定性的可控振荡器为（例如）温控晶体振荡器，或 TCXO。然而，第一 PLL 电路的可控振荡器具有在输入信号不存在的情况下以标定频率振荡的能力。在这种情况下，第一振荡器作为提供极好抖动品质的时钟拥有者 (clock master)。另外，第一 PLL 电路的可控振荡器具有很稳定的相位和频率特性。第二 PLL 电路具有牵引范围与第一 PLL 电路的可控振荡器相比相对较大的可控振荡器。第二 PLL 电路的可控振荡器为（例如）压控晶体振荡器，或 VCXO。在下面的说明书中，术语 VCXO 和 TCXO 分别被用作表示具有大和小牵引范围的可控振荡器的同义词。第二 PLL 电路因此具有大锁定范围。在第一工作模式，其也试图锁定到输入频率上。由于第二 PLL 电路具有较大的锁定范围，所以很有可能它将首先锁定到输入信号上。锁定检测器提供关于第一 PLL 电路的锁定状态的信息，第一 PLL 电路具有比第二 PLL 小的锁定范围。当第一 PLL 电路锁定到输入信号时，两个 PLL 电路以第二种结构连接，其提供与第一种结构相比较改良的抖动特性，同时具有较小锁定范围。这种工作模式在下文中也称为第二工作模式。每当锁定检测器确定第一 PLL 电路没有锁定时，两个 PLL 电路就再次以第一种结构连接。如果根本不存在输入信号，则第一 PLL 电路的 TCXO 振荡器

以其标定频率自由振荡。然后第一 PLL 电路的输出信号提供到第二 PLL 电路,第二 PLL 电路锁定在第一 PLL 电路的输出信号上。这种工作模式在下文中也称为第三工作模式。

[0008] 根据本发明的一方面,提供了一种电子电路,其具有:包括第一相位比较器(PC1)和第一可控振荡器(VCO1)的第一 PLL 电路(PLL1)、包括第二相位比较器(PC2)和第二可控振荡器(VCO2)的第二 PLL 电路(PLL2),其中输入信号(IN)连接到第一 PLL 电路(PLL1)的第一相位比较器(PC1)的输入,其中提供第二开关(S2),用于选择性地连接输入信号(IN)或第一 PLL 电路(PLL1)的输出信号到第二 PLL 电路(PLL2)的第二相位比较器(PC2)的输入,其特征在于,提供第一开关(S1),用于选择性地连接第一 PLL 电路(PLL1)的输出信号或第二 PLL 电路(PLL2)的输出信号到第一 PLL 电路(PLL1)的相位比较器的另一输入作为反馈信号源,并且第二 PLL 电路(PLL2)的输出是该电子电路的唯一输出,其中,当第一 PLL 电路(PLL1)锁定到输入信号(IN)时,所述第二开关(S2)将第一 PLL 电路(PLL1)的输出信号提供给第二 PLL 电路(PLL2)的第二相位比较器(PC2)的所述输入,并且所述第一开关(S1)将第二 PLL 电路(PLL2)的输出信号提供给第一 PLL 电路(PLL1)的第一相位比较器(PC1)的所述另一输入。

[0009] 根据本发明的另一方面,提供了一种用于操作电子电路的方法,该电子电路具有包括第一相位比较器(PC1)和第一可控振荡器(VCO1)的第一 PLL 电路(PLL1)、以及包括第二相位比较器(PC2)和第二可控振荡器(VCO2)的第二 PLL 电路(PLL2),该方法包括以下步骤:直接提供输入信号(IN)到第一 PLL 电路(PLL1)的相位比较器的第一输入;通过开关(S2),提供输入信号给第二 PLL 电路(PLL2)的相位比较器的第一输入;反馈第一和第二 PLL 电路(PLL1、PLL2)的相应可控振荡器(VCO1、VCO2)的信号到相应第一和第二 PLL 电路(PLL1、PLL2)的相位比较器(PC1、PC2)的相应第二输入;和在锁定检测器(LD)中监控第一 PLL 电路(PLL1)关于输入信号(IN)的锁定状态;其特征在于,所述方法进一步包括步骤:当第一 PLL 电路(PLL1)锁定到输入信号(IN)时,控制所述开关(S2)以将第一 PLL 电路(PLL1)的输出信号完全提供给第二 PLL 电路(PLL2)的相位比较器的第一输入,并且控制另一开关(S1)以将第二 PLL 电路(PLL2)的输出信号作为反馈信号完全提供给第一 PLL 电路(PLL1)的第二输入。

[0010] 附图说明

[0011] 将在下面参考附图描述本发明。在图中:

[0012] 图 1 显示本发明电路的方块图;

[0013] 图 2 显示在第一工作模式中的本发明电路的方块图;

[0014] 图 3 显示在第二工作模式中的本发明电路的方块图;和

[0015] 图 4 显示在第三工作模式中的本发明电路的方块图。

[0016] 在图中,相同或相似的元件用相同的标记表示。

具体实施方式

[0017] 在图 1 中显示本发明电路的方块图。输入信号 IN 经由第一分频器 D1 提供到第一 PLL 电路 PLL1 的第一相位比较器 PC1 的第一输入端。第一可控振荡器 VCO1 的输出信号经由第二分频器 D2 和第一开关 S1 提供到第一相位比较器 PC1 的第二输入端。第一可控振荡器 VCO1 由第一相位比较器 PC1 的输出信号控制,其经由第一滤波器 LPF1 提供到第一可控

振荡器 VC01。第一可控振荡器 VC01 的输出信号进一步提供到锁定检测器 LD, 其也在第一分频器 D1 分频之后接收输入信号 IN。锁定检测器 LD 控制第一开关 S1, 其选择性地把第一可控振荡器 VC01 的输出信号或第二可控振荡器 VC02 的输出信号施加到第一相位比较器 PC1 的第二输入端。第二可控振荡器 VC02 是第二 PLL 电路 PLL2 的一部分并提供本发明电路的输出信号。第二 PLL 电路 PLL2 还包括第二相位比较器 PC2 和第二滤波器 LPF2。如同针对第一 PLL 电路 PLL1 描述的, 相位比较器 PC2 的输出经由第二滤波器 LPF2 施加到第二可控振荡器 VC02 用于控制输出信号的频率。输出信号经由第三分频器 D3 反馈到第二相位比较器 PC2 的第一输入端。第二开关 S2 选择性地把第一分频器 D1 下游的输入信号 IN 或第一 PLL 电路 PLL1 的输出信号施加到第二相位比较器 PC2 的第二输入端。

[0018] 图 2 显示在第一工作模式的本发明电路的示意性方块图。实线表示承载信号所用的连接, 而虚线表示在这种工作模式中不使用的连接。输入信号 IN 经由第一分频器 D1 提供到第一相位比较器 PC1 的第一输入。第一相位比较器 PC1 的输出信号在第一滤波器 LPF1 中滤波并控制第一可控振荡器 VC01。第一可控振荡器优选是 TCXO。第一可控振荡器 VC01 的输出信号经由第二分频器 D2 施加到第一选择开关 S1。设置第一选择开关 S1 以提供该信号到第一相位比较器 PC1 的第二输入。第一可控振荡器 VC01 的输出信号也提供到控制第一选择开关 S1 的锁定检测器 LD。分频后的输入信号 IN 也提供到锁定检测器 LD 和选择开关 S2 的输入, 设置选择开关 S2 以便施加该信号到第二相位比较器 PC2 的第一输入。选择开关 S2 同样也由锁定检测器 LD 控制。在这种工作模式中, 由各自元件构成的两个 PLL 电路 PLL1 和 PLL2 都尽量锁定到输入信号 IN。由于第二 PLL 电路 PLL2 的锁定范围大于第一 PLL 电路 PLL1 的锁定范围, 所以本发明电路的输出信号相当快地锁定到输入信号 IN, 然而由于第二可控振荡器 VC02 的特性其具有一定数量的抖动。尽管抖动量存在, 本发明电路的输出信号 OUT 仍然锁定到输入信号 IN。如果输入信号 IN 的频率位于第一 PLL 电路 PLL1 的锁定范围, 锁定将出现。锁定检测器检测第一 PLL 电路 PLL1 的锁定状态, 并且当检测到第一 PLL 电路 PLL1 锁定时, 相应地设置选择开关 S1 和 S2 以进入第二工作模式。

[0019] 在图 3 中显示了在第二工作模式的本发明电路的示意性方块图。在检测到第一 PLL 电路 PLL1 锁定到输入信号 IN 之后, 锁定检测器 LD 设置选择开关 S1 和 S2, 以分别将第一 PLL 电路 PLL1 的输出信号提供到第二相位比较器 PC2, 并且将第二 PLL 电路 PLL2 的输出信号提供到第一相位比较器 PC1。锁定到输入信号 IN 的第一 PLL 电路 PLL1 提供具有低抖动很稳定的输出信号。第二 PLL 电路 PLL2 锁定到第一 PLL 电路 PLL1 的稳定输出信号。

[0020] 在图 4 中显示了在第三工作模式的本发明电路的示意性方块图。在这种工作模式中不存在输入信号, 并且第一可控振荡器 VC01 以其标定频率自由振荡。设置选择开关 S2, 以提供第一可控振荡器 VC01 的输出信号到第二 PLL 电路 PLL2, 其锁定到该信号, 由此提供依赖于第一可控振荡器 VC01 的频率的稳定输出频率。第一可控振荡器 VC01 的输出信号也提供到锁定检测器 LD, 其也在输入信号 IN 存在时接收该输入信号 IN。如果锁定检测器 LD 检测到输入信号 IN, 则设置选择开关 S1 和 S2 进入第一工作模式。值得注意的是: 选择开关 S1 和 S2 的开关位置也可以选择为与第二工作模式中的开关位置相似。在第三工作模式中, 第一可控振荡器 VC01 从第一滤波器 LPF1 断开并将在其标定频率上振荡。在一种改进中, 设置第一可控振荡器 VC01 的控制输入为预定电平, 例如, 通过介于供电电压 V+ 和地之间的电阻分压网络 R1、R2。

[0021] 根据输入信号 IN 的频率和第一、第二可控振荡器 VCO1、VCO2 的振荡器频率选择第一、第二和第三分频器 D1、D2、D3 的分频比。

[0022] 值得注意的是：依赖于相位比较器的输入频率范围，第一、第二和第三分频器 D1、D2、D3 在 PLL 电路不是必需出现的。另外，依赖于相位比较器建立的方式，滤波器 LPF1 不是必需出现在 PLL 电路中的。

[0023] 在上面的说明书中，已经示范性地使用了术语 VCXO 和 TCXO 以便区分具有不同特性的可控振荡器。值得注意的是：可以使用任何具有各自特性的字母代替在本说明书中使用的字母。

[0024] 锁定检测器 LD 通过评估分频后输入信号 IN 和提供到其的第一 PLL 电路 PLL1 的输出信号的相应边沿的时间间隔，来确定第一 PLL 电路 PLL1 的锁定。相应边沿分别是两个信号的上升或下降沿。只要两个信号边沿之间的时间间隔改变，PLL1 就没有锁定到输入信号 IN。只有当时间间隔不改变时，或如果在预定时间周期之上变化率低于预定值（例如，由于温度漂移），PLL1 才锁定到了输入信号 IN，并且锁定检测器改变到第二工作模式。

[0025] 锁定检测器的一个实施例提供计数器，其从施加到锁定检测器 LD 的两个信号中的第一信号的第一斜坡（上升或下降）开始。响应于施加到锁定检测器 LD 的两个信号中的第二信号的相应斜坡，停止计数器。计数值被存储并与后续计数值比较。只要各个计数值不改变，或在预定时间周期之上只按预定的相对较小的变化率变化，就认为第一 PLL 电路 PLL1 的状态是锁定状态。

[0026] 当在上述两种不同工作模式之间切换时，在一个实施例中，在预定时间周期内锁定检测器被禁止。由于振荡器和 PLL 电路的暂态特性和各个输入信号的暂态，可能需要这样做。

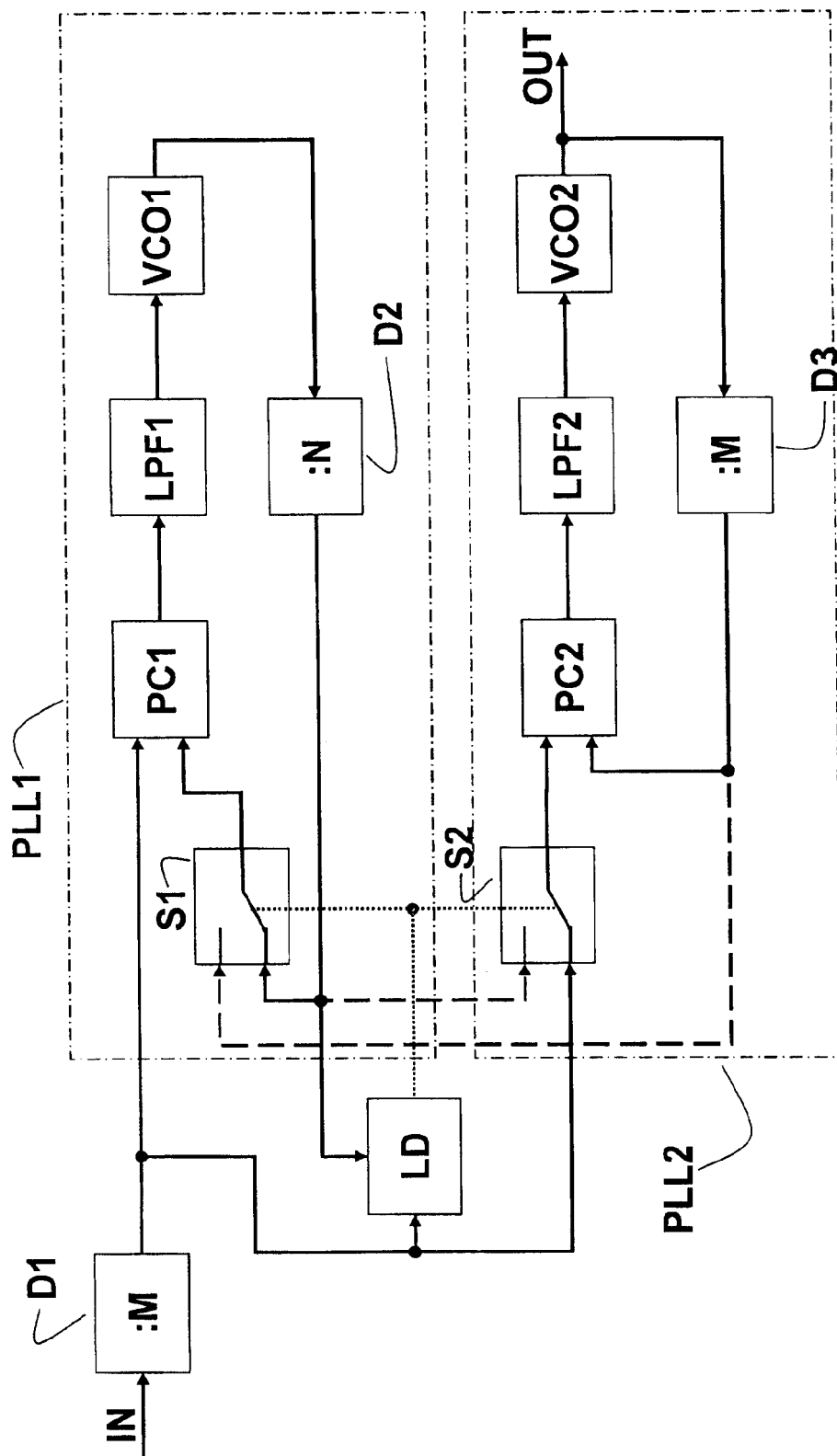


图 2

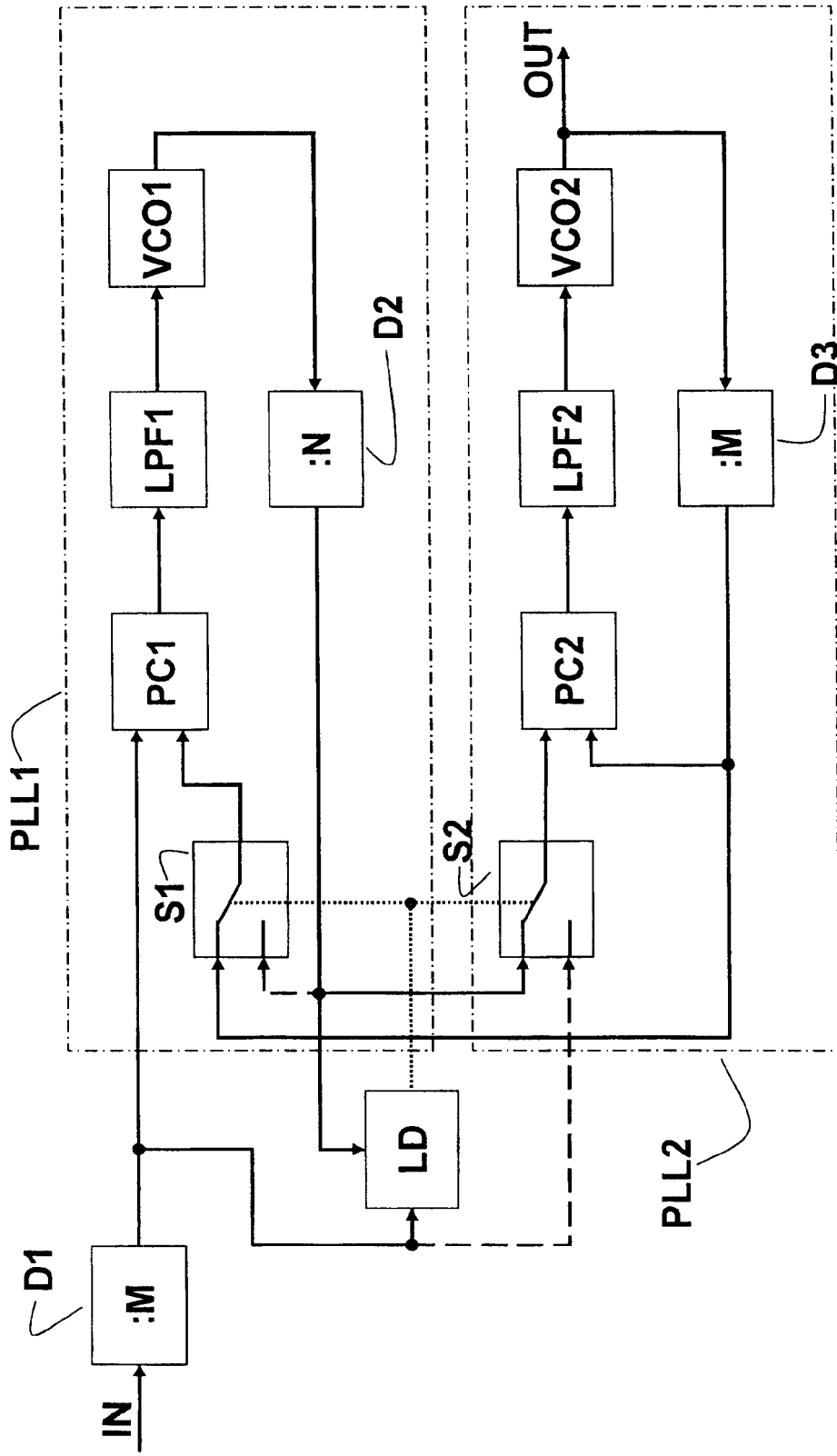


图 3

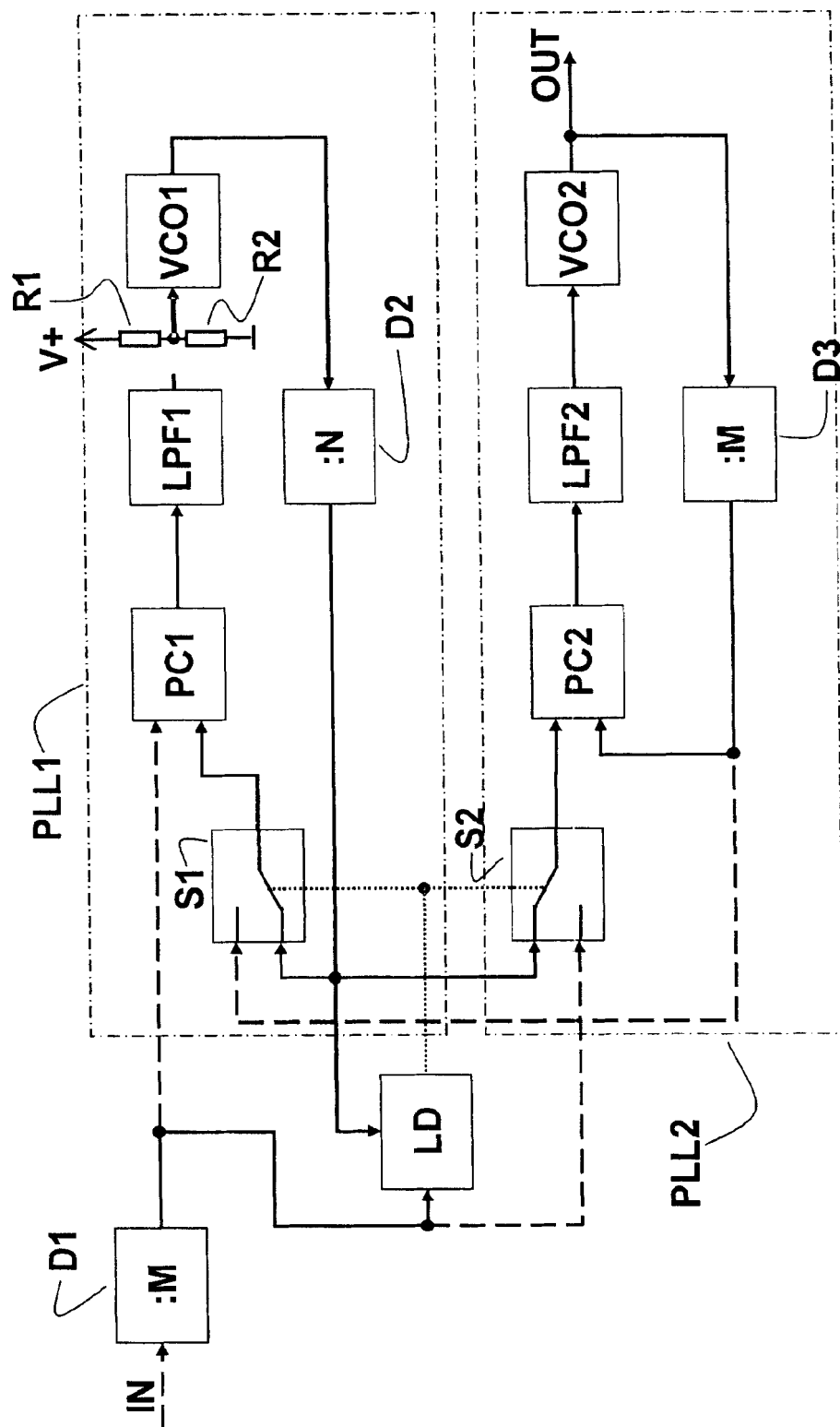


图 4