

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-183415

(P2013-183415A)

(43) 公開日 平成25年9月12日(2013.9.12)

(51) Int.Cl.			F I			テーマコード (参考)		
<b>H03L</b>	<b>7/081</b>	<b>(2006.01)</b>	H03L	7/08	J	5B079		
<b>H03L</b>	<b>7/08</b>	<b>(2006.01)</b>	H03L	7/08	L	5J001		
<b>H03L</b>	<b>7/10</b>	<b>(2006.01)</b>	H03L	7/10	A	5J039		
<b>H03K</b>	<b>5/135</b>	<b>(2006.01)</b>	H03K	5/135		5J106		
<b>H03K</b>	<b>5/19</b>	<b>(2006.01)</b>	H03K	5/19	T	5M024		
			審査請求 未請求			請求項の数 14 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2012-47955 (P2012-47955)  
 (22) 出願日 平成24年3月5日 (2012.3.5)

(71) 出願人 500174247  
 エルピーダメモリ株式会社  
 東京都中央区八重洲2-2-1  
 (74) 代理人 100115738  
 弁理士 鷲頭 光宏  
 (74) 代理人 100121681  
 弁理士 緒方 和文  
 (74) 代理人 100130982  
 弁理士 黒瀬 泰之  
 (74) 代理人 100127199  
 弁理士 三谷 拓也  
 (72) 発明者 市田 英之  
 東京都中央区八重洲二丁目2番1号 エル  
 ピーダメモリ株式会社内

最終頁に続く

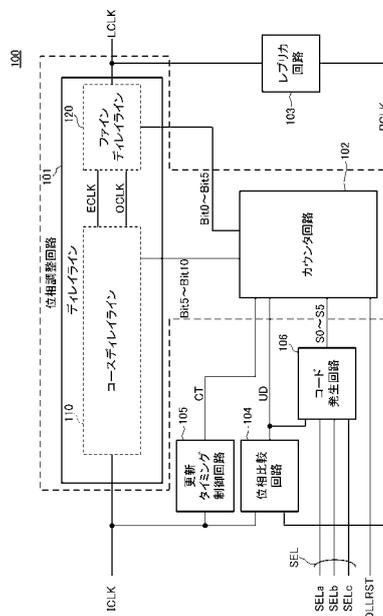
(54) 【発明の名称】 半導体装置及びクロック信号の位相調整方法

(57) 【要約】

【課題】クロック信号の周波数に応じてクロック生成回路に求められる特性を切り替える。

【解決手段】内部クロック信号ICLKの周波数に応じた周波数検知信号SELを出力する周波数検知回路40と、内部クロック信号ICLK及びリファレンスクロック信号RCLKの位相を比較し、その比較結果に応じたアップダウン信号UDを出力する位相比較回路104と、位相比較信号104に応じて内部クロック信号ICLKの位相をシフトした内部クロック信号LCLKを出力するディレイライン101とを備える。アップダウン信号UDにตอบสนองした内部クロック信号ICLKの位相のシフトの量は、周波数検知信号SELに応じて可変である。本発明によれば、実際に使用されるクロック信号の周波数にかかわらず最適な位相調整動作を行うことが可能となる。

【選択図】 図4



**【特許請求の範囲】****【請求項 1】**

第 1 のクロック信号の周波数に応じた周波数検知信号を出力する周波数検知回路と、  
前記第 1 のクロック信号及びリファレンスクロック信号の位相を比較し、その比較結果  
に応じた位相比較信号を出力する位相比較回路と、

前記位相比較信号に応じて前記第 1 のクロック信号の位相をシフトした第 2 のクロック  
信号を出力する位相調整回路と、を備えた半導体装置であって、

前記位相比較信号に対応する前記第 1 のクロック信号の位相のシフトの量は、前記周波  
数検知信号に応じて可変とされることを特徴とする半導体装置。

**【請求項 2】**

前記周波数検知回路は前記第 1 又は第 2 のクロック信号を所定の期間カウントする第 1  
の回路を含み、前記第 1 の回路のカウント値に基づいて前記周波数検知信号を出力するこ  
とを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記周波数検知回路は前記所定の期間を定義する第 2 の回路をさらに含み、前記第 2 の  
回路は前記半導体装置の初期化動作時に活性化されることを特徴とする請求項 2 に記載の  
半導体装置。

**【請求項 4】**

前記第 2 の回路は、前記所定の期間を調整するためのトリミング回路を含んでいること  
を特徴とする請求項 3 に記載の半導体装置。

**【請求項 5】**

前記位相調整回路は、前記位相比較信号に基づいてカウント値が更新されるカウンタ回  
路と、前記カウンタ回路のカウント値に基づいて前記第 1 のクロック信号を遅延させるこ  
とにより前記第 2 のクロック信号を生成するディレイラインとを含み、

前記カウンタ回路は、前記周波数検知信号に基づいてカウント値の更新ピッチが可変と  
されることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

**【請求項 6】**

前記カウンタ回路は、前記周波数検知信号に基づいて第 1 のピッチでカウント値の更新  
を行った後、前記位相比較信号に基づいて前記第 1 のピッチよりも小さい第 2 のピッチで  
カウント値の更新を行うことを特徴とする請求項 5 に記載の半導体装置。

**【請求項 7】**

前記カウンタ回路は、前記位相比較信号の第 1 の変化に基づいて前記第 2 のピッチでカ  
ウント値の更新を行った後、前記位相比較信号の第 2 の変化に基づいて前記第 2 のピッチ  
よりも小さい第 3 のピッチでカウント値の更新を行うことを特徴とする請求項 6 に記載の  
半導体装置。

**【請求項 8】**

前記ディレイラインは、遅延量の調整ピッチが相対的に大きいコースディレイラインと  
、遅延量の調整ピッチが相対的に小さいファインディレイラインとを含み、

前記コースディレイラインは前記カウンタ回路のカウント値の上位ビットによって制御  
され、前記ファインディレイラインは前記カウンタ回路のカウント値の下位ビットによっ  
て制御されることを特徴とする請求項 5 乃至 7 のいずれか一項に記載の半導体装置。

**【請求項 9】**

前記周波数検知回路、前記位相比較回路及び前記位相調整回路は、同一の半導体チップ  
に集積されていることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

**【請求項 10】**

前記周波数検知回路と、前記位相比較回路及び前記位相調整回路とは、互いに異なる半  
導体チップに集積されていることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半  
導体装置。

**【請求項 11】**

第 1 のクロック信号に基づき生成される第 2 のクロック信号の位相調整を、位相調整動

10

20

30

40

50

作を複数回行うことで実施するクロック信号の位相調整方法であって、

前記第 1 又は第 2 のクロック信号の周波数を検知し、

検知された前記周波数に応じて、前記複数の位相調整動作における各々の位相調整ピッチを変化させることを特徴とするクロック信号の位相調整方法。

【請求項 1 2】

前記第 1 又は第 2 のクロック信号を所定の期間カウントし、得られた第 1 のカウント値に基づいて前記周波数を検知することを特徴とする請求項 1 1 に記載のクロック信号の位相調整方法。

【請求項 1 3】

前記所定の期間を調整するためのトリミングを行うことを特徴とする請求項 1 2 に記載のクロック信号の位相調整方法。

【請求項 1 4】

前記位相調整動作は、前記第 1 のクロック信号と前記第 2 のクロック信号の位相差を示す第 2 のカウント値を更新することにより行い、

検知された前記周波数に応じて前記第 2 のカウント値のどのビットを更新するかを切り替えることにより、前記位相調整ピッチを変化させることを特徴とする請求項 1 1 乃至 1 3 のいずれか一項に記載のクロック信号の位相調整方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、位相調整されたクロック信号を生成するクロック生成回路を有する半導体装置に関する。また、本発明は、このような半導体装置におけるクロック信号の位相調整方法に関する。

【背景技術】

【0002】

多くの半導体装置は、外部から供給される外部クロック信号に同期して動作を行う。しかしながら、外部クロック信号をそのままタイミング信号として用いると、配線負荷により生じる信号遅延によって動作タイミングにずれが生じてしまう。このため、多くの半導体装置においては外部クロック信号をそのまま用いるのではなく、外部クロック信号に対して位相調整された内部クロック信号を生成し、これをタイミング信号として用いている。このような内部クロック信号を生成する回路はクロック生成回路と呼ばれ、代表的なクロック生成回路としては D L L (Delay Locked Loop) 回路が広く知られている。

【0003】

D L L 回路は、主に D R A M (Dynamic Random Access Memory) において用いられるクロック生成回路であり、リードデータやデータストロブ信号の出力タイミングを外部クロック信号に対して正確に同期させるために用いられる。D L L 回路の一例として、特許文献 1 にはラフ用可変遅延回路とファイン用可変遅延回路を用いた D L L 回路が開示されている。特許文献 1 に記載された D L L 回路は、まずラフ用可変遅延回路を用いて大まかな位相調整を行い、次にファイン用可変遅延回路を用いて細かな位相調整を行っている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 0 0 - 1 2 2 7 5 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、半導体装置によっては、使用される外部クロック信号の周波数が固定的でなく、ある範囲の周波数を任意に選択可能なものが存在する。このような半導体装置においては、実際に使用される外部クロック信号の周波数によって D L L 回路に求められる特性が異なることから、特許文献 1 に記載された D L L 回路を使用することは必ずしも適

10

20

30

40

50

切ではない。このような問題はDLL回路だけでなく、クロック生成回路を含む全ての半導体装置において生じる。

【課題を解決するための手段】

【0006】

本発明の一側面による半導体装置は、第1のクロック信号の周波数に応じた周波数検知信号を出力する周波数検知回路と、前記第1のクロック信号及びリファレンスクロック信号の位相を比較し、その比較結果に応じた位相比較信号を出力する位相比較回路と、前記位相比較信号に応じて前記第1のクロック信号の位相をシフトした第2のクロック信号を出力する位相調整回路と、を備えた半導体装置であって、前記位相比較信号に対応する前記第1のクロック信号の位相のシフトの量は、前記周波数検知信号に応じて可変とされることを特徴とする。

10

【0007】

本発明の一側面によるクロック信号の位相調整方法は、第1のクロック信号に基づき生成される第2のクロック信号の位相調整を、位相調整動作を複数回行うことで実施するクロック信号の位相調整方法であって、前記第1又は第2のクロック信号の周波数を検知し、検知された前記周波数に応じて、前記複数の位相調整動作における各々の位相調整ピッチを変化させることを特徴とする。

【発明の効果】

【0008】

本発明によれば、クロック信号の周波数に応じて位相調整ピッチが変化することから、実際に使用されるクロック信号の周波数にかかわらず最適な位相調整動作を行うことが可能となる。

20

【図面の簡単な説明】

【0009】

【図1】本発明の好ましい実施形態による半導体装置10の全体構成を示すブロック図である。

【図2】周波数検知回路40の構成を示すブロック図である。

【図3】パルス発生回路41の構成を示すブロック図である。

【図4】DLL回路100の構成を示すブロック図である。

【図5】コースディレイライン110の一部を示す回路図である。

30

【図6】コースディレイライン110の動作を説明するための波形図である。

【図7】ファインディレイライン120の回路図である。

【図8】カウンタ回路102の回路図である。

【図9】コード発生回路106の動作を説明するための図である。

【図10】周波数検知信号SEL<sub>a</sub>が活性化している場合におけるDLL回路100の動作を説明するためのタイミング図である。

【図11】周波数検知信号SEL<sub>b</sub>が活性化している場合におけるDLL回路100の動作を説明するためのタイミング図である。

【図12】本発明による半導体装置の各構成要素を複数の半導体チップに分散した例を示すブロック図である。

40

【図13】内部クロック信号ICKの周波数に基づいてカウンタ回路102の有効なビット数を変更する例を説明するための図である。

【発明を実施するための形態】

【0010】

クロック信号の位相調整を行うクロック生成回路を備えた半導体装置は、様々なシステムに利用されているが、該半導体装置の動作条件は画一ではなく、システム毎に異なる場合がある。このような動作条件の一つとして、システムクロック信号によって定義される動作周波数が挙げられる。特許文献1にも開示されるように、クロック生成回路は、所定の期間内に位相調整ステップを繰り返すことで所望の位相をもった内部クロック信号を得るものであるため、システムクロック信号の周波数があらかじめ決まっている場合には、

50

所定の期間内に位相調整動作が正しく完了するよう、システムクロック信号の周波数に基づいて最適な位相調整ピッチに設計すればよい。

【0011】

しかしながら、システムクロック信号の周波数があらかじめ決まっておらず、システム条件によって実際の周波数が異なる場合、最適な位相調整ピッチについても実際に使用される周波数によって相違する。具体的には、実際に使用されるシステムクロック信号の周波数が高い（周期が短い）場合、位相調整ピッチを小さくする必要がある。これは、システムクロック信号の周波数が高い場合、位相調整ピッチを小さく設定しなければ正確な位相調整動作を行うことができないからである。逆に、実際に使用されるシステムクロック信号の周波数が低い（周期が長い）場合には、位相調整ピッチはある程度大きくても構わない。これは、システムクロック信号の周波数が低い場合には、要求される位相調整精度が高くないからである。これらの点を考慮すると、システム条件によって周波数が異なる場合には、システムクロック信号の周波数が最も高い場合に合わせて位相調整ピッチを小さく設定する必要がある。

10

【0012】

このように、位相調整ピッチを小さく設定すれば、システムクロック信号の周波数にかかわらず正しく位相調整動作を行うことができる。しかしながら、実際に使用されるシステムクロック信号の周波数が低い場合、位相調整ピッチが小さいと位相調整動作を完了するまでに長い時間がかかるという不都合を本発明者は発見した。本発明は、システムの動作周波数を検知し、これに応じて位相調整ピッチを可変とするものである。

20

【0013】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0014】

図1は、本発明の好ましい実施形態による半導体装置10の全体構成を示すブロック図である。

【0015】

本実施形態による半導体装置10は単一の半導体チップに集積されたDRAMであり、メモリセルアレイ11を有している。メモリセルアレイ11は、複数のワード線WLと複数のビット線BLを備え、これらの交点にメモリセルMCが配置された構成を有している。

30

【0016】

図1に示すように、半導体装置10には外部端子としてアドレス端子21、コマンド端子22、クロック端子23、データ端子24及び電源端子25が設けられている。

【0017】

アドレス端子21は、外部からアドレス信号ADDが入力される端子である。アドレス端子21に入力されたアドレス信号ADDは、アドレス入力回路31を介してアドレスラッチ回路32に供給され、アドレスラッチ回路32にラッチされる。アドレスラッチ回路32にラッチされたアドレス信号ADDは、ロウデコーダ12、カラムデコーダ13又はモードレジスタ14に供給される。モードレジスタ14は、半導体装置10の動作モードを示すパラメータが設定される回路である。

40

【0018】

コマンド端子22は、外部からコマンド信号CMDが入力される端子である。コマンド信号CMDは、ロウアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、リセット信号/RESETなどの複数の信号からなる。ここで、信号名の先頭にスラッシュ(/)が付されているのは、対応する信号の反転信号、或いは、当該信号がローアクティブな信号であることを意味する。コマンド端子22に入力されたコマンド信号CMDは、コマンド入力回路33を介してコマンドデコード回路34に供給される。コマンドデコード回路34は、コマンド信号CMDをデコードすることによって各種内部コマ

50

ンドを生成する回路である。内部コマンドとしては、アクティブ信号 I A C T、カラム信号 I C O L、リフレッシュ信号 I R E F、モードレジスタセット信号 M R S、D L Lリセット信号 D L L R S Tなどがある。

**【 0 0 1 9 】**

アクティブ信号 I A C Tは、コマンド信号 C M Dがロウアクセス（アクティブコマンド）を示している場合に活性化される信号である。アクティブ信号 I A C Tが活性化すると、アドレスラッチ回路 3 2 にラッチされたアドレス信号 A D Dがロウデコーダ 1 2 に供給される。これにより、当該アドレス信号 A D Dにより指定されるワード線 W Lが選択される。

**【 0 0 2 0 】**

カラム信号 I C O Lは、コマンド信号 C M Dがカラムアクセス（リードコマンド又はライトコマンド）を示している場合に活性化される信号である。内部カラム信号 I C O Lが活性化すると、アドレスラッチ回路 3 2 にラッチされたアドレス信号 A D Dがカラムデコーダ 1 3 に供給される。これにより、当該アドレス信号 A D Dにより指定されるビット線 B Lが選択される。

**【 0 0 2 1 】**

したがって、アクティブコマンド及びリードコマンドをこの順に入力するとともに、これらに同期してロウアドレス及びカラムアドレスを入力すれば、これらロウアドレス及びカラムアドレスによって指定されるメモリセル M Cからリードデータが読み出される。リードデータ D Qは、F I F O回路 1 5及び入出力回路 1 6を介して、データ端子 2 4から外部に出力される。一方、アクティブコマンド及びライトコマンドをこの順に入力するとともに、これらに同期してロウアドレス及びカラムアドレスを入力し、その後、データ端子 2 4にライトデータ D Qを入力すれば、ライトデータ D Qは入出力回路 1 6及びF I F O回路 1 5を介してメモリセルアレイ 1 1に供給され、ロウアドレス及びカラムアドレスによって指定されるメモリセル M Cに書き込まれる。F I F O回路 1 5及び入出力回路 1 6の動作は、内部クロック信号 L C L Kに同期して行われる。内部クロック信号 L C L Kは、後述する D L L回路 1 0 0によって生成される。特に、入出力回路 1 6にはリードデータ D Qを出力する出力回路 1 6 aが含まれており、リードデータ D Qの出力は内部クロック信号 L C L Kに同期して行われる。

**【 0 0 2 2 】**

リフレッシュ信号 I R E Fは、コマンド信号 C M Dがリフレッシュコマンドを示している場合に活性化される信号である。リフレッシュ信号 I R E Fが活性化するとリフレッシュ制御回路 3 5によってロウアクセスが行われ、所定のワード線 W Lが選択される。これにより、選択されたワード線 W Lに接続された複数のメモリセル M Cがリフレッシュされる。ワード線 W Lの選択は、リフレッシュ制御回路 3 5に含まれる図示しないリフレッシュカウンタによって行われる。

**【 0 0 2 3 】**

モードレジスタセット信号 M R Sは、コマンド信号 C M Dがモードレジスタセットコマンドを示している場合に活性化される信号である。したがって、モードレジスタセットコマンドを入力するとともに、これに同期してアドレス端子 2 1からモード信号を入力すれば、モードレジスタ 1 4の設定値を書き換えることができる。

**【 0 0 2 4 】**

クロック端子 2 3は、外部クロック信号 C K , / C Kが入力される端子である。外部クロック信号 C Kと外部クロック信号 / C Kは互いに相補の信号であり、いずれもクロック入力回路 3 6に供給される。クロック入力回路 3 6は、外部クロック信号 C K , / C Kに基づいて内部クロック信号 I C L Kを生成する。内部クロック信号 I C L Kは、半導体装置 1 0の内部における基本クロック信号であり、本発明においては「第 1 のクロック信号」と呼ぶことがある。内部クロック信号 I C L Kは、タイミングジェネレータ 3 7に供給され、これによって各種内部クロック信号が生成される。タイミングジェネレータ 3 7によって生成される各種内部クロック信号は、アドレスラッチ回路 3 2やコマンドデコード

10

20

30

40

50

回路 3 4 などの回路ブロックに供給され、これら回路ブロックの動作タイミングを規定する。

【 0 0 2 5 】

内部クロック信号 I C L K は、周波数検知回路 4 0 及び D L L 回路 1 0 0 にも供給される。周波数検知回路 4 0 は、D L L リセット信号 D L L R S T によって起動される回路であり、内部クロック信号 I C L K の周波数を検知し、周波数検知信号 S E L を生成する役割を果たす。周波数検知回路 4 0 の回路構成については後述する。周波数検知信号 S E L は、D L L 回路 1 0 0 に供給される。

【 0 0 2 6 】

D L L 回路 1 0 0 は、内部クロック信号 I C L K に基づいて位相制御された内部クロック信号 L C L K を生成するクロック生成回路である。上述の通り、内部クロック信号 L C L K は F I F O 回路 1 5 及び入出力回路 1 6 に供給される。これにより、リードデータ D Q は内部クロック信号 L C L K に同期して出力されることになる。本発明においては、内部クロック信号 L C L K を「第 2 のクロック信号」と呼ぶことがある。

10

【 0 0 2 7 】

D L L 回路 1 0 0 は、コマンドデコード回路 3 4 から出力される D L L リセット信号 D L L R S T によってリセットされる。D L L リセット信号 D L L R S T は、リセット信号 / R E S E T や、D L L リセットコマンドに応答して活性化される。リセット信号 / R E S E T は電源投入時などに活性化される信号であり、D L L リセットコマンドは D L L 回路 1 0 0 のリセットが必要な際に発行されるコマンドである。したがって、電源投入直後の初期化動作時などにおいては、D L L リセット信号 D L L R S T によって D L L 回路 1 0 0 がリセットされることになる。

20

【 0 0 2 8 】

電源端子 2 5 は、電源電位 V D D , V S S が供給される端子である。電源端子 2 5 に供給される電源電位 V D D , V S S は内部電源発生回路 3 8 に供給される。内部電源発生回路 3 8 は、電源電位 V D D , V S S に基づいて各種の内部電位 V P P , V P E R D , V P E R I などを発生させる。内部電位 V P P は主にロウデコーダ 1 2 において使用される電位であり、内部電位 V P E R D は主に D L L 回路 1 0 0 において使用される電位であり、内部電位 V P E R I は他の多くの回路ブロックにおいて使用される電位である。

30

【 0 0 2 9 】

図 2 は、周波数検知回路 4 0 の構成を示すブロック図である。

【 0 0 3 0 】

図 2 に示すように、周波数検知回路 4 0 は、パルス発生回路 4 1 とカウンタ回路 4 2 を備えている。本発明においてはカウンタ回路 4 2 を「第 1 の回路」、パルス発生回路 4 1 を「第 2 の回路」と呼ぶことがある。パルス発生回路 4 1 は D L L リセット信号 D L L R S T によって起動される回路であり、D L L リセット信号 D L L R S T が入力されると所定の期間だけパルス信号 P を活性化させる。かかる所定の期間は、内部クロック信号 I C L K の周波数に依存しない固有の長さを有している。

【 0 0 3 1 】

パルス発生回路 4 1 の具体的な回路構成については、内部クロック信号 I C L K の周波数に依存しない固有のパルス幅を持ったパルス信号 P を生成可能である限り、特に限定されるものではない。一例として、図 3 に示すように、リングオシレータ 4 1 a を用いてパルス信号 P を発生させる構成とすることが可能である。リングオシレータ 4 1 a は、自己発振する回路であることから、内部クロック信号 I C L K の周波数に依存しない固有のパルス幅を持ったパルス信号 P を生成することができる。但し、製造時におけるプロセス条件によってリングオシレータ 4 1 a の特性が設計値からずれる可能性があるため、リングオシレータ 4 1 a の特性を調整するトリミング回路 4 1 b を設けることが好ましい。そして、製造段階でリングオシレータ 4 1 a から出力されるパルス信号 P のパルス幅を測定し、これが設計値からずれている場合には、トリミング回路 4 1 b を用いてリングオシレータ 4 1 a の特性を調整する。これにより、プロセス条件にかかわらず、パルス信号 P のパ

40

50

ルス幅を設計値通りとすることが可能となる。トリミング回路41bとしては、レーザビームの照射によってトリミング可能な回路であっても構わないし、アンチヒューズ素子を用いた回路であっても構わない。尚、パルス発生回路41をリングオシレータ41aによって構成することは必須でなく、一般的な遅延回路を用いても構わない。

#### 【0032】

カウンタ回路42は、パルス信号Pが活性化している間に内部クロック信号ICLKをカウントする回路である。上述の通り、パルス信号Pのパルス幅は内部クロック信号ICLKの周波数にかかわらず一定であることから、カウンタ回路42のカウント値は内部クロック信号ICLKの周波数によって決まることになる。具体的には、内部クロック信号ICLKの周波数が高いほどカウント値が大きくなり、逆に、内部クロック信号ICLKの周波数が低いほどカウント値が小さくなる。そして、カウンタ回路42は、得られたカウント値に基づいて周波数検知信号SEL<sub>a</sub>~SEL<sub>c</sub>のいずれかを活性化させる。本実施形態では、得られたカウント値をしきい値A及びB(A>B)と比較し、A以上であれば周波数検知信号SEL<sub>a</sub>を活性化させ、B以上A未満であれば周波数検知信号SEL<sub>b</sub>を活性化させ、B未満であれば周波数検知信号SEL<sub>c</sub>を活性化させる。このことは、内部クロック信号ICLKの周波数が第1の基準値f<sub>1</sub>よりも高い場合には周波数検知信号SEL<sub>a</sub>が活性化し、内部クロック信号ICLKの周波数が第2の基準値f<sub>2</sub>(<f<sub>1</sub>)よりも低い場合には周波数検知信号SEL<sub>c</sub>が活性化し、内部クロック信号ICLKの周波数が第1の基準値f<sub>1</sub>と第2の基準値f<sub>2</sub>の間である場合には周波数検知信号SEL<sub>b</sub>が活性化することを意味する。周波数検知信号SEL<sub>a</sub>~SEL<sub>c</sub>は、図1に示す周波数検知信号SELを構成する信号であり、DLL回路100に供給される。

10

20

#### 【0033】

図4は、DLL回路100の構成を示すブロック図である。

#### 【0034】

図4に示すように、DLL回路100は、内部クロック信号ICLKを遅延させることによって内部クロック信号LCLKを生成するディレイライン101を備えている。特に限定されるものではないが、ディレイライン101は、遅延量の調整ピッチが相対的に大きいコースディレイライン110と、遅延量の調整ピッチが相対的に小さいファインディレイライン120が直列接続された構成を有している。コースディレイライン110の遅延量は、カウンタ回路102から出力されるカウント値の上位ビットBit<sub>5</sub>~Bit<sub>1</sub>によって指定される。コースディレイライン110から出力される内部クロック信号ECLK, OCLKは、コースディレイライン110の最小調整ピッチ分だけ互いに位相が異なるクロック信号である。

30

#### 【0035】

一方、ファインディレイライン120の遅延量は、カウンタ回路102から出力されるカウント値の下位ビットBit<sub>0</sub>~Bit<sub>5</sub>によって指定される。ファインディレイライン120からは、内部クロック信号LCLKが出力される。尚、カウント値のBit<sub>5</sub>がコースディレイライン110とファインディレイライン120の両方に用いられているのは、コースディレイライン110から2つの内部クロック信号ECLK, OCLKが出力されるためである。つまり、カウント値のBit<sub>5</sub>は、コースディレイライン110においては内部クロック信号ECLK, OCLKの位相を決めるために用いられ、ファインディレイライン120においては内部クロック信号ECLK, OCLKのいずれの位相が進んでいるかを判定するために用いられる。

40

#### 【0036】

内部クロック信号LCLKは、図1に示したFIFO回路15及び入出力回路16に供給されるとともに、レプリカ回路103にも供給される。レプリカ回路103は、内部クロック信号LCLKに基づいてレプリカであるリファレンスクロック信号RCLKを生成する回路であり、入出力回路16に含まれる出力回路16aと実質的に同一の遅延量を実現するように構成されている。上述の通り、出力回路16aは内部クロック信号LCLKに同期してリードデータDQを出力するものであることから、レプリカ回路103から出

50

力されるリファレンスクロック信号 RCLK は、リードデータ DQ と正確に同期する。DRAM においては、リードデータ DQ が外部クロック信号 CK, /CK に対して正確に同期している必要があり、両者の位相にずれが生じている場合にはこれを検出し、補正する必要がある。かかる検出は、位相比較回路 104 によって行われ、その結果をカウンタ回路 102 にフィードバックすることによって位相のずれが補正される。

【0037】

位相比較回路 104 は、内部クロック信号 ICLK とリファレンスクロック信号 RCLK の位相を比較し、その結果に基づいて位相比較信号であるアップダウン信号 UD を生成する回路である。ここで、内部クロック信号 ICLK は外部クロック信号 CK, /CK とタイミングが実質的に一致する信号であり、リファレンスクロック信号 RCLK はリードデータ DQ とタイミングが実質的に一致する信号であることから、位相比較回路 104 は、外部クロック信号 CK, /CK とリードデータ DQ の位相を間接的に比較していることになる。比較の結果、リファレンスクロック信号 RCLK が内部クロック信号 ICLK に対して遅れていれば、アップダウン信号 UD を例えばローレベルとすることによってカウンタ回路 102 をカウントダウンし、これによりディレイライン 101 の遅延量を減少させる。逆に、リファレンスクロック信号 RCLK が内部クロック信号 ICLK に対して進んでいれば、アップダウン信号 UD を例えばハイレベルとすることによってカウンタ回路 102 をカウントアップし、これによりディレイライン 101 の遅延量を増加させる。

10

【0038】

カウンタ回路 102 によるカウント値の更新は、更新タイミング制御回路 105 から出力される更新信号 CT に同期して行われる。更新タイミング制御回路 105 は、内部クロック信号 ICLK を分周することによって更新信号 CT を生成する。したがって、カウンタ回路 102 のカウント値は、内部クロック信号 ICLK の所定周期ごとに更新されることになる。このようにしてカウンタ回路 102 のカウント値を周期的に更新することにより、内部クロック信号 ICLK とリファレンスクロック信号 RCLK の位相を一致させれば、結果的に、リードデータ DQ と外部クロック信号 CK, /CK の位相が一致することになる。

20

【0039】

図 5 は、コースディレイライン 110 の一部を示す回路図である。

【0040】

図 5 に示すように、コースディレイライン 110 は、縦続接続された複数のインバータ INV からなるインバータチェーン 111 と、複数のマルチプレクサ 112 を備えている。図 5 には 8 つのマルチプレクサ 112 - 0 ~ 112 - 7 のみを図示しているが、実際にはより多数のマルチプレクサ 112 が設けられている。具体的には、コースディレイライン 110 の遅延量はカウント値の Bit 5 ~ Bit 10 によって制御されることから、遅延量は 64 段階 (=  $2^6$ ) に制御可能であり、したがってマルチプレクサ 112 - 0 ~ 112 - 64 からなる 65 個のマルチプレクサが必要となる。

30

【0041】

各マルチプレクサ 112 は、それぞれ対応するインバータ INV の出力信号と後段のマルチプレクサ 112 からの出力信号のいずれか一方を出力する。その選択は、デコーダ 114 の出力信号 OUT に基づいて行われる。デコーダ 114 は、カウンタ回路 102 のカウント値 Bit 5 ~ Bit 10 をデコードする回路であり、デコード結果に基づいて複数の出力信号 OUT の中から 2 つの出力信号 OUT を活性化させる。

40

【0042】

マルチプレクサ 112 は、内部クロック信号 ECLK を生成するグループと、内部クロック信号 OCLK を生成するグループに分類されており、各グループに属する複数のマルチプレクサ 112 はそれぞれ縦続接続されている。そして、出力信号 OUT に基づき、内部クロック信号 ECLK を生成するグループ及び内部クロック信号 OCLK を生成するグループからそれぞれ一つずつマルチプレクサ 112 が選択される。選択されたマルチプレクサ 112 は対応するインバータ INV の出力信号を出力し、選択されなかった他のマル

50

チプレクサ 1 1 2 は後段のマルチプレクサ 1 1 2 からの出力信号を出力する。

【 0 0 4 3 】

出力信号 O U T に基づくマルチプレクサ 1 1 2 の選択は、内部クロック信号 E C L K を生成するグループから選択されるマルチプレクサ 1 1 2 と、内部クロック信号 O C L K を生成するグループから選択されるマルチプレクサ 1 1 2 とが、同じインバータ I N V の入力及び出力に対応するよう定められる。例えば、マルチプレクサ 1 1 2 - 1 が選択される場合には、マルチプレクサ 1 1 2 - 0 又は 1 1 2 - 2 が選択され、マルチプレクサ 1 1 2 - 2 が選択される場合には、マルチプレクサ 1 1 2 - 1 又は 1 1 2 - 3 が選択されることになる。これにより、得られる内部クロック信号 E C L K と O C L K の位相差は、インバータチェーン 1 1 1 を構成するインバータ I N V の 1 段分の遅延量となる。但し、内部クロック信号 O C L K を反転させるためのインバータ 1 1 3 による遅延は無視している。

10

【 0 0 4 4 】

図 6 は、コースディレイライン 1 1 0 の動作を説明するための波形図である。

【 0 0 4 5 】

図 6 には内部クロック信号 E C L K の波形と内部クロック信号 O C L K の波形がそれぞれ 4 つずつ示されているが、実際にはそれぞれ 1 つずつが出力される。例えば、図 5 に示すマルチプレクサ 1 1 2 - 0 と 1 1 2 - 1 が選択されている場合には、図 6 に示す内部クロック信号 E C L K ( 1 1 2 - 0 ) と内部クロック信号 O C L K ( 1 1 2 - 1 ) が出力される。別の例として、マルチプレクサ 1 1 2 - 1 と 1 1 2 - 2 が選択されている場合には、図 6 に示す内部クロック信号 O C L K ( 1 1 2 - 1 ) と内部クロック信号 E C L K ( 1 1 2 - 2 ) が出力される。上述の通り、コースディレイライン 1 1 0 から出力される内部クロック信号 E C L K と O C L K の位相差 D は、インバータチェーン 1 1 1 を構成するインバータ 1 段分の遅延量に相当する。インバータ 1 段分の遅延量は、コースディレイライン 1 1 0 による遅延量の最小調整ピッチに相当する。このようにして生成される内部クロック信号 E C L K と O C L K は、ファインディレイライン 1 2 0 に供給される。

20

【 0 0 4 6 】

図 7 は、ファインディレイライン 1 2 0 の回路図である。

【 0 0 4 7 】

図 7 に示すように、ファインディレイライン 1 2 0 は、電源電位 V P E R D が供給される電源ラインと電源電位 V S S が供給される電源ラインとの間に直列接続された P チャンネル型 M O S トランジスタ P 1 , P 2 及び N チャンネル型 M O S トランジスタ N 1 , N 2 と、同じく電源電位 V P E R D が供給される電源ラインと電源電位 V S S が供給される電源ラインとの間に直列接続された P チャンネル型 M O S トランジスタ P 3 , P 4 及び N チャンネル型 M O S トランジスタ N 3 , N 4 とを備えている。トランジスタ P 2 , N 1 のゲート電極には内部クロック信号 E C L K が供給され、トランジスタ P 4 , N 3 のゲート電極には内部クロック信号 O C L K が供給される。これらトランジスタ P 2 , N 1 , P 4 , N 3 のドレインは共通接続されており、当該ノードから内部クロック信号 L C L K が出力される。

30

【 0 0 4 8 】

一方、トランジスタ P 1 , N 2 , P 3 , N 4 のゲート電極には、それぞれ対応するバイアス電圧 V P E , V N E , V P O , V N O が供給される。バイアス電圧 V P E , V N E , V P O , V N O のレベルは、カウンタ回路 1 0 2 のカウント値 B i t 0 ~ B i t 5 に基づいて制御され、これによりカウント値 B i t 0 ~ B i t 5 に応じた割合で内部クロック信号 E C L K と O C L K が合成される。一例として、バイアス電圧 V P E , V N E が最大選択レベル、バイアス電圧 V P O , V N O が最小選択レベルである場合、トランジスタ P 4 , N 3 にソース電位が供給されなくなるため、得られる内部クロック信号 L C L K の波形は、内部クロック信号 E C L K と一致する。逆に、バイアス電圧 V P E , V N E が最小選択レベル、バイアス電圧 V P O , V N O が最大選択レベルである場合、トランジスタ P 2 , N 1 にソース電位が供給されなくなるため、得られる内部クロック信号 L C L K の波形は、内部クロック信号 O C L K と一致する。そして、バイアス電圧 V P E , V N E , V P

40

50

O, VNOがいずれも中間レベルである場合、トランジスタP2, N1のドレイン電流量と、トランジスタP4, N3のドレイン電流量がほぼ一致するため、得られる内部クロック信号LCLKの波形は、内部クロック信号ECLKとOCLKを50%ずつ合成した波形となる。内部クロック信号ECLKとOCLKの合成割合は、カウント値Bit0~Bit5に基づき、多段階に調整することが可能である。

【0049】

図8は、カウンタ回路102の回路図である。

【0050】

図8に示すように、カウンタ回路102は、カウント値のBit0~Bit10にそれぞれ対応するラッチ回路部200~210を備えている。カウント値のBit0は最下位ビット(LSB)であり、カウント値のBit10は最上位ビット(MSB)である。下位のラッチ回路部から出力されるキャリー信号CRYは、上位のラッチ回路部に供給されるため、カウンタ回路102は11ビットのバイナリカウンタとして機能する。カウント値のカウントアップ又はカウントダウンは、アップダウン信号UDの論理レベルに基づき、更新信号CTに同期して行われる。

10

【0051】

但し、本実施形態で用いるカウンタ回路102は、通常のカウンタ回路のように最下位ビットBit0からカウントアップ又はカウントダウンを行うだけでなく、任意のビットからカウントアップ又はカウントダウンを行うことが可能である。どのビットからカウントアップ又はカウントダウンを行うかは、指定コードS0~S5を用いて指定される。指定コードS0~S5はいずれか1つのみが活性レベルとなる信号であり、図4に示すコード発生回路106によって生成される。

20

【0052】

指定コードS0~S5の具体的な機能について説明すると、まず指定コードS0が活性化している場合には、アップダウン信号UDは最下位のラッチ回路部200に対して有効となる。この場合、カウンタ回路102は通常のカウンタ回路のように最下位ビットBit0からカウントアップ又はカウントダウンが行われる。これにより、遅延量の調整ピッチは最小ピッチとなる。これに対し、指定コードS1が活性化している場合には、対応するラッチ回路部201及びそれよりも下位のラッチ回路部200の値Bit0, Bit1が固定され、一つ上位のラッチ回路部202に対してアップダウン信号UDが有効となる。この場合、カウンタ回路102はBit2からカウントアップ又はカウントダウンされるため、一度にカウントアップ又はカウントダウンされる値は指定コードS0が活性化している場合と比べて4倍となる。つまり、遅延量の調整ピッチが最小ピッチの4倍となる。

30

【0053】

指定コードS2~S5が活性化している場合の動作は、指定コードS1が活性化している場合の動作と同様である。例えば、指定コードS4が活性化している場合には、対応するラッチ回路部204及びそれよりも下位のラッチ回路部200~203の値Bit0~Bit4が固定され、一つ上位のラッチ回路部205に対してアップダウン信号UDが有効となる。この場合、カウンタ回路102はBit5からカウントアップ又はカウントダウンされるため、一度にカウントアップ又はカウントダウンされる値は指定コードS0が活性化している場合と比べて32倍となる。つまり、遅延量の調整ピッチが最小ピッチの32倍となる。これにより、遅延量の調整ピッチは、指定コードS0~S5に基づき、最小ピッチの1倍、4倍、8倍、16倍、32倍、64倍の中から選択されることになる。

40

【0054】

コード発生回路106が指定コードS0~S5のいずれを活性化させるかは、アップダウン信号UD及び周波数検知信号SELに基づいて定められる。以下、コード発生回路106の動作について詳細に説明する。

【0055】

図9は、コード発生回路106の動作を説明するための図である。

50

## 【 0 0 5 6 】

まず、D L Lリセット信号D L L R S Tが活性化すると、コード発生回路1 0 6は、周波数検知信号S E L a ~ S E L cに基づいて指定コードS 3 ~ S 5のいずれかを活性化させる。具体的には、図9に示すように、周波数検知信号S E L aが活性化している場合には指定コードS 3を活性化させ、周波数検知信号S E L bが活性化している場合には指定コードS 4を活性化させ、周波数検知信号S E L cが活性化している場合には指定コードS 5を活性化させる。これにより、内部クロック信号I C L Kの周波数が第1の基準値f 1よりも高い場合には、カウンタ回路1 0 2はB i t 4からカウントアップ又はカウントダウンを行うため、遅延量の調整ピッチは最小ピッチの1 6倍となる。また、内部クロック信号I C L Kの周波数が第1の基準値f 1と第2の基準値f 2の間である場合には、カウンタ回路1 0 2はB i t 5からカウントアップ及びカウントダウンを行うため、遅延量の調整ピッチは最小ピッチの3 2倍となる。さらに、内部クロック信号I C L Kの周波数が第2の基準値f 2よりも低い場合には、カウンタ回路1 0 2はB i t 6からカウントアップ及びカウントダウンを行うため、遅延量の調整ピッチは最小ピッチの6 4倍となる。

10

## 【 0 0 5 7 】

このように、D L Lリセット信号D L L R S Tが活性化した直後においては、カウントアップ又はカウントダウンされるビットが内部クロック信号I C L Kの周波数に基づいて選択される。内部クロック信号I C L Kの周波数が高い場合、遅延量の調整ピッチが大きすぎると、リファレンスクロック信号R C L Kのエッジが内部クロック信号I C L Kの目標とするエッジを大きく飛び越えてしまうことがあり、この場合には正しい位相調整動作を行うことができなくなるおそれがある。しかしながら、本実施形態では、内部クロック信号I C L Kの周波数が高い場合には、遅延量の調整ピッチが小さく設定されることから、このような問題が生じることはない。一方、内部クロック信号I C L Kの周波数が低い場合、遅延量の調整ピッチが小さすぎると、リファレンスクロック信号R C L Kのエッジが目標とするエッジに到達するまでに長い時間がかかってしまう。しかしながら、本実施形態では、内部クロック信号I C L Kの周波数が低い場合には、遅延量の調整ピッチが大きく設定されることから、このような問題が生じることもない。

20

## 【 0 0 5 8 】

このような位相調整動作を継続すると、リファレンスクロック信号R C L Kのエッジが目標とするエッジに近づく。そして、目標とするエッジを超えるとアップダウン信号U Dの論理レベルの論理レベルが反転する。したがって、アップダウン信号U Dの変化を監視すれば、リファレンスクロック信号R C L Kのエッジが目標とするエッジに近づいたか否かを知ることができる。アップダウン信号U Dの監視は、図4に示すコード発生回路1 0 6によって行われる。本実施形態では、アップダウン信号U Dの論理レベルが1回又は2回反転した場合に、当該指定コードを用いた位相調整動作を完了し、より下位のビットの制御に移る。これは、当該ビットの論理レベルが確定したことを意味する。

30

## 【 0 0 5 9 】

具体的には、図9に示すように周波数検知信号S E L aが活性化している場合、指定コードS 3を用いた位相調整動作が完了すると、次に指定コードS 1, S 0を順次活性化させることにより最終的なカウント値を得る。また、周波数検知信号S E L bが活性化している場合、指定コードS 4を用いた位相調整動作が完了すると、指定コードS 3, S 1, S 0の順に活性化させることにより最終的なカウント値を得る。さらに、周波数検知信号S E L cが活性化している場合、指定コードS 5を用いた位相調整動作が完了すると、指定コードS 4, S 3, S 1, S 0の順に活性化させることにより最終的なカウント値を得る。尚、いずれのケースにおいても指定コードS 2を使用していないが、これを使用しても良いことはいうまでもない。この場合、指定コードS 3の次に指定コードS 2を活性化させればよい。

40

## 【 0 0 6 0 】

図10は、周波数検知信号S E L aが活性化している場合におけるD L L回路1 0 0の動作を説明するためのタイミング図である。

50

## 【 0 0 6 1 】

図 1 0 に示す例では周波数検知信号 S E L a が活性化しているため、時刻 t 1 0 においてリセット信号 / R E S E T が発行されると、指定コード S 3 がハイレベルに活性化する。尚、指定コード S 0 もハイレベルであるが、指定コード S 0 はローアクティブな信号である。これにより、カウンタ回路 1 0 2 は、更新信号 C T が活性化する度にアップダウン信号 U D に基づいて B i t 4 からカウントアップ又はマウントダウンを行う。この状態は、B i t 4 を最下位ビット ( L S B ) とする B i t 4 ~ B i t 1 0 からなる 7 ビットのカウンタ回路として機能している状態であると言える。より下位のビット B i t 0 ~ B i t 3 は初期値を維持する。図 1 0 に示す例では、ビット B i t 0 ~ B i t 3 の初期値はいずれもハイレベルである。

10

## 【 0 0 6 2 】

そして、時刻 t 1 0 から時刻 t 1 1 までの期間においては、アップダウン信号 U D がハイレベルであることから、カウンタ回路 1 0 2 は B i t 4 からカウントアップされる。これにより、最小ピッチの 1 6 倍で遅延量の調整が行われることになる。図 1 0 に示す例では、時刻 t 1 1 にてアップダウン信号 U D がハイレベルからローレベルに反転している。これにより、カウンタ回路 1 0 2 は B i t 4 からカウントダウンされる。

## 【 0 0 6 3 】

その後、時刻 t 1 2 において、アップダウン信号 U D がローレベルからハイレベルに反転している。かかる 2 回目の反転に应答して、コード発生回路 1 0 6 は指定コード S 3 の代わりに指定コード S 1 を活性化させる。これにより、カウンタ回路 1 0 2 は、更新信号 C T が活性化する度にアップダウン信号 U D に基づいて B i t 2 からカウントアップ又はカウントダウンを行う。この状態は、B i t 2 を最下位ビット ( L S B ) とする B i t 2 ~ B i t 1 0 からなる 9 ビットのカウンタ回路として機能している状態であると言える。これにより、最小ピッチの 4 倍で遅延量の調整が行われることになる。

20

## 【 0 0 6 4 】

その後は図示しないが、さらにアップダウン信号 U D が反転すると、コード発生回路 1 0 6 は指定コード S 1 の代わりに指定コード S 0 を活性化させる。これにより、カウンタ回路 1 0 2 は、更新信号 C T が活性化する度にアップダウン信号 U D に基づいて B i t 0 からカウントアップ又はカウントダウンを行う。この状態は、B i t 0 を最下位ビット ( L S B ) とする B i t 0 ~ B i t 1 0 からなる 1 1 ビットのカウンタ回路として機能し、遅延量の調整ピッチは最小ピッチとなる。これにより、1 1 ビットのカウンタ回路 1 0 2 のカウント値が確定する。

30

## 【 0 0 6 5 】

図 1 1 は、周波数検知信号 S E L b が活性化している場合における D L L 回路 1 0 0 の動作を説明するためのタイミング図である。

## 【 0 0 6 6 】

図 1 1 に示す例では周波数検知信号 S E L b が活性化しているため、時刻 t 2 0 においてリセット信号 / R E S E T が発行されると、指定コード S 4 がハイレベルに活性化する。これにより、カウンタ回路 1 0 2 は、更新信号 C T が活性化する度にアップダウン信号 U D に基づいて B i t 5 からカウントアップ又はマウントダウンを行う。この状態は、B i t 5 を最下位ビット ( L S B ) とする B i t 5 ~ B i t 1 0 からなる 6 ビットのカウンタ回路として機能している状態であると言える。より下位のビット B i t 0 ~ B i t 4 は初期値を維持する。

40

## 【 0 0 6 7 】

そして、時刻 t 2 0 から時刻 t 2 1 までの期間においては、アップダウン信号 U D がハイレベルであることから、カウンタ回路 1 0 2 は B i t 5 からカウントアップされる。これにより、最小ピッチの 3 2 倍で遅延量の調整が行われることになる。

## 【 0 0 6 8 】

その後、時刻 t 2 1 において、アップダウン信号 U D がハイレベルからローレベルに反転している。これに应答して、コード発生回路 1 0 6 は、指定コード S 4 の代わりに指定

50

コード S 3 を活性化させる。これにより、カウンタ回路 1 0 2 は、更新信号 C T が活性化する度にアップダウン信号 U D に基づいて B i t 2 からカウントアップ又はカウントダウンを行う。その後の動作は、図 1 0 を用いて説明したとおりであり、アップダウン信号 U D が反転する度に指定コードを切り替えることによって、1 1 ビットのカウンタ回路のカウント値 1 0 2 を確定させる。

【 0 0 6 9 】

周波数検知信号 S E L c が活性化している場合における D L L 回路 1 0 0 の動作については図示しないが、指定コード S 5 から順に活性化させることによって、1 1 ビットのカウント回路のカウント値 1 0 2 を確定させる。

【 0 0 7 0 】

このように、本実施形態によれば、内部クロック信号 I C L K の周波数に基づいてディレイライン 1 0 1 の調整ピッチを切り替えていることから、周波数に応じた適切な位相制御動作を行うことが可能となる。これにより、内部クロック信号 I C L K の周波数が高い場合には目標とするエッジを見失うことなく正しく位相調整動作を行うことができ、内部クロック信号 I C L K の周波数が低い場合には位相制御動作を速やかに完了することが可能となる。

【 0 0 7 1 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【 0 0 7 2 】

例えば、上記実施形態では、本発明を D R A M に適用した場合を例に説明したが、本発明の適用範囲がこれに限定されるものではなく、他の種類の半導体メモリデバイス（フラッシュメモリや、R e R A M など）に適用することも可能であるし、プロセッサなどのロジック系半導体デバイスに適用することも可能である。また、本発明による半導体装置の全ての構成要素が一つの半導体チップに集積されていることも必須でなく、複数の半導体チップによって構成されていても構わない。

【 0 0 7 3 】

図 1 2 は、本発明による半導体装置の各構成要素を複数の半導体チップに分散した例を示すブロック図である。図 1 2 に示す半導体装置は、コントローラとして機能する半導体チップ C P 1 と、メモリデバイスとして機能する半導体チップ C P 2 と、周波数検知回路 4 0 を含む半導体チップ C P 3 とを備えている。半導体チップ C P 1 は、半導体チップ C P 2 に対してアドレス信号 A D D、コマンド信号 C M D 外部クロック信号 C K、/ C K を供給し、データ D Q の送受信を行うコントロールデバイスである。半導体チップ C P 2 は半導体チップ C P 1 によって動作が制御されるメモリデバイスである。本例では、半導体チップ C P 2 に D L L 回路 1 0 0 が含まれているが、周波数検知回路 4 0 は含まれていない。周波数検知回路 4 0 は別の半導体チップ C P 3 に集積されており、半導体チップ C P 3 によって生成された周波数検知信号 S E L が半導体チップ C P 1 に供給される。このように、本発明においては周波数検知回路 4 0 を別の半導体チップに集積することも可能である。

【 0 0 7 4 】

また、上記実施形態では、カウンタ回路 1 0 2 の上位ビットから順次論理レベルを確定させる、いわゆるバイナリサーチによってカウント値を生成しているが、本発明においてこの点は必須でない。他の例として、内部クロック信号 I C L K の周波数に基づいてカウンタ回路 1 0 2 の有効なビット数を変更しても構わない。図 1 3 に示す例では、周波数検知信号 S E L a が活性化している場合（周波数が高い場合）には B i t 0 を最下位ビット（L S B）とし、周波数検知信号 S E L b が活性化している場合（周波数が中適度である場合）には B i t 0 を無視して B i t 1 を最下位ビット（L S B）とし、周波数検知信号 S E L c が活性化している場合（周波数が低い場合）には B i t 0、B i t 1 を無視して B i t 2 を最下位ビット（L S B）とするカウント値を使用する。いずれの場合も選択さ

10

20

30

40

50

れた最下位ビットからカウントアップ又はカウントダウンを行う。上記実施形態のようにカウントアップ又はカウントダウンするビットは変更されない。この方法によれば、内部クロック信号 I C L K の周波数が高い場合には高精度な位相制御動作を行うことができる一方、内部クロック信号 I C L K の周波数が低い場合には速やかな位相制御動作を行うことができる。内部クロック信号 I C L K の周波数が低い場合には B i t 0 , B i t 1 が無視されるため位相制御精度が低下するが、内部クロック信号 I C L K の周波数が低い場合にはこれが大きな問題となることはない。さらに別の例として、内部クロック信号 I C L K の周波数に基づいてカウンタ回路 1 0 2 の使用レンジを変更することも可能である。

【 0 0 7 5 】

さらに、上記実施形態では、内部クロック信号 I C L K の周波数に基づいて D L L 回路 1 0 0 の動作モードを 3 種類の異なる動作モードの中から選択しているが、動作モードの種類が 3 種類に限定されるものではない。したがって、2 種類であっても構わないし、4 種類以上であっても構わない。また、上記実施形態では内部クロック信号 I C L K の周波数を周波数検知回路 4 0 によって検知しているが、実際にモニタリングするクロック信号が内部クロック信号 I C L K に限定されるものではない。したがって、外部クロック信号 C K の周波数を直接モニタしても構わないし、内部クロック信号 L C L K の周波数をモニタしても構わない。

10

【 0 0 7 6 】

また、上記実施形態では、クロック生成回路として D L L 回路を例に挙げているが、本発明において制御対象となるクロック生成回路が D L L 回路であることは必須でなく、他の種類のクロック生成回路であっても構わない。例えば、上記実施形態では内部クロック信号 I C L K を遅延させることによって内部クロック信号 L C L K を生成しているが、所定のクロック信号を受け、その位相をシフトした別のクロック信号を生成する限り、クロックの生成方法については特に限定されるものではない。

20

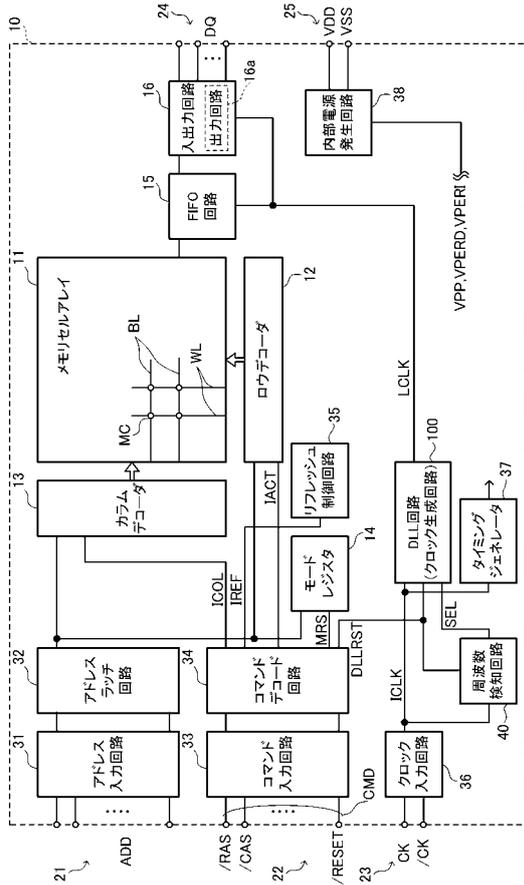
【 符号の説明 】

【 0 0 7 7 】

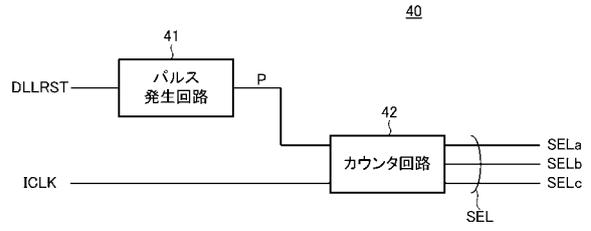
1 0	半導体装置	
1 1	メモリセルアレイ	
1 2	ロウデコーダ	
1 3	カラムデコーダ	30
1 4	モードレジスタ	
1 5	F I F O 回路	
1 6	入出力回路	
1 6 a	出力回路	
2 1	アドレス端子	
2 2	コマンド端子	
2 3	クロック端子	
2 4	データ端子	
2 5	電源端子	
3 1	アドレス入力回路	40
3 2	アドレスラッチ回路	
3 3	コマンド入力回路	
3 4	コマンドデコード回路	
3 5	リフレッシュ制御回路	
3 6	クロック入力回路	
3 7	タイミングジェネレータ	
3 8	内部電源発生回路	
4 0	周波数検知回路	
4 1	パルス発生回路	
4 1 a	リングオシレータ	50

4 1 b	トリミング回路	
4 2	カウンタ回路	
1 0 0	D L L 回路	
1 0 1	ディレイライン	
1 0 2	カウンタ回路	
1 0 3	レプリカ回路	
1 0 4	位相比較回路	
1 0 5	更新タイミング制御回路	
1 0 6	コード発生回路	
1 1 0	コースディレイライン	10
1 1 1	インバータチェーン	
1 1 2	マルチプレクサ	
1 1 3	インバータ	
1 1 4	デコーダ	
1 2 0	ファインディレイライン	
2 0 0 ~ 2 1 0	ラッチ回路部	
B i t 0 ~ B i t 1 0	カウント値	
C K , / C K	外部クロック信号	
C P 1 ~ C P 3	半導体チップ	
E C L K , O C L K	内部クロック信号	20
I C L K	内部クロック信号 (第 1 のクロック信号)	
L C L K	内部クロック信号 (第 2 のクロック信号)	
P	パルス信号	
R C L K	リファレンスクロック信号	
S 0 ~ S 5	指定コード	
S E L a ~ S E L c	周波数検知信号	
U D	アップダウン信号 (位相比較信号)	

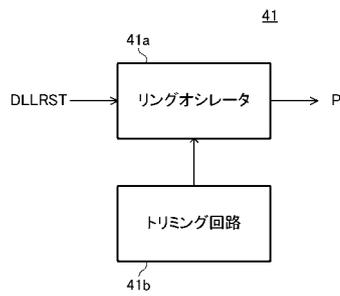
【図1】



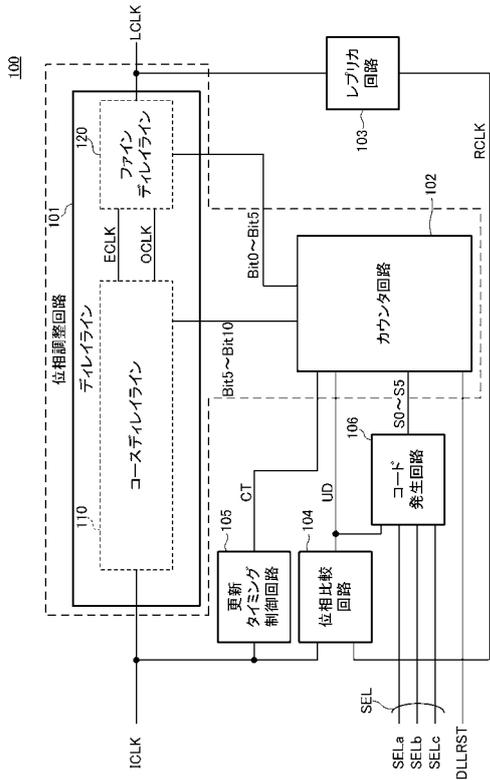
【図2】



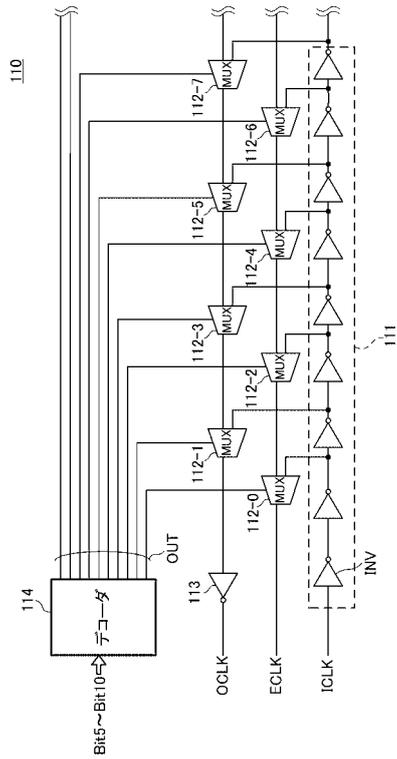
【図3】



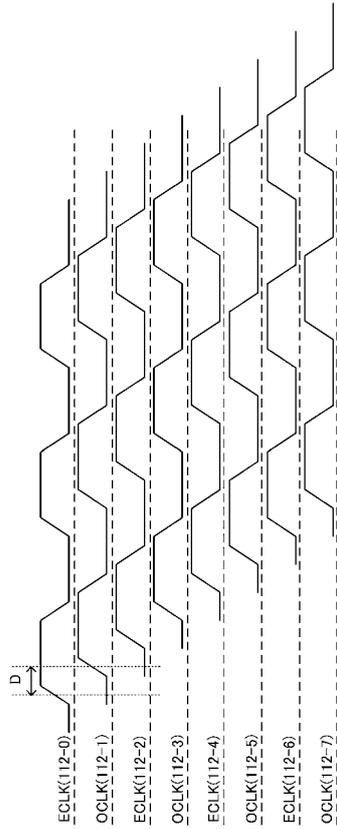
【図4】



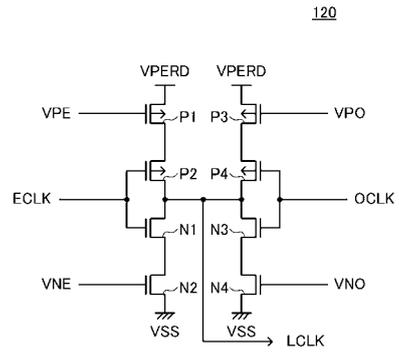
【図5】



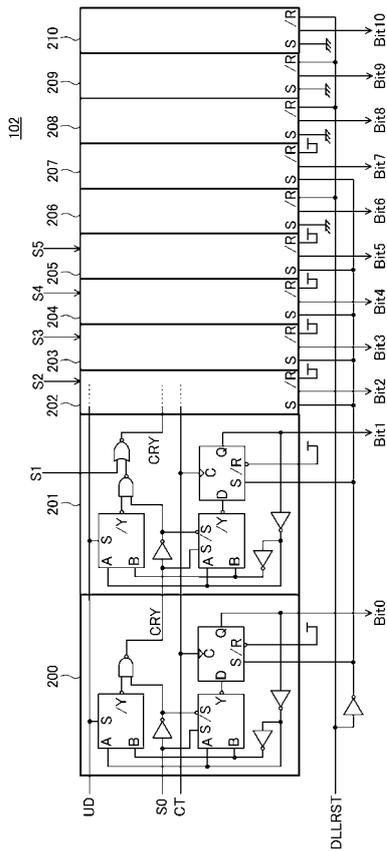
【 図 6 】



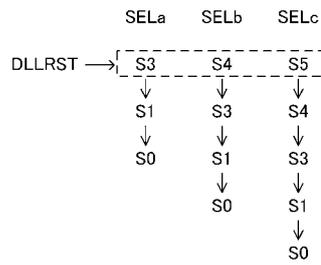
【 図 7 】



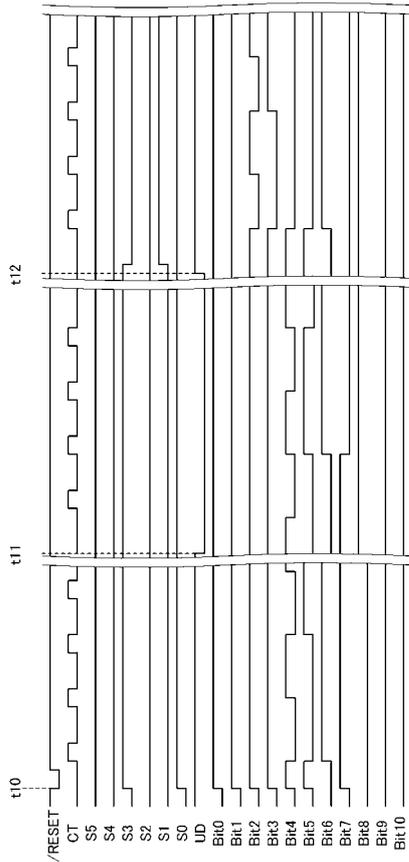
【 図 8 】



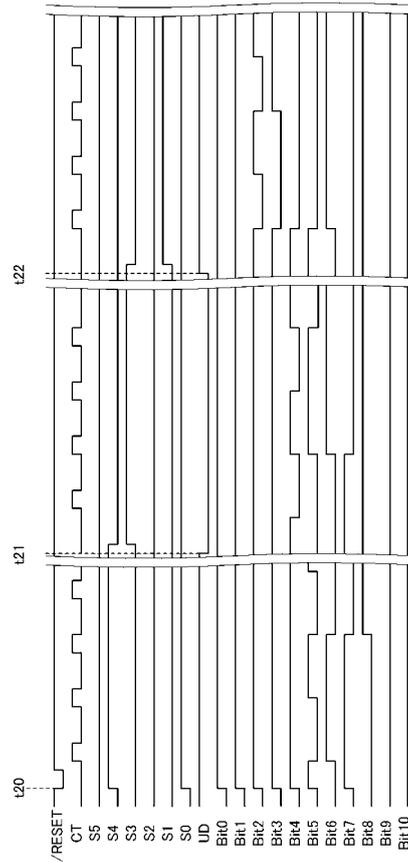
【 図 9 】



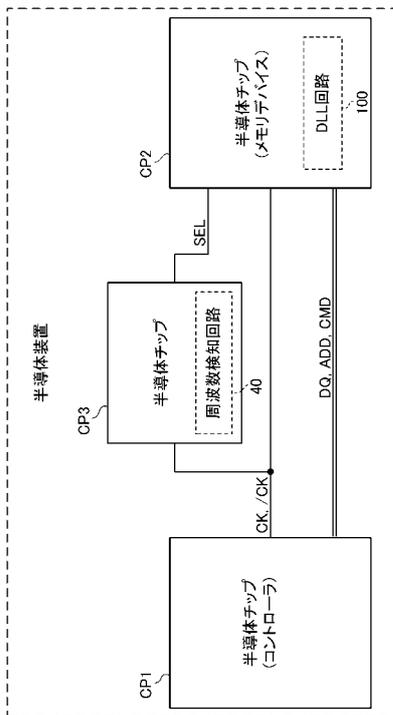
【図 1 0】



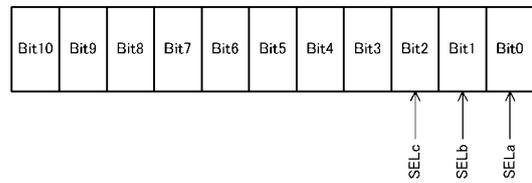
【図 1 1】



【図 1 2】



【図 1 3】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>G 0 6 F 1/08 (2006.01)</b>	G 0 6 F 1/04	3 2 0 Z
<b>G 1 1 C 11/4076 (2006.01)</b>	G 1 1 C 11/34	3 5 4 C
<b>G 1 1 C 11/407 (2006.01)</b>	G 1 1 C 11/34	3 6 2 S

Fターム(参考) 5B079 BA01 BC07 CC01 CC11 DD05 DD06 DD13  
5J001 AA11 BB14 BB20 BB21 CC03 DD08  
5J039 HH04 HH10 KK01 KK13 KK20 KK23 KK29 MM15  
5J106 AA03 CC01 CC21 CC59 DD10 DD17 DD24 DD37 DD46  
5M024 AA49 BB27 DD83 JJ02 JJ38 PP01 PP02 PP03 PP07