



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월27일
(11) 등록번호 10-2426742
(24) 등록일자 2022년07월25일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/32 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3225 (2013.01)
(21) 출원번호 10-2015-0191139
(22) 출원일자 2015년12월31일
심사청구일자 2020년12월29일
(65) 공개번호 10-2017-0080002
(43) 공개일자 2017년07월10일
(56) 선행기술조사문헌
KR1020090005651 A*
KR1020090041336 A*
KR1020150025774 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
허승욱
경기도 파주시 가운로 205, 710동 901호 (와동동, 해솔마을7단지롯데캐슬아파트)
전상익
서울특별시 송파구 올림픽로 135, 226동 2001호 (잠실동, 리센츠)
윤규상
경기도 안양시 동안구 부림로 34, 207동 1407호 (귀인동, 꿈마을우성아파트)
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 8 항

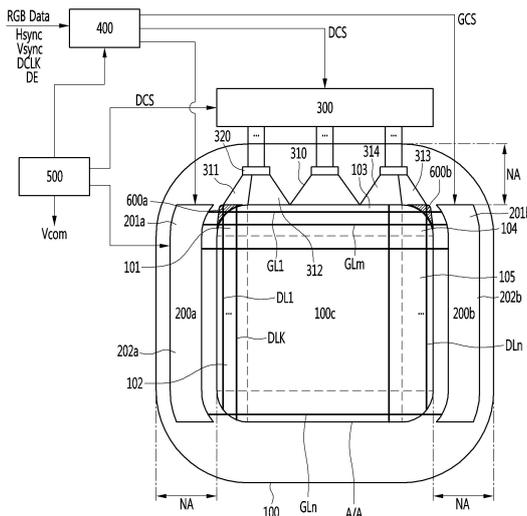
심사관 : 송원규

(54) 발명의 명칭 어레이 기판 및 이를 포함하는 표시 장치

(57) 요약

본 발명의 어레이 기판 및 이를 포함하는 표시장치에 관한 것으로, 본 발명의 일 실시예에 따르면 표시영역의 코너부가 곡선 형상인 경우에, 기생 캐패시터를 제공하는 보상부를 포함한다. 또한, 표시 영역의 코너부와 오버랩되어 배치되는 복수의 데이터 라인은 데이터 라인간 폭을 달리한다. 따라서, 표시 영역의 코너부와 오버랩되어 배치되는 각 게이트 라인 또는 데이터 라인이 갖는 기생 캐패시터의 용량 편차를 감소시키고, 데이터 라인간 저항 편차를 줄일 수 있다. 이에, 복수의 게이트 라인 혹은 복수의 데이터 라인의 신호 지연 정도가 각 게이트 라인 혹은 각 데이터 라인마다 유사하게 되어 디스플레이된 화면에 불량 발생하지 않는다.

대표도 - 도2



(52) CPC특허분류

G09G 3/3648 (2013.01)

G09G 3/3696 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

코너부가 곡선 형상인 제1 영역과, 상기 제1 영역과 인접된 제2 영역과, 상기 제1 영역과 인접되고 상기 제2 영역과 이격된 제3 영역을 포함하고, 복수의 게이트 라인 및 복수의 데이터 라인이 교차에 의해 정의되는 영역에 화소들이 배치된 표시 영역;

비표시 영역에 배치되고, 상기 표시영역의 게이트라인들로 순차적으로 스캔신호를 제공하고, 상기 제1 영역과 대응하여 곡선 형상으로 배치되는 제1 회로블럭 그룹과 상기 제2 영역과 대응하여 배치되는 제2 회로블럭 그룹을 포함하는 복수의 회로블럭을 포함하는 제1 게이트 구동회로부;

비표시 영역에 배치되고, 상기 복수의 데이터 라인과 연결되도록 배치되고, 상기 제1 영역과 대응하여 배치되는 제1 링크 배선 그룹과, 상기 제3 영역과 대응하여 배치되는 제2 링크 배선 그룹을 포함하는 복수의 데이터 링크 배선; 및

상기 제1 영역을 둘러싸는 비표시 영역에 배치되고, 상기 제1 회로블럭 그룹에서 연장된 복수의 게이트 라인과 상기 제1 링크 배선 그룹에서 연장된 복수의 데이터 라인이 교차되는 영역에 배치되어, 상기 제1 회로블럭 그룹에서 연장된 복수의 게이트 라인과 상기 제1 링크 배선 그룹에서 연장된 복수의 데이터 라인에 기생 캐패시터를 제공하는 제1 보상부;를 포함하고,

상기 제1 보상부는 상기 제1 영역의 곡선 형상을 모두 커버하도록 배치되는 어레이 기판.

청구항 2

제1 항에 있어서,

상기 제1 보상부는 상기 제1 영역과 대응하여 곡선 형상으로 배치되는 어레이 기판.

청구항 3

제1 항에 있어서,

상기 제1 보상부는 상기 화소들에 배치되는 공통전극과 동일한 재료이고 동일한 형상인 보상전극을 포함하는 어레이 기판.

청구항 4

제1 항에 있어서,

상기 표시 영역은 상기 제3 영역과 인접되고 코너부가 곡선 형상인 제4 영역과, 상기 제4 영역과 인접되고 상기 제3 영역과 이격된 제5 영역을 포함하고,

상기 복수의 데이터 링크 배선은, 상기 제4 영역과 대응하여 배치되는 제3 링크 배선 그룹과, 상기 제3 영역과 대응하여 배치되는 제4 링크 배선 그룹을 포함하고,

비표시 영역에 배치되고, 상기 표시영역의 게이트라인들로 순차적으로 스캔신호를 제공하고, 상기 제4 영역과 대응하여 곡선 형상으로 배치되는 제3 회로블럭 그룹과 상기 제5 영역과 대응하여 배치되는 제4 회로블럭 그룹을 포함하는 복수의 회로블럭을 포함하는 제2 게이트 구동회로부; 및

비표시 영역에 배치되고, 상기 제3 회로블럭 그룹에서 연장된 복수의 게이트 라인과 상기 제3 링크 배선 그룹에서 연장된 복수의 데이터 라인이 교차되는 영역에 배치되어, 상기 제3 회로블럭 그룹에서 연장된 복수의 게이트 라인과 상기 제3 링크 배선 그룹에서 연장된 복수의 데이터 라인에 기생 캐패시터를 제공하는 제2 보상부;를 더 포함하는 어레이 기판.

청구항 5

제1 항에 있어서,

상기 제1 링크 배선 그룹에서 연장된 복수의 데이터 라인은 상기 제2 링크 배선 그룹에서 연장된 복수의 데이터 라인과 저항 크기가 동일한 어레이 기판.

청구항 6

제1 항에 있어서,

상기 제1 링크 배선 그룹에서 연장된 복수의 데이터 라인의 폭은 상기 제2 링크 배선 그룹에서 연장된 복수의 데이터라인의 폭 보다 더 큰 어레이 기판.

청구항 7

제1 항 내지 제6 항 중 어느 하나의 항에 의한 어레이 기판;

상기 복수의 데이터 링크 배선에 데이터 전압을 공급하는 데이터 구동회로부;

상기 게이트 구동회로부와 상기 데이터 구동회로부에 제어신호를 제공하는 타이밍 콘트롤러; 및

상기 어레이 기판에 공통전압을 제공하는 전원공급부;를 포함하는 표시장치.

청구항 8

제7 항에 있어서,

상기 전원 공급부에 연결되어 상기 전원 공급부로부터 공통전압을 공급받는 공통전압 단자 및 상기 공통전압 단자로부터 공통전압을 공급받는 공통전압 라인을 더 포함하고,

상기 공통전압 라인은 상기 어레이 기판의 테두리를 따라 배치되고, 게이트 라인 또는 데이터 라인의 끝단과 오버랩되도록 배치되는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 게이트-인-패널(Gate-In-Panel) 방식이고 화면의 코너부가 곡선을 이루는 형상인 표시장치의 어레이 기판 및 이를 포함하는 표시장치에 관한 것으로, 특히, 게이트 라인과 데이터 라인의 기생 캐패시터 및 데이터 라인의 저항을 보상함으로써 화면의 품질이 상승된 어레이 기판 및 이를 포함하는 표시장치에 관한 것이다.

배경 기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 점차 증대되고 있다.

[0003] 평판 표시 장치로는 액정 표시 장치(LCD: Liquid Crystal Display apparatus), 플라즈마 표시 패널(PDP: Plasma Display Panel), 전계 방출 표시 장치(FED: Field Emission Display apparatus), 유기발광 다이오드 표시 장치(OLED: Organic Light Emitting Diode Display apparatus) 등이 연구되고 있다.

[0004] 액정표시장치(Liquid Crystal Display Device) 및 유기 발광장치(Organic Light Emitting Device) 등과 같은 표시 장치는 박막 트랜지스터(TFT: Thin Film Transistor)를 포함하는 어레이 기판을 필수구성요소로 포함하고 있다. 구체적으로, 상기 액정표시장치의 경우는 어레이 기판, 상기 어레이 기판과 대향하는 컬러 필터 기판 및 상기 양 기판 사이에 형성된 액정층을 포함하여 이루어지고, 상기 유기 발광장치는 어레이 기판 및 상기 어레이 기판 상에 형성된 발광층을 포함하여 이루어진다.

[0005] 이와 같은 어레이 기판은 다수의 배선들 및 상기 다수의 배선들을 구동회로에 연결하기 위한 다수의 링크들을 포함하여 이루어지는데, 이하 도면을 참조로 종래의 어레이 기판에 대해서 설명하기로 한다.

[0006] 도 1은 종래의 어레이 기판의 개략적인 평면도이다.

[0007] 어레이 기판(1)은 복수의 게이트 라인(GL) 및 데이터 라인(DL)에 의해 교차되어 복수의 화소(2)를 정의한다, 상기 복수의 화소(2) 각각은 화소전극(3) 및 공통전극(4)이 배치된다. 어레이 기판(1)은 외부로부터 입력된 전압

을 변환하여 다수의 공급 전압을 출력하는 전원공급부(미도시)와, 상기 전원공급부의 공통전압(Vcom)을 공통전극(4)에 공급하는 공통전압 라인(5)을 포함한다. 또한, 어레이 기판(1)은 화상이 디스플레이 되는 표시 영역(AA)과, 비 표시 영역으로써 게이트 구동회로부(11)와 데이터 패드(13)가 배치되는 비표시영역(NA)을 포함한다.

[0008] 데이터 구동회로부(미도시)는 PCB(Printed Circuit Board) 또는 COF(chip on film)에 배치될 수 있으며, FPC(flexible printed circuit)를 통해 데이터 패드(13)와 연결될 수 있다. 상기 데이터 패드(13)는 데이터 링크배선(14)을 통해 데이터 라인(DL)과 연결될 수 있다. 데이터 구동회로부는 데이터패드(13) 및 데이터 링크배선(14)을 통해 데이터 라인(DL)에 데이터 전압을 공급한다.

[0009] 게이트 구동회로부(11)는 각 화소에 형성된 박막 트랜지스터(TFT)를 턴온(turn-on) 시키기 위한 스캔 신호(게이트 구동 신호)를 복수의 게이트 라인들 각각에 순차적으로 공급한다. 이를 통해, 어레이 기판(1)의 화소들을 순차적으로 구동시킨다. 이를 위해, 게이트 구동회로부(11)는 쉬프트 레지스터 및 쉬프트 레지스터의 출력신호를 박막 트랜지스터의 구동에 적합한 스윙 폭으로 변환하기 위한 레벨 쉬프터를 포함하는 복수의 회로블럭(12)을 포함하여 구성된다. 표시장치는 아몰퍼스 실리콘(a-Si)을 이용하여 어레이 기판(1)의 하부 기판(어레이 기판) 상에 박막 트랜지스터(TFT)를 배치함과 아울러, 게이트 구동회로부(11)를 표시 패널에 집적화시키는 방식, 즉, 표시 패널에 게이트 구동회로부(11)를 내장시키는 GIP(Gate In Panel) 방식이 적용되고 있다. 이때, 게이트 구동회로부(11)는 어레이 기판의 비표시 영역(NA) 좌우측에 GIP 방식으로 배치될 수 있다.

[0010] 도 1과 같은 일반적인 직사각형 형상의 화면을 가지는 표시장치와는 달리 디자인 차별화를 위하여 화면의 코너부가 곡선을 이루는 형상인 표시장치가 연구되고 있다. 화면의 코너부가 곡선을 이루는 형상인 표시장치는, 특히 GIP 방식의 표시장치에서, 일반적인 직사각형 형상의 화면을 가지는 표시장치와는 다르게 어레이 기판의 코너부 부분에서 게이트 구동회로부의 회로블럭을 곡선 형상에 대응하여 배치한다. 이에 따라, 화면의 코너부가 곡선을 이루는 형상인 표시장치의 복수의 게이트 라인들 각각에 배치되는 기생 캐패시터를 발생시키는 화소들의 숫자가 달라진다. 또한, 화면의 코너부가 곡선을 이루는 형상인 표시장치는 일반적인 직사각형 형상의 화면을 가지는 표시장치와는 다르게 어레이 기판의 코너부 부분에서 데이터 라인 각각의 길이가 다르게 배치된다.

[0011] 따라서, 각 게이트 라인(GL) 또는 데이터 라인(DL)마다 형성되는 기생 캐패시터 및 각 데이터 라인(DL)마다 형성되는 라인 저항은 각 라인마다 다르게 된다. 즉, 게이트 라인(GL)을 통해 각 화소(2)에 전달되는 신호가 지연되는 정도가 각 게이트 라인(GL)마다 달라서 디스플레이된 화면에 불량이 발생하게 된다. 또한, 데이터 라인(DL)을 통해 각 화소(2)에 전달되는 데이터 신호가 지연되는 정도가 각 데이터 라인(DL)마다 달라서 디스플레이된 화면에 불량이 발생하게 된다.

발명의 내용

해결하려는 과제

[0012] 이에 본 발명은 GIP 방식이고 화면의 코너부가 곡선 형상인 표시장치에서 각 게이트 라인 또는 데이터 라인이 갖는 기생 캐패시터 편차 및 데이터 라인의 저항 편차를 감소하여 디스플레이된 화면의 품질이 향상된 액정표시장치를 제공하는 것이다.

과제의 해결 수단

[0013] 상술한 과제 해결 수단으로서, 코너부가 곡선 형상인 제1 영역과, 제1 영역과 인접된 제2 영역과, 제1 영역과 인접되고 제2 영역과 이격된 제3 영역을 포함하고, 복수의 게이트 라인 및 복수의 데이터 라인이 교차에 의해 정의되는 영역에 화소들이 배치된 표시 영역과, 비표시 영역에 배치되고, 표시영역의 게이트라인들로 순차적으로 스캔신호를 제공하고, 제1 영역과 대응하여 곡선 형상으로 배치되는 제1 회로블럭 그룹과 제2 영역과 대응하여 배치되는 제2 회로블럭 그룹을 포함하는 복수의 회로블럭을 포함하는 제1 게이트 구동회로부와, 비표시 영역에 배치되고, 복수의 데이터 라인과 연결되도록 배치되고, 제1 영역과 대응하여 배치되는 제1 링크 배선 그룹과, 상기 제3 영역과 대응하여 배치되는 제2 링크 배선 그룹을 포함하는 복수의 데이터 링크 배선 및 비표시 영역에 배치되고, 제1 회로블럭 그룹에서 연장된 복수의 게이트 라인과 제1 링크 배선 그룹에서 연장된 복수의 데이터 라인이 교차되는 영역에 배치되어, 제1 회로블럭 그룹에서 연장된 복수의 게이트 라인과 제1 링크 배선 그룹에서 연장된 복수의 데이터 라인에 기생 캐패시터를 제공하는 제1 보상부를 포함하는 어레이 기판을 제공할 수 있다. 따라서, 본 발명은, 화면의 코너부가 곡선 형상인 표시장치에서 표시 영역의 코너부 영역과 오버랩되어 배치되는 각 게이트 라인 또는 데이터 라인이 갖는 기생 캐패시터의 용량 편차를 감소시킬 수 있다.

[0014] 또 다른 본 발명의 실시 예에 따른 어레이 기판에 있어서, 제1 링크 배선 그룹에서 연장된 복수의 데이터 라인

의 폭은 제2 링크 배선 그룹에서 연장된 복수의 데이터라인의 폭 보다 더 클 수 있다. 따라서, 본 발명은, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 데이터 라인에 내측에 배치된 데이터 라인과 비교하여 저항 편차가 줄어 든다.

발명의 효과

- [0015] 본 발명에 의하면, 어레이 기판은 화면의 코너부가 곡선 형상인 표시장치에서 표시 영역의 코너부 영역과 오버랩되어 배치되는 각 게이트 라인 또는 데이터 라인이 갖는 기생 캐패시터의 용량 편차를 감소시킬 수 있다.
- [0016] 또한, 본 발명은, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 데이터 라인은 내측에 배치된 데이터 라인과 비교하여 저항 편차가 줄어 든다.
- [0017] 또한, 본 발명은, 복수의 게이트 라인 혹은 복수의 데이터 라인의 신호 지연 정도가 각 게이트 라인 혹은 각 데이터 라인마다 유사하게 되어 디스플레이된 화면에 불량 발생하지 않는다.

도면의 간단한 설명

- [0018] 도 1은 종래의 어레이 기판의 개략적인 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시장치를 간략히 나타내는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 어레이 기판을 도시한 평면도이다.
- 도 4는 본 발명의 일 실시예에 따른 게이트 라인의 기생 캐패시터의 용량을 나타낸 모습이다.
- 도 5는 본 발명의 일 실시예에 따른 데이터 라인의 기생 캐패시터의 용량을 나타낸 모습이다.
- 도 6은 본 발명의 다른 실시예에 따른 데이터 라인의 라인 폭을 나타낸 모습이다.
- 도 7은 본 발명에 따른 어레이 기판이 적용되는 액정표시장치의 개략도이다.
- 도 8은 본 발명에 따른 어레이 기판이 적용되는 유기발광표시장치의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 다음에 소개되는 실시 예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.
- [0020] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이다. 또한, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장될 수 있다.
- [0021] 소자(element) 또는 층이 다른 소자 또는 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않는 것을 나타낸다.
- [0022] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해 되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함 할 수 있다.
- [0023] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며, 따라서 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이

상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

- [0024] 도 2는 본 발명의 일 실시예에 따른 표시장치를 간략히 나타내는 도면이고, 도 3은 본 발명의 일 실시예에 따른 어레이 기판을 도시한 평면도이다.
- [0025] 도 2는 설명의 편의를 위하여 표시장치의 디스플레이 패널을 구성하는 상부기판과 하부기판 중에서 하부기판인 박막 트랜지스터(TFT)를 포함하는 어레이 기판만을 도시하였다.
- [0026] 도 2에 도시한 상기 어레이 기판(100)은 코너부가 곡선인 형상을 가지지만, 본 발명이 이에 한정되는 것은 아니며 본 발명에 따른 어레이 기판(100)의 형상은 본 발명의 요지를 벗어나지 않는 범위 내에서 반원 또는 원형 등 다양한 형상일 수 있다.
- [0027] 본 발명의 표시 장치는 화소들이 매트릭스 형태로 배열된 어레이 기판(100)과, 상기 어레이 기판(100)을 구동시키기 위한 구동부를 포함한다.
- [0028] 어레이 기판(100)은 화상이 디스플레이 되는 표시 영역(A/A)과 비 표시 영역으로써 제1 및 제2 게이트 구동회로부(200a, 200b)를 포함하는 게이트 구동회로부, 데이터 패드(320) 및 데이터 링크배선(310)이 배치되는 비표시 영역(NA)을 포함한다. 또한, 상기 어레이 기판(100)은 외부로부터 입력된 전압을 변환하여 다수의 공급 전압을 출력하는 전원공급부(500)를 포함한다. 상기 어레이 기판(100)은 게이트라인들(GL 1 내지 GL n)과 데이터라인들(DL 1 내지 DL m)이 매트릭스 형태로 교차되고, 교차 지점에 복수의 화소들(도 3의 P)을 정의한다. 모든 화소들(P)은 하나의 표시 영역(A/A)을 이루게 된다. 상기 표시 영역(A/A)은 코너부가 모두 곡선인 사각형 형상이다. 또한, 상기 표시 영역(A/A)은 중앙 영역(100c)과 상기 중앙 영역(100c)의 외곽영역인 제1 내지 제5 영역(101 내지 105)을 포함한다. 상기 중앙 영역(100c)은 표시 영역(A/A)의 중앙에서 코너부가 모두 직선인 직사각형 형상이다. 상기 제1 영역(101)은 상기 중앙영역(100c)의 일측 코너와 인접하며 부채꼴 형상이다. 즉, 상기 제1 영역(101)은 코너부가 곡선형상이고 상기 제2 영역(102)과 인접된다. 상기 제2 영역(102)은 상기 중앙 영역(100c)의 외곽에 위치하고 제1 게이트 구동회로(200a)와 인접하며 코너가 모두 직선인 직사각형 형상이다. 또한, 상기 제2 영역(102)은 상기 제1 영역(101)과 인접되고 상기 제3 영역(103)과 이격된다. 상기 제3 영역(103)은 상기 중앙 영역(100c)의 외곽에 위치하고 데이터 링크배선(310)과 인접하며 코너가 직선인 직사각형 형상이다. 또한, 상기 제3 영역(103)은 상기 제1 영역(101)과 인접되고 상기 제2 영역(102)과 이격된다. 상기 제4 영역(104)은 상기 중앙영역(100c)의 타측 코너와 인접하며 부채꼴 형상이다. 즉, 상기 제4 영역(104)은 상기 제3 영역(103)과 인접되고 코너부가 곡선 형상이다. 상기 제5 영역(105)은 상기 중앙 영역(100c)의 외곽에 위치하고 제2 게이트 구동회로(200b)와 인접하며 코너가 모두 직선인 직사각형 형상이다. 또한, 상기 제5 영역(105)은 상기 제4 영역(104)과 인접되고 상기 제3 영역과 이격된다. 또한, 어레이 기판(100)은 복수의 게이트 라인 사이와 복수의 데이터 라인 사이의 기생 캐패시터 용량의 편차를 감소시키기 위한 제1 및 제2 보상부(600a, 600b)를 포함할 수 있다.
- [0029] 상기 구동부는 타이밍 콘트롤러(400)와, 데이터 구동회로부(300) 및 게이트 구동회로부를 포함한다. 상기 타이밍 콘트롤러(400)는 외부시스템으로부터 타이밍 신호를 인가 받아 각종 제어신호를 생성할 수 있다. 상기 데이터구동 회로부(300)와 게이트 구동회로부는 상기 제어신호에 대응하여 어레이 기판(100)을 제어할 수 있다.
- [0030] 타이밍 콘트롤러(400)는 외부시스템으로부터 전송되는 영상신호(RGB)와, 클럭신호(DCLK), 수평동기신호(Hsync), 수직동기신호(Vsync) 및 데이터 인에이블 신호(DE)등의 타이밍 신호를 인가 받아 데이터 구동회로부(300)와 게이트 구동회로부의 제어신호를 생성한다.
- [0031] 여기서, 수평동기신호(Hsync)는 화면의 한 수평선을 표시하는 데 걸리는 시간을 나타내는 신호이고, 수직동기신호(Vsync)는 한 프레임의 화면을 표시하는 데 걸리는 시간을 나타내는 신호이다. 또한, 데이터 인에이블 신호(DE)는 어레이 기판(100)에 정의된 화소(P)에 데이터전압을 공급하는 기간을 나타내는 신호이다.
- [0032] 또한, 한편, 타이밍 콘트롤러(400)는 외부의 시스템과 소정의 인터페이스를 통해 연결되어 그로부터 출력되는 영상관련 신호와 타이밍신호를 잡음 없이 고속으로 수신하도록 설계되어 있다. 이러한 인터페이스로는 LVDS(Low Voltage Differential Signal)방식 또는 TTL(Transistor-Transistor Logic) 인터페이스 방식 등이 있다.
- [0033] 또한, 타이밍 콘트롤러(400)는 입력되는 타이밍 신호에 동기하여 데이터 구동회로부(300)의 제어신호(DCS) 및 게이트 구동회로부의 제어신호(GCS)를 생성한다.
- [0034] 그 밖에 타이밍 콘트롤러(400)는 게이트 구동회로부의 각 스테이지의 구동 타이밍을 결정하는 복수의 클럭신호를 생성하고, 게이트 구동회로부에 제공한다. 그리고, 타이밍 콘트롤러(400)는 입력 받은 영상데이터(RGB DAT

A)를 데이터 구동회로부(300)가 처리 가능한 형태로 정렬 및 변조하여 출력한다. 여기서, 정렬된 영상데이터는 화질개선을 위한 색좌표 보정 알고리즘이 적용된 형태일 수 있다. 또한 상기 게이트 구동회로부의 제어신호(GCS)는 게이트 개시신호(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock) 및 게이트 출력 인에이블(Gate Output Enable)등이 있다.

[0035] 다음으로, 데이터 구동회로부(300)는 PCB(Printed Circuit Board) 또는 COF(chip on film)에 형성될 수 있으며, FPC(flexible printed circuit)를 통해 상기 어레이기판(100)에 배치된 데이터 패드(320)와 연결될 수 있다. 데이터 구동회로부(300)는 타이밍 컨트롤러(400)로부터의 소스 스타트 펄스(Source Start Pulse; SSP)를 소스 쉬프트 클럭(Source Shift Clock; SSC)에 따라 쉬프트시켜 샘플링 신호를 발생한다. 그리고, 데이터 구동회로부(300)는 소스 쉬프트 클럭(SSC)에 따라 입력되는 영상 데이터를 샘플링 신호에 따라 래치하여, 데이터 신호로 변경한다. 이후, 데이터 구동회로부(300)는 소스 출력 인에이블(Source Output Enable; SOE) 신호에 응답하여 수평 라인 단위로 데이터 신호를 데이터 패드(320) 및 데이터 링크배선(310)을 통하여 데이터라인(DL)들에 공급한다. 이를 위해 데이터 구동회로부(300)는 데이터 샘플링부, 래치부, 디지털 아날로그 변환부 및 출력버퍼 등을 포함할 수 있다.

[0036] 복수의 데이터 링크 배선(310)은 비표시 영역(NA)에 배치되고, 복수의 데이터 라인(DL 1 내지 DL m) 및 데이터 패드(320)와 연결되도록 배치된다. 또한, 복수의 데이터 링크 배선(310)은 제1 영역(101)과 대응하여 배치되는 제1 링크 배선 그룹(311)과, 상기 제1 영역과 인접하고 제3 영역(103)과 대응하여 배치되는 제2 링크 배선 그룹(312)을 포함한다. 즉, 상기 제1 링크 배선 그룹(311)은 표시영역(A/A)의 코너부가 곡선 형상인 제1 영역(101)에 배치된 데이터 라인들(DL 1 내지 DL K)과 연결되도록 배치된다. 상기 제2 링크 배선 그룹(312)은 표시영역(A/A)의 중앙부의 데이터 라인들(DL K+1 등)과 연결되도록 배치된다. 또한, 복수의 데이터 링크 배선(310)은 제4 영역(104)과 대응하여 배치되는 제3 링크 배선 그룹(313)과, 상기 제4 영역(104)과 인접하고 제3 영역(103)과 대응하여 배치되는 제4 링크 배선 그룹(314)을 포함한다. 즉, 상기 제3 링크 배선 그룹(313)은 표시영역(A/A)의 코너부가 곡선 형상인 제4 영역(104)에 배치된 데이터 라인들(DL n 등)과 연결되도록 배치된다. 상기 제4 링크 배선 그룹(314)은 표시영역(A/A)의 중앙부의 데이터 라인들과 연결되도록 배치된다.

[0037] 게이트 구동회로부는 각 화소(P)에 형성된 박막 트랜지스터(115)를 턴온(turn-on) 시키기 위한 스캔 신호(게이트 구동 신호)를 복수의 게이트 라인들(GL) 각각에 순차적으로 공급한다. 이를 통해, 어레이 기판(100)의 화소들(P)을 순차적으로 구동시킨다. 이를 위해, 게이트 구동회로부는 쉬프트 레지스터 및 쉬프트 레지스터의 출력 신호를 박막 트랜지스터(115)의 구동에 적합한 스윙 폭으로 변환하기 위한 레벨 쉬프터를 포함하는 복수의 회로블럭(도 3의 201, 202)을 포함하여 구성된다. 아몰퍼스 실리콘(a-Si)을 이용하여 어레이 기판(100) 상에 박막 트랜지스터(115)를 배치함과 아울러, 게이트 구동회로부를 표시 패널에 집적화시키는 방식, 즉, 표시 패널에 게이트 구동회로부를 내장시키는 GIP(Gate In Panel) 방식이 적용되고 있다. 이때, 게이트 구동회로부는 어레이 기판의 비표시 영역(NA) 좌우측에 GIP 방식으로 배치될 수 있다. 즉, 게이트 구동회로부는 비표시영역(NA)의 일측에 배치된 제1 게이트 구동회로부(200a)와 비표시영역(NA)의 타측에 배치된 제2 게이트 구동회로부(200b)를 포함할 수 있다.

[0038] 상기 제1 게이트 구동회로부(200a)는 제1 영역(101)과 대응하여 곡선 형상으로 배치되는 제1 회로블럭 그룹(201a)과 제2 영역(102)과 대응하여 직선 형상으로 배치되는 제2 회로블럭 그룹(202a)을 포함한다. 즉, 상기 제1 회로블럭 그룹(201a)은 코너부가 곡선 형상인 표시영역의 제1 영역(101)과 대응하여 곡선 형상으로 배치될 수 있다. 상기 제2 회로블럭 그룹(202a)은 일반적인 표시장치의 배치와 같이 직선 형상으로 배치될 수 있다. 마찬가지로, 제2 게이트 구동회로부(200b)는 제4 영역(104)과 대응하여 곡선 형상으로 배치되는 제3 회로블럭 그룹(201b)과 제5 영역(105)과 대응하여 직선 형상으로 배치되는 제4 회로블럭 그룹(202b)을 포함할 수 있다.

[0039] 도 3을 참조하면, 도 3은 제1 보상부(600a)를 설명하기 위하여 어레이 기판(100)을 확대한 평면도이다. 도시하지 않은 제2 보상부(600b)는 이하 제1 보상부(600a)에 관한 설명과 동일하게 적용된다.

[0040] 제1 보상부(600a)는 비표시 영역(NA)에 배치된다. 상기 제1 보상부(600a)는 제1 회로블럭 그룹(201a)에서 연장된 복수의 게이트 라인(GL1 내지 GL m)과 제1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL1 내지 DL k)이 교차되는 영역에 배치된다. 보다 상세하게는, 상기 제1 보상부(600a)는 제1 영역(101)과 대응하여 곡선 형상으로 배치될 수 있다. 즉, 상기 제1 보상부(600a)는 상기 제1 회로블럭 그룹(201a)과 표시영역(A/A)의 제1 영역(101) 사이의 비표시 영역에 배치될 수 있다. 또한, 상기 제1 보상부(600a)는 상기 제1 링크 배선 그룹(311)과 표시영역(A/A)의 제1 영역(101) 사이의 비표시 영역에 배치될 수 있다. 상기 제1 보상부(600a)는 상기 제1 회로블럭 그룹(201a)에서 연장된 복수의 게이트 라인(GL1 내지 GL m)과 상기 제1 링크 배선 그룹(311)에서 연장

된 복수의 데이터 라인(DL1 내지 DL k)에 기생 캐패시터를 제공할 수 있다. 따라서, 본 발명은 화면의 코너부가 곡선 형상인 표시장치에서 표시 영역의 코너부 영역과 오버랩되어 배치되는 각 게이트 라인 또는 데이터 라인이 갖는 기생 캐패시터의 용량 편차를 감소시킬 수 있다.

- [0041] 제1 보상부(600a)가 상기 제1 회로블럭 그룹(201a)에서 연장된 복수의 게이트 라인(GL1 내지 GL m)과 상기 제1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL1 내지 DL k)에 기생 캐패시터를 제공하는 것을 구체적으로 살펴본다.
- [0042] 각 화소(P)에는 화소전극(113)과 공통전극(104a)이 마련된다. 상기 공통전극(104a)은 상기 화소전극(113)과 엇갈려 교차하도록 배치된다.
- [0043] 상기 공통전극(104a)은 공통전압 라인(105)에서 분기된 공통라인(105a)으로부터 공통전압(Vcom)이 공급된다. 상기 공통전압 라인(105)은 어레이 기관(10)의 테두리를 따라 배치되며, 게이트 라인(GL) 또는 데이터 라인(DL)의 끝단과 오버랩되도록 배치된다. 여기서, 공통전압 라인(105)은 공통전압 단자(110)로부터 공통전압(Vcom)이 공급되며, 상기 공통전압 단자(110)는 전원공급부(500)로부터 공통전압(Vcom)을 공급받는다.
- [0044] 제1 회로블럭 그룹(201a)에서 연장된 복수의 게이트 라인(GL1 내지 GL m)은 종래의 직각 형상의 표시장치와 달리 각각의 게이트 라인에 배치되는 화소(P)의 수가 줄어 든다. 이에 따라, 제1 회로블럭 그룹(201a)에서 연장된 복수의 게이트 라인(GL1 내지 GL m)은 전압차가 발생하는 공통전극(104a) 등이 각각 게이트 라인들 마다 다르게 배치되어 기생캐패시터의 용량의 편차가 발생한다. 이를 해결하기 위하여, 본 발명은 제1 회로블럭 그룹(201a)에서 연장된 복수의 게이트 라인(GL1 내지 GL m)과 오버랩되는 제1 보상부(600a)에 보상전극(104b)을 배치하여 공통전압 라인(105)에서 분기된 공통라인(105a)으로부터 공통전압(Vcom)을 공급한다. 이로 인하여, 제1 보상부(600a)는 기생 캐패시터의 용량이 상대적으로 적은 복수의 게이트 라인(GL1 내지 GL m)에 기생 캐패시터를 제공할 수 있고 각 게이트 라인들의 기생 캐패시터의 편차를 감소시킬 수 있다.
- [0045] 제1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL1 내지 DL k)은, 종래의 직각 형상의 표시장치와 달리 각각의 데이터 라인에 배치되는 화소(P)의 수도 줄어들고 각각의 데이터 라인의 길이가 달라진다. 또한, 제1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL1 내지 DL k)은 곡선 형상의 제1 영역(101)에 대응하여 배치하면 서로 간격이 좁게 배치될 수 있다. 제 1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL1 내지 DL k) 중 내측에 배치된 데이터 라인들(예를 들어 DL 1, DL 2 등)은 라인 길이가 다른 데이터 라인들보다 길어 오히려 기생 캐패시터의 용량이 클 수 있다. 제 1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL1 내지 DL k) 중 내측에 배치된 데이터 라인들(예를 들어 DL K-1, DL K)은 전압차를 발생하는 공통전극(104a) 등이 다른 데이터 라인들보다 적게 배치되어 기생 캐패시터의 용량이 작다. 이를 해결하기 위하여, 본 발명은 제 1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL1 내지 DL k)과 오버랩되는 제1 보상부(600a)에 보상전극(104b)을 배치하여 공통전압 라인(105)에서 분기된 공통라인(105a)으로부터 공통전압(Vcom)을 공급한다. 이로 인하여, 제1 보상부(600a)는 기생 캐패시터의 용량이 상대적으로 적은 복수의 데이터 라인(DL1 내지 DL k)에 기생 캐패시터를 제공할 수 있고, 각 데이터 라인들의 기생 캐패시터의 편차를 감소시킬 수 있다.
- [0046] 마찬가지로, 제2 보상부(600b)는 비표시 영역(NA)에 배치될 수 있다. 상기 제2 보상부(600b)는 제3 회로블럭 그룹(201b)에서 연장된 복수의 게이트 라인(GL1 내지 GL m)과 제3 링크 배선 그룹(313)에서 연장된 복수의 데이터 라인(DL n 등)이 교차되는 영역에 배치될 수 있다. 또한, 상기 제2 보상부(600b)는 제3 회로블럭 그룹(210b)에서 연장된 복수의 게이트 라인(GL1 내지 GL m)과 제3 링크 배선 그룹(313)에서 연장된 복수의 데이터 라인(DL n 등)에 기생 캐패시터를 제공할 수 있다. 따라서, 본 발명은 화면의 코너부가 곡선 형상인 표시장치에서 표시 영역(A/A)의 코너부와 오버랩되어 배치되는 각 게이트 라인 또는 데이터 라인이 갖는 기생 캐패시터의 용량 편차를 감소시킬 수 있다.
- [0047] 또한, 보상전극(104b)은 화소들(P)에 배치되는 공통전극(104a)과 동일한 재료이고 동일한 형상일 수 있다. 즉, 보상전극(104b)은 공통전극(104a)과 동일한 공정으로 배치될 수 있다. 이로 인하여, 본 발명은 추가적인 공정이나 재료가 발생하지 않고 게이트 라인들과 데이터 라인들의 기생 캐패시터의 용량 편차를 줄일 수 있다.
- [0048] 따라서, 본 발명은, 복수의 게이트 라인 혹은 복수의 데이터 라인의 신호 지연 정도가 각 게이트 라인 혹은 각 데이터 라인마다 유사하게 되어 디스플레이된 화면에 불량이 발생하지 않는다.
- [0049] 도 4는 본 발명의 실시예에 따른 게이트 라인의 기생 캐패시터의 용량을 나타낸 모습이고, 도 5는 본 발명의 실시예에 따른 데이터 라인의 기생 캐패시터의 용량을 나타낸 모습이다.
- [0050] 도 4는, 본 발명의 게이트 라인들의 기생 캐패시터의 용량의 편차가 줄어드는 모습을 보여준다. 점선은 종래의

곡선 형상의 표시장치에서 게이트 라인 마다의 기생 캐패시터의 용량을 보여 준다. 실선은 본 발명의 곡선 형상의 표시장치에서 게이트 라인 마다의 기생 캐패시터의 용량을 보여 준다.

- [0051] 종래의 곡선 형상의 표시장치의 경우, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 게이트 라인(GL1 내지 GL m)은 공통전극과 같이 전압 차를 발생시키는 구성이 적다. 따라서, 종래의 곡선 형상의 표시장치의 상기 오버랩되는 게이트 라인들은 오버랩되지 않은 다른 게이트 라인들보다 기생 캐패시터의 용량이 작다.
- [0052] 본 발명의 표시장치의 경우, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 게이트 라인(GL1 내지 GL m)은 제1 보상부(600a)의 보상전극(104b)에서 제공된 기생 캐패시터를 제공받는다. 따라서, 본 발명의 표시장치에서, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 게이트 라인(GL1 내지 GL m)과 나머지 게이트 라인들(GL m+1 등)은 서로 기생 캐패시터의 용량 편차가 감소된다.
- [0053] 따라서, 본 발명은, 복수의 게이트 라인 혹은 복수의 데이터 라인의 신호 지연 정도가 각 게이트 라인 혹은 각 데이터 라인마다 유사하게 되어 디스플레이된 화면에 불량 발생하지 않는다.
- [0054] 도 5는, 본 발명의 데이터 라인들의 기생 캐패시터의 용량의 편차가 줄어드는 모습을 보여준다. 점선은 종래의 곡선 형상의 표시장치에서 데이터 라인 마다의 기생 캐패시터의 용량을 보여 준다. 실선은 본 발명의 곡선 형상의 표시장치에서 데이터 라인 마다의 기생 캐패시터의 용량을 보여 준다.
- [0055] 종래의 곡선 형상의 표시장치의 경우, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 데이터 라인은 공통전극과 같이 전압 차를 발생시키는 구성이 적다. 종래의 곡선 형상의 표시장치의 상기 오버랩되는 데이터 라인들은 내측에 배치된 다른 데이터 라인들보다 기생 캐패시터의 용량이 작을 수 있다. 아울러, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 데이터 라인 중 외곽에 배치된 데이터 라인들(예를 들어 DL1, DL2)은 다른 데이터 라인들보다 라인 길이가 길어 인접라인간 전압차에 의해 오히려 기생 캐패시터의 용량이 클 수 있다.
- [0056] 본 발명의 표시장치의 경우, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 데이터 라인(DL1 내지 DL k)은 제1 보상부(600a)의 보상전극(104b)에서 제공된 기생 캐패시터를 제공받는다. 특히, 곡선 형상의 코너부와 오버랩 되는 데이터 라인들 중 마지막 데이터 라인(DL k)이 기생 캐패시터의 용량 보상을 가장 많이 받을 수 있다. 즉, 상기 마지막 데이터 라인(DL k)은 제1 보상부(600a)와 오버랩되는 면적이 가장 넓으므로 기생 캐패시터의 용량 보상을 가장 많이 받을 수 있다. 따라서, 본 발명의 표시장치에서, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 데이터 라인(DL1 내지 DL k)과 나머지 게이트 라인들(GL k+1 등)은 서로 기생 캐패시터의 용량 편차가 감소된다.
- [0057] 따라서, 본 발명은, 복수의 게이트 라인 혹은 복수의 데이터 라인의 신호 지연 정도가 각 게이트 라인 혹은 각 데이터 라인마다 유사하게 되어 디스플레이된 화면에 불량 발생하지 않는다.
- [0058] 도 6은 본 발명의 다른 실시예에 따른 데이터 라인의 라인 폭을 나타낸 모습이다.
- [0059] 종래의 곡선 형상의 표시장치의 경우, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 데이터 라인은 오버랩되지 않은 데이터 라인보다 길이가 길어 저항이 크다.
- [0060] 도 6을 참조하면, 본 발명에 따른 다른 실시예의 경우, 제1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL 1 내지 DL k)의 폭(W1)은 제2 링크 배선 그룹(312)에서 연장된 복수의 데이터라인(DL k+1 등)의 폭(W2)보다 더 클 수 있다. 따라서, 표시 영역의 곡선 형상의 코너부와 오버랩되어 배치되는 복수의 데이터 라인은 내측에 배치된 데이터 라인과 비교하여 길이는 길되 폭이 더 크므로 저항 편차가 줄어 든다.
- [0061] 또한, 본 발명에 따른 또 다른 실시예의 경우, 제1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL 1 내지 DL k)은 각각 길이가 다르므로 제2 링크 배선 그룹(312)에서 연장된 복수의 데이터라인(DL k+1 등)과 저항 크기와 동일하도록 라인 폭을 서로 다르게 배치하여, 제1 링크 배선 그룹(311)에서 연장된 복수의 데이터 라인(DL 1 내지 DL k)은 제2 링크 배선 그룹(312)에서 연장된 복수의 데이터라인(DL k+1 등)과 저항 크기가 동일할 수 있다.
- [0062] 따라서, 본 발명은, 복수의 게이트 라인 혹은 복수의 데이터 라인의 신호 지연 정도가 각 게이트 라인 혹은 각 데이터 라인마다 유사하게 되어 디스플레이된 화면에 불량 발생하지 않는다.
- [0063] 도 7은 본 발명에 따른 어레이 기판이 적용되는 액정표시장치의 개략도이다.
- [0064] 도 7을 참조하면, 본 발명의 또 다른 실시예에 따른 액정표시장치는, 전술한 다양한 형태의 어레이 기판(100),

상기 어레이 기관(100)과 마주하는 대향 기관(700), 및 상기 양 기관(100, 700) 사이에 형성된 액정층(800)을 포함하여 이루어질 수 있다. 상기 대향 기관(700) 등의 구성은 당업계에 공지된 다양한 형태로 변경될 수 있다.

[0065] 도 8은 본 발명에 따른 어레이 기관이 적용되는 유기발광표시장치의 개략도이다.

[0066] 도 8을 참조하면, 본 발명의 또 다른 실시예에 따른 유기발광표시장치는, 전술한 다양한 형태의 어레이 기관(100), 상기 어레이 기관(100) 상에 형성되어 발광 영역을 정의하는 बैं크층(900), 상기 बैं크층(900)에 의해 정의된 발광 영역 내에 차례로 형성된 제1 전극(1000), 유기발광층(1100), 및 제2 전극(1200)을 포함하여 이루어진다. 상기 बैं크층(900), 제1 전극(1000), 유기발광층(1100), 및 제2 전극(1200) 등의 구성은 당업계에 공지된 다양한 형태로 변경될 수 있다.

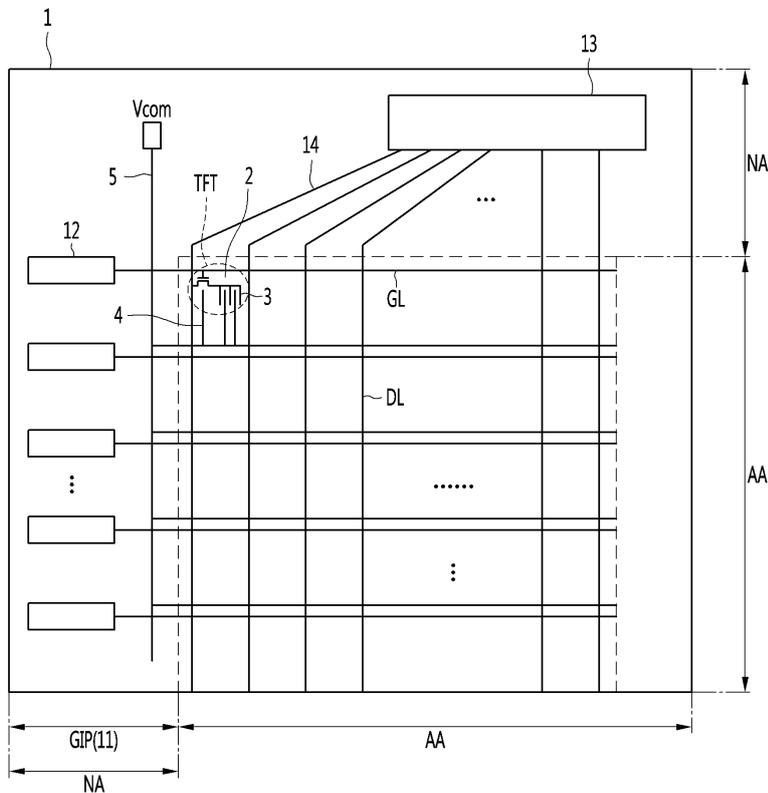
[0067] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

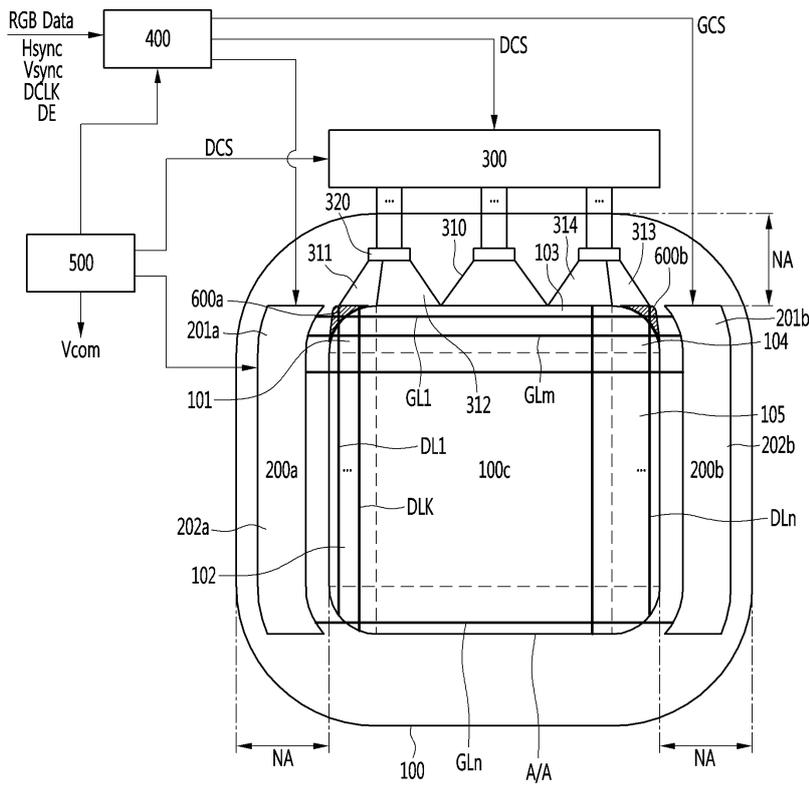
- [0068] 100 어레이 기관
- 200 게이트 구동회로부
- 300 데이터 구동회로부
- 400 타이밍 콘트롤러
- 500 전원 공급부
- 600a, 600b 제1 및 제2 보상부

도면

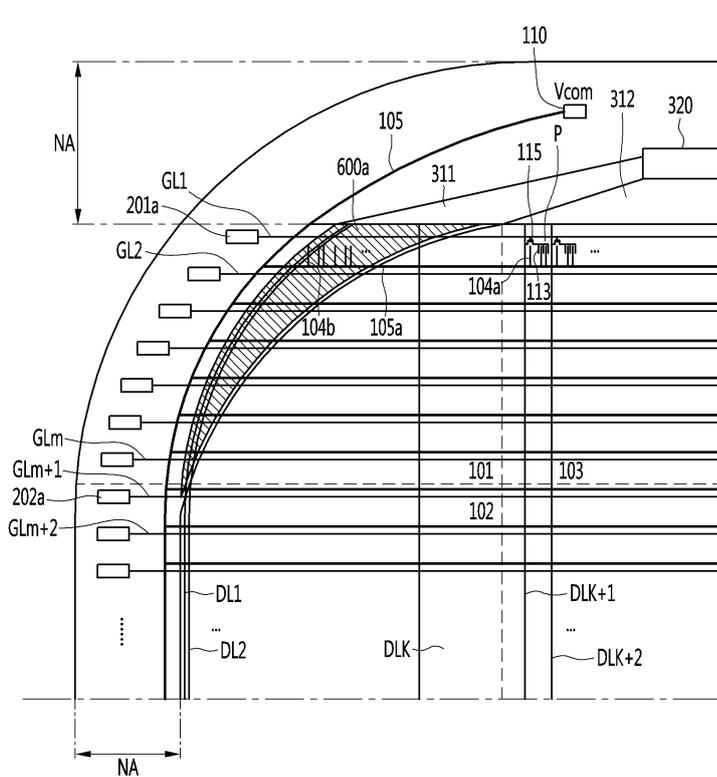
도면1



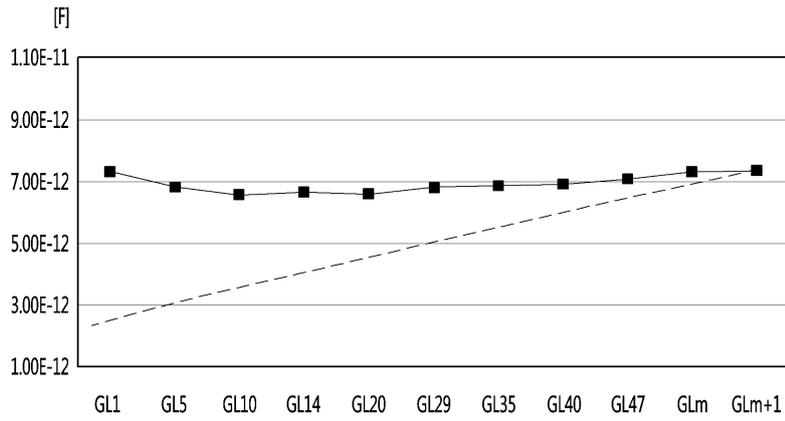
도면2



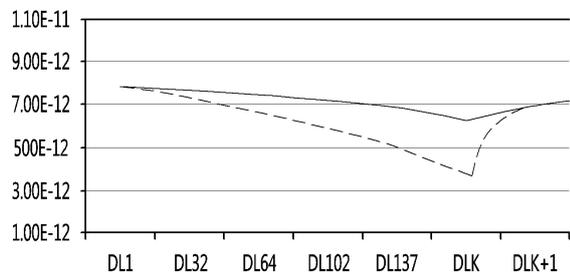
도면3



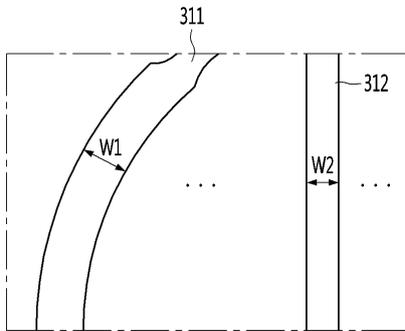
도면4



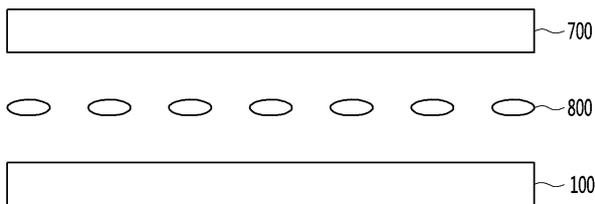
도면5



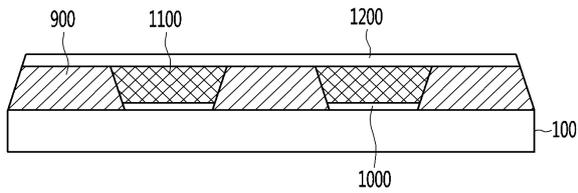
도면6



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 8

【변경전】

제7 항에 있어서,

상기 전원 공급부에 연결되어 상기 전압공급부로부터 공통전압을 공급받는 공통전압 단자 및 상기 공통전압 단자로부터 공통전압을 공급받는 공통전압 라인을 더 포함하고,

상기 공통전압 라인은 상기 어레이 기판의 테두리를 따라 배치되고, 게이트 라인 또는 데이터 라인의 끝단과 오버랩되도록 배치되는 표시장치.

【변경후】

제7 항에 있어서,

상기 전원 공급부에 연결되어 상기 전원 공급부로부터 공통전압을 공급받는 공통전압 단자 및 상기 공통전압 단자로부터 공통전압을 공급받는 공통전압 라인을 더 포함하고,

상기 공통전압 라인은 상기 어레이 기판의 테두리를 따라 배치되고, 게이트 라인 또는 데이터 라인의 끝단과 오버랩되도록 배치되는 표시장치.