



(12)发明专利申请

(10)申请公布号 CN 111133513 A

(43)申请公布日 2020.05.08

(21)申请号 201780094278.1

(51)Int.Cl.

(22)申请日 2017.08.28

G11C 11/34(2006.01)

(85)PCT国际申请进入国家阶段日
2020.02.25

(86)PCT国际申请的申请数据
PCT/CN2017/099234 2017.08.28

(87)PCT国际申请的公布数据
W02019/041082 EN 2019.03.07

(71)申请人 美光科技公司
地址 美国爱达荷州

(72)发明人 梁可 徐君

(74)专利代理机构 北京律盟知识产权代理有限
责任公司 11287
代理人 王龙

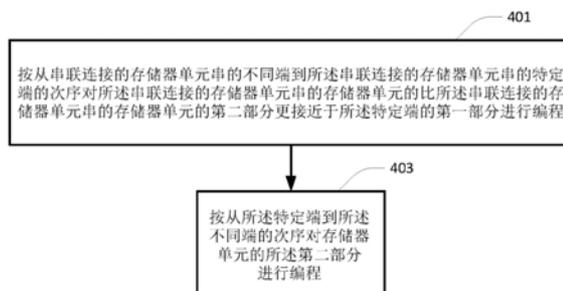
权利要求书3页 说明书10页 附图6页

(54)发明名称

存储器架构及操作

(57)摘要

方法包含:按从串联连接的存储器单元串的不同端到所述串联连接的存储器单元串的特定端的次序对所述串的存储器单元的比所述串的存储器单元的第二部分更接近于所述特定端的第一部分进行编程;以及按从所述特定端到所述不同端的次序对存储器单元的所述第二部分进行编程。方法进一步包含:响应于对存储器单元块的存储器单元执行读取操作而使第一读取计数及第二读取计数递增;响应于对所述存储器单元块的存储器单元的第一部分执行擦除操作而使所述第一读取计数复位;以及响应于对所述存储器单元块的存储器单元的所述第二部分执行擦除操作而使所述第二读取计数复位。



1. 一种方法,其包括:

按从串联连接的存储器单元串的不同端到所述串联连接的存储器单元串的特定端的次序对所述串联连接的存储器单元串的存储器单元的比所述串联连接的存储器单元串的存储器单元的第二部分更接近于所述特定端的第一部分进行编程;以及

按从所述特定端到所述不同端的次序对存储器单元的所述第二部分进行编程。

2. 根据权利要求1所述的方法,其中按从所述不同端到所述特定端的所述次序对存储器单元的所述第一部分进行编程包括按从所述不同端到所述特定端的所述次序对存储器单元块的存储器单元的第一叠组的每一串联连接的存储器单元串的存储器单元的对应第一部分进行编程。

3. 根据权利要求2所述的方法,其中按从所述特定端到所述不同端的所述次序对存储器单元的所述第二部分进行编程包括按从所述特定端到所述不同端的所述次序对所述存储器单元块的存储器单元的第二叠组的每一串联连接的存储器单元串的存储器单元的对应第二部分进行编程。

4. 根据权利要求1所述的方法,其中对所述串联连接的存储器单元串的存储器单元的任一部分进行编程包括:

使用栅致漏极泄漏来接种不同串联连接的存储器单元串的沟道区中的第一电压电平,其中所述串联连接的存储器单元串及所述不同串联连接的存储器单元串处于同一存储器单元块中且各自连接到一组相同的存取线;

使所述不同串联连接的存储器单元串的所述沟道区电浮动;以及

在对所述串联连接的存储器单元串的存储器单元的所述部分进行编程之前,使所述不同串联连接的存储器单元串的所述沟道区升压到高于所述第一电压电平的第二电压电平。

5. 根据权利要求4所述的方法,其中使所述不同串联连接的存储器单元串的所述沟道区升压包括在使所述不同串联连接的存储器单元串的所述沟道区电浮动的同时使所述组存取线的电压电平从参考电压增大到较高电压。

6. 根据权利要求4所述的方法,其进一步包括使用栅致漏极泄漏来接种所述串联连接的存储器单元串的沟道区中的所述第一电压电平,及在使所述不同串联连接的存储器单元串的所述沟道区升压之前对所述串联连接的存储器单元串的所述沟道区进行放电。

7. 根据权利要求1所述的方法,其中按从所述不同端到所述特定端的所述次序对存储器单元的所述第一部分进行编程包括按从存储器单元的上部叠组中最接近于选择性地连接到所述串联连接的存储器单元串的源极的存储器单元到存储器单元的所述上部叠组中最接近于选择性地连接到所述串联连接的存储器单元串的数据线的存储器单元的次序对所述串联连接的存储器单元串的存储器单元的所述上部叠组进行编程。

8. 根据权利要求7所述的方法,其中按从所述特定端到所述不同端的所述次序对存储器单元的所述第二部分进行编程包括按从存储器单元的下部叠组中最接近于所述数据线的存储器单元到存储器单元的所述下部叠组中最接近于所述源极的存储器单元的次序对所述串联连接的存储器单元串的存储器单元的所述下部叠组进行编程。

9. 一种方法,其包括:

确定是否认为串联连接的存储器单元串的存储器单元的比所述串联连接的存储器单元串的存储器单元的第二部分更接近于所述串联连接的存储器单元串的特定端的第一部

分待编程；

如果认为存储器单元的所述第一部分待编程，则按从所述特定端到所述串联连接的存储器单元串的不同端的次序对存储器单元的所述第二部分进行编程；以及

如果不认为存储器单元的所述第一部分待编程，则按从所述串联连接的存储器单元串的不同端到所述特定端的次序对存储器单元的所述第二部分进行编程。

10. 根据权利要求9所述的方法，其中确定是否认为所述串联连接的存储器单元串的存储器单元的所述第一部分待编程包括读取指示存储器单元的所述第一部分已经编程的标志。

11. 根据权利要求10所述的方法，其中确定是否认为所述串联连接的存储器单元串的存储器单元的所述第一部分待编程包括不管存储器单元的所述第一部分的任何存储器单元的数据状态如何而认为存储器单元的所述第一部分已编程。

12. 根据权利要求9所述的方法，其进一步包括按与用于对存储器单元的所述第一部分进行编程的所述次序相同的次序对紧邻存储器单元的所述第一部分的一或多个虚设存储器单元进行编程。

13. 根据权利要求10所述的方法，其进一步包括按与用于对存储器单元的所述第二部分进行编程的所述次序相同的次序对紧邻存储器单元的所述第二部分的一或多个虚设存储器单元进行编程。

14. 根据权利要求9所述的方法，其中存储器单元的所述第一部分包括所述串联连接的存储器单元串的在所述串联连接的存储器单元串的多个虚设存储器单元与选择性地连接到所述串联连接的存储器单元串的数据线之间的存储器单元，且其中存储器单元的所述第二部分包括所述串联连接的存储器单元串的在所述多个虚设存储器单元与选择性地连接到所述串联连接的存储器单元串的源极之间的存储器单元。

15. 根据权利要求9所述的方法，其中对所述串联连接的存储器单元串的存储器单元的任一部分进行编程包括：

将第一电压电平施加到选择性地连接到不同串联连接的存储器单元串的数据线，其中所述串联连接的存储器单元串及所述不同串联连接的存储器单元串处于同一存储器单元块中且各自连接到一组相同的存取线；

将第二电压电平施加到在所述不同串联连接的存储器单元串与所述数据线之间的选择栅极，其中所述第一电压电平与所述第二电压电平之间的差足以引发所述选择栅极中的栅致漏极泄漏；

将所述第二电压电平施加到所述组存取线；

在将所述第二电压电平施加到所述选择栅极的同时减小所述数据线的电压电平，以使所述不同串联连接的存储器单元串的所述沟道区电浮动；

在使所述不同串联连接的存储器单元串的所述沟道区电浮动的同时将所述组存取线的所述电压电平从所述第二电压电平增大到第三电压电平；以及

于在使所述不同串联连接的存储器单元串的所述沟道区电浮动的同时将所述组存取线的所述电压电平从所述第二电压电平增大到所述第三电压电平之后，在使所述不同串联连接的存储器单元串的所述沟道区电浮动的同时将所述组存取线中耦合到经选择用于编程的所述串联连接的存储器单元串的存储器单元的特定存取线的所述电压电平从所述第

三电压电平增大到第四电压电平,其中所述第四电压电平足以致使电荷累积在经选择用于编程的所述存储器单元的数据存储结构上,且预期会禁止电荷累积在所述不同串联连接的存储器单元串中耦合到所述特定存取线的存储器单元的数据存储结构上。

16. 一种方法,其包括:

响应于对存储器单元块的存储器单元执行读取操作而使第一读取计数递增,所述第一读取计数对应于所述存储器单元块的存储器单元的第一部分;

响应于对所述存储器单元块的所述存储器单元执行所述读取操作而使第二读取计数递增,所述第二读取计数对应于所述存储器单元块的存储器单元的第二部分;

响应于对所述存储器单元块的存储器单元的所述第一部分执行擦除操作而使所述第一读取计数复位;以及

响应于对所述存储器单元块的存储器单元的所述第二部分执行擦除操作而使所述第二读取计数复位。

17. 根据权利要求16所述的方法,其进一步包括:

响应于所述第一读取计数的值达到阈值:

将存储器单元的所述第一部分的数据复制到存储器单元的空闲部分;

在复制存储器单元的所述第一部分的所述数据之后,擦除存储器单元的所述第一部分;以及

响应于所述第二读取计数的值达到所述阈值:

将存储器单元的所述第二部分的数据复制到存储器单元的空闲部分;以及

擦除存储器单元的所述第二部分。

18. 根据权利要求17所述的方法,其进一步包括响应于所述存储器单元块的页级读取能力而设定所述阈值的值。

19. 根据权利要求18所述的方法,其中设定所述阈值的所述值包括将所述阈值的所述值设定为小于对应于所述页级读取能力的数目。

20. 根据权利要求16所述的方法,其中所述存储器单元块包括多个串联连接的存储器单元串,其中所述存储器单元块的存储器单元的所述第一部分包括所述多个串联连接的存储器单元串中的每一串联连接的存储器单元串的比存储器单元的所述第二部分的任何存储器单元更接近于选择性地连接到所述存储器单元块的任何数据线的相应部分,且其中所述存储器单元块的存储器单元的所述第二部分包括所述多个串联连接的存储器单元串中的每一串联连接的存储器单元串的比存储器单元的所述第一部分的任何存储器单元更接近于选择性地连接到所述存储器单元块的源极的相应部分。

21. 根据权利要求20所述的方法,其中对所述存储器单元块的所述存储器单元执行所述读取操作包括对存储器单元的所述第一部分或存储器单元的所述第二部分的任何存储器单元执行所述读取操作。

22. 根据权利要求16所述的方法,其进一步包括响应于对所述存储器单元块的任何存储器单元执行读取操作而使所述第一读取计数及所述第二读取计数递增。

存储器架构及操作

技术领域

[0001] 本公开大体上涉及存储器,且确切地说,在一或多个实施例中,本公开涉及存储器架构及其操作。

背景技术

[0002] 存储器装置通常提供为计算机或其它电子装置中的内部半导体集成电路装置。存在许多不同类型的存储器,包含随机存取存储器(RAM)、只读存储器(ROM)、动态随机存取存储器(DRAM)、同步动态随机存取存储器(SDRAM)及快闪存储器。

[0003] 快闪存储器已发展成用于各种电子应用的广受欢迎的非易失性存储器源。快闪存储器通常使用允许高存储器密度、高可靠性及低功耗的单晶体管存储器单元。通过对电荷存储结构(例如,浮动栅极或电荷陷阱)或其它物理现象(例如,相变或偏振)进行编程,存储器单元的阈值电压(V_t)的改变确定每一存储器单元的数据状态(例如,数据值)。快闪存储器及其它非易失性存储器的常见用途包含个人计算机、个人数字助理(PDA)、数码相机、数字媒体播放器、数字记录器、游戏、电气设备、车辆、无线装置、移动电话及可拆卸式存储器模块,且非易失性存储器的用途在持续扩大。

[0004] NAND快闪存储器係常用类型的快闪存储器装置,如此称谓的原因在于在其中布置有基础存储器单元配置的逻辑形式。通常,用于NAND快闪存储器的存储器单元阵列被布置成使得阵列中的一行中的每一存储器单元的控制栅极连接在一起以形成存取线,例如字线。阵列中的列包括在一对选择栅极之间,例如在源极选择晶体管与漏极选择晶体管之间,串联连接在一起的存储器单元串(常常被称为NAND串)。每一源极选择晶体管可连接到源极,而每一漏极选择晶体管可连接到数据线,例如列位线。使用存储器单元串与源极之间及/或存储器单元串与数据线之间的多于一个选择栅极的变型是已知的。

[0005] 存储器单元通常在其编程到所需数据状态之前被擦除。举例来说,特定存储器单元块的存储器单元可首先擦除,且接着选择性地编程。对于NAND阵列,存储器单元块通常通过使块中的所有存取线(例如,字线)接地且将擦除电压施加到存储器单元的沟道区(例如,经由数据线及源极连接)以便移除可能存储在存储器单元块的数据存储结构(例如,浮动栅极或电荷陷阱)上的电荷来擦除。典型擦除电压在完成擦除操作之前可能为约25V。

[0006] 半导体存储器的一般目标试图增大存储器单元块的大小,例如,增大存储器单元列中的存储器单元的数目及/或增大存储器单元行中的存储器单元的数目。然而,增大块大小可能导致延时问题,因为存储器对这些较大的存储器单元块执行内务处理任务。此又可限制存储器块的物理大小,以便满足消费者及/或工业标准要求。

附图说明

[0007] 图1是根据实施例的存储器的简化框图,所述存储器作为电子系统的部分与处理器通信。

[0008] 图2A到2B是可用于参考图1所述类型的存储器中的存储器单元阵列的部分的示意

图。

[0009] 图3是可用于参考图1所述类型的存储器中的存储器单元块的一部分的概念性绘图。

[0010] 图4A到4B是根据实施例的操作存储器的方法的流程图。

[0011] 图5是根据实施例的大体描绘例如如图3中描绘的存储器单元块的各种节点在编程操作的各个阶段处的电压电平的时序图。

具体实施方式

[0012] 在以下详细描述中,参考附图,所述附图形成本发明的一部分,且其中借助于说明示出特定实施例。在图式中,遍及若干视图,相似的附图标记描述大体上类似的组件。在不脱离本公开的范围的情况下,可以利用其它实施例,并且可以做出结构、逻辑及电改变。因此,不应以限制意义对待以下详细描述。

[0013] 举例来说,本文所使用的术语“半导体”可以指一层材料、晶片或衬底,且包含任何基础半导体结构。“半导体”应理解为包含蓝宝石上硅(silicon-on-sapphire;SOS)技术、绝缘体上硅(silicon-on-insulator;SOI)技术、薄膜晶体管(thin film transistor;TFT)技术、掺杂和未掺杂半导体、由基底半导体结构支撑的外延硅层以及本领域的技术人员熟知的其它半导体结构。此外,当在以下描述中参考半导体时,可能已利用先前处理步骤在基础半导体结构中形成区/界面,且术语半导体可包含含有此类区/界面的下伏层。除非另外根据上下文显而易见,否则如本文中所使用的术语导电(conductive)以及其各种相关形式(例如conduct、conductively、conducting、conduction、conductivity等)是指电学上的导电。类似地,除非另外根据上下文显而易见,否则如本文中所使用的术语连接(connecting)以及其各种相关形式(例如connect、connected、connection等)是指电连接。

[0014] 图1是根据实施例的呈存储器(例如,存储器装置)100形式的第一设备的简化框图,所述第一设备作为呈电子系统形式的第三设备的一部分与呈处理器130形式的第二设备通信。电子系统的一些实例包含个人计算机、个人数字助理(PDA)、数码相机、数字媒体播放器、数字记录器、游戏、电气设备、车辆、无线装置、蜂窝电话等。例如存储器装置100外部的控制器的处理器130可以是存储器控制器或其它外部主机装置。

[0015] 存储器装置100包含以行及列逻辑地布置的存储器单元阵列104。逻辑行中的存储器单元通常连接到同一存取线(通常被称为字线),而逻辑列中的存储器单元通常选择性地连接到同一数据线(通常被称为位线)。单个存取线可与多于一个逻辑行的存储器单元相关联,且单个数据线可与多于一个逻辑列相关联。存储器单元阵列104的至少一部分的存储器单元(图1中未展示)能够被编程为至少两个数据状态中的一者。

[0016] 提供行解码电路108及列解码电路110以对地址信号进行解码。接收和解码地址信号以存取存储器单元阵列104。存储器装置100还包含I/O控制电路112以管理命令、地址和数据到存储器装置100的输入以及数据和状态信息从存储器装置100的输出。地址寄存器114与I/O控制电路112以及行解码电路108和列解码电路110通信以在解码之前锁存地址信号。命令寄存器124与I/O控制电路112及控制逻辑116通信以锁存传入命令。计数寄存器126可与控制逻辑116通信以存储计数数据,例如表示用于存储器单元阵列104的不同部分的读取循环的相应数目的数据。尽管描绘为单独的存储寄存器,但计数寄存器126可表示存储器

单元阵列104的一部分。

[0017] 控制器(例如,存储器装置100内部的控制逻辑116)响应于命令而控制对存储器单元阵列104的存取并产生外部处理器130的状态信息,即,控制逻辑116经配置以执行根据本文中所述的实施例的存取操作(例如,读取操作、编程操作和/或擦除操作)。控制逻辑116与行解码电路108及列解码电路110通信,以响应于地址而控制行解码电路108及列解码电路110。

[0018] 控制逻辑116还与高速缓冲寄存器118通信。高速缓冲寄存器118如控制逻辑116所引导而锁存传入或传出的数据以在存储器单元阵列104正忙于分别写入或读取其它数据时暂时存储数据。在编程操作(例如,写入操作)期间,数据从高速缓冲寄存器118传递到数据寄存器120以用于传送到存储器单元阵列104;接着,来自I/O控制电路112的新数据锁存在高速缓冲寄存器118中。在读取操作期间,数据从高速缓冲寄存器118传递到I/O控制电路112以用于输出到外部处理器130;接着,新数据从数据寄存器120传递到高速缓冲寄存器118。状态寄存器122与I/O控制电路112和控制逻辑116通信以锁存状态信息以用于输出到处理器130。

[0019] 存储器装置100经由控制链路132从处理器130接收控制逻辑116处的控制信号。控制信号可能包含芯片启用CE#、命令锁存启用CLE、地址锁存启用ALE、写入启用WE#、读取启用RE#及写入保护WP#。取决于存储器装置100的性质,可进一步经由控制链路132接收额外或替代的控制信号(未展示)。存储器装置100经由多路复用的输入/输出(I/O)总线134从处理器130接收命令信号(其表示命令)、地址信号(其表示地址)和数据信号(其表示数据),且经由I/O总线134将数据输出到处理器130。

[0020] 举例来说,经由I/O控制电路112处的I/O总线134的输入/输出(I/O)接脚[7:0]接收命令,且将命令写入到命令寄存器124中。经由I/O控制电路112处的I/O总线134的输入/输出(I/O)接脚[7:0]接收地址,且将地址写入到地址寄存器114中。经由I/O控制电路112处的用于8位装置的输入/输出(I/O)接脚[7:0]或用于16位装置的输入/输出(I/O)接脚[15:0]来接收数据,且将数据写入到高速缓冲寄存器118中。随后将数据写入到数据寄存器120中以用于编程存储器单元阵列104。对于另一实施例,可省略高速缓冲寄存器118,且将数据直接写入到数据寄存器120中。还可经由用于8位装置的输入/输出(I/O)接脚[7:0]或用于16位装置的输入/输出(I/O)接脚[15:0]输出数据。

[0021] 本领域的技术人员应了解,可提供额外的电路及信号,且图1的存储器装置100已简化。应认识到,参考图1描述的各种块组件的功能性可不能一定与集成电路装置的相异组件或组件部分分离。举例来说,集成电路装置的单个组件或组件部分可适于执行图1的多于一个块组件的功能性。或者,可组合集成电路装置的一或多个组件或组件部分,以执行图1的单个块组件的功能性。

[0022] 另外,尽管根据各种信号的接收及输出的一般惯例来描述特定I/O接脚,但应注意,可在各种实施例中使用的I/O接脚的其它组合或其它数目个I/O接脚。

[0023] 图2A是可例如作为存储器单元阵列104的一部分用于参考图1所描述类型的存储器中的存储器单元阵列200A的一部分的示意图。存储器阵列200A包含例如字线202₀到202_N等存取线和例如位线204等数据线。字线202可以多对一关系连接到图2A中未展示的全局存取线(例如,全局字线)。对于一些实施例,存储器阵列200A可形成于半导体上方,所述半导

体例如可经导电掺杂以具有例如p型导电性等导电类型以例如形成p阱,或具有n型导电性以例如形成n阱。

[0024] 存储器阵列200A可以行(每行对应于字线202)及列(每列对应于位线204)布置。每列可包含串联连接的存储器单元(例如,非易失性存储器单元)串,例如NAND串206₀到206_M中的一个。每一NAND串206可连接(例如,选择性地连接)到共同源极216,且可包含存储器单元208₀到208_N。存储器单元208可表示用于存储数据的非易失性存储器单元。每一NAND串206中的存储器单元208可串联连接于选择栅极210(例如,场效应晶体管与选择栅极212(例如,场效应晶体管)之间,所述选择栅极例如是选择栅极210₀到210_M中的一者(例如,可以是通常被称为选择栅极源极的源极选择晶体管),所述选择栅极例如是选择栅极212₀到212_M中的一者(例如,可以是通常被称为选择栅极漏极的漏极选择晶体管)。选择栅极210₀到210_M可共同地连接到选择线214(例如,源极选择线),且选择栅极212₀到212_M可共同地连接到选择线215(例如,漏极选择线)。尽管描绘为传统场效应晶体管,但选择栅极210和212可利用类似于(例如,相同于)存储器单元208的结构。选择栅极210和212可表示串联连接的多个选择栅极,其中每一选择栅极串联地配置成接收相同或独立的控制信号。

[0025] 每一选择栅极210的源极可连接到共同源极216。每一选择栅极210的漏极可连接到对应NAND串206的存储器单元208₀。举例来说,选择栅极210₀的漏极可连接到对应NAND串206₀的存储器单元208₀。因此,每一选择栅极210可经配置以将对NAND串206选择性地连接到共同源极216。每一选择栅极210的控制栅极可连接到选择线214。

[0026] 每一选择栅极212的漏极可连接到对应NAND串206的位线204。举例来说,选择栅极212₀的漏极可连接到对应NAND串206₀的位线204₀。每一选择栅极212的源极可连接到对应NAND串206的存储器单元208_N。举例来说,选择栅极212₀的源极可连接到对应NAND串206₀的存储器单元208_N。因此,每一选择栅极212可配置成将对NAND串206选择性地连接到共同位线204。每一选择栅极212的控制栅极可连接到选择线215。

[0027] 图2A中的存储器阵列可以是三维存储器阵列,例如,其中NAND串206可大体上垂直于含有共同源极216的平面和可大体上平行于含有共同源极216的平面的含有多个位线204的平面延伸。

[0028] 存储器单元208的典型构造包含(例如,通过阈值电压改变)可确定存储器单元的数据状态的数据存储结构234(例如,浮动栅极、电荷阱等)以及控制栅极236,如图2A中所展示。数据存储结构234可包含导电及/或介电结构两者,而控制栅极236通常由一或多种导电材料形成。在一些情况下,存储器单元208可进一步具有界定的源极/漏极(例如,源极)230和界定的源极/漏极(例如,漏极)232。存储器单元208的控制栅极236连接到(且在一些情况下形成)字线202。

[0029] 一行存储器单元208可以是选择性地连接到给定位线204的NAND串206或多个NAND串206。一行存储器单元208可以是共同连接到给定字线202的存储器单元208。一行存储器单元208可包含但不必包含共同地连接到给定字线202的所有存储器单元208。存储器单元208的行常常可划分成存储器单元208的物理页的一或多个群组,且存储器单元208的物理页常常包含共同地连接到给定字线202的每隔一个存储器单元208。举例来说,共同地连接到字线202_N且选择性地连接到偶数位线204(例如,位线204₀、204₂、204₄等)的存储器单元208可以是存储器单元208的一个物理页(例如,偶数存储器单元),而共同地连接到字线

202_N且选择性地连接到奇数位线204(例如,位线204₁、204₃、204₅等)的存储器单元208可以是存储器单元208(例如,奇数存储器单元)的另一物理页。尽管在图2A中未明确地描绘位线204₃到204₅,但从图中显而易见,存储器单元阵列200A的位线204可从位线204₀到204_M连续地编号。共同地连接到给定字线202的存储器单元208的其它分组也可界定存储器单元208的物理页。对于特定存储器装置,共同地连接到给定字线的所有存储器单元可认为是存储器单元的物理页。存储器单元(其在一些实施例中可仍是整个行)的物理页的在单个读取操作期间读取或在单个编程操作期间编程的部分(例如,存储器单元的上部页或下部页)可视为存储器单元的逻辑页。存储器单元块可包含经配置以一起被擦除的那些存储器单元,例如连接到字线202₀到202_N的所有存储器单元(例如,共享共同字线202的所有NAND串206)。除非明确地区分,否则对存储器单元页的参考在本文中是指存储器单元的逻辑页的存储器单元。

[0030] 图2B是存储器单元阵列200B的一部分的另一示意图,所述存储器单元阵列如例如可作为存储器单元阵列104的一部分用于参考图1描述的类型存储器中。图2B中的相同编号的元件对应于关于图2A提供的描述。图2B提供三维NAND存储器阵列结构的一个实例的额外细节。三维NAND存储器阵列200B可并入有可包含半导体柱的竖直结构,其中柱的一部分可充当NAND串206的存储器单元的沟道区。NAND串206可各自通过选择晶体管212(例如,可以是漏极选择晶体管,通常被称为选择栅极漏极)选择性地连接到位线204₀到204_M,且通过选择晶体管210(例如,可以是源极选择晶体管,通常被称为选择栅极源极)选择性地连接到共同源极216。多个NAND串206可选择性地连接到相同位线204。可通过对选择线215₀到215_K加偏压以选择性地启动各自介于NAND串206与位线204之间的特定选择晶体管212而将NAND串206的子集连接到其相应位线204。选择晶体管210可通过对选择线214加偏压来启动。每一字线202可连接到存储器阵列200B的多行存储器单元。通过特定子线202共同彼此连接的存储器单元的行可共同地称为层。

[0031] 图3是可用于参考图1所述类型的存储器中的存储器单元300的块(例如,物理块)的一部分的概念性绘图。图3的数据线204₀及204₁可对应于图2B的数据线204₀及204₁。沟道区238₀₀及238₀₁可表示分别响应于选择线215₀及215₁而选择性地连接到数据线204₀的串联连接的存储器单元的不同串(例如,图2A到2B的NAND串206)的沟道区。类似地,沟道区238₁₀及238₁₁可表示分别响应于选择线215₀及215₁而选择性地连接到数据线204₁的串联连接的存储器单元的不同串(例如,图2A到2B的NAND串206)的沟道区。图2A中描绘的存取线202₀到202_N在图3中可由存取线202a₀到202a_L、202d₀到202d₃及202b₀到202b_U来表示,其中N在此实例中可等于L+U+6。存储器单元(图3中未描绘)可形成于存取线202与沟道区238的每一交叉点处,且对应于信号沟道区的存储器单元可共同形成存储器单元的串联串(例如,图2A到2B的NAND串)。

[0032] 存取线202d₀到202d₃表示分离器(例如,虚设)存取线。尽管描绘四个虚设存取线202d,但可能使用其它数目。另外,这些虚设存取线202d可对应于虚设存储器单元,例如并不意欲存储用户数据的存储器单元。虚设存储器单元通常不可由存储器的用户存取,且通常并入到串联连接的存储器单元串中以获得操作优点。举例来说,随着源极216与数据线204之间的存取线202的数目变得较大(例如,响应于对存储器容量的增大的需求),技术的物理限制可以保证以两部分形成结构沟道区238,因为孔的纵横比变得过大以致不能可靠

地形成整个结构。作为一实例,可形成存储器单元块300的结构以在形成沟道区238的第一部分之前至多包含存取线202d₁,且接着可形成存储器单元块300的后续部分以在形成沟道区238的其余部分之前至多包含选择线215。为改善沟道区238的两个部分之间的导电性,可在其间形成导电区。然而,此可导致在此导电区附近形成的存储器单元的不同操作特性,例如最接近源极216的存储器单元及最接近数据线204的存储器单元所常见的。通过作为虚设存储器单元操作这些存储器单元,可大体上减轻操作特性的此类差异。

[0033] 此类虚设存取线202d可共同形成存储器单元块300的一个部分(例如,叠组)240₁(或每一串联连接的存储器单元串的一个部分240₁)与存储器单元块300的另一部分(例如,叠组)240₀(或每一串联连接的存储器单元串的另一部分240₀)之间的分离器部分245。部分240₁更接近于串联连接的存储器单元串的一端,例如,更接近于选择线215及数据线204,且部分240₀更接近于串联连接的存储器单元串的相对端,例如,更接近于选择线214及源极216。每一部分240可被视为存储器单元的逻辑块。将使用参考图3所描绘及描述的结构来描述本文中的各种实施例。

[0034] 由于分离器部分245的存取线可能并不操作以存储用户数据,其可用以屏蔽存储器单元块300的一个部分240使其不能对存储器单元块300的另一部分240操作。举例来说,可对部分240₀的存储器单元执行擦除操作而不擦除部分240₁的存储器单元。此可通过将擦除电压(例如,20V)施加到沟道区238(例如经由数据线204及源极216)同时将擦除选择电压(例如,1V)施加到对应于旨在用于擦除的存储器单元的存取线202且同时将擦除禁止电压(例如,20V)施加到对应于不需要擦除的存储器单元的存取线202来实现。举例来说,为擦除部分240₀,可将擦除电压施加到存储器单元块的沟道区238,同时将擦除选择电压施加到部分240₀的存取线202a,且同时将擦除禁止电压施加到部分240₁的存取线202b。存取线202d可在此时间期间接收中间电压(例如,10V)以缓解存取线202a与202b之间的应力。可参考颁予Goda等人的第2017/0076805A1号美国专利申请公开案见到对此类型结构执行擦除操作的额外详情。

[0035] 可部分擦除的存储器单元块的编程可存在特定缺点。举例来说,从一端(例如,从最接近于源极216的存取线202)到另一端(例如,到最接近于数据线204的存取线202)对存储器单元块进行编程是常见的。然而,在此情形中,如果部分240₁的存储器单元已经编程,则部分240₀的存储器单元可能在一或多个较低数据状态(例如,最低或初始数据状态)中经历不可接受程度的编程干扰。各种实施例寻求缓解此问题。

[0036] 图4A到4B是根据实施例的操作存储器的方法的流程图。在图4A中,在401处,串联连接的存储器单元串的存储器单元的比存储器单元的第二部分(例如,分别为部分240₁或240₀)更接近于串联连接的存储器单元串的特定端(例如,分别为最接近源极216的端或最接近数据线204的端)的第一部分(例如,部分240₀或240₁)以从串联连接的存储器单元串的不同(例如,相对)端(例如,分别为最接近数据线204的端或最接近源极216的端)到所述特定端的次序进行编程。举例来说,如果存储器单元的第一部分对应于部分240₀的那些存储器单元,则部分240₀的存储器单元的编程可以耦合到存取线202a₁的存储器单元开始,且按次序进行到耦合到存取线202a₀的存储器单元,而部分240₁的存储器单元的编程可以耦合到存取线202b₀的存储器单元开始,且按次序进行到耦合到存取线202b₁的存储器单元。注意,部分240₀的存储器单元可在编程部分240₁的存储器单元之前进行编程,且反之亦然。存储器

单元的一部分的编程可进一步包含编程对应于虚设存取线中的一或多者的存储器单元,例如,最接近于存储器单元的所述部分的虚设存取线。

[0037] 对于一些实施例,可能需要使编程存储器单元的一个部分的次序取决于存储器单元的其它部分是否先前已编程。图4B为此类方法的流程图。在图4B中,在411处,确定是否认为串联连接的存储器单元串的存储器单元的比串联连接的存储器单元串的存储器单元的第二部分(例如,分别为部分240₁或240₀)更接近于串联连接的存储器单元串的特定端(例如,分别为最接近源极216的端或最接近数据线204的端)的第一部分(例如,部分240₀或240₁)待编程。确定认为串联连接的存储器单元串的存储器单元的第一部分待编程可包含确定串联连接的存储器单元串的存储器单元的第一部分在最近擦除操作之后已经受编程电压(例如,响应于编程操作)。举例来说,在存储器单元块300的部分240₁为编程操作的对象的情况下,可认为部分240₁的每一串联连接的存储器单元串已编程,即使部分240₁的特定串联连接的存储器单元串的每一存储器单元保持其初始(例如,已擦除)数据状态。此类确定可包含读取值指示部分240已经历编程操作的标志。作为一实例,所述标志可存储在存储器单元块的保留部分中。存储器单元块的保留部分可包含部分240₀或部分240₁的存储器单元。

[0038] 如果在413处认为存储器单元的第一部分待编程,则在415处,以从串联连接的存储器单元串的特定端到不同(例如,相对)端的次序对存储器单元的第二部分进行编程。或者,如果在413处不认为存储器单元的第一部分待编程,则在417处,以从串联连接的存储器单元串的不同(例如,相对)端到特定端的次序对存储器单元的第二部分进行编程。

[0039] 应注意,在编程存储器单元块的一个部分的同时,另一部分可能经历V_{pass}干扰。如现有技术中典型的,编程操作可包含:第一部分,其用以将存储器单元块的存储器单元的沟道区预充电或接种到预充电电压电平;第二部分,其用以将不旨在用于编程(例如,待禁止)的存储器单元块的串联连接的存储器单元串的沟道区的电压电平升压到足以禁止编程接收编程电压的那些串联连接的存储器单元串的任何存储器单元的电压电平;以及第三部分,其用于编程存储器单元块的其它存储器单元串的一或多个所选存储器单元。第一部分通常涉及将电压(例如,V_{cc}或其它供应电压)施加到至少那些待禁止编程的数据线(例如,未选数据线)(在那些数据线经由启动漏极选择栅极而连接到其相应沟道区(例如,未选沟道区)时)及与那些沟道区相关联的所有存储器单元。第二部分通常涉及使那些未选沟道区电浮动,且接着使存取线电压增大到导通电压(例如,V_{pass})以便使未选沟道区的电压电平升压。可选择导通电压的电压电平以使未选沟道区的经升压电压电平达到足以在编程操作的第三部分中禁止编程接收编程电压的任何对应存储器单元的程度。对于存储器单元块的一部分已经编程的情境,在预充电部分期间启动那些存储器单元所必需的电压电平将较高。

[0040] 降低导通电压的电压电平可促进减小V_{pass}干扰。各种实施例可更改编程操作的预充电部分,且使用GIDL(栅致漏极泄漏)作为接种未选沟道区的机制。GIDL将不需要依赖于按次序启动选择栅极或存储器单元以接种沟道区,因此还避免在编程操作的预充电部分期间使用较高存取线电压的需要。图5是根据此类实施例的大体描绘例如图3中描绘的存储器单元块的各种节点在编程操作的各个阶段处的电压电平的时序图。尽管图5将相对于响应于写入命令而执行以将用户数据存储到存储器单元块的编程操作类型来进行描述,但编

程操作可进一步包含预编程(如常常用作擦除操作的部分)以缓解对已经处于擦除数据状态的存储器单元进行过擦除的风险。

[0041] 考虑图3的存储器单元块300,其中选择形成于存取线202b₀与沟道区238₀₀的交叉点处的存储器单元用于编程,但将禁止其余存储器单元编程。在此实例中,存取线202b₀将为所选存取线,例如,经选择用于编程的存取线,而存取线202a₀到202a_L、202d₀到202d₃及202b₁到202b_U将为未选存取线,例如,未选择用于编程的存取线。类似地,沟道区238₀₀将为所选沟道区,而沟道区238₀₁、238₁₀及238₁₁将为未选沟道区。数据线204₀将为所选数据线,而数据线204₁将为未选数据线。选择线215₀将为所选选择线,而选择线215₁将为未选选择线。

[0042] 图5中,波形550(WL选择)表示在根据一实施例的编程操作期间所选存取线的电压电平的波形,而波形550'表示在现有技术的编程操作期间所选存取线的电压电平的波形。波形552(WL未选)表示在根据一实施例的编程操作期间未选存取线的电压电平的波形,而波形552'表示在现有技术的编程操作期间未选存取线的电压电平的波形。

[0043] 波形554(SGD选择)表示在根据一实施例的编程操作期间所选选择线(例如,漏极选择线)的电压电平的波形,而波形554'表示在现有技术的编程操作期间所选选择线的电压电平的波形。波形556(SGD未选)表示在根据一实施例的编程操作期间未选选择线(例如,漏极选择线)的电压电平的波形,而波形556'表示在现有技术的编程操作期间未选选择线的电压电平的波形。

[0044] 波形558(BL选择)表示在根据一实施例的编程操作期间所选数据线(例如,位线)的电压电平的波形,而波形558'表示在现有技术的编程操作期间所选数据线的电压电平的波形。波形560(BL未选)表示在根据一实施例的编程操作期间未选数据线(例如,位线)的电压电平的波形,而波形560'表示在现有技术的编程操作期间未选数据线的电压电平的波形。

[0045] 波形562(Chan选择)表示在根据一实施例的编程操作期间所选沟道区的电压电平的波形,而波形562'表示在现有技术的编程操作期间所选沟道区的电压电平的波形。波形564(Chan未选)表示在根据一实施例的编程操作期间未选沟道区的电压电平的波形,而波形564'表示在现有技术的编程操作期间未选沟道区的电压电平的波形。

[0046] 在现有技术编程操作中,在时间t₀,可将所选存取线的电压电平550'、未选存取线的电压电平552'、所选选择线的电压电平554'及未选选择线的电压电平556'升高(例如,偏压)到足以启动其对应存储器单元及选择栅极(例如,漏极选择栅极)的某一电压电平,而可将所选数据的电压电平558'及未选数据线的电压电平560'升高(例如,偏压)到例如V_{cc}等电压电平。结果,可使所选沟道区的电压电平562'及未选沟道区的电压电平564'高达数据线电压电平,例如V_{cc}。在时间t₁,可将所选数据线的电压电平558'降低(例如,放电)到参考电压电平,例如V_{ss}(例如,接地或0V),且可将未选选择线的电压电平556'降低(例如,放电)到参考电压电平。结果,所选沟道区的电压电平562'可由于其连接到所选数据线而降低到参考电压,而在撤销启动到未选数据线的选择栅极时,可使未选沟道区保持电浮动。从时间t₀到时间t₂的时间周期可对应于编程操作的预充电部分。

[0047] 在时间t₂,可将所选存取线的电压电平550'及未选存取线的电压电平552'升高(例如,偏压)到足以使未选沟道区的电压电平升高到足以禁止编程对应于其对应所选存取线上的接收编程电压的未选沟道区的存储器单元的特定电压电平566的某一电压电平。从

时间t2到时间t3的时间周期可对应于编程操作的升压部分。

[0048] 在时间t3,可将所选存取线的电压电平550'升高(例如,偏压)到编程电压,例如,足以致使电荷聚积在对应于所选存取线及所选沟道区的存储器单元的数据存储结构上的某一电压电平。在时间t4,可将所选存取线的电压电平550'及未选存取线的电压电平552'降低(例如,放电)到参考电压,而在时间t5,可将其余电压电平降低(例如,放电)到参考电压。从时间t3到时间t4的时间周期可对应于编程操作的编程部分。

[0049] 与现有技术编程操作相比,在实施例的时间t0,可使所选存取线的电压电平550、未选存取线的电压电平552、所选选择线的电压电平554及未选选择线的电压电平556维持在参考电压,而可将所选数据的电压电平558及未选数据线的电压电平560升高(例如,偏压)到足以引发GIDL的电压电平,例如3V。结果,可使所选沟道区的电压电平562及未选沟道区的电压电平564高达电压电平数据线,例如3V。在时间t1,可将所选数据线的电压电平558降低(例如,放电)到参考电压,且可将所选选择线的电压电平554升高(例如,偏压)到足以禁止GIDL的某一电压电平,例如2V。结果,所选沟道区的电压电平562可由于其连接到所选数据线而降低到参考电压,而在撤销启动到未选数据线的选择栅极时,未选沟道区可保持电浮动。从时间t0到时间t2的时间周期可对应于编程操作的预充电部分。

[0050] 在实施例的时间t2,可将所选存取线的电压电平550及未选存取线的电压电平552升高(例如,偏压)到足以使未选沟道区的电压电平升压到足以禁止编程对应于其所选存取线上的接收编程电压的未选沟道区的存储器单元的特定电压电平566的某一电压电平。注意。所选存取线的电压电平550及未选存取线的电压电平552可小于现有技术编程操作的其对应电压电平。此部分地是由于将沟道区接种到较高电平,但因为存取线在升压之前以参考电压开始,因此升压也可能更高效。从时间t2到时间t3的时间周期可对应于编程操作的升压部分。

[0051] 在实施例的时间t3,可将所选存取线的电压电平550升高(例如,偏压)到编程电压,例如,足以致使电荷聚积在对应于所选存取线及所选沟道区的存储器单元的数据存储结构上的某一电压电平。在时间t4,可将所选存取线的电压电平550及未选存取线的电压电平552降低(例如,放电)到参考电压,而在时间t5,可将其余电压电平降低(例如,放电)到参考电压。从时间t3到时间t4的时间周期可对应于编程操作的编程部分。

[0052] 对于一些实施例,设备可执行内务处理操作。此类内务处理操作为读取计数均衡。读取计数均衡考虑设备的基本物理状态。在经由读取命令存取图3中所描绘类型的存储器单元块的存储器单元页时,读取命令影响(例如,干扰)同一存储器单元块中的其它存储器单元页。举例来说,在具有256个存储器单元逻辑页的存储器单元块中,经由读取命令存取页0会干扰页1到255。不管存取何页,块中的其它页都可能经受相同干扰。

[0053] NAND提供者通常提供关于页级读取能力的规范。然而,此数目通常不表达为存储器单元块的总页读取的限制。替代地,通常将规范表达为存储器单元块所支持的读取的总数目除以存储器单元块中所含的页的数目。举例来说,在具有256个存储器单元逻辑页且页级读取能力为100,000的存储器单元块中,存储器单元块的每一存储器单元页可被读取100,000次,或所述存储器单元块的单个存储器单元页可被读取25,600,000次。这些可能性中的每一者可对存储器单元块的任何存储器单元产生相同程度的读取干扰。

[0054] 在存储器单元块的读取数目超过规范或其它阈值(例如,小于规范的某一阈值)

时,存储器单元块中的有效数据可复制到存储器单元的空闲块,且接着可擦除初始存储器单元块以使其返回到空闲存储器单元块池。可响应于表示对存储器单元块执行的读取数目的所存储值而对存储器单元阵列执行此类型的内务处理操作。此值可存储在寄存器(例如,图1的计数寄存器128)中,或其可存储在存储器单元块的保留部分或一些其它预定存储器单元块中。此值通常在每次对存储器单元块执行读取操作时更新。

[0055] 在仅擦除存储器单元块的一部分(例如,存储器单元的上部叠组或存储器单元的下部叠组)的情况下,对整个存储器单元块维护的读取计数可能导致保证读取计数均衡的过早指示。举例来说,在擦除存储器单元块的一个部分(例如,存储器单元的下部叠组)时,存储器单元块可能正接近其读取计数阈值。在擦除操作涉及对已擦除存储器单元的读取干扰时,将响应于读取计数达到阈值而过早地对整个存储器单元块执行读取计数均衡。确切地说,尽管在此实例中存储器单元的上部叠组可由于读取干扰而保证读取计数均衡,但存储器单元的下部叠组将由于其最新擦除而不会经历相同程度的干扰,例如,其不会与存储器单元的上部叠组经受相同数目的读取。为解决此问题,各种实施例对于存储器单元块的存储器单元的每一部分(例如,叠组)建立相应读取计数。表1展现对于存储器单元块的每一部分的读取计数的动作。

[0056] 表1

操作	第一部分的寄存器	第二部分的寄存器
擦除第一部分	复位(例如,设定到0)	无动作
擦除第二部分	无动作	复位(设定到0)
读取第一部分	递增(例如,+1)	递增(例如,+1)
读取第二部分	递增(例如,+1)	递增(例如,+1)

[0058] 如从表1可看出,在对不同部分(例如,叠组)可单独地擦除的存储器单元块的任何存储器单元(例如,任何存储器单元的逻辑页)执行读取操作时,可对于对应于所述存储器单元块的存储器单元的一个部分(例如,叠组)的计数寄存器及对应于所述存储器单元块的存储器单元的另一部分(例如,叠组)的计数寄存器两者使相应读取计数递增,例如,增大一。然而,在擦除一个部分时,可仅使其计数寄存器复位,例如,复位到零,而对于另一计数寄存器可不进行动作,例如,其可维持其现有读取计数值。

[0059] 在读取计数值达到存储器单元块的存储器单元的任一部分的读取计数阈值(例如,对应于页级时读取能力或某一较小值的值时,存储器单元的所述部分可复制到具有存储器单元的空闲部分的存储器单元块,其可包含相同的存储器单元块(如果另一部分空闲(例如,擦除))或一些其它存储器单元块。可接着擦除存储器单元块的存储器单元的达到读取计数阈值的部分,而不对存储器单元块的存储器单元的另一部分采取动作,例如,如果其读取计数值低于读取计数阈值。可接着将存储器单元的已擦除部分标记为空闲,例如,将块内的标志设定为指示所述块可用于存储新数据的值,且可使其读取计数复位,例如,复位到0。

[0060] 总结

[0061] 尽管本文中已说明且描述具体实施例,但本领域普通技术人员将了解,计算出实现相同目的的任何布置可以取代所示出的具体实施例。所属领域的技术人员将清楚实施例的许多调适。因此,本申请意图涵盖实施例的任何调适或变型。

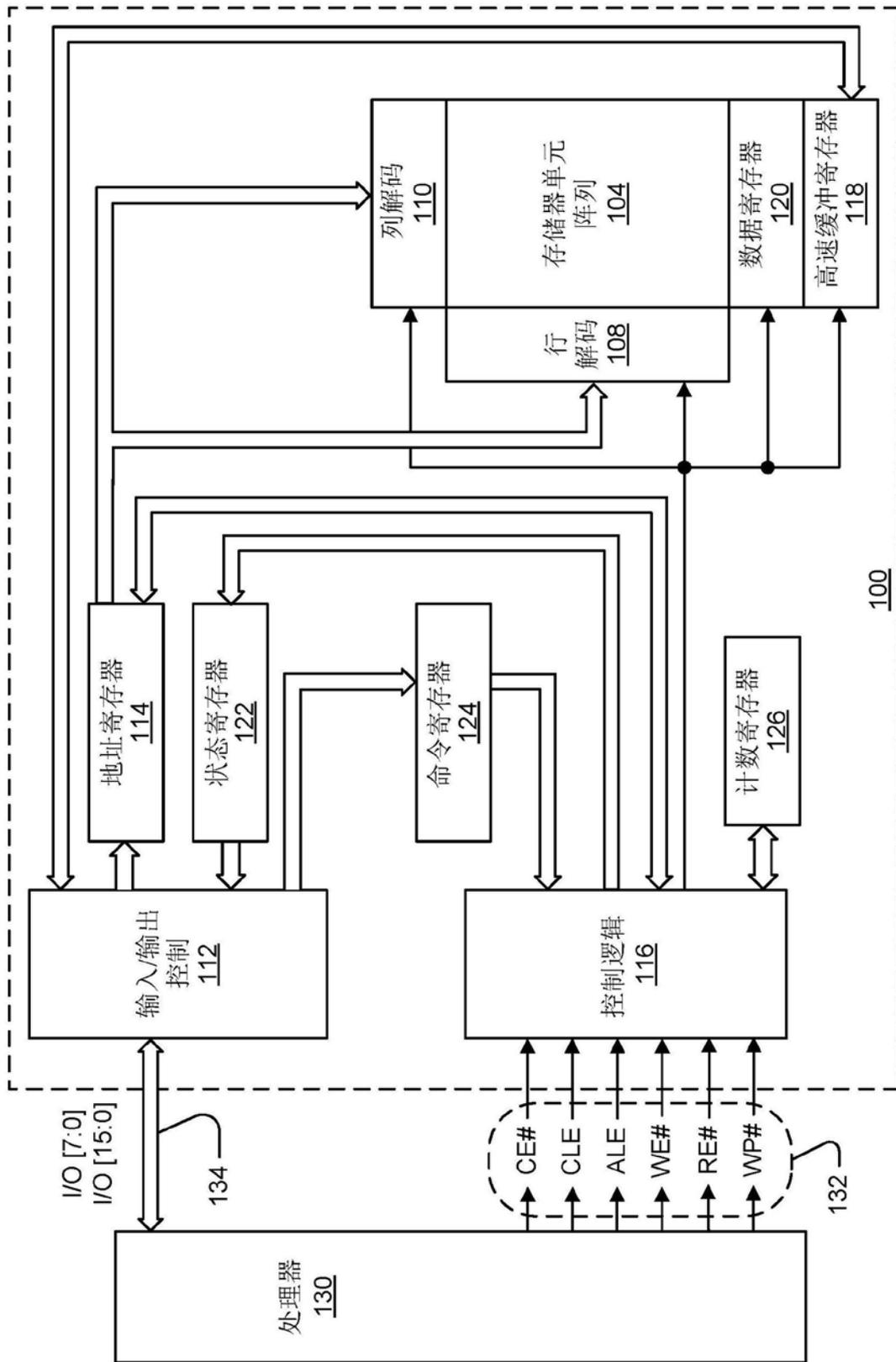


图1

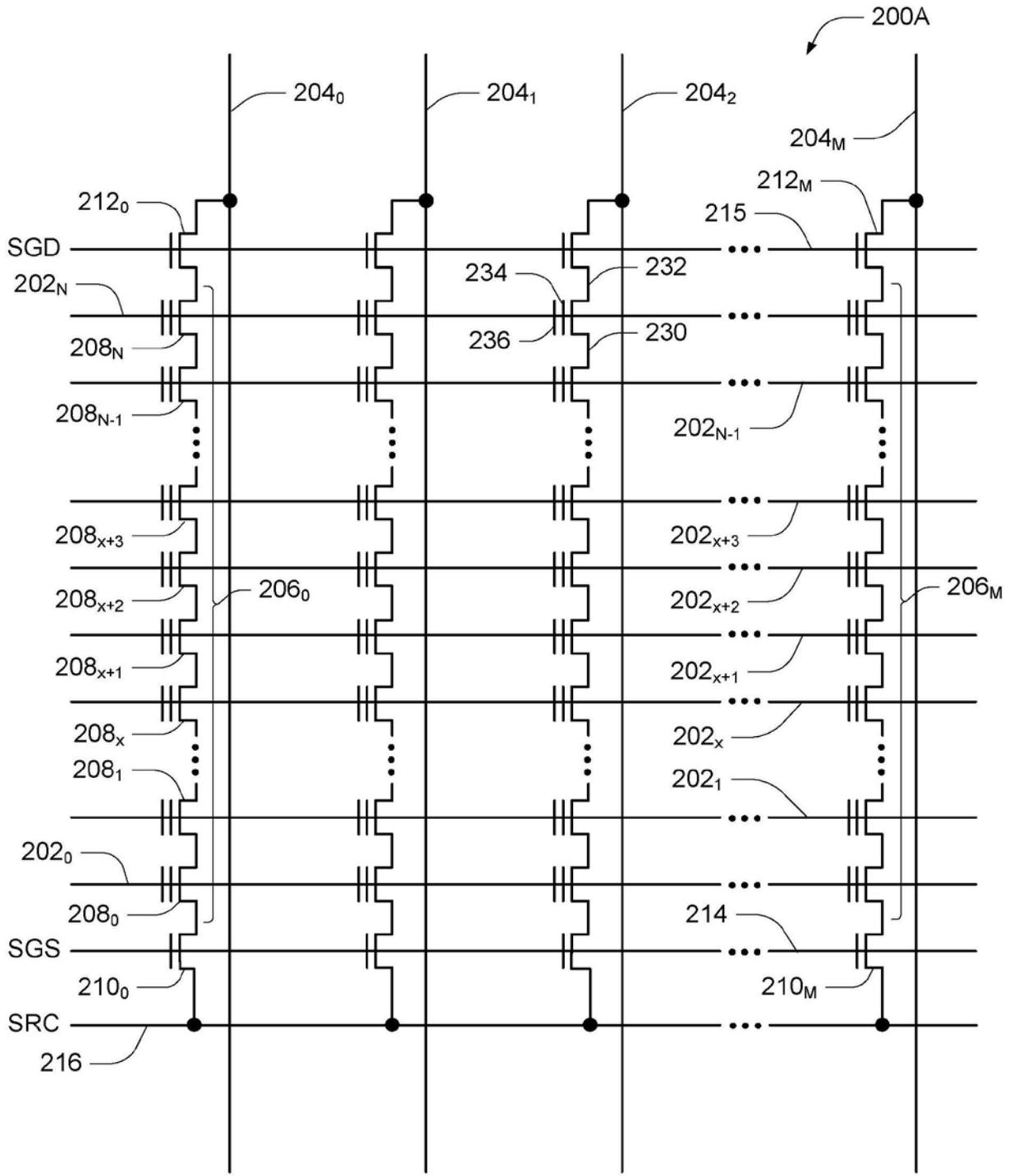


图2A

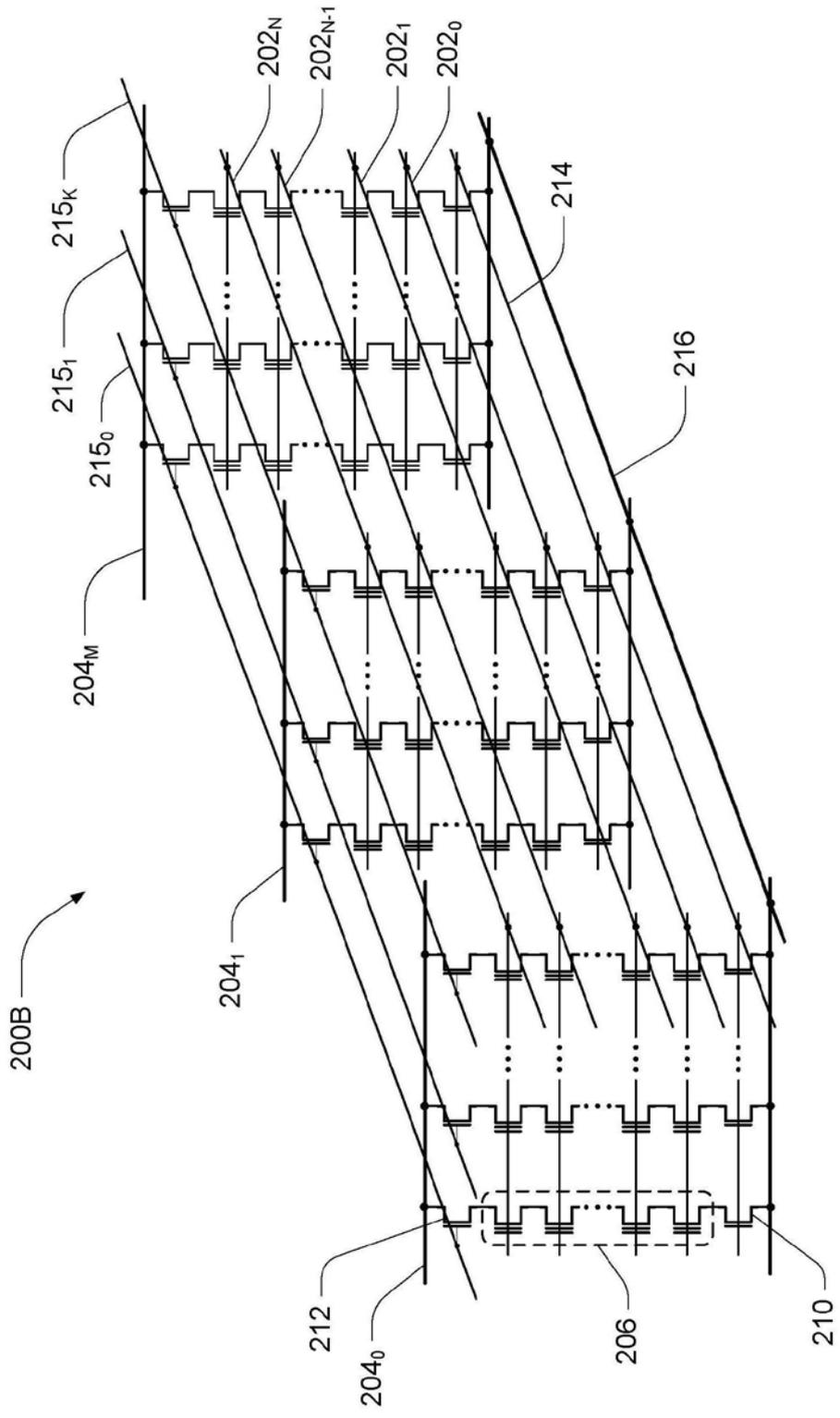


图2B

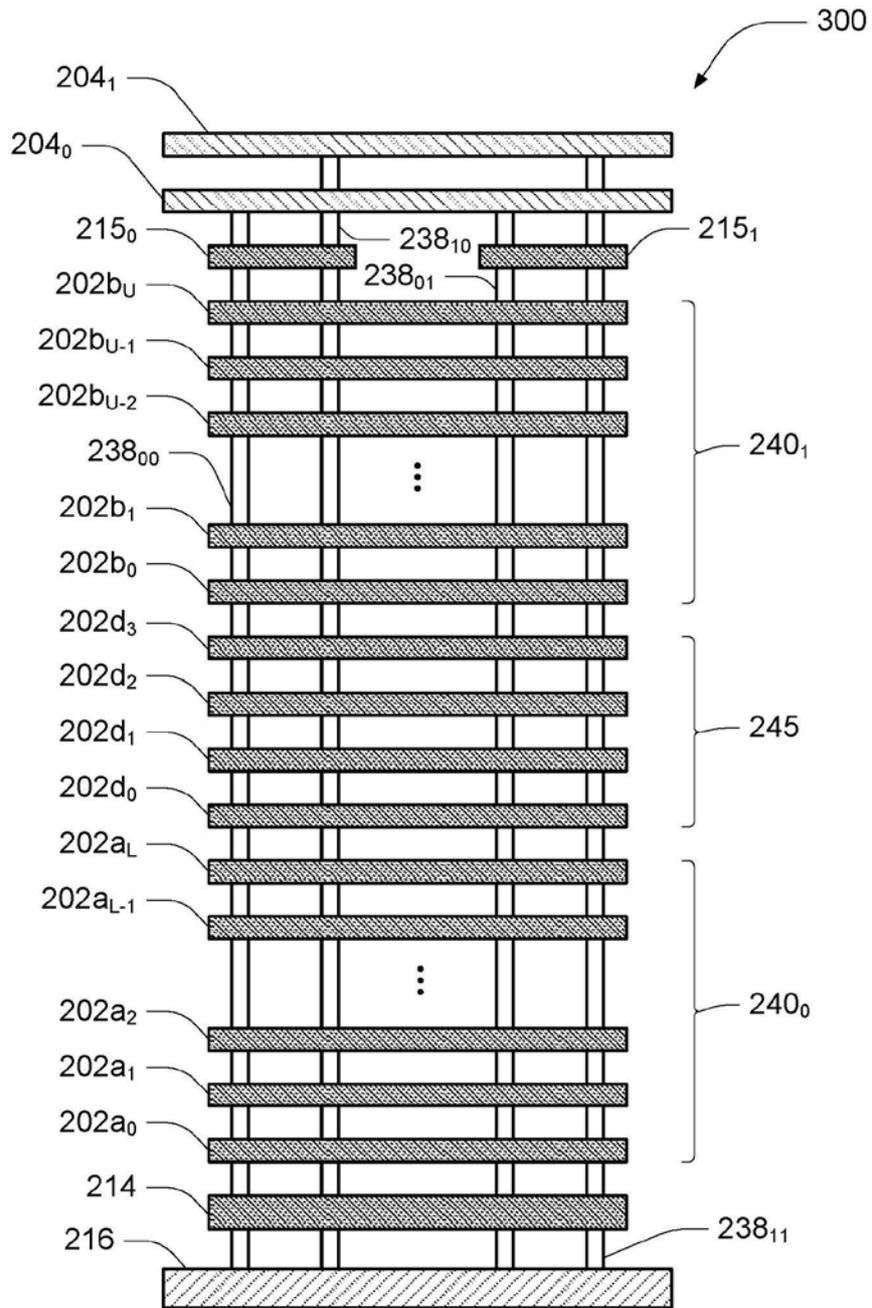


图3

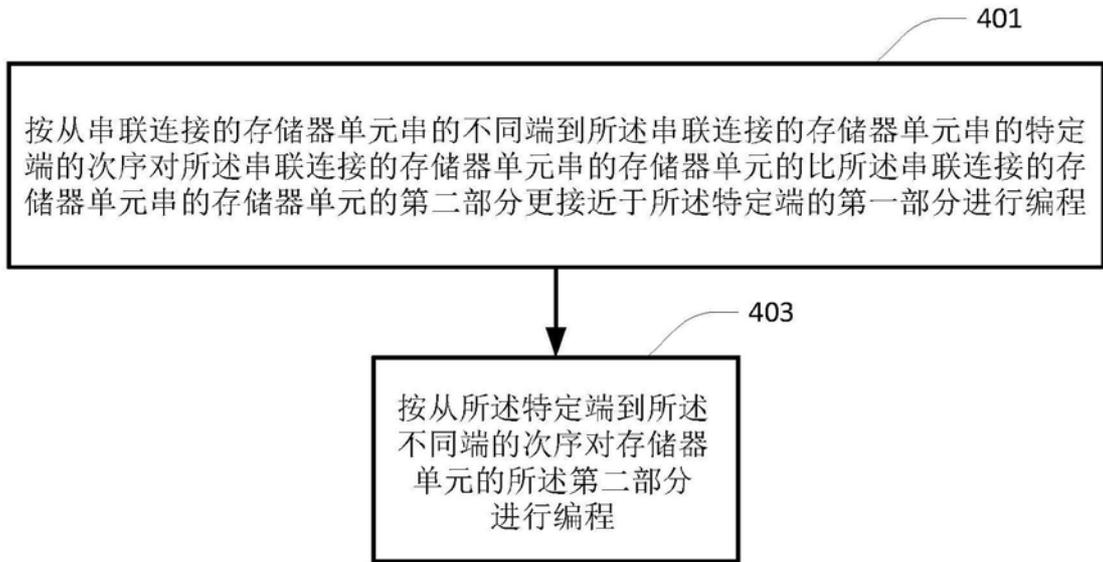


图4A

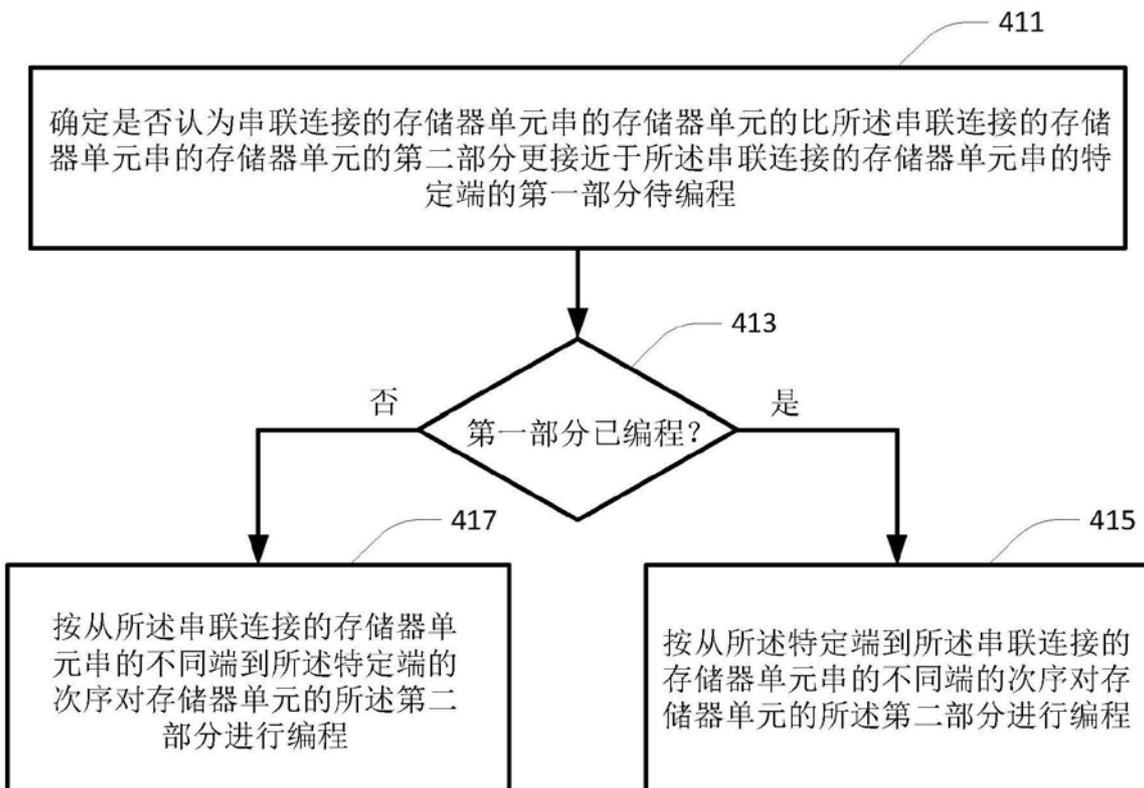


图4B

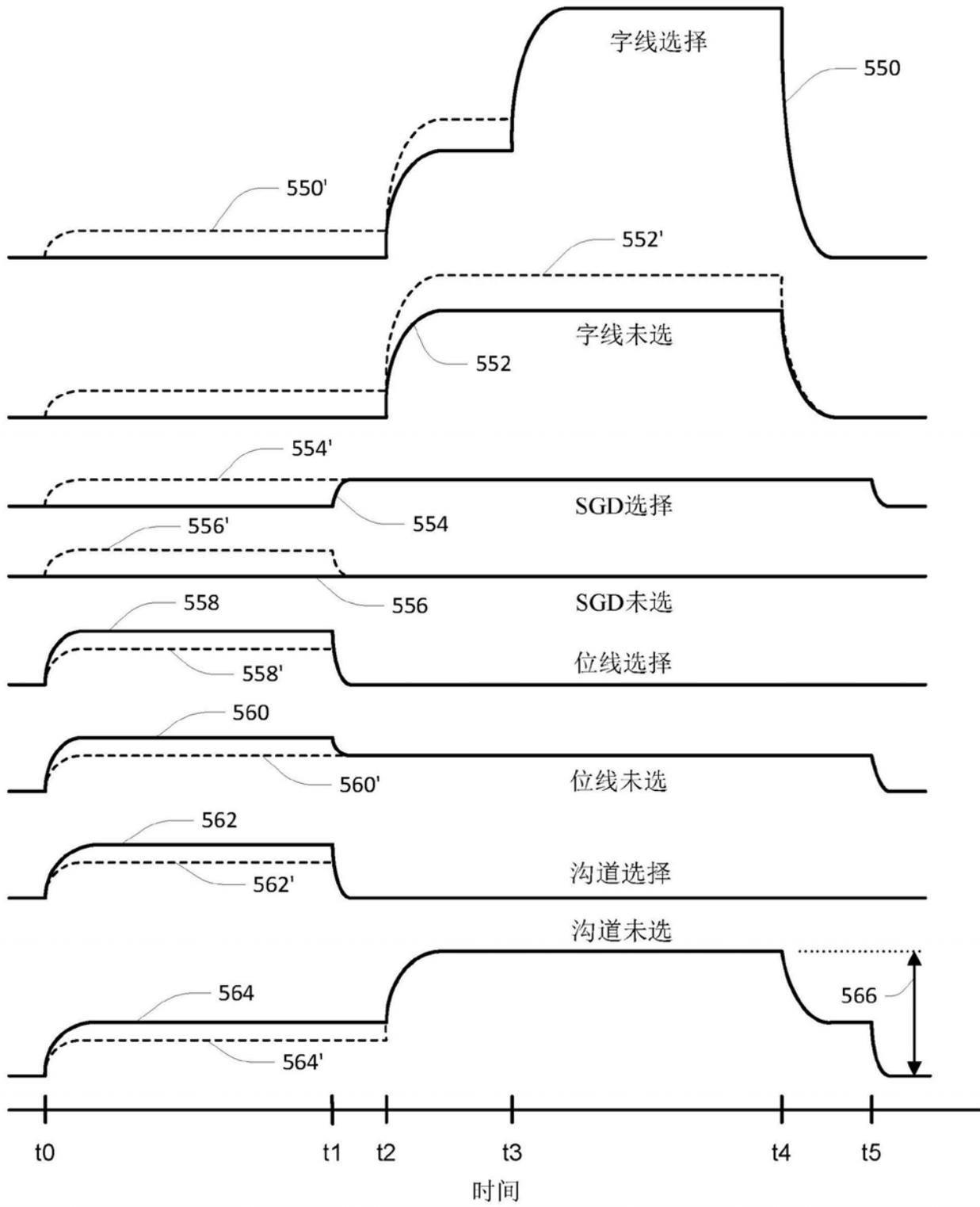


图5