

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4286041号
(P4286041)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年4月3日(2009.4.3)

| | | |
|-------------------------------|-------------|---------|
| (51) Int.Cl. | F I | |
| H03K 19/0175 (2006.01) | H03K 19/00 | I O I F |
| H01L 21/822 (2006.01) | H01L 27/04 | F |
| H01L 27/04 (2006.01) | H03K 19/094 | B |
| H03K 19/0948 (2006.01) | H03K 17/16 | H |
| H03K 17/16 (2006.01) | H03K 17/687 | F |
| 請求項の数 10 (全 40 頁) 最終頁に続く | | |

| | | | |
|--------------|-------------------------------|-----------|-------------------|
| (21) 出願番号 | 特願2003-88261 (P2003-88261) | (73) 特許権者 | 503121103 |
| (22) 出願日 | 平成15年3月27日(2003.3.27) | | 株式会社ルネサステクノロジ |
| (65) 公開番号 | 特開2004-104754 (P2004-104754A) | | 東京都千代田区大手町二丁目6番2号 |
| (43) 公開日 | 平成16年4月2日(2004.4.2) | (74) 代理人 | 100064746 |
| 審査請求日 | 平成18年1月26日(2006.1.26) | | 弁理士 深見 久郎 |
| (31) 優先権主張番号 | 特願2002-205391 (P2002-205391) | (74) 代理人 | 100085132 |
| (32) 優先日 | 平成14年7月15日(2002.7.15) | | 弁理士 森田 俊雄 |
| (33) 優先権主張国 | 日本国(JP) | (74) 代理人 | 100083703 |
| | | | 弁理士 仲村 義平 |
| | | (74) 代理人 | 100096781 |
| | | | 弁理士 堀井 豊 |
| | | (74) 代理人 | 100098316 |
| | | | 弁理士 野田 久登 |
| | | (74) 代理人 | 100109162 |
| | | | 弁理士 酒井 将行 |
| 最終頁に続く | | | |

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、

前記ドライバ回路は、

第1の電圧と前記出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする第1のトランジスタと、

前記出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じて前記第1のトランジスタと相補的にオン・オフする第2のトランジスタと、

前記入力信号に応じて前記第1および第2の内部ノードの電圧を制御し、前記第1および第2のトランジスタを相補的にオンさせる制御回路を含み、

前記制御回路は、

前記第1および第2の内部ノードの少なくとも一方に接続され、接続される内部ノードの電圧レベルに応じて、前記接続される内部ノードに対応するトランジスタがターンオン状態であるときに、前記接続される内部ノードの電圧を前記第1および第2の電圧とは異なるレベルへ設定する電圧調整回路と、

前記対応するトランジスタのターンオン時において、所定期間前記第1の内部ノードと前記第2の内部ノードとの間を電氣的に接続する接続回路とを有する、半導体装置。

【請求項2】

前記接続回路は、前記入力信号を遅延させる遅延回路を含み、

10

20

前記所定期間は、前記遅延回路の遅延時間に相当する、請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、
前記半導体装置は、前記第 1 および第 2 のトランジスタの前記少なくとも一方とゲート酸化膜が異なる他の電界効果型トランジスタをさらに備える、請求項 1 記載の半導体装置。

【請求項 4】

前記他の電界効果型トランジスタの前記ゲート酸化膜は、前記第 1 および第 2 のトランジスタの前記少なくとも一方よりも厚い、請求項 3 記載の半導体装置。

【請求項 5】

前記第 1 および第 2 のトランジスタは、電界効果型トランジスタで構成され、
前記半導体装置は、前記第 1 および第 2 のトランジスタの前記少なくとも一方と誘電体膜が異なる他の電界効果型トランジスタをさらに備える、請求項 1 記載の半導体装置。

【請求項 6】

前記第 1 および第 2 のトランジスタの前記誘電体膜は、前記他の電界効果型トランジスタよりも比誘電率が高い、請求項 5 記載の半導体装置。

【請求項 7】

前記入力信号は、複数の信号を含み、
前記制御回路は、前記複数の信号に基づく所定の論理演算結果に従って、前記第 1 および第 2 の内部ノードの電圧を制御する、請求項 1 記載の半導体装置。

【請求項 8】

前記制御回路は、前記第 1 および第 2 の内部ノードの少なくとも一方に設けられるタイミング回路をさらに有し、
前記タイミング回路は、前記対応するトランジスタのターンオン時において、前記第 1 および第 2 の電圧のうち前記対応するトランジスタをオンさせる前記第 1 および第 2 の電圧のうちの一方の電圧と前記接続される内部ノードとを所定期間接続する、請求項 7 記載の半導体装置。

【請求項 9】

入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を備え、
前記ドライバ回路は、
第 1 の電圧と前記出力ノードとの間に配置され、第 1 の内部ノードの電圧レベルに応じてオン・オフする第 1 のトランジスタと、
前記出力ノードと第 2 の電圧との間に配置され、第 2 の内部ノードの電圧レベルに応じて前記第 1 のトランジスタと相補的にオン・オフする第 2 のトランジスタと、
前記入力信号に応じて前記第 1 および第 2 の内部ノードの電圧を制御し、前記第 1 および第 2 のトランジスタを相補的にオンさせる制御回路とを含み、

前記制御回路は、

前記第 1 および第 2 の内部ノードの少なくとも一方に接続され、接続される内部ノードの電圧レベルに応じて、前記接続される内部ノードに対応するトランジスタがターンオン状態であるときに、前記接続される内部ノードの電圧を前記第 1 および第 2 の電圧とは異なる電圧レベルへ設定する、電圧調整回路と、

前記入力信号を遅延させた遅延信号を出力する遅延回路と、

前記少なくとも一方のトランジスタに対応して設けられ、前記対応するトランジスタのターンオン時において、前記入力信号と前記遅延信号との比較結果に応じて前記第 1 および第 2 の電圧のうち前記対応するトランジスタをオンさせる前記第 1 および第 2 の電圧の一方と、前記接続される内部ノードとを接続するタイミング回路とを有する、半導体装置。

【請求項 10】

前記タイミング回路は、

10

20

30

40

50

前記入力信号を反転させた反転信号を出力する反転回路と、
前記遅延信号と前記反転信号との否定論理積であるNAND信号を出力するNAND回路とを有し、

前記対応するトランジスタのターンオン時において、NAND信号に応じて前記第1および第2の電圧のうち前記対応するトランジスタをオンさせる前記第1および第2の電圧の一方と、前記接続される内部ノードとを接続する、請求項9記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特にCMOSドライバ回路を備えた半導体装置に関する。

10

【0002】

【従来の技術】

近年、複数の処理回路を具備する半導体装置がワンチップマイコンとして製品化されており、このような半導体装置が携帯電話機などの電子回路機器等に利用されている。携帯電話機などのような携帯機器では、必然的にバッテリーを電源とするが、小型軽量化が要求されるためバッテリーも小型軽量化されている。

【0003】

このバッテリーの小型軽量化に加え、長時間のバッテリーの使用も要求されるためバッテリーの消費電力の削減も極度に要求されている。一方、デジタル方式の携帯電話機等の場合、音声信号をリアルタイムにデジタル処理するため、当該半導体装置の高速化も要求されている。

20

【0004】

上記の種々の要求において、回路内の信号処理部においては、内部回路に処理した信号を伝播するために電流駆動力の小さなトランジスタで構成し、外部に出力する回路については電流駆動力の大きなトランジスタで構成されたドライバ回路を用いることが一般的である。

【0005】

図31は、入力信号を伝播する従来のCMOSドライバ回路の回路構成図である。なお、以下においてはCMOSドライバ回路を単にドライバ回路とも称する。

【0006】

図31を参照して、従来のCMOSドライバ回路は、直列に接続された2段のインバータINV0とINV1とを含む。インバータINV0は、トランジスタPT0とNT0とを含む。トランジスタPT0は、電源電圧VDDとノードNaとの間に配置され、そのゲートは入力ノードと接続されて入力信号INの入力を受ける。また、トランジスタNT0は、ノードNaと接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。

30

【0007】

インバータINV1は、トランジスタPT1とトランジスタNT1とを含む。トランジスタPT1は、電源電圧VDDと出力ノードとの間に配置され、そのゲートはノードNaと接続されている。また、トランジスタNT1は、出力ノードと接地電圧GNDとの間に配置され、そのゲートはノードNaと接続されている。なお、トランジスタPT0、PT1は、PチャンネルMOSトランジスタであり、トランジスタNT0、NT1は、NチャンネルMOSトランジスタである。

40

【0008】

また、インバータINV1は、出力ノードに伝達された信号を出力信号OUTとして出力する。

【0009】

なお、以下においては、入力信号INを受ける入力ノードについても符号INで示すとともに、出力信号OUTが駆動される出力ノードについても符号OUTで示すこととする。

【0010】

50

図32のタイミングチャート図を用いて従来のCMOSドライバ回路の動作について説明する。なお、以下の説明においては、一例として電源電圧VDDは1V、接地電圧GNDは0Vとして説明する。また、高電圧レベル(電源電圧VDD:1V)を「H」レベルとし、低電圧レベル(接地電圧GND:0V)を「L」レベルとして説明する。

【0011】

初期状態においては、入力信号INは0Vとする。この場合において、インバータINV0のトランジスタPT0はオンし、電源電圧VDDとノードNaとを電氣的に結合する。したがってノードNaの電圧レベルは1Vに設定されている。また、ノードNaの電圧レベルに反応してインバータINV1のトランジスタNT1はオンし、接地電圧GNDと出力ノードとを電氣的に結合する。したがって、出力ノードの電圧レベルは0Vに設定されている。

10

【0012】

時刻T1において、入力信号INが0Vから1Vに遷移した場合、インバータINV0のトランジスタPT0はオフし、トランジスタNT0がオンする。これに反応して、接地電圧GNDとノードNaとが電氣的に結合され、ノードNaの電圧レベルは0Vに設定される。また、インバータINV1について考えると、ノードNaの電圧レベルに反応してトランジスタPT1がオンし、電源電圧VDDと出力ノードとが電氣的に結合される。したがって、出力ノードの電圧レベルは1Vに設定される。出力信号OUTは、時刻T1からトランジスタの動作遅延時間経過後の時刻T1aに立上り、1Vに設定される。

【0013】

20

一方、時刻T2において入力信号INが1Vから0Vに遷移した場合、インバータINV0のトランジスタNT0がオフし、トランジスタPT0がオンする。これに反応して、電源電圧VDDとノードNaとが電氣的に結合され、ノードNaの電圧レベルは1Vに設定される。また、ノードNaの電圧レベルに反応してインバータINV1のトランジスタPT1はオフし、トランジスタNT1がオンする。これにより、出力ノードと接地電圧GNDとが電氣的に結合され、出力ノードの電圧レベルは0Vに設定される。

【0014】

上記において説明したように、CMOSドライバ回路は、入力信号INの「L」レベルから「H」レベルもしくは「H」レベルから「L」レベルの変化に伴い、出力信号OUTが伝播される。

30

【0015】

通常、出力ノードは、次段の回路と電氣的に接続され、その次段の回路の入力容量や配線による寄生容量および抵抗等が出力負荷となる。高速に入力信号INに反応して高速に出力信号OUTを伝播するためには、出力段のインバータINV1を構成するトランジスタPT1およびNT1の動作速度を高速化させることが必要である。具体的には、初段のインバータINV0を構成するトランジスタPT0およびNT0より、出力段のインバータINV1を構成するトランジスタPT1およびNT1のチャンネル幅を大きくして信号伝播速度を高速化させている。たとえば、ゲート長がそれぞれ0.1 μ mの場合において、それぞれトランジスタPT0, NT0, PT1およびNT1のゲート幅は、各々2 μ m, 1 μ m, 10 μ m, 5 μ m程度に設計されている。

40

【0016】

【特許文献1】

特開2001-156260号公報

【0017】

【発明が解決しようとする課題】

以上説明したように、従来のCMOSドライバ回路は、ドライバ回路を構成する出力段のインバータのゲート幅を大きくすることにより信号伝播速度の高速化を図る構成が一般的である。

【0018】

しかしながら、トランジスタの微細化技術が進むにつれて、ゲート酸化膜の膜厚が薄くな

50

り、ゲートからソースやドレインもしくは基板間に流れるいわゆるゲートリーク電流が大きくなるという問題が生じてきている。

【0019】

図33は、ゲート酸化膜の厚膜とトランジスタ1個当りのゲートリーク電流との関係を示す図である。トランジスタのゲート長は $0.1\mu\text{m}$ 、ゲート幅は $10\mu\text{m}$ に設定されたトランジスタのリーク電流の特性図である。

【0020】

図33を参照して、横軸はゲート酸化膜厚を示しており、縦軸はトランジスタ1個当りのゲートリーク電流(単位A:アンペア)を示す。

【0021】

ここで示されるゲートリーク電流は、NチャンネルMOSトランジスタでは、ゲート端子に電源電圧VDD、ソース、ドレインおよび基板端子にそれぞれ共通に接地電圧GNDを接続した場合において、ゲート端子からソース、ドレインおよび基板端子へリークする電流を示す。一方、PチャンネルMOSトランジスタでは、ゲート端子に接地電圧GND、ソース、ドレインおよび基板端子にそれぞれ共通に電源電圧VDDを供給した場合において、ソース、ドレインおよび基板端子からゲート端子へリークする電流を示す。

【0022】

これまでのゲート長が $0.18\mu\text{m}$ 程度の世代においては、トランジスタのゲート酸化膜厚は 260nm 程度である。ここでゲート幅を $1\mu\text{m}$ とした場合におけるゲートリーク電流について考える。

【0023】

図33において示されるゲートリーク電流はゲート面積にほぼ比例する。たとえば、ゲート酸化膜厚が 260nm 程度でトランジスタのゲート長が $0.1\mu\text{m}$ 、ゲート幅が $10\mu\text{m}$ の場合は、トランジスタのゲートリーク電流は $1\text{E}-14(\text{A})$ 程度である。なお、 $1\text{E}-14$ は、 1×10 の -14 乗を指し示すものとする。以下においても同様である。そうすると、ゲート長が $0.18\mu\text{m}$ 、ゲート幅Wが $1\mu\text{m}$ 当りで考えると、トランジスタ1個当りのゲートリーク電流は $1.8\text{E}-15(\text{A})$ 程度となる。

【0024】

これに対して、トランジスタがスタンバイ状態であるときのソースドレイン間に流れるサブスレッショルドリーク電流は、同じ設定条件において $1\text{E}-12(\text{A})$ 程度である。したがって、サブスレッショルドリーク電流の方がゲートリーク電流よりも遥かに大きいため、ゲート長が $0.18\mu\text{m}$ 程度の世代においてはゲートリーク電流の電流量を考慮する必要性はなかった。

【0025】

しかし、近年の微細化技術の進歩および動作高速化の要求に伴い、ゲート酸化膜厚が薄くなるにつれてゲートリーク電流が無視できなくなってきた。たとえばゲート長が $0.1\mu\text{m}$ 世代においては、そのときのゲート酸化膜厚は 200nm 程度に設計される。

【0026】

図33を参照してゲート幅が $10\mu\text{m}$ である場合のトランジスタのゲートリーク電流を計算すると約 $1\text{E}-11(\text{A})$ 程度となる。このゲートリーク電流は、ゲート長が $0.1\mu\text{m}$ 、ゲート幅が $1\mu\text{m}$ で設計されたトランジスタで計算すると $1\text{E}-12(\text{A})$ 程度になる。したがって、上記のサブスレッショルドリーク電流と同等程度のリーク電流が流れることになりリーク電流を無視することができなくなってきた。このように微細化技術に伴うトランジスタのゲートリーク電流の増大にともなって回路全体の消費電力が増大してしまうという問題がある。

【0027】

また、上記において説明したように、ゲートリーク電流はトランジスタのゲート面積に比例するものである。したがって、ドライバ回路の最終段で用いられるトランジスタのゲート幅がより大きいトランジスタにおいて特にゲートリーク電流が増大する。

【0028】

10

20

30

40

50

このようなリーク電流を低減する方式として、特開2001-156260号公報には、ゲート酸化膜厚の異なるトランジスタを混在させ、ゲート酸化膜厚が薄くゲートリーク電流が大きいトランジスタで構成した回路は、非動作時にその電源供給を止めてリーク電流を抑制するという方式が開示されている。しかしながら、このような方式では、動作、非動作に応じて電源供給を制御するための構成を設けることが必要である。また動作モードから非動作モードに切換えるための待ち時間も必要となりかかる方式では高速動作の障害ともなる。

【0029】

本発明の目的は、上記の問題を解決するもので、代表的にはドライバ回路で用いられるゲート酸化膜厚の薄いトランジスタのゲートリーク電流を抑制して消費電力を低減する半導体装置を提供することである。

10

【0030】

【課題を解決するための手段】

本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第1および第2のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて第1および第2のトランジスタを相補的にオンさせるために、第1および第2の内部ノードの電圧を制御する。また、制御回路は、第1および第2の内部ノードの少なくとも一方に接続される電圧調整回路を有する。電圧調整回路は、接続される内部ノードの電圧レベルに応じて、接続される内部ノードに対応するトランジスタがターンオン状態であるときに、接続される内部ノードの電圧を第1および第2の電圧とは異なるレベルへ設定する。

20

【0031】

また、本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第1、第2および第3のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする。第3のトランジスタは、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第1の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第1のトランジスタと第2および第3のトランジスタとを相補的にオンさせるために、第1および第2の内部ノードの電圧を制御する。制御回路は、第2および第3のトランジスタのターンオン時に、第1のトランジスタをターンオフするために第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに設定するとともに、所定期間、第2の内部ノードに対して一方の電圧を供給する。また、第2のトランジスタは、第3のトランジスタより第2の電圧を出力ノードへ供給する駆動力が大きい。

30

【0032】

また、本発明の半導体装置は、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するためのドライバ回路を含む。ドライバ回路は、第1～第4のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする。第3のトランジスタは、出力ノードと第1の電圧との間に第1のトランジスタと並列に配置され、第3の内部ノードの電圧レベルに応じてオン・オフする。第4のトランジスタは、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第3のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第1および第2のトランジスタを相補的にオンさせるとともに第3および第4のトランジスタを相補的に

40

50

オンさせるために第1、第2および第3の内部ノードの電圧を制御する。制御回路は、入力信号に応じて、第3の内部ノードを第3および第4のトランジスタがオンする第1および第2の電圧の一方に設定する。また、制御回路は、出力ノードの電圧に応じて、第3の内部ノードと、第1および第2の内部ノードのいずれか一方とを所定期間電氣的に結合する接続回路とを有する。また、第1のトランジスタは、第3のトランジスタより第1の電圧を出力ノードへ供給する駆動力が大きく、第2のトランジスタは、第4のトランジスタより第2の電圧を出力ノードへ供給する駆動力が大きい。

【0033】

また、本発明の半導体装置は、互いに隣接して配置され、各々が、入力ノードに受けた入力信号に応じて出力ノードに電圧を駆動するための第1および第2のドライバ回路を含む。第1および第2のドライバ回路の各々は、第1、第2および第3のトランジスタと、制御回路とを含む。第1のトランジスタは、第1の電圧と出力ノードとの間に配置され、第1の内部ノードの電圧レベルに応じてオン・オフする。第2のトランジスタは、出力ノードと第2の電圧との間に配置され、第2の内部ノードの電圧レベルに応じてオン・オフする。第3のトランジスタは、出力ノードと第2の電圧との間に第2のトランジスタと並列に配置され、第1の内部ノードの電圧レベルに応じて第1のトランジスタと相補的にオン・オフする。制御回路は、入力信号に応じて、第1のトランジスタと第2および第3のトランジスタとを相補的にオンさせるために、第1および第2の内部ノードの電圧を制御する。制御回路は、第2および第3のトランジスタのターンオン時に、第1のトランジスタをターンオフするために第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに設定するとともに、所定期間、第2の内部ノードに対して一方の電圧を供給する。また、第2のトランジスタは、第3のトランジスタより第2の電圧を出力ノードへ供給する駆動力が大きい。各制御回路は、ノイズ調整回路を含む。ノイズ調整回路は、スタンバイ時に隣接するドライバ回路に入力された入力信号に応じて第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに供給する。

【0034】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、その説明は繰返さない。

【0035】

(実施の形態1)

図1は、本発明の実施の形態1に従うCMOSドライバ回路の回路構成図である。

【0036】

図1を参照して、本発明の実施の形態1に従うドライバ回路100は、インバータINV1～INV3を含む。従来のドライバ回路と比較して、図31で説明したインバータINV0を削除して、入力信号INを受けるインバータを並列に2段構成にした点異なる。具体的には、インバータINV2は、入力信号INにตอบสนองしてその出力結果をインバータINV1のトランジスタNT1のゲートと接続されたノードN0へ出力する。また、インバータINV3は、入力信号INにตอบสนองしてその出力結果をインバータINV1のトランジスタPT1のゲートと接続されたノードN1へ出力する。インバータINV1およびINV3は、ノードN0およびN1の電圧レベルを制御する制御回路CT1を構成する。

【0037】

インバータINV2は、トランジスタPTT2, PT2, NT2とを含む。ここでは、一例としてトランジスタPTT2およびPT2は、PチャンネルMOSトランジスタとする。また、トランジスタNT2は、NチャンネルMOSトランジスタとする。トランジスタPTT2は、ソース側を電源電圧VDDと接続し、ドレイン-ゲート間を電氣的に結合している。つまり、トランジスタPTT2は、いわゆるダイオード接続されたトランジスタである。トランジスタPT2は、トランジスタPTT2を介して電源電圧VDDとノードN0との間に配置され、そのゲートは入力信号INの入力を受ける。トランジスタNT2

は、ノードN0と接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。

【0038】

インバータINV3は、トランジスタPT3およびNT3を含む。ここでは、一例としてトランジスタPT3はPチャンネルMOSトランジスタとする。また、トランジスタNT3はNチャンネルMOSトランジスタとする。トランジスタPT3は、電源電圧VDDとノードN1との間に配置され、そのゲートは入力信号INの入力を受ける。トランジスタNT3は、ノードN1と接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。

【0039】

図2のタイミングチャート図を用いて本発明の実施の形態1に従うドライバ回路100の動作について説明する。

【0040】

時刻T1において、入力信号INが0Vから1Vに遷移した場合、インバータINV2のトランジスタNT2がオンする。これにตอบสนองして、接地電圧GNDとノードN0とが電氣的に結合され、ノードN0の電圧レベルは0Vとなる。また、インバータINV3のトランジスタNT3がオンする。これにตอบสนองして、接地電圧GNDとノードN1とが電氣的に結合され、ノードN1の電圧レベルは0Vとなる。このノードN0およびノードN1の電圧レベルに応じて、インバータINV1が動作する。ノードN0およびノードN1が共に0Vすなわち「L」レベルであるためトランジスタPT1がオンし、トランジスタNT1はオフである。これに伴い、電源電圧VDDとノードNbとが電氣的に結合され、ノードNbは1Vとなる。

【0041】

次に、時刻T2において入力信号INが1Vから0Vに遷移した場合について考える。インバータINV2において、トランジスタNT2がオフとなり、トランジスタPT2がオンする。これによりノードN0は、トランジスタPT2を介して電源電圧VDDと電氣的に結合される。また、インバータINV3において、トランジスタNT3がオフとなり、トランジスタPT3がオンとなる。これにより、ノードN1は、電源電圧VDDと電氣的に結合される。

【0042】

このノードN0およびノードN1の電圧レベルに応じて、インバータINV1は、ノードNbに対して電圧を供給する。ノードN0およびノードN1が共に「H」レベルであるためトランジスタNT1がオンし、トランジスタPT1はオフである。これに伴い、接地電圧GNDとノードNbとが電氣的に結合され、ノードNbは0Vとなる。

【0043】

ここでノードN0について考えると、ノードN0の電圧レベルは、ダイオード接続されたトランジスタPT2の閾値電圧分、電源電圧VDDから降下した電圧レベルに設定される。なお、このトランジスタPT2の閾値電圧分、電源電圧VDDから降下した電圧レベルはトランジスタのNT1のオン電圧（たとえば0.5V）よりも高いものとする。たとえば、トランジスタPT2の閾値電圧が0.4VであるとするときノードN0の電圧レベルは0.6V（1V - 0.4V）に設定される。したがって、トランジスタがオンするときのゲート電圧は、電源電圧VDDレベル（1V）よりも低い電圧レベル（0.6V）に設定される。これによりトランジスタNT1がオンする。したがって、ノードNbは、接地電圧GNDと電氣的に結合され、時刻T3において完全に0Vに立ち下がる。

【0044】

図3は、ゲート酸化膜厚200nmで設計されたトランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

【0045】

図3を参照して、横軸はトランジスタのゲート電圧（V）を示す。縦軸はトランジスタの単位ゲート面積当りに流れるゲートリーク電流（A/μm²）を示す。

10

20

30

40

50

【 0 0 4 6 】

図 3 に示されるように、ゲート電圧が 1 V の電圧レベルである場合には、そのときの単位ゲート面積当りのゲートリーク電流は $1 \text{ E} - 1 1 \text{ (A / } \mu \text{ m}^2 \text{)}$ に設定される。一方、ゲート電圧を 0 . 5 V に低下させるとそのゲートリーク電流は 1 桁低減されて $1 \text{ E} - 1 2 \text{ (A / } \mu \text{ m}^2 \text{)}$ に設定される。このようにゲートリーク電流は、ゲート電圧に対して対数的に変化する特性を示すものであるため、ゲート電圧を僅かに低下させるだけでそのリーク電流は大幅に低減される。

【 0 0 4 7 】

本発明の実施の形態 1 に従うドライバ回路 1 0 0 は、インバータ I N V 2 および I N V 3 を用いて入力信号 I N に応じてノード N 0 および N 1 の電圧を制御する。また、インバータ I N V 2 に含まれるトランジスタ N T T 2 を用いてトランジスタ N T 1 の電圧レベルを調整し、リーク電流を低減する。

10

【 0 0 4 8 】

すなわち、上記において説明したようにトランジスタ N T 1 のゲートに供給するゲート電圧を電源電圧 V D D よりも低くオン電圧よりも高い値に設定することにより、トランジスタ N T 1 のゲートリーク電流を大幅に低減することができる。

【 0 0 4 9 】

本発明の実施の形態 1 に従うドライバ回路 1 0 0 の構成により、動作、非動作に応じて電源供給を制御する回路等を設けることなく、また、動作モードと非動作モードとの切替えを必要とすることなく、低消費電力で高速な C M O S ドライバ回路を実現することが可能となる。

20

【 0 0 5 0 】

(実施の形態 2)

図 4 は、本発明の実施の形態 2 に従うドライバ回路 2 0 0 の構成図である。

【 0 0 5 1 】

図 4 を参照して、本発明の実施の形態 2 に従うドライバ回路 2 0 0 は、図 1 に示したドライバ回路 1 0 0 と比較して、所定期間内部ノードの電圧レベルを調整するタイミング回路 1 0 をさらに含む点異なる。その他の点は実施の形態 1 のドライバ回路 1 0 0 と同様の構成であるのでその説明は繰り返さない。また、インバータ I N V 2 , I N V 3 およびタイミング回路 1 0 は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 C T 2 を構成する。

30

【 0 0 5 2 】

タイミング回路 1 0 は、トランジスタ 1 , 2 と、インバータ 3 とを含む。ここでは、トランジスタ 1 および 2 は、Pチャンネル M O S トランジスタとする。トランジスタ 1 および 2 は、電源電圧 V D D とノード N 0 との間に直列に接続され、トランジスタ 1 のゲートは、入力信号 I N の入力を受ける。また、トランジスタ 2 のゲートは、インバータ 3 を介する出力信号 O U T の反転信号の入力を受ける。

【 0 0 5 3 】

図 5 のタイミングチャート図を用いて本発明の実施の形態 2 に従うドライバ回路 2 0 0 の動作について説明する。

40

【 0 0 5 4 】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合についてはタイミング回路 1 0 は実質的に機能しない。したがって、実施の形態 1 で説明した図 2 のドライバ回路の動作と同様であり、その説明は繰り返さない。

【 0 0 5 5 】

時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合について考える。入力信号 I N が 1 V から 0 V に遷移した場合、これに伴いインバータ I N V 2 においてトランジスタ P T 2 がオンし、トランジスタ P T T 2 を介して電源電圧 V D D とノード N 0 とが電氣的に結合される。したがって、インバータ I N V 2 は、上述したようにノード N 0 の電圧レベルを 0 . 6 V に設定しようとする。

50

【 0 0 5 6 】

ここで、タイミング回路 1 0 の動作について考える。インバータ 3 は、出力信号 O U T (「 H 」 レベル) の反転信号 (「 L 」 レベル) をトランジスタ 2 に出力し、トランジスタ 2 はオン状態である。ここで、時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合、トランジスタ 1 がオンする。したがって、トランジスタ 1 および 2 がオンしているため、電源電圧 V D D とノード N 0 とが電氣的に結合される。これに伴い、ノード N 0 の電圧レベルは 1 V に設定される。これに应答して、インバータ I N V 1 のトランジスタ N T 1 がオンし、接地電圧 G N D とノード N b とが電氣的に結合され、ノード N b の電圧レベルは 0 V (「 L 」 レベル) に設定される。ノード N b の電圧レベルが 0 V へ変化するとタイミング回路 1 0 は、トランジスタ 2 をオフとする。すなわち、タイミング回路 1 0 からノード N 0 に対しての電源電圧 V D D (1 V) の供給が停止される。

10

【 0 0 5 7 】

本発明の実施の形態 2 に従うドライバ回路 2 0 0 は、トランジスタ N T 1 のターンオン時には、一時的にタイミング回路 1 0 により電源電圧 V D D と電氣的に直接結合させることによりトランジスタ N T 1 のオン電流を増大させ、動作速度を上げる。

【 0 0 5 8 】

これにより、ノード N b の電圧レベルを 0 V に設定する時間を短縮することができる。すなわち、実施の形態 1 に従うドライバ回路 1 0 0 では、図 2 に示されるようにトランジスタ N T 1 のゲート電圧は 0 . 6 V に設定していたため入力信号 I N が 0 V になった時刻 T 2 から出力信号 O U T が 0 V となる時刻 T 3 までには期間 S 0 を要していた。これに対し

20

【 0 0 5 9 】

さらに、出力信号 O U T が 0 V となった時刻 T 4 以降においては、電源電圧 V D D とノード N 0 とは電氣的に非接続とされるので、トランジスタ N T 1 のオン電圧の範囲内においてノード N 0 の電圧レベルは 0 . 6 V に降下する。したがって、出力信号 O U T が 0 V である定常的な状態においては、トランジスタ N T 1 に与えるゲート電圧を降下させることによりゲートリーク電流を低減することができる。

30

【 0 0 6 0 】

(実施の形態 2 の変形例 1)

図 6 は、本発明の実施の形態 2 の変形例 1 に従う C M O S ドライバ回路 2 1 0 の回路構成図である。

【 0 0 6 1 】

図 6 を参照して、本発明の実施の形態 2 の変形例 1 に従うドライバ回路 2 1 0 は、図 5 に示す本発明の実施の形態 2 に従うドライバ回路 2 0 0 と比較して、タイミング回路 1 0 をタイミング回路 2 0 に置換した点が異なる。また、インバータ I N V 2 , I N V 3 およびタイミング回路 2 0 は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 C T 2 # を構成する。

40

【 0 0 6 2 】

タイミング回路 2 0 は、トランジスタ 2 1 と、 N A N D 回路 2 2 とを含む。ここでは、トランジスタ 2 1 は、一例として P チャンネル M O S トランジスタとする。 N A N D 回路 2 2 はノード N b からの出力信号 O U T とノード N 1 からの伝達された信号とを受けてその N A N D 論理演算結果をトランジスタ 2 1 のゲートに出力する。トランジスタ 2 1 は、電源電圧 V D D とノード N 0 との間に配置され、そのゲートは N A N D 回路 2 2 の入力を受ける。

【 0 0 6 3 】

本発明の実施の形態 2 の変形例 1 のドライバ回路 2 1 0 の動作についても図 5 で示した実施の形態 2 のドライバ回路 2 0 0 の動作を示すタイミングチャート図と同様である。具体

50

的には、時刻 T₂において、入力信号 I_Nが 1 V から 0 V に遷移するのに応答してノード N₁の電圧レベルが 1 V (「H」レベル)となる。このとき、ノード N_bの電圧レベルは 1 V (「H」レベル)であるので、NAND回路 2₂の出力信号は「L」レベルとなり、トランジスタ 2₁がオンする。したがって、電源電圧 V_{DD}とノード N₀とが電氣的に結合され、ノード N₀の電圧レベルは実施の形態 2 に従うドライバ回路 2₀₀の構成と同様に 1 V となる。これに応答して、トランジスタ N_{T1}がオンし、接地電圧 G_{ND}とノード N_bとが電氣的に結合され、ノード N_bの電圧レベルは 0 V となる。これに応答して、NAND回路 2₂の出力信号は「H」レベルとなり、トランジスタ 2₁はオフとなる。また、以降の動作については実施の形態 2 に従うドライバ回路 2₀₀の動作と同様であるのでその説明は繰り返さない。すなわち、本発明の実施の形態 2 の変形例 1 のドライバ回路 2₁₀の構成においても、トランジスタ N_{T1}がオンする場合には、タイミング回路 2₀により電源電圧 V_{DD}と電氣的に直接結合させることによりトランジスタ N_{T1}を高速動作させる。また、タイミング回路 2₀により、出力信号 O_{UT}が 0 V である定常的な状態においては、ゲート電圧を降下 (0.6 V) させることによりゲートリーク電流を低減することができる。

10

【0064】

本発明の実施の形態 2 の変形例 1 のドライバ回路 2₁₀の構成により、実施の形態 2 のドライバ回路 2₀₀の構成と同様に消費電力を低減することが可能となる。

【0065】

(実施の形態 2 の変形例 2)

20

図 7 は、本発明の実施の形態 2 の変形例 2 に従う CMOS ドライバ回路 2₂₀の回路構成図である。

【0066】

図 7 を参照して、本発明の実施の形態 2 の変形例 2 に従うドライバ回路 2₂₀は、図 6 に示すドライバ回路 2₁₀と比較して、タイミング回路 2₀をタイミング回路 3₀に置換した点異なる。また、インバータ I_{NV2}、I_{NV3}およびタイミング回路 3₀は、ノード N₀および N₁の電圧レベルを制御する制御回路 C_{T2a}を構成する。

【0067】

タイミング回路 3₀は、トランジスタ 3₁と、NAND回路 3₂と、インバータ 3₃と、遅延回路 3₄とを含む。ここでは、一例としてトランジスタ 3₁は、Pチャンネル MOS トランジスタとする。NAND回路 3₂は、インバータ 3₃を介する入力信号 I_Nの反転信号と遅延回路 3₄による入力信号 I_Nの所定期間遅延後の遅延信号とを受けてその NAND 論理演算結果をトランジスタ 3₁のゲートに出力する。トランジスタ 3₁は、電源電圧 V_{DD}とノード N₀との間に配置され、そのゲートは NAND回路 3₂の出力信号の入力を受ける。

30

【0068】

本発明の実施の形態 2 の変形例 2 のドライバ回路 2₂₀の動作については実施の形態 2 の図 5 で説明したドライバ回路 2₀₀の動作と同様である。

【0069】

タイミング回路 3₀は、遅延回路 3₄の遅延時間分、トランジスタ 3₁をオンし、電源電圧 V_{DD}とノード N₀とを電氣的に結合する。すなわち、ノード N₀の電圧レベルを 1 V に設定する。

40

【0070】

これにより、遅延回路 3₄の遅延時間を調整することによりノード N₀と電源電圧 V_{DD}との電氣的な接続時間を調整することができる。すなわち、ノード N₀の電圧レベルを 1 V に設定する期間を調整することができる。これにより、効率的に電源電圧 V_{DD}をノード N₀に供給することが可能となり消費電力をさらに低減することが可能となる。

【0071】

(実施の形態 3)

図 8 は、本発明の実施の形態 3 に従う CMOS ドライバ回路 3₀₀の回路構成図である。

50

【 0 0 7 2 】

図 8 を参照して、本発明の実施の形態 3 に従うドライバ回路 3 0 0 は、図 4 で説明した実施の形態 2 のドライバ回路 2 0 0 と比較して、タイミング回路 1 0 をタイミング回路 4 0 に置換した点異なる。また、インバータ I N V 2 , I N V 3 およびタイミング回路 4 0 は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 C T 3 を構成する。

【 0 0 7 3 】

タイミング回路 4 0 は、トランジスタ 4 1 とインバータ 4 2 とを含む。ここでは一例としてトランジスタ 4 1 は P チャンネル M O S トランジスタとする。トランジスタ 4 1 は、ノード N 1 とノード N 0 との間に配置され、そのゲートはインバータ 4 2 を介する出力信号 O U T の反転信号の入力を受ける。

10

【 0 0 7 4 】

タイミング回路 4 0 は、タイミング回路 2 0 と同様にトランジスタ N T 1 のターンオン時に一時的に電源電圧 V D D とノード N 0 とを電氣的に結合する。具体的には、出力信号 O U T が 1 V (「 H 」 レベル) においてトランジスタ 4 1 をオンし、ノード N 1 とノード N 0 とを電氣的に結合する。

【 0 0 7 5 】

本発明の実施の形態 3 のドライバ回路 3 0 0 の動作についても実施の形態 2 の図 5 で説明したドライバ回路 2 0 0 の動作と同様である。具体的には、入力信号 I N が 1 V から 0 V に遷移した場合について考える。このときの出力信号 O U T は 1 V であるので、タイミング回路 4 0 において、トランジスタ 4 1 は、ノード N 1 とノード N 0 とを電氣的に導通状態に設定する。インバータ I N V 3 は、入力信号 I N が 1 V から 0 V に遷移するのに応答してノード N 1 と電源電圧 V D D (1 V) とを電氣的に結合する。これに伴い、ノード N 0 と当該電源電圧 V D D とが電氣的に結合される。これに応答して、インバータ I N V 1 のトランジスタ N T 1 がオンし、ノード N b が接地電圧 G N D (0 V) と電氣的に結合される。また、これに応答してタイミング回路 4 0 は、ノード N 1 とノード N 0 とを非接続とする。すなわち、本発明の実施の形態 3 のドライバ回路 3 0 0 の構成においても、トランジスタ N T 1 がターンオンする場合には、タイミング回路 4 0 により電源電圧 V D D とノード N 0 とを電氣的に直接結合させてトランジスタ N T 1 を高速動作させることができる。また、タイミング回路 4 0 により、出力信号 O U T が 0 V である定常的な状態においては、トランジスタ 4 1 をオフして、トランジスタ N T 1 のゲート電圧を降下 (0 . 6 V) させることによりゲートリーク電流を低減することができる。

20

30

【 0 0 7 6 】

(実施の形態 3 の変形例 1)

図 9 は、本発明の実施の形態 3 の変形例 1 に従う C M O S ドライバ回路 3 1 0 の回路構成図である。

【 0 0 7 7 】

図 9 を参照して、本発明の実施の形態 3 の変形例 1 に従うドライバ回路 3 1 0 は、図 8 の実施の形態 3 のドライバ回路 3 0 0 と比較して、タイミング回路 4 0 をタイミング回路 5 0 に置換した点異なる。また、インバータ I N V 2 , I N V 3 およびタイミング回路 5 0 は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 C T 3 # を構成する。

40

【 0 0 7 8 】

タイミング回路 5 0 は、トランジスタ 5 1 と、インバータ 5 2 と、遅延回路 5 3 とを含む。ここではトランジスタ 5 1 は、一例として P チャンネル M O S トランジスタとする。トランジスタ 5 1 は、ノード N 1 とノード N 0 との間に配置され、インバータ 5 2 を介して遅延回路 5 3 を通過した入力信号 I N の反転信号の入力を受ける。すなわち、タイミング回路 5 0 は、インバータ 5 2 および遅延回路 5 3 の通過遅延時間分入力信号 I N を遅延させる。したがって、入力信号 I N の 1 V から 0 V の遷移に応答してトランジスタ 5 1 はノード N 0 とノード N 1 との導通状態を遅延時間経過後に非導通状態に設定する。

【 0 0 7 9 】

本発明の実施の形態 3 の変形例 1 のドライバ回路 3 1 0 の動作については図 5 で説明した

50

のと同様である。

【0080】

タイミング回路50は、入力信号INが1Vから0Vに遷移した場合において、入力信号INの遅延回路53の遅延時間経過後にオン状態であるトランジスタ51をオフ状態とする。入力信号INが1Vから0Vに遷移するに伴い、インバータINV3は電源電圧VDDとノードN1とを電氣的に結合する。したがって、電源電圧VDDとノードN0とが、遅延回路53の遅延時間に相当する期間、電氣的に結合され、ノードN0の電圧レベルは1Vに設定される。

【0081】

これにより、遅延回路53の遅延時間を調整することによりノードN0と電源電圧VDDとの電氣的な接続時間を調整することができる。すなわち、ノードN0の電圧レベルを1Vに設定する期間を調整することができる。これにより、効率的に電源電圧VDDをノードN0に供給することが可能となり消費電力をさらに低減することが可能となる。

10

【0082】

(実施の形態4)

図10は、本発明の実施の形態4に従うCMOSドライバ回路400の回路構成図である。

【0083】

上記の実施の形態1~3およびその変形例に従うドライバ回路の構成においては、NチャンネルMOSトランジスタNT1のターンオン時におけるゲート電圧を調整することにより、全体として消費電力を低減する構成について説明してきた。本発明の実施の形態4に従うドライバ回路400は、NチャンネルMOSトランジスタNT1のゲートリーク電流を低減するとともに、PチャンネルMOSトランジスタPT1のゲートリーク電流も低減することにより、全体として消費電力をさらに低減することを目的とする。

20

【0084】

図10を参照して、本発明の実施の形態4に従うドライバ回路400は、実施の形態3のドライバ回路300と比較して、インバータINV3をインバータINV3に置換した点と、タイミング回路40をタイミング回路60に置換した点とが異なる。その他の点は同様であるのでその説明は繰返さない。また、インバータINV2, INV#3およびタイミング回路60は、ノードN0およびN1の電圧レベルを制御する制御回路CT4を構成する。

30

【0085】

インバータINV#3は、インバータINV3と比較してさらにトランジスタNTT3を含む点で異なる。ここでは、一例としてトランジスタNTT3は、NチャンネルMOSトランジスタとする。トランジスタNTT3は、ソース側を接地電圧GNDと接続し、ドレインおよびゲートを電氣的に結合したいわゆるダイオード接続したトランジスタである。また、トランジスタNTT3は、トランジスタNT3と接地電圧GNDとの間に配置される。

【0086】

インバータINV#3は、トランジスタNT3がオンした場合、トランジスタNTT3を介して接地電圧GNDとノードN1とを電氣的に結合する。このときのノードN1の電圧レベルは、接地電圧GNDからトランジスタNTT3の閾値電圧分上昇した値となる。なお、このトランジスタNTT3の閾値電圧分、接地電圧GNDから上昇した電圧レベルはトランジスタのPT1のオン電圧(たとえば0.7V)の範囲内とする。ここでは、トランジスタNTT3の閾値電圧は、一例として0.4Vとする。したがって、トランジスタPT1は0.4Vでターンオンする。

40

【0087】

タイミング回路60は、トランジスタ61, 62とインバータ63, 64とを含む。ここでは、一例としてトランジスタ61は、NチャンネルMOSトランジスタとする。また、トランジスタ62は、PチャンネルMOSトランジスタとする。インバータ64は、入力

50

信号 I N の入力を受けてその反転信号をノード N 2 に伝達する。トランジスタ 6 1 は、ノード N 1 とノード N 2 との間に配置され、そのゲートはインバータ 6 3 を介する出力信号 O U T の反転信号の入力を受ける。トランジスタ 6 2 は、ノード N 2 とノード N 0 との間に配置され、そのゲートはインバータ 6 3 を介する出力信号 O U T の反転信号の入力を受ける。すなわちトランジスタ 6 1 および 6 2 は相補的にオンし、ノード N 2 とノード N 1 およびノード N 0 の一方とが電氣的に結合されている。

【 0 0 8 8 】

図 1 1 のタイミングチャート図を用いて本発明の実施の形態 4 に従うドライバ回路 4 0 0 の動作について説明する。

【 0 0 8 9 】

時刻 T 1 において、入力信号 I N が 0 V から 1 V に遷移した場合、インバータ I N V 2 のトランジスタ N T 2 がオンし、ノード N 0 の電圧レベルは、0 V となる。一方、インバータ I N V # 3 において、トランジスタ N T 3 がオンする。したがって、インバータ I N V # 3 は、ノード N 1 の電圧レベルを 0 . 4 V に設定しようとする。

【 0 0 9 0 】

ここで、タイミング回路 6 0 は、インバータ 6 3 を介する出力信号 O U T (「 L 」 レベル) の入力により、トランジスタ 6 1 を導通状態に設定している。この場合において、入力信号 I N が 0 V から 1 V に遷移した場合、インバータ 6 4 は、ノード N 2 と接地電圧 G N D とを電氣的に結合させる。すなわち、ノード N 0 とノード N 1 とは導通状態であるため、結果としてノード N 1 の電圧レベルは 0 V に降下する。これに伴い、インバータ I N V 1 のトランジスタ P T 1 はオンし、電源電圧 V D D とノード N b とが電氣的に結合され、ノード N b の電圧レベルは 1 V に設定される。

【 0 0 9 1 】

また、タイミング回路 6 0 は、これに応答してトランジスタ 6 1 をオフして非導通状態とし、トランジスタ 6 2 をオンして導通状態に設定する。したがって、トランジスタ P T 1 がターンオンする場合には、タイミング回路 6 0 により接地電圧 G N D と電氣的に直接結合させることによりトランジスタ P T 1 のオン電流を増大させ、動作速度を上げる。これにより、ノード N b の電圧レベルが 1 V に遷移する時間を短縮することができる。

【 0 0 9 2 】

さらに出力信号 O U T が 1 V となった時刻 T 4 以降においては、接地電圧 G N D とノード N 1 とは電氣的に非接続とされるのでトランジスタ P T 1 のオン電圧の範囲内でノード N 1 の電圧レベルは 0 . 4 V に上昇する。したがって、出力信号 O U T が 1 V である定常的な状態においては、ゲート電圧を上昇させることにより P チャンネル M O S トランジスタ P T 1 のゲートリーク電流を低減することができる。

【 0 0 9 3 】

次に、時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合については、図 5 で説明した実施の形態 2 のドライバ回路 2 0 0 の動作と同様であるのでその説明は繰り返さない。

【 0 0 9 4 】

すなわち、具体的には、N チャンネル M O S トランジスタ N T 1 の動作時において、インバータ 6 4 により電源電圧 V D D とノード N 0 とが電氣的に直接結合される。また、出力信号 O U T が 0 V である定常的な状態においては、ゲート電圧を下降させることにより、N チャンネル M O S トランジスタ N T 1 のリーク電流を低減することができる。

【 0 0 9 5 】

本発明の実施の形態 4 のドライバ回路 4 0 0 の構成により、トランジスタ N T 1 および P T 1 の動作時は、通常の電源電圧 V D D および接地電圧をそれぞれ供給することによりトランジスタを高速動作させ、定常状態においてはそれぞれ下降および上昇させることによりリーク電流を低減することができる。

【 0 0 9 6 】

すなわち、本発明の実施の形態 4 のドライバ回路 4 0 0 によりトランジスタ N T 1 のリー

10

20

30

40

50

ク電流を低減するとともに、トランジスタPT1のリーク電流も低減することができるため全体として消費電力をさらに低減することが可能となる。

【0097】

(実施の形態5)

図12は、本発明の実施の形態5に従うドライバ回路500の回路構成図である。

【0098】

上記の実施の形態1～4およびその変形例に従うドライバ回路の構成においては1入力の入力信号INに応じて出力信号OUTを出力するドライバ回路の構成について説明してきた。

【0099】

本発明の実施の形態5に従うドライバ回路500においては2入力の入力信号IN1およびIN2に応じてAND論理演算結果である出力信号OUTを出力するドライバ回路の回路構成について説明する。

【0100】

図12を参照して、本発明の実施の形態5のドライバ回路500は、NAND回路ND0およびND1と、タイミング回路70と、インバータINV1とを含む。また、NAND回路ND0, ND1およびタイミング回路70は、ノードN0およびN1の電圧レベルを制御する制御回路CT5を構成する。

【0101】

NAND回路ND0は、トランジスタ102～106とを含む。トランジスタ105および106は、ノードN0と接地電圧GNDとの間に直列に接続され、そのゲートはそれぞれ入力信号IN1およびIN2の入力を受ける。トランジスタ102は、ソース側を電源電圧VDDと接続し、ゲートドレイン間を電氣的に結合したいわゆるダイオード接続したトランジスタである。ここでは、トランジスタ102の閾値電圧は、0.4Vとする。トランジスタ103および104は、トランジスタ102を介して並列に電源電圧VDDとノードN0との間に配置され、そのゲートはそれぞれ入力信号IN1およびIN2の入力を受ける。このNAND回路ND0は、入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN0に出力する。また、NAND回路ND1は、入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN1に出力する。たとえば入力信号IN1およびIN2がともに「H」レベルに設定されているときにはノードN1は「L」レベルすなわち0Vに設定される。一方、入力信号IN1およびIN2のいずれか一方が「H」レベルのときはノードN1は「H」レベルすなわち1Vに設定する。

【0102】

タイミング回路70は、トランジスタ71～73と、インバータ74とを含む。トランジスタ71および72は、それぞれ電源電圧VDDとトランジスタ73との間に並列に配置され、それぞれ入力信号IN1およびIN2の入力を受ける。トランジスタ73は、トランジスタ71および72とノードN0との間に配置され、そのゲートは、インバータ74を介する出力信号OUTの反転信号の入力を受ける。

【0103】

図13のタイミングチャート図を用いて本発明の実施の形態5に従うドライバ回路500の動作について説明する。初期状態において、入力信号IN1は、0Vとし、入力信号IN2は、1Vとする。

【0104】

時刻T1において、入力信号IN1が0Vから1Vに遷移した場合について考える。入力信号IN1およびIN2がともに1Vに設定されるため、これにตอบสนองしてNAND回路ND1は、ノードN1の電圧レベルを0Vに設定する。NAND回路ND0において、入力信号IN1およびIN2にตอบสนองしてトランジスタ105および106がオンする。したがって、接地電圧GNDとノードN0とが電氣的に結合され、ノードN0の電圧レベルは0Vとなる。これに伴い、インバータINV1のトランジスタPT1がオンし、電源電圧V

10

20

30

40

50

DDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは、1Vに設定される。

【0105】

一方、タイミング回路70のトランジスタ73は、インバータ74を介する出力信号OUTの反転信号の入力を受ける。したがって、出力信号OUTが「H」レベルである場合において、トランジスタ73は導通状態に設定されている。

【0106】

時刻T2において、入力信号IN1が1Vから0Vに遷移した場合について考える。この場合において、NAND回路ND1は、入力信号IN1およびIN2に应答してノードN1を1Vに設定する。NAND回路ND0は、入力信号IN1が0V、入力信号IN2が1Vに应答して、トランジスタ103をオンする。すなわち、トランジスタ102を介して電源電圧VDDとノードN0とが電氣的に結合される。したがって、ノードN0の電圧レベルは、0.6Vへ向かう。

10

【0107】

一方、タイミング回路70において、入力信号IN1が0Vに应答してトランジスタ71がオンする。この場合において、トランジスタ73は導通状態である。したがって、電源電圧VDDとノードN0とが電氣的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

【0108】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。

20

【0109】

タイミング回路10は、出力信号OUTが0Vとなった時刻T4以降においては、トランジスタ73をオフとし、電源電圧VDDとノードN0との電氣的な接続をカットする。したがって、出力信号OUTが0Vである定常的な状態においては、トランジスタNT1のゲート電圧は0.6Vに降下される。これにより、トランジスタNT1のゲートリーク電流を低減することができる。

【0110】

本発明の実施の形態5のドライバ回路500の構成により入力信号がIN1およびIN2の2入力信号であるドライバ回路においても、最終段のインバータINV1を構成するトランジスタNT1のリーク電流を低減することができ、全体的に消費電力を低減することが可能となる。

30

【0111】

(実施の形態5の変形例)

図14は、本発明の実施の形態5の変形例に従うドライバ回路510の回路構成図である。

【0112】

本発明の実施の形態5の変形例に従うドライバ回路510の構成においては2入力の入力信号IN1およびIN2に応じてOR論理演算結果である出力信号OUTを出力するドライバ回路の回路構成について説明する。

40

【0113】

図14を参照して、実施の形態5の変形例に従うドライバ回路510は、図12に示す実施の形態5のドライバ回路500と比較してNAND回路ND0およびND1をNOR回路NR0およびNR1に置換した点と、タイミング回路70をタイミング回路80に置換した点とが異なる。また、NOR回路NR0, NR1およびタイミング回路80はノードN0およびN1の電圧レベルを制御する制御回路CT5#を構成する。

【0114】

NOR回路NR1は、入力信号IN1, IN2の入力を受けてそのNOR論理演算結果をノードN1に出力する。NOR回路NR0は、トランジスタ112~116とを含む。こ

50

ここでは、一例としてトランジスタ112～114は、PチャンネルMOSトランジスタとする。また、トランジスタ115および116は、NチャンネルMOSトランジスタとする。トランジスタ115および116は、ノードN0と接地電圧GNDとの間に並列にそれぞれ配置され、それぞれのゲートは入力信号IN1およびIN2の入力を受ける。トランジスタ112はソース側を電源電圧VDDと接続され、ゲートおよびドレイン間はそれぞれ電氣的に結合されたいわゆるダイオード接続されたトランジスタである。トランジスタ113および114は、トランジスタ112を介して電源電圧VDDとノードN0との間に直列に接続され、それぞれのゲートは入力信号IN1, IN2の入力を受ける。

【0115】

タイミング回路80は、トランジスタ81～83と、インバータ84とを含む。ここでは、一例としてトランジスタ81～83は、PチャンネルMOSトランジスタとする。トランジスタ81および82は、トランジスタ83を介してノードN0と電源電圧VDDとの間に直列に接続され、それぞれのゲートは入力信号IN1およびIN2の入力を受ける。また、トランジスタ83はトランジスタ82とノードN0との間に配置され、インバータ84を介して出力信号OUTの反転信号の入力を受ける。

10

【0116】

図15のタイミングチャート図を用いて本発明の実施の形態5の変形例に従うドライバ回路510の動作について説明する。初期状態において、入力信号IN1およびIN2は、0Vとする。

【0117】

時刻T1において、入力信号IN2が0Vから1Vに遷移した場合について考える。入力信号IN1が0Vであり、入力信号IN2が1Vであるため、これにตอบสนองしてNOR回路NR1は、ノードN1の電圧レベルを0Vに設定する。NOR回路NR0において、入力信号IN1およびIN2にตอบสนองしてトランジスタ116がオンする。したがって、接地電圧GNDとノードN0とが電氣的に結合され、ノードN0の電圧レベルは0Vとなる。これに伴いインバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは、1Vに設定される。

20

【0118】

一方、タイミング回路80のトランジスタ83は、インバータ74を介する出力信号OUTの反転信号の入力を受ける。したがって、出力信号OUTが「H」レベルである場合において、トランジスタ83は導通状態に設定されている。

30

【0119】

時刻T2において、入力信号IN2が1Vから0Vに遷移した場合について考える。この場合において、NOR回路NR1は、入力信号IN1およびIN2にตอบสนองしてノードN1を1Vに設定する。NAND回路NR0は、入力信号IN1が0V、入力信号IN2が0Vにตอบสนองして、トランジスタ113および114をオンする。すなわち、トランジスタ112を介して電源電圧VDDとノードN0とが電氣的に結合される。したがって、ノードN0の電圧レベルは、0.6Vへ向かう。

【0120】

一方、タイミング回路70において、入力信号IN1およびIN2が共に0Vにตอบสนองしてトランジスタ81および82がオンする。この場合において、トランジスタ83は導通状態である。したがって、電源電圧VDDとノードN0とが電氣的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

40

【0121】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。

【0122】

タイミング回路10は、出力信号OUTが0Vとなった時刻T4以降においては、トラン

50

ジスタ83をオフとし、電源電圧VDDとノードN0との電氣的な接続をカットする。したがって、出力信号OUTが0Vである定常的な状態においては、トランジスタNT1のゲート電圧は0.6Vに降下される。これにより、トランジスタNT1のゲートリーク電流を低減することができる。

【0123】

本発明の実施の形態5の変形例のドライバ回路510の構成により入力信号がIN1およびIN2の2入力信号であるドライバ回路においても、最終段のインバータINV1を構成するトランジスタNT1のリーク電流を低減することができ、全体的に消費電力を低減することが可能となる。

【0124】

(実施の形態6)

上記の実施の形態1~5およびその変形例に従うドライバ回路の構成においては、最終段のインバータを構成するトランジスタのゲート電圧を中間的な電圧レベルに設定することにより、最終段のインバータを構成するトランジスタのゲートリーク電流を低減する方式について説明してきた。

【0125】

本発明の実施の形態6に従うドライバ回路600は、最終段のトランジスタNT1のゲートに与えるゲート電圧を非動作時に完全に接地電圧GNDレベルに落とすことにより、さらに消費電力を低減する構成について説明する。

【0126】

図16は、本発明の実施の形態6に従うドライバ回路600の構成図である。図16を参照して、本発明の実施の形態6に従うドライバ回路600は、図4に示したドライバ回路200と比較して、インバータINV2を削除した点と、トランジスタNT4, NT5を新たに設けた点とが異なる。その他のインバータINV1, INV3については実施の形態2の図4に示したドライバ回路200と同様の構成であるのでその説明は繰り返さない。インバータINV3およびタイミング回路10は、ノードN0およびN1の電圧レベルを制御する制御回路CT6を構成する。

【0127】

トランジスタNT5は、ノードN0と接地電圧GNDとの間に配置され、そのゲートは、入力信号INの入力を受ける。また、トランジスタNT4は、トランジスタNT1と並列に、ノードNbと接地電圧GNDとの間に配置され、そのゲートはノードN1と電氣的に接続される。

【0128】

一例として、トランジスタNT4およびNT5は、NチャンネルMOSトランジスタとする。なお、トランジスタNT4およびNT5の電流駆動力はトランジスタNT1と比較して小さいものとする。具体的には、トランジスタNT4およびNT5のゲート幅は、トランジスタNT1のゲート幅よりも狭いものとする。

【0129】

図17のタイミングチャート図を用いて本発明の実施の形態6に従うドライバ回路600の動作について説明する。

【0130】

時刻T1において、入力信号INが0Vから1Vに遷移した場合について考える。インバータINV3は、入力信号INの反転信号をノードN1に伝達する。すなわち、ノードN1は、接地電圧GNDと電氣的に結合され、ノードN1の電圧レベルは0Vに設定される。これに回答して、インバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは1Vとなる。トランジスタNT5は、入力信号INに回答して接地電圧GNDとノードN0とを電氣的に結合する。したがって、ノードN0の電圧レベルは0Vに設定される。

【0131】

一方、タイミング回路10は、時刻T1においては実施の形態2で説明したのと同様に、

10

20

30

40

50

トランジスタ 1 が入力信号 I N に応答して非導通状態であるため機能しない。なお、この場合、ノード N b の電圧レベルは、1 V に設定されているためタイミング回路 1 0 のトランジスタ 2 は、インバータ 3 の反転信号 (0 V) に応答して導通状態である。

【 0 1 3 2 】

次に、時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合について考える。インバータ I N V 3 は、入力信号 I N の反転信号をノード N 1 に伝達する。すなわちノード N 1 は、電源電圧 V D D と電氣的に結合され、ノード N 1 の電圧レベルは 0 V から 1 V に設定される。したがって、インバータ I N V 1 のトランジスタ P T 1 は、オフする。

【 0 1 3 3 】

一方、タイミング回路 1 0 のトランジスタ 2 は、上述したようにオン状態であるため時刻 T 2 において、入力信号 I N が 1 V から 0 V に遷移した場合、トランジスタ 1 がオンする。これに伴い、図 5 のタイミングチャートで説明したのと同様にトランジスタ 1 および 2 がオンし、電源電圧 V D D とノード N 0 とを電氣的結合する。したがって、ノード N 0 の電圧レベルは 1 V に設定される。これに応答して、インバータ I N V 1 のトランジスタ N T 1 がオンし、接地電圧 G N D とノード N b とが電氣的に結合され、ノード N b の電圧レベルは 0 V (「 L 」 レベル) に設定される。

【 0 1 3 4 】

次に、ノード N b の電圧レベルが 0 V へ変化するとタイミング回路 1 0 は、トランジスタ 2 をオフとする。すなわち、タイミング回路 1 0 からノード N 0 に対しての電源電圧 V D D (1 V) の供給が停止される。

【 0 1 3 5 】

また、このタイミング回路 1 0 の動作とともに、トランジスタ N T 4 はノード N 1 の電圧レベルが 1 V に設定されるのに伴いオン状態となり、接地電圧 G N D とノード N b とを電氣的に結合し、ノード N b の電圧レベルを 0 V に設定する。

【 0 1 3 6 】

したがって、ノード N b は、入力信号 I N が 1 V から 0 V に遷移する期間において、トランジスタ N T 1 および N T 4 がともにオンする。この出力信号 O U T が 1 V から 0 V へ変化する遷移期間においては、動作速度の速いトランジスタ N T 1 が所定期間ターンオンするため、その高速性を維持し、出力信号 O U T が 0 V に設定された後の定常期間には、トランジスタ N T 4 を用いて 0 V に固定する。

【 0 1 3 7 】

すなわち、リーク電流の大きなトランジスタ N T 1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【 0 1 3 8 】

この状態においてノード N 0 は、上述したようにタイミング回路 1 0 からの電源電圧 V D D の供給が停止されるためフローティング状態となるがトランジスタ N T 1 のゲートリークにより緩やかにノード N 0 の電圧レベルは接地電圧 G N D レベルに下がり、トランジスタ N T 1 はオフ状態になる。

【 0 1 3 9 】

本発明の実施の形態 6 のドライバ回路 6 0 0 すなわち電流駆動能力の異なる 2 種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタ N T 1 のゲート電圧を非動作時に 0 V に設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【 0 1 4 0 】

(実施の形態 6 の変形例 1)

図 1 8 は、本発明の実施の形態 6 の変形例 1 に従うドライバ回路 6 1 0 の回路構成図である。

【 0 1 4 1 】

図 1 8 を参照して、本発明の実施の形態 6 の変形例 1 に従うドライバ回路 6 1 0 は、図 1

10

20

30

40

50

6で説明した実施の形態6のドライバ回路600と比較して、タイミング回路10をタイミング回路40に置換した点が異なる。タイミング回路40は、トランジスタ41とインバータ42とを含む。インバータINV3およびタイミング回路40は、ノードN0およびN1の電圧レベルを制御する制御回路CT6#を構成する。

【0142】

タイミング回路40は、タイミング回路20と同様にトランジスタNT1のターンオン時に一時的に電源電圧VDDとノードN0とを電氣的に結合する。具体的には、出力信号OUTが1V(「H」レベル)においてトランジスタ41をオンし、ノードN1とノードN0とを電氣的に結合する。

【0143】

本発明の実施の形態6の変形例1に従うドライバ回路610の動作についても実施の形態6の図17で説明したドライバ回路600の動作と同様である。

【0144】

具体的には、入力信号INが1Vから0Vに遷移した場合に出力信号OUTは1Vであるので、タイミング回路40において、トランジスタ41は、ノードN1とノードN0とを電氣的に導通状態に設定する。インバータINV3は、入力信号INが1Vから0Vに遷移するのに対応してノードN1と電源電圧VDD(1V)とを電氣的に結合する。これに伴い、ノードN0と当該電源電圧VDDとが電氣的に結合される。これに対応して、インバータINV1のトランジスタNT1がオンし、ノードNbが接地電圧GND(0V)と電氣的に結合される。これに伴い、タイミング回路40は、ノードN1とノードN0とを非接続とする。また、ノードN1が1Vになるに伴いトランジスタNT4がオンし、ノードNbは接地電圧GNDと電氣的に結合される。

【0145】

したがって、上述したようにノードNbは、入力信号INが1Vから0Vに遷移する期間において、トランジスタNT1およびNT4がともにオンする。すなわち、リーク電流の大きなトランジスタNT1を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0146】

また、この状態においてノードN0は、上述したように電源電圧VDDの供給が停止し、フローティング状態となるがトランジスタNT1のゲートリークにより緩やかにノードN0の電圧レベルは下がり、トランジスタNT1はオフ状態になる。

【0147】

本発明の実施の形態6の変形例1に従うドライバ回路610においても、2種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタNT1のゲート電圧を非動作時に0Vに設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0148】

(実施の形態6の変形例2)

本発明の実施の形態6の変形例2は、図12の実施の形態5で説明した2入力の入力信号に応じてAND論理演算結果を出力するドライバ回路において、トランジスタNT1のゲートに与えるゲート電圧を非動作時に完全に接地電圧GNDレベルに落とすことにより、さらに消費電力を低減する構成について説明する。

【0149】

図19は、本発明の実施の形態6の変形例2に従うドライバ回路620の回路構成図である。

【0150】

図19を参照して、本発明の実施の形態6の変形例2に従うドライバ回路620は、図12のドライバ回路610と比較して、NAND回路ND0を削除した点と、トランジスタNT4~NT6をさらに設けた点とが異なる。また、NAND回路ND1およびタイミング回路70は、ノードN0およびN1の電圧レベルを制御する制御回路CT6aを構成す

10

20

30

40

50

る。一例として、トランジスタNT4～NT6は、NチャンネルMOSトランジスタとする。なお、トランジスタNT4～NT6の電流駆動力はトランジスタNT1と比較して小さいものとする。具体的には、トランジスタNT4～NT6のゲート幅は、トランジスタNT1のゲート幅よりも狭いものとする。

【0151】

トランジスタNT4は、トランジスタNT1と並列にノードNbと接地電圧GNDとの間に配置され、そのゲートはノードN1と電氣的に結合される。トランジスタNT5およびNT6は、ノードN0と接地電圧GNDとの間に直列に接続され、それぞれのゲートは、入力信号IN2およびIN1の入力を受ける。

【0152】

NAND回路ND1は、上述したように入力信号IN1およびIN2の入力に応じてそのNAND論理演算結果をノードN1に出力する。たとえば入力信号IN1およびIN2がともに「H」レベルに設定されているときにはノードN1は「L」レベルすなわち0Vに設定される。一方、入力信号IN1およびIN2のいずれか一方が「L」レベルのときは、ノードN1は「H」レベルすなわち1Vに設定される。

【0153】

タイミング回路70は、上述したように所定期間ノードN0の電圧レベルを調整する。

【0154】

図20のタイミングチャート図を用いて本発明の実施の形態6の変形例2に従うドライバ回路620の動作について説明する。初期状態において、入力信号IN1は、0Vとし、入力信号IN2は、1Vとする。

【0155】

時刻T1において、入力信号IN1が0Vから1Vに遷移した場合について考える。図11において説明したのと同様に入力信号IN1およびIN2がともに1Vに設定されるため、これにตอบสนองしてNAND回路ND1は、ノードN1の電圧レベルを0Vに設定する。これに伴い、インバータINV1のトランジスタPT1がオンし、電源電圧VDDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは、1Vに設定される。

【0156】

また、トランジスタNT5およびNT6は、ともに入力信号IN1およびIN2(1V)にตอบสนองしてオンする。したがって、接地電圧GNDとノードN0とが電氣的に結合され、ノードN0の電圧レベルは0Vとなる。

【0157】

一方、タイミング回路70のトランジスタ73は、図11のタイミングチャート図で説明したのと同様に出力信号OUTが「H」レベルである場合において、トランジスタ73は導通状態に設定されている。

【0158】

時刻T2において、入力信号IN1が1Vから0Vに遷移した場合について考える。この場合において、NAND回路ND1は、入力信号IN1およびIN2にตอบสนองしてノードN1を1Vに設定する。したがって、トランジスタPT1は、オフとなる。

【0159】

タイミング回路70において、入力信号IN1が0Vにตอบสนองしてトランジスタ71がオンする。この場合において、トランジスタ73は導通状態である。したがって、電源電圧VDDとノードN0とが電氣的に結合される。したがって、結果的にノードN0の電圧レベルは1Vに設定される。

【0160】

これに伴い、インバータINV1のトランジスタNT1がオンし、接地電圧GNDとノードNbとが電氣的に結合される。したがって、ノードNbの電圧レベルは0Vに設定される。

【0161】

10

20

30

40

50

次に、タイミング回路 10 は、出力信号 OUT が 0 V となった時刻以降においては、再びトランジスタ 73 をオフとし、電源電圧 VDD とノード N0 との電氣的に切離する。これに伴い、ノード N0 に対する電圧供給がカットされ、トランジスタ NT1 はオフとなる。

【0162】

一方、このタイミング回路 10 の動作とともに、トランジスタ NT4 は、ノード N1 の電圧レベルが 1 V に設定されるのに伴い、オン状態となり接地電圧 GND とノード Nb とを電氣的に結合し、ノード Nb の電圧レベルを 0 V に設定する。

【0163】

したがって、ノード Nb は、入力信号 IN が 1 V から 0 V に遷移する期間において、トランジスタ NT1 および NT4 がともにオンする。この出力信号 OUT が 1 V から 0 V へ変化する遷移期間においては、動作速度の速いトランジスタ NT1 が所定期間ターンオンするため、その高速性を維持し、出力信号 OUT が 0 V に設定された後の定常期間には、トランジスタ NT4 を用いて 0 V に固定する。

10

【0164】

すなわち、リーク電流の大きなトランジスタ NT1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0165】

この状態においてノード N0 は、電圧供給のカットによりフローティング状態となるがトランジスタ NT1 のゲートリークにより緩やかにノード N0 の電圧レベルは下がり、トランジスタ NT1 はオフ状態になる。

20

【0166】

本発明の実施の形態 6 の変形例 2 の 2 入力の AND 回路構成であるドライバ回路 620 においても、電流駆動能力の異なる 2 種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタ NT1 のゲート電圧を非動作時に 0 V に設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0167】

(実施の形態 6 の変形例 3)

本発明の実施の形態 6 の変形例 3 は、2 入力の入力信号 IN1 および IN2 に応じて OR 論理演算結果である出力信号 OUT を出力するドライバ回路 630 の回路構成について説明する。

30

【0168】

図 21 は、本発明の実施の形態 6 の変形例 3 に従う 2 入力の OR 回路構成であるドライバ回路 630 の回路構成図である。

【0169】

図 21 を参照して、本発明の実施の形態 6 の変形例 3 に従うドライバ回路 630 は、図 14 に示す実施の形態 5 の変形例に従うドライバ回路 510 と比較して NR0 を削除した点と、トランジスタ NT4 ~ NT6 をさらに設けた点とが異なる。また、NOR 回路 NR1 およびタイミング回路 80 は、ノード N0 および N1 の電圧レベルを制御する制御回路 CT6b を構成する。

40

【0170】

トランジスタ NT4 は、トランジスタ NT1 と並列にノード Nb と接地電圧 GND との間に配置され、そのゲートはノード N1 と電氣的に結合される。トランジスタ NT5 および NT6 は、ノード N0 と接地電圧 GND との間にそれぞれ並列に接続され、それぞれのゲートは、入力信号 IN1 および IN2 の入力を受ける。

【0171】

図 22 のタイミングチャート図を用いて本発明の実施の形態 6 の変形例 3 に従うドライバ回路 630 の動作について説明する。初期状態において、入力信号 IN1 および IN2 は、0 V とする。

50

【 0 1 7 2 】

時刻 T 1 において、入力信号 I N 2 が 0 V から 1 V に遷移した場合について考える。図 1 5 において説明したのと同様に入力信号 I N 1 が 0 V であり、入力信号 I N 2 が 1 V であるため、これにตอบสนองして NOR 回路 N R 1 は、ノード N 1 の電圧レベルを 0 V に設定する。これに伴いインバータ I N V 1 のトランジスタ P T 1 がオンし、電源電圧 V D D とノード N b とが電氣的に結合される。したがって、ノード N b の電圧レベルは、1 V に設定される。

【 0 1 7 3 】

また、トランジスタ N T 6 は、入力信号 I N 2 (1 V) にตอบสนองしてオンする。したがって、接地電圧 G N D とノード N 0 とが電氣的に結合され、ノード N 0 の電圧レベルは 0 V と

10

【 0 1 7 4 】

一方、タイミング回路 8 0 のトランジスタ 8 3 は、図 1 5 のタイミングチャートで説明したのと同様にインバータ 8 4 を介する出力信号 O U T の反転信号の入力を受ける。したがって、出力信号 O U T が「H」レベルである場合において、トランジスタ 8 3 は導通状態に設定されている。

【 0 1 7 5 】

時刻 T 2 において、入力信号 I N 2 が 1 V から 0 V に遷移した場合について考える。この場合において、NOR 回路 N R 1 は、入力信号 I N 1 および I N 2 にตอบสนองしてノード N 1 を 1 V に設定する。したがって、トランジスタ P T 1 は、オフとなる。

20

【 0 1 7 6 】

一方、タイミング回路 7 0 において、入力信号 I N 1 および I N 2 が共に 0 V にตอบสนองしてトランジスタ 8 1 および 8 2 がオンする。この場合において、トランジスタ 8 3 は導通状態である。したがって、電源電圧 V D D とノード N 0 とが電氣的に結合される。したがって、結果的にノード N 0 の電圧レベルは 1 V に設定される。

【 0 1 7 7 】

これに伴い、インバータ I N V 1 のトランジスタ N T 1 がオンし、接地電圧 G N D とノード N b とが電氣的に結合される。したがって、ノード N b の電圧レベルは 0 V に設定される。

【 0 1 7 8 】

また、タイミング回路 1 0 は、出力信号 O U T が 0 V となった時刻 T 4 以降においては、トランジスタ 8 3 をオフとし、電源電圧 V D D とノード N 0 との電氣的な接続を切離する。これに伴い、ノード N 0 に対する電圧供給がカットされ、トランジスタ N T 1 はオフとなる。

30

【 0 1 7 9 】

一方、このタイミング回路 1 0 の動作とともに、トランジスタ N T 4 は、ノード N 1 の電圧レベルが 1 V に設定されるのに伴い、オン状態となり接地電圧 G N D とノード N b とを電氣的に結合し、ノード N b の電圧レベルを 0 V に設定する。

【 0 1 8 0 】

したがって、ノード N b は、入力信号 I N が 1 V から 0 V に遷移する期間において、トランジスタ N T 1 および N T 4 がともにオンする。この出力信号 O U T が 1 V から 0 V へ変化する遷移期間においては、動作速度の速いトランジスタ N T 1 が所定期間ターンオンするため、その高速性を維持し、出力信号 O U T が 0 V に設定された後の定常期間には、トランジスタ N T 4 を用いて 0 V に固定する。

40

【 0 1 8 1 】

すなわち、リーク電流の大きなトランジスタ N T 1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【 0 1 8 2 】

この状態においてノード N 0 は、上述したように電圧供給のカットによりフローティング

50

状態となるがトランジスタNT1のゲートリークにより緩やかにノードN0の電圧レベルは下がり、トランジスタNT1はオフ状態になる。

【0183】

本発明の実施の形態6の変形例3の2入力のOR回路構成であるドライバ回路630においても、電流駆動能力の異なる2種類のトランジスタを用いて、動作高速性を担保するとともに、リーク電流の大きなトランジスタNT1のゲート電圧を非動作時に0Vに設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0184】

(実施の形態7)

上記の実施の形態6においては、NチャンネルMOSトランジスタについて電流駆動能力の高いトランジスタNT1と電流駆動能力の低いトランジスタNT4との2種類のトランジスタを用いて動作高速性を担保するとともに消費電力を低減する構成について説明してきた。

【0185】

本実施の形態7については、PチャンネルMOSトランジスタについても同様に電流駆動能力の高いトランジスタおよび低いトランジスタの2種類を用いて動作高速性を担保するとともに消費電力を低減する構成について説明する。

【0186】

図23は、本発明の実施の形態7に従うCMOSドライバ回路700の回路構成図である。

【0187】

図23を参照して、本発明の実施の形態7に従うドライバ回路700は、インバータINV1と、INV4と、制御回路90とを含む。

【0188】

インバータINV1については、実施の形態1で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0189】

インバータINV4は、ノードNbを介してインバータINV1と直列に接続され、インバータINV1よりも電圧駆動能力の低いトランジスタで構成される。具体的には、インバータINV4は、トランジスタPT4、PT5を含む。

【0190】

トランジスタPT4は、電源電圧VDDとノードNbとの間に配置され、そのゲートはノードN2と電氣的に結合される。トランジスタNT4は、接地電圧GNDとノードNbとの間に配置され、そのゲートはノードN2と電氣的に結合される。

【0191】

制御回路90は、インバータ93、94と、トランジスタ91、92、95、96とを含む。

【0192】

トランジスタ95は、電源電圧VDDとノードN1との間に配置され、そのゲートは入力信号INの入力を受ける。トランジスタ91は、ノードN1とノードN2との間に配置され、そのゲートはインバータ93を介するノードNbの反転信号の入力を受ける。トランジスタ92は、ノードN2とノードN0との間に配置され、そのゲートはインバータ93を介するノードNbの反転信号の入力を受ける。トランジスタ96は、ノードN0と接地電圧GNDとの間に配置され、そのゲートは入力信号INの入力を受ける。インバータ94は、入力信号INの入力を受けてその反転信号をノードN2に伝達する。

【0193】

図24のタイミングチャート図を用いて本発明の実施の形態7に従うドライバ回路700の動作について説明する。

【0194】

10

20

30

40

50

入力信号 I_N が 0 V の定常状態において、ノード N_b は 0 V に設定されている。したがって、制御回路 90 のインバータ 93 は、ノード N_b の電圧レベルにตอบสนองしてオンしている。したがって、ノード N_1 とノード N_2 とは電氣的に結合されている。

【0195】

時刻 T_1 において、入力信号 I_N が 0 V から 1 V に遷移した場合、制御回路 90 のインバータ 94 は、ノード N_2 を 0 V に設定する。これに伴い、インバータ I_{NV1} は、ノード N_2 の電圧レベルにตอบสนองしてオンし、電源電圧 V_{DD} とノード N_b とを電氣的に結合する。すなわち、ノード N_b の電圧レベルは 1 V に設定される。また、ノード N_b の電圧レベルが 1 V に設定されると制御回路 90 のインバータ 93 は、トランジスタ 91 をオフするとともにトランジスタ 92 をオンする。したがって、ノード N_2 とノード N_0 とが電氣的に結合される。これに伴い、ノード N_1 への電源供給がカットされ、トランジスタ PT_1 はオフとなる。

10

【0196】

一方、時刻 T_1 において、ノード N_2 の電圧レベルにตอบสนองしてインバータ I_{NV4} のトランジスタ PT_4 がオンする。これに伴い、ノード N_b と電源電圧 V_{DD} とが電氣的に結合され、ノード N_b は 1 V に設定される。

【0197】

したがって、トランジスタ PT_1 および PT_4 の動作に伴い、ノード N_b は、 1 V に設定される。また、制御回路 90 のトランジスタ 96 は、入力信号 I_N (1 V) にตอบสนองしてオンし、ノード N_0 と接地電圧 GND とを電氣的に結合する。

20

【0198】

次に、時刻 T_2 において、入力信号 I_N が 1 V から 0 V に遷移した場合について考える。

【0199】

制御回路 90 のインバータ 94 は、ノード N_2 を 1 V に設定する。上述したように、トランジスタ 92 はオンし、ノード N_2 とノード N_0 とは電氣的に結合されている。したがって、インバータ I_{NV1} のトランジスタ NT_1 がオンし、ノード N_b と接地電圧 GND とが電氣的に結合される。これに伴い、ノード N_b の電圧レベルは 0 V に設定される。ノード N_b が 0 V になるに従い制御回路 90 のインバータ 93 は、トランジスタ 92 をオフするとともにトランジスタ 91 をオンする。したがって、上述したようにノード N_2 とノード N_1 とが電氣的に結合される。これに伴い、ノード N_0 への電源供給がカットされ、トランジスタ NT_1 はオフとなる。

30

【0200】

一方、時刻 T_2 において、ノード N_2 の電圧レベルにตอบสนองしてインバータ I_{NV4} のトランジスタ NT_4 がオンする。これに伴い、ノード N_b と接地電圧 GND とが電氣的に結合され、ノード N_b は 0 V に設定される。

【0201】

したがって、トランジスタ NT_1 および NT_4 の動作に伴い、ノード N_b は、 0 V に設定される。また、制御回路 90 のトランジスタ 95 は、入力信号 I_N (0 V) にตอบสนองしてオンし、ノード N_1 と電源電圧 V_{DD} とを電氣的に結合する。

【0202】

上述したように入力信号 I_N が 0 V から 1 V に遷移する期間においては、トランジスタ PT_1 および PT_4 がともにオンする。この出力信号 OUT が 0 V から 1 V へ変化する遷移期間においては、動作速度の速いトランジスタ PT_1 が所定期間ターンオンするため、その高速性を維持し、出力信号 OUT が 1 V に設定された後の定常期間には、トランジスタ PT_4 を用いて 1 V に固定する。

40

【0203】

すなわち、リーク電流の大きなトランジスタ PT_1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0204】

50

一方、入力信号 I_N が $1V$ から $0V$ に遷移する期間においては、トランジスタ N_T1 および N_T4 がともにオンする。この出力信号 $O_U T$ が $1V$ から $0V$ へ変化する遷移期間においては、動作速度の速いトランジスタ N_T1 が所定期間ターンオンするため、その高速性を維持し、出力信号 $O_U T$ が $0V$ に設定された後の定常期間には、トランジスタ N_T4 を用いて $0V$ に固定する。

【0205】

すなわち、リーク電流の大きなトランジスタ N_T1 を一時的に用いてデータレベルを高速に変化させ、定常状態においては、リーク電流の少ない低速なトランジスタを用いてデータレベルを固定させる。

【0206】

この定常期間においてノード N_0 および N_1 は、上述したように電圧供給のカットによりともにフローティング状態となるがトランジスタ N_T1 および P_T1 のゲートリークにより緩やかにノード N_0 および N_1 のそれぞれの電圧レベルは下がり、トランジスタ N_T1 および P_T1 はそれぞれオフ状態になる。

【0207】

本発明の実施の形態7のドライバ回路700は、電流駆動能力の異なる2種類のトランジスタを電源電圧 V_{DD} 側および接地電圧 GND 側の両方に設ける構成である。これに伴い、ドライバ回路700の動作高速性をさらに担保するとともに、リーク電流の大きなトランジスタ N_T1 および P_T1 のゲート電圧を非動作時に $0V$ および $1V$ に設定することにより、リーク電流をさらに低減することができ、結果としてドライバ回路全体のリーク電流を低減することができる。

【0208】

(実施の形態8)

上記の実施の形態6、7については、電流駆動能力の異なる2種類のトランジスタを用いて動作高速性を担保するとともに消費電力を低減する構成について説明した。

【0209】

本実施の形態8についてはドライバ回路のスタンバイ時において、具体的には、入力信号 I_N が $0V$ を維持している場合において、外部から受けるノイズにより出力信号 $O_U T$ の受ける影響を抑制する構成について説明する。

【0210】

図25は、本実施の形態8のドライバ回路600aの概略構成図である。

図25を参照して、本実施の形態8のドライバ回路600aは、図16のドライバ回路600と比較して、タイミング回路10をタイミング回路10aに置換した点異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。

【0211】

タイミング回路10aは、タイミング回路10と比較して、トランジスタ2#をさらに含む。その他の点は同様であるのでその詳細な説明は繰り返さない。トランジスタ2#は、トランジスタ2と並列に、トランジスタ1とノード N_0 との間に配置され、外部から入力される制御信号 $/P$ をゲートに受ける。トランジスタ2#は、PチャンネルMOSトランジスタとする。インバータ $I_{NV}3$ およびタイミング回路10aは、ノード N_0 および N_1 の電圧レベルを制御する制御回路 $C_T6a\#$ を構成する。また、トランジスタ2#は、ノイズ調整回路を構成する。

【0212】

本実施の形態8のドライバ回路600aは、スタンバイ時において、制御信号 $/P$ ($0V$) の信号の入力を受ける。その他の場合においては、制御信号 $/P$ ($1V$) の入力を受ける。この場合における動作は、実施の形態6のドライバ回路600で説明したのと同様であるのでその詳細な説明は繰り返さない。

【0213】

図26のタイミングチャート図を用いて本発明の実施の形態8のドライバ回路600aの動作について説明する。

10

20

30

40

50

【 0 2 1 4 】

図 2 6 を参照して、スタンバイ期間の時刻 T T 1 において、出力信号 O U T がノイズの影響により 0 V から浮き上がった場合について考える。ノイズとしては、一例として図示しない隣接する信号線の電圧レベルが変化した場合に隣接する信号線とのカップリング容量により引き起こされる場合がある。ここで、制御信号 / P は 0 V に設定されているものとする。

【 0 2 1 5 】

このスタンバイ期間において、入力信号 I N は 0 V を維持している。したがって、ノード N 1 は 1 V に設定されており、電流駆動能力の低いトランジスタ N T 4 がオンした状態を維持している。このトランジスタ N T 4 は、電流駆動能力が低いため時刻 T T 1 に生じたノイズが解消されるためには期間 S 2 も掛かることとなる。

10

【 0 2 1 6 】

本実施の形態 8 においては、スタンバイ時において、外部から制御信号 / P (0 V) が入力される。この場合、たとえば時刻 T T 2 において、出力信号 O U T がノイズの影響により 0 V から浮き上がった場合について考える。制御信号 / P (0 V) の入力に伴い、トランジスタ 2 # がオンする。入力信号 I N は 0 V に設定されているためトランジスタ 1 がオンしている。したがって、トランジスタ 1 および 2 # のオンに伴い電源電圧 V D D とノード N 0 とが電氣的に結合されて、ノード N 0 は 1 V に設定される。これに伴い、電流駆動能力の高いトランジスタ N T 1 がオンする。したがって、時刻 T T 2 において、出力信号 O U T にノイズが生じた場合においても期間 S 2 よりも短い期間 S 1 で解消される。

20

【 0 2 1 7 】

したがって、本実施の形態 8 のドライバ回路 6 0 0 a の構成により、スタンバイ時において外部から受けるノイズにより出力信号 O U T の受ける影響を抑制することができる。

【 0 2 1 8 】

なお、スタンバイ時において、外部から入力される制御信号 / P (「 L 」 レベル) は、ノイズの影響の受けやすい所定期間必要に応じて図示しないコントロール回路により入力される構成とすることができる。もしくは、ある一定周期で外部から入力される構成とすることもできる。

【 0 2 1 9 】

(実施の形態 8 の変形例 1)

30

図 2 7 は、本実施の形態 8 の変形例 1 に従うドライバ回路 6 0 0 b の概略構成図である。

【 0 2 2 0 】

図 2 7 を参照して、本実施の形態 8 の変形例 1 に従うドライバ回路 6 0 0 b は、図 1 6 のドライバ回路 6 0 0 と比較して、タイミング回路 1 0 をタイミング回路 1 0 b に置換した点が異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。

【 0 2 2 1 】

タイミング回路 1 0 b は、タイミング回路 1 0 と比較して、インバータ 3 を N O R 回路 4 に置換した点が異なる。その他の点は同様であるのでその詳細な説明は繰り返さない。N O R 回路 4 は、出力ノード N b と、制御信号 / P の反転信号である制御信号 P との入力を受けて、その N O R 論理演算結果をトランジスタ 2 のゲートに出力する。インバータ I N V 3 およびタイミング回路 1 0 b は、ノード N 0 および N 1 の電圧レベルを制御する制御回路 C T 6 b # を構成する。また、N O R 回路 4 は、ノイズ調整回路を構成する。

40

【 0 2 2 2 】

本実施の形態 8 の変形例 1 に従うドライバ回路 6 0 0 b は、スタンバイ時において、制御信号 P (1 V) の信号の入力を受ける。その他の場合においては、制御信号 P (0 V) の入力を受ける。この場合、N O R 回路 4 はインバータ 3 と同様に動作し、本実施の形態 8 の変形例 1 に従うドライバ回路 6 0 0 b の動作は、実施の形態 6 のドライバ回路 6 0 0 で説明したのと同様であるのでその詳細な説明は繰り返さない。

【 0 2 2 3 】

ここで、スタンバイ時において、制御信号 P (1 V) の入力に伴い、N O R 回路 4 の出力

50

信号は1Vに設定される。これに伴い、トランジスタ2がオンする。スタンバイ時には、入力信号INが0Vであるため、トランジスタ1および2がオンする。したがって、電源電圧VDDとノードN0とが電氣的に結合され、ノードN0が1Vに設定される。ゆえに、電流駆動能力の高いトランジスタNT1がオンする。

【0224】

したがって、上記の実施の形態8のドライバ回路600aで説明したのと同様の動作を実行する。すなわち、本実施の形態8の変形例1に従うドライバ回路600bの構成においても、スタンバイ時において外部から受けるノイズにより出力信号OUTの受ける影響を抑制することができる。

【0225】

なお、本実施の形態8およびその変形例1で説明した構成は、実施の形態6の変形例で説明したドライバ回路についても同様に適用可能である。

【0226】

(実施の形態8の変形例2)

本実施の形態8の変形例2は、ノイズの影響を受けやすい場合、具体的には、複数のドライバ回路が隣接して配置される構成において、ノイズの影響を抑制する構成について説明する。

【0227】

図28は、隣接して配置されるドライバ回路DV1およびDV2の概略構成図である。

【0228】

ドライバ回路DV1は、入力信号IN1にตอบสนองして出力信号OUT1を設定する。ドライバ回路DV2は、入力信号IN2にตอบสนองして出力信号OUT2を設定する。また、インバータIV1は、入力信号IN2を反転した制御信号/Pとしてドライバ回路DV1に入力する。インバータIV2は、入力信号IN1を反転して制御信号/Pとしてドライバ回路DV2に入力する。なお、図28で示されるキャパシタCpはドライバ回路DV1、DV2の出力信号OUT1およびOUT2がそれぞれ伝達される信号線間に生じるカップリング容量である。

【0229】

ドライバ回路DV1およびDV2は各々、一例として実施の形態8で説明したドライバ回路600aに相当する。

【0230】

ここで、図29のタイミングチャート図を用いてドライバ回路DV1が動作する場合について説明する。なお、ドライバ回路DV2はスタンバイ時であるものとする。

【0231】

時刻TT3において、入力信号IN1が1Vに設定されると、上述したのと同様にドライバ回路DV1が動作して、出力信号OUT1を1Vに設定する。

【0232】

なお、隣接するドライバ回路DV2の入力信号IN1は0Vに設定されているためその出力信号OUT2は0Vである。

【0233】

時刻TT3#において、出力信号OUT2を伝達する信号線は、出力信号OUT1が1Vに設定されるに伴い、そのカップリング容量により0Vから浮き上がるノイズが生じる。

【0234】

ここで、ドライバ回路DV2の制御信号/Pは、入力信号IN1(1V)の設定に伴い0Vに設定されている。したがって、実施の形態8で説明したのと同様に制御信号/P(0V)の設定に伴い、電流駆動能力の高いトランジスタNT1がオンする。これに伴い、出力信号OUT2に生じるノイズが解消される。

【0235】

一方、時刻TT4において、ドライバ回路DV1に入力される入力信号IN1が0Vに設定される。

10

20

30

40

50

【 0 2 3 6 】

次に、時刻 T T 4 # において、ドライバ回路 D V 1 の出力信号 O U T 1 は 0 V に設定される。

【 0 2 3 7 】

なお、時刻 T T 4 # において、出力信号 O U T 2 を伝達する信号線は、出力信号 O U T 1 が 0 V に設定されるに伴い、そのカップリング容量により 0 V から少し沈む雑音が発生する。この場合、出力信号 O U T 1 および出力信号 O U T 2 を伝達する信号線はともに 0 V であるため雑音レベルは軽微であり、電流駆動能力の低いトランジスタ N T 4 のオンにより十分に雑音を解消できる。

【 0 2 3 8 】

したがって、複数のドライバ回路が隣接して配置される構成において、すなわちノイズが生じやすい状況においても本実施の形態 8 の変形例 2 に従う構成により十分にノイズの影響を抑制することができる。

【 0 2 3 9 】

図 3 0 は、別の隣接して配置されるドライバ回路 D V 1 # および D V 2 # の概略構成図である。具体的には、ドライバ回路 D V 1 # および D V 2 # は、一例として実施の形態 8 の変形例 1 に従うドライバ回路 6 0 0 b に相当する。

【 0 2 4 0 】

ドライバ回路 D V 1 # は、入力信号 I N 1 に応答して出力信号 O U T 1 を設定する。ドライバ回路 D V 2 # は、入力信号 I N 2 に応答して出力信号 O U T 2 を設定する。また、入力信号 I N 2 は、制御信号 P としてドライバ回路 D V 1 # に入力される。入力信号 I N 1 は、制御信号 P としてドライバ回路 D V 2 # に入力される。なお、図 3 0 で示されるキャパシタ C p はドライバ回路 D V 1 # , D V 2 # の出力信号 O U T 1 および O U T 2 がそれぞれ伝達される信号線間に生じるカップリング容量である。

【 0 2 4 1 】

動作については、上記の図 2 9 のタイミングチャートで説明したのと同様である。具体的には、一方のドライバ回路の入力信号 I N 1 (I N 2) が 1 V に設定されるに伴い、他方のドライバ回路の出力信号 O U T 2 (O U T 1) にノイズが生じる場合がある。この場合、一方のドライバ回路の入力信号 I N 1 (I N 2) が 1 V に設定されるに伴い、他方のドライバ回路に制御信号 P (1 V) が入力される。

【 0 2 4 2 】

これに伴い、実施の形態 8 の変形例 1 のドライバ回路 6 0 0 b に制御信号 P が入力された場合と同様の動作を実行し、生じるノイズを解消する。

【 0 2 4 3 】

したがって、複数のドライバ回路が隣接して配置される構成において、すなわちノイズが生じやすい状況においても本実施の形態 8 の変形例 2 に従う図 3 0 の構成においても十分にノイズの影響を抑制することができる。

【 0 2 4 4 】

なお、本実施の形態 8 の変形例 2 においては、ドライバ回路 6 0 0 a および 6 0 0 b を用いてノイズの影響を抑制する構成について説明してきたが、本実施の形態 8 およびその変形例 1 で説明した構成を実施の形態 6 の変形例で説明したドライバ回路について適用した構成についても同様に適用可能である。

【 0 2 4 5 】

なお、上記の実施の形態のドライバ回路においてはゲート酸化膜を薄膜化することにより、ゲートリーク電流が増大することについて説明した。一方、トランジスタ N T 1 のように動作速度が要求されるトランジスタについてはゲート酸化膜を薄膜化する必要があるが、それ以外の高速性が要求されないトランジスタについては薄膜化する必要はない。したがってトランジスタ N T 1 および P T 1 のみ薄膜化し、それ以外のトランジスタについてはゲート酸化膜を通常の膜厚とすることにより全体としてトランジスタのゲートリーク電流を低減することが可能である。具体的には、トランジスタ N T 1 および P T 1 について

10

20

30

40

50

は薄膜化する工程を他のトランジスタと分離することにより製造が可能となる。

【0246】

また、比誘電率の高いいわゆる高誘電体のゲート酸化膜を用いることにより、二酸化ケイ素で構成されたゲート酸化膜の場合に比べて電界強度を上げることができる。すなわち、高誘電体のゲート酸化膜を用いることにより高速のトランジスタを実現することが可能となる。

【0247】

したがって、ゲート酸化膜厚を薄膜化した場合において、ゲート電圧を一時的に高くしない場合であっても、性能の同じ高速なトランジスタを実現することが可能となる。すなわち、このような高誘電体のゲート酸化膜をたとえばトランジスタNT1およびPT1に用いることにより、結果としてゲートリーク電流を低減することが可能となる。

10

【0248】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0249】

【発明の効果】

以上説明したように本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路とを含む。また、制御回路は、接続される内部ノードの電圧を第1および第2の電圧とは異なるレベルに設定する電圧調整回路を含む。この電圧調整回路により、接続されるトランジスタのゲート電圧を調整することができ、トランジスタに与えられるゲート電圧により生じるゲートリーク電流を低減することができる。

20

【0250】

また、本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第2のトランジスタと並列に出力ノードと第2の電圧との間に配置された第3のトランジスタと、第1および第2の内部ノードの電圧を制御する制御回路を設ける。制御回路は、第2および第3のトランジスタのターンオン時において、第1のトランジスタをターンオフするための第1および第2の電圧の一方を所定期間第2の内部ノードに供給する。また、第2のトランジスタは、第3のトランジスタよりも第2の電圧を供給する駆動力が大きい。この構成にしたがい、所定期間駆動力が大きな第2のトランジスタを用いて第2の電圧を出力ノードに供給する。これに伴い、駆動力が大きな第2のトランジスタを用いてドライバ回路を高速動作させるとともに、所定期間のみリークの大きな第2のトランジスタを動作させるためリーク電流を低減することができる。

30

【0251】

また、本発明の半導体装置は、第1および第2の内部ノードの電圧レベルに応じてオンする第1および第2のトランジスタと、第3の内部ノードの電圧レベルに応じて相補的にオンする第3および第4のトランジスタと、第1、第2および第3の内部ノードの電圧を制御する制御回路を設ける。制御回路は、入力信号にตอบสนองして第3の内部ノードを第1および第2の電圧の一方に設定し、第3の内部ノードを第1および第2の内部ノードのいずれかと所定期間接続する接続回路を有する。また、第1および第2のトランジスタの駆動力は、第3および第4のトランジスタの駆動力よりも大きい。この構成にしたがい、所定期間駆動力が大きな第1および第2のトランジスタを用いて第1および第2の電圧をそれぞれ出力ノードに供給する。これに伴い、駆動力が大きな第1および第2のトランジスタを用いてドライバ回路を高速動作させるとともに、所定期間のみリークの大きな第1および第2のトランジスタを動作させるためリーク電流を低減することができる。

40

【0252】

また、本発明の半導体装置は、制御回路において、スタンバイ時に隣接するドライバ回路

50

に入力された入力信号に応じて第2および第3のトランジスタがターンオンする第1および第2の電圧の一方を第1の内部ノードに供給する。これに伴い、スタンバイ時において、第1の内部ノードにトランジスタがターンオンする電圧が与えられ、ノイズが生じた場合においてもそのノイズを解消することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うCMOSドライバ回路の回路構成図である。

【図2】 本発明の実施の形態1に従うドライバ回路の動作について説明するタイミングチャート図である。

【図3】 トランジスタの単位ゲート面積当たりのゲートリーク電流とそのときのゲート電圧との関係を示す図である。

10

【図4】 本発明の実施の形態2に従うドライバ回路の構成図である。

【図5】 本発明の実施の形態2に従うドライバ回路の動作について説明するタイミングチャート図である。

【図6】 本発明の実施の形態2の変形例1に従うCMOSドライバ回路の回路構成図である。

【図7】 本発明の実施の形態2の変形例2に従うCMOSドライバ回路の回路構成図である。

【図8】 本発明の実施の形態3に従うCMOSドライバ回路の回路構成図である。

【図9】 本発明の実施の形態3の変形例1に従うCMOSドライバ回路の回路構成図である。

20

【図10】 本発明の実施の形態4に従うCMOSドライバ回路の回路構成図である。

【図11】 本発明の実施の形態4に従うドライバ回路の動作について説明するタイミングチャート図である。

【図12】 本発明の実施の形態5に従うドライバ回路の回路構成図である。

【図13】 本発明の実施の形態5に従うドライバ回路の動作について説明するタイミングチャート図である。

【図14】 本発明の実施の形態5の変形例に従うドライバ回路の回路構成図である。

【図15】 本発明の実施の形態5の変形例に従うドライバ回路の動作について説明するタイミングチャート図である。

【図16】 本発明の実施の形態6に従うドライバ回路の構成図である。

30

【図17】 本発明の実施の形態6に従うドライバ回路の動作について説明するタイミングチャート図である。

【図18】 本発明の実施の形態6の変形例1に従うドライバ回路の回路構成図である。

【図19】 本発明の実施の形態6の変形例2に従うドライバ回路の回路構成図である。

【図20】 本発明の実施の形態6の変形例2に従うドライバ回路の動作について説明するタイミングチャート図である。

【図21】 本発明の実施の形態6の変形例3に従う2入力のOR回路構成であるドライバ回路の回路構成図である。

【図22】 本発明の実施の形態6の変形例3に従うドライバ回路の動作について説明するタイミングチャート図である。

40

【図23】 本発明の実施の形態7に従うCMOSドライバ回路の回路構成図である。

【図24】 本発明の実施の形態7に従うドライバ回路の動作について説明するタイミングチャート図である。

【図25】 本実施の形態8のドライバ回路の概略構成図である。

【図26】 本発明の実施の形態8のドライバ回路の動作について説明するタイミングチャート図である。

【図27】 本実施の形態8の変形例1に従うドライバ回路の概略構成図である。

【図28】 隣接して配置されるドライバ回路の概略構成図である。

【図29】 ドライバ回路が動作する場合のタイミングチャート図である。

【図30】 別の隣接して配置されるドライバ回路の概略構成図である。

50

【図31】 入力信号を伝播する従来のCMOSドライバ回路の回路構成図である。

【図32】 従来のCMOSドライバ回路の動作について説明するタイミングチャート図である。

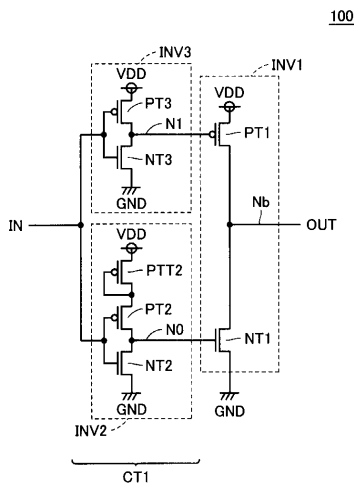
【図33】 ゲート酸化膜の厚膜とトランジスタ1個当たりのゲートリーク電流との関係を示す図である。

【符号の説明】

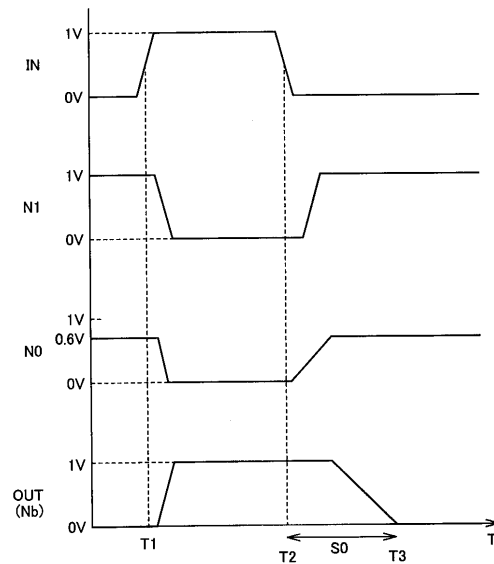
10, 20, 30, 40, 50, 60, 70, 80 タイミング回路、CT1, CT2, CT2a, CT2b, CT3, CT3#, CT4, CT5, CT5#, CT6, CT6#, CT6a, CT6b, CT6a#, CT6b#, 90 制御回路、100, 200, 210, 220, 300, 310, 400, 500, 510, 600, 600a, 600b, 610, 620, 630, 700, DV1, DV2, DV1#, DV2# ドライバ回路、INV1, INV2, INV3, INV#3, INV4 インバータ。

10

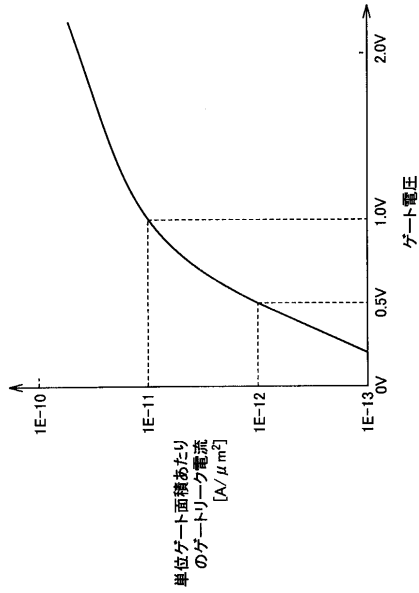
【図1】



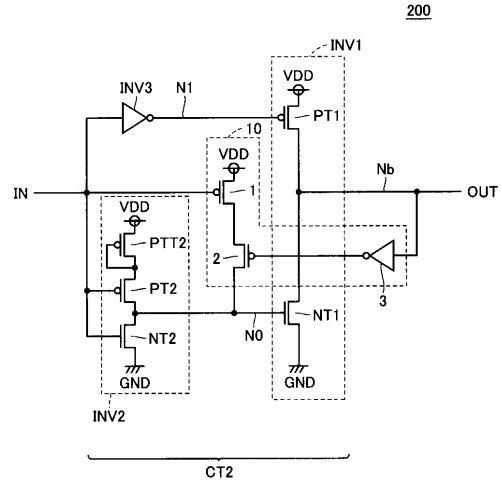
【図2】



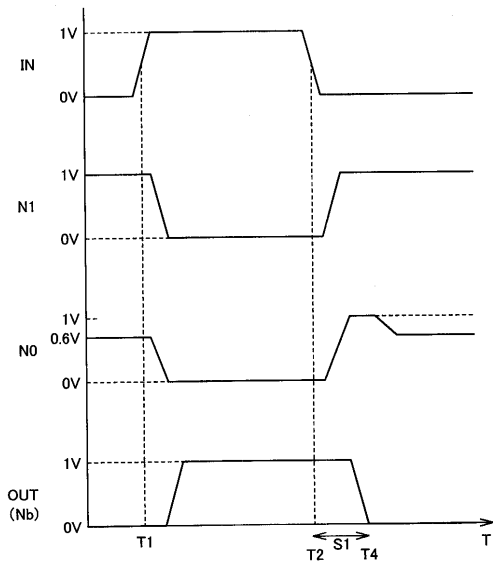
【 図 3 】



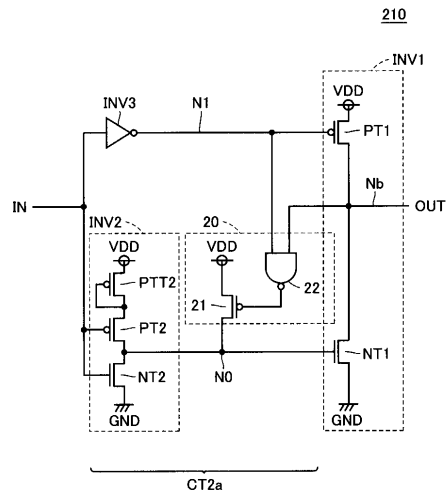
【 図 4 】



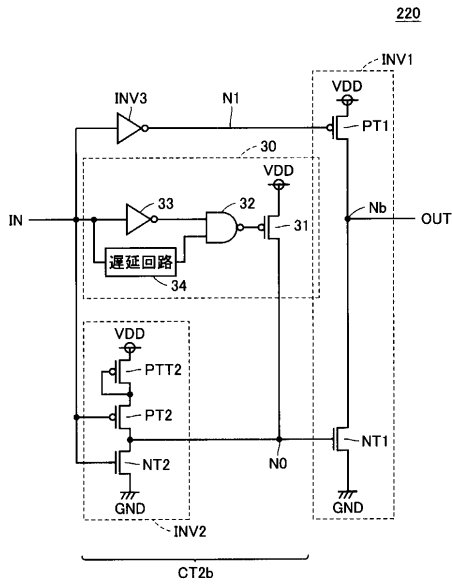
【 図 5 】



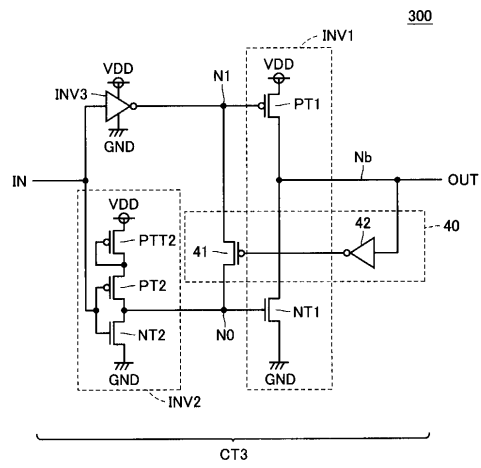
【 図 6 】



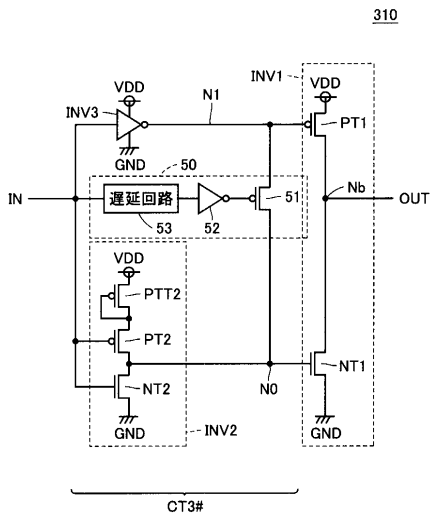
【 図 7 】



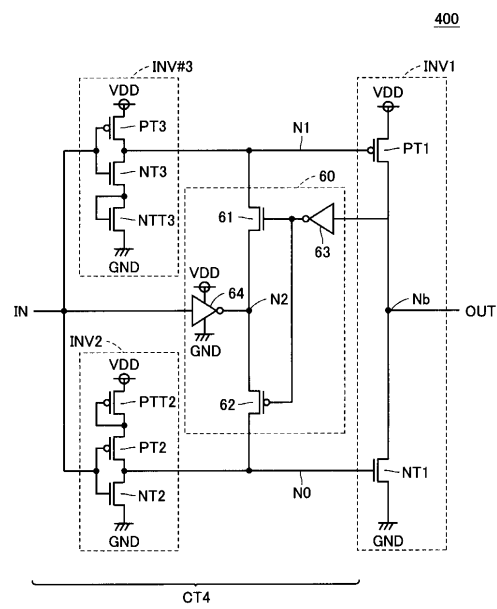
【 図 8 】



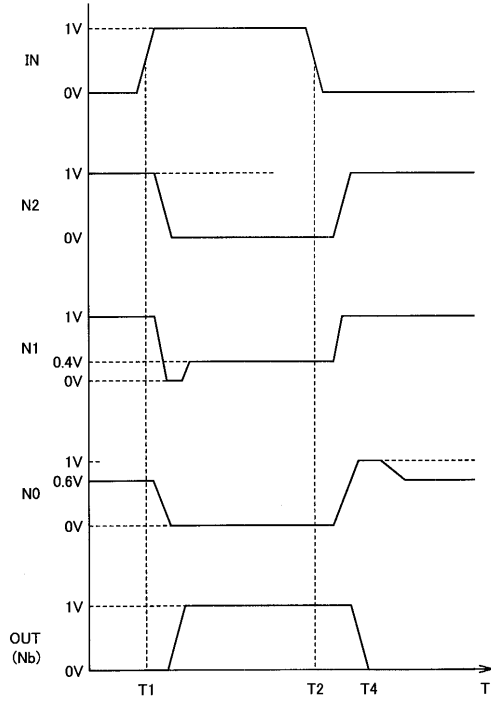
【 図 9 】



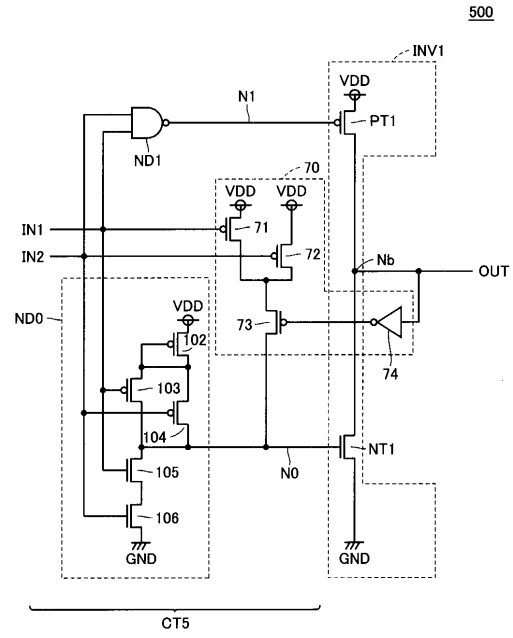
【 図 10 】



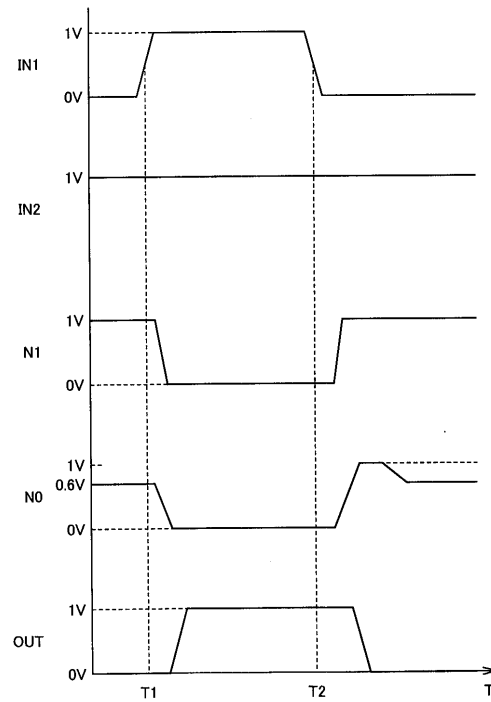
【 1 1 】



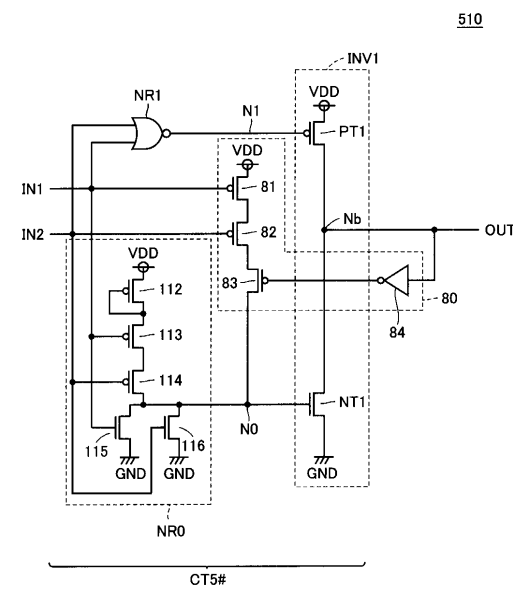
【 1 2 】



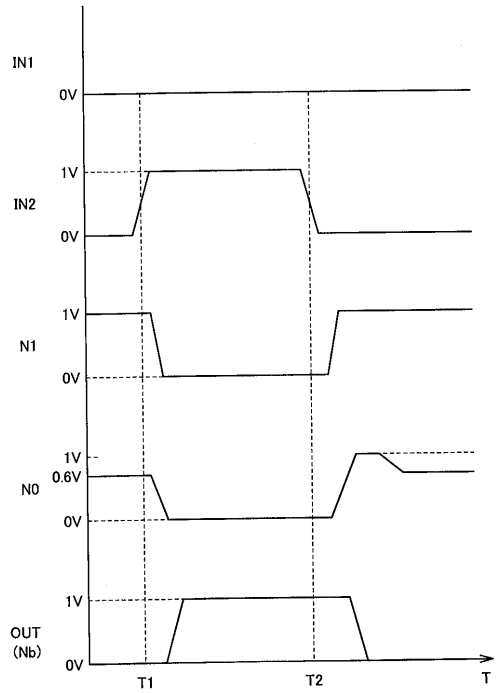
【 1 3 】



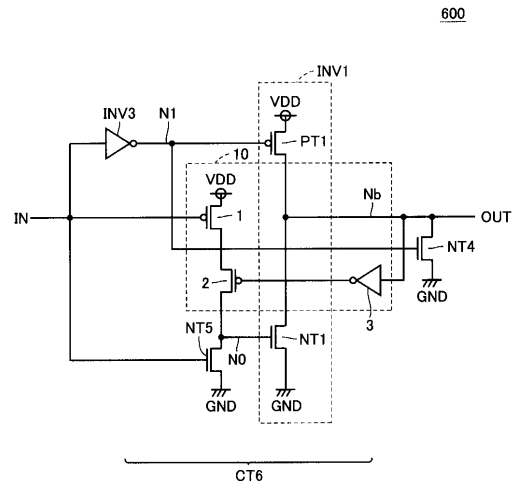
【 1 4 】



【 15 】

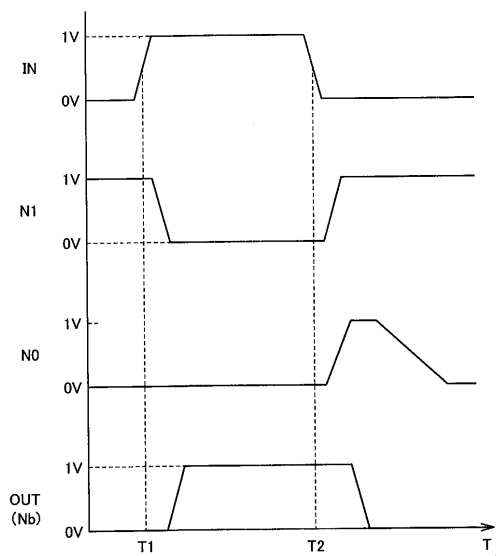


【 16 】

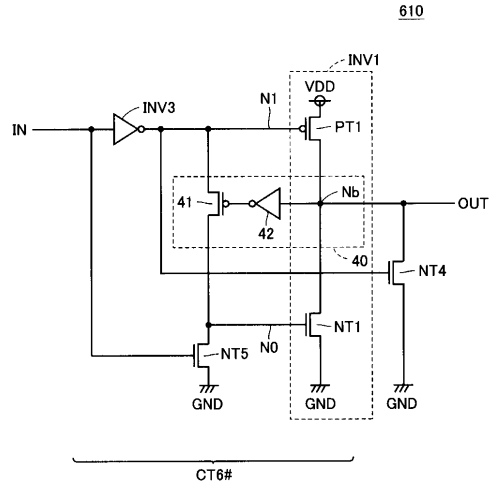


600

【 17 】

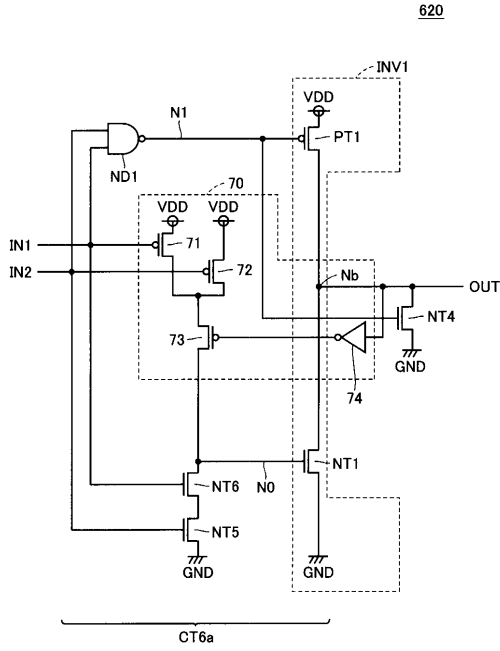


【 18 】

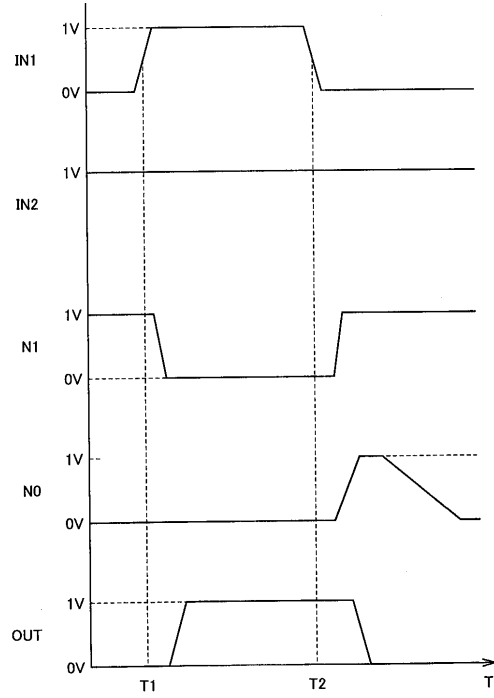


610

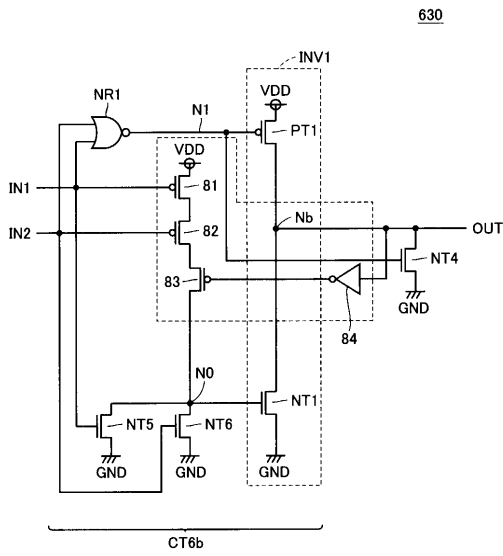
【 図 19 】



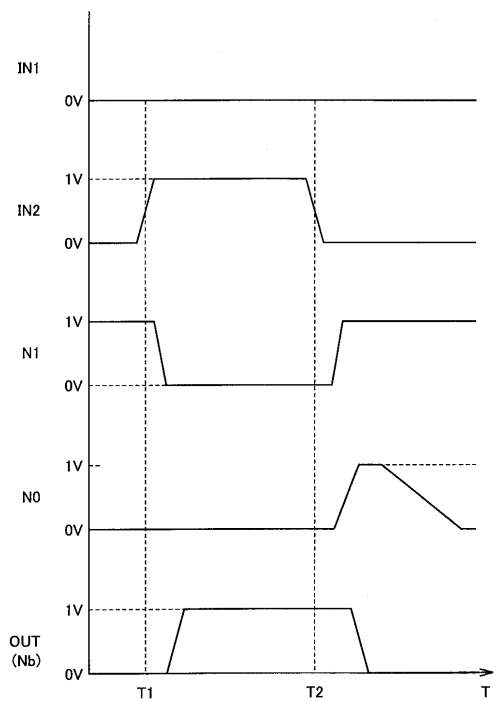
【 図 20 】



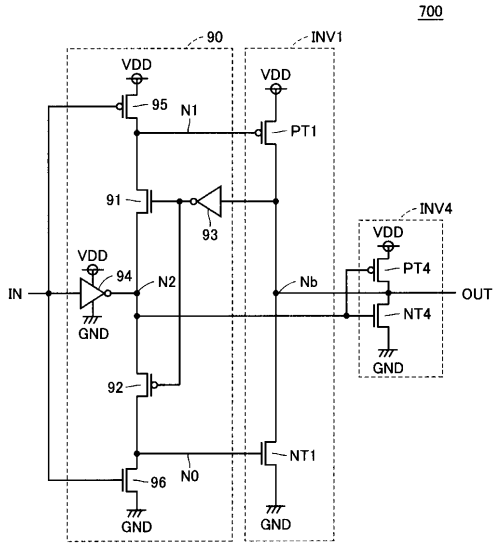
【 図 21 】



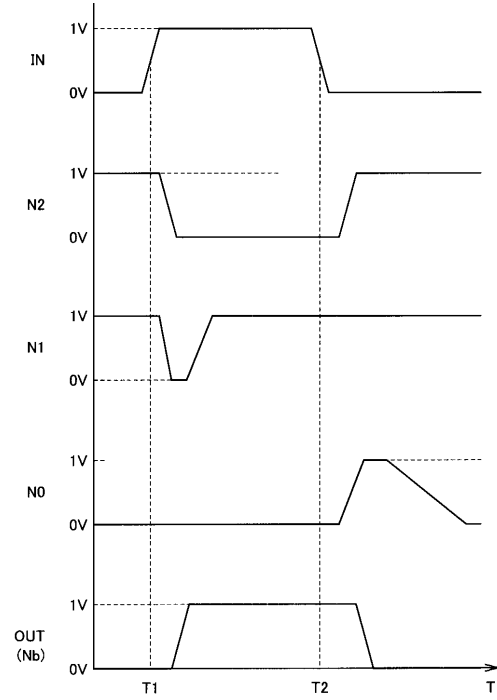
【 図 22 】



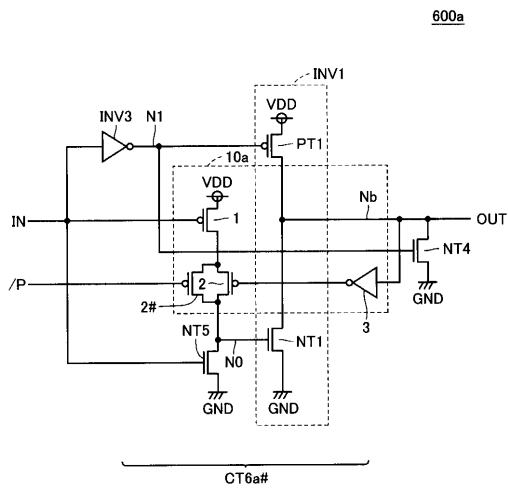
【 2 3 】



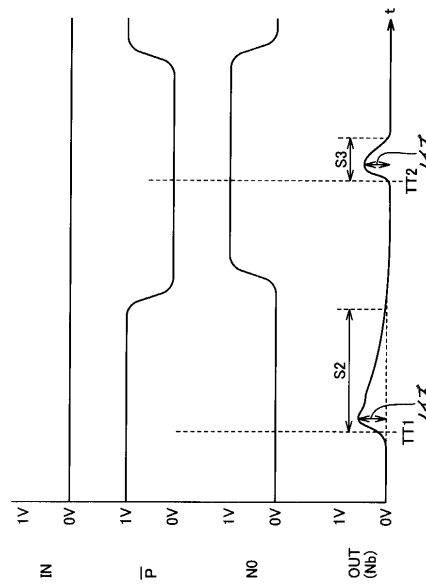
【 2 4 】



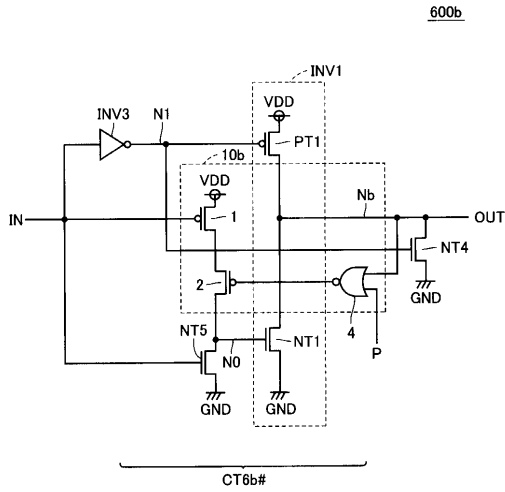
【 2 5 】



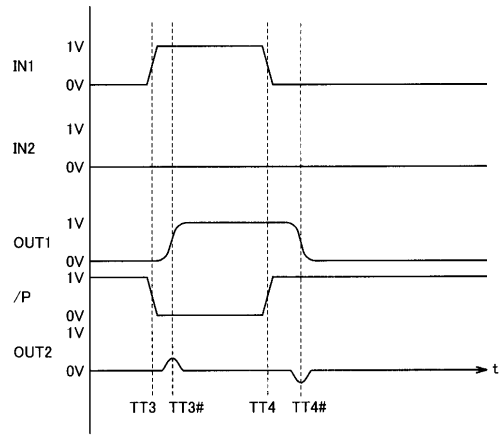
【 2 6 】



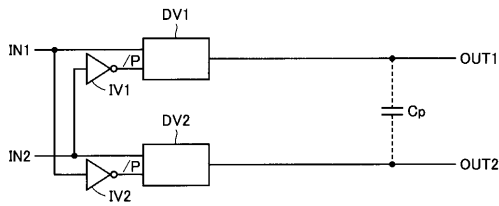
【 図 27 】



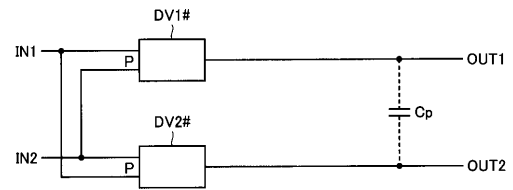
【 図 29 】



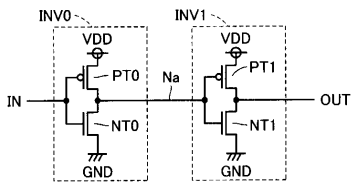
【 図 28 】



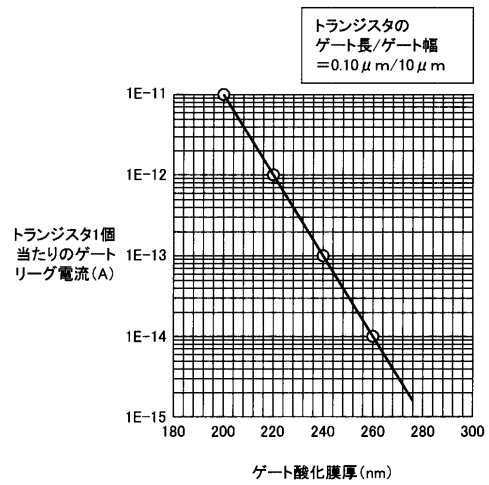
【 図 30 】



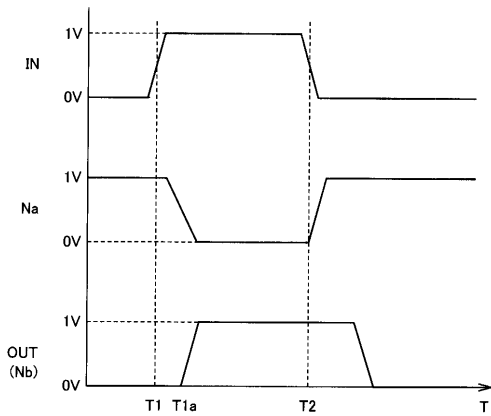
【 図 31 】



【 図 33 】



【 図 32 】



フロントページの続き

(51)Int.Cl. F I
H 0 3 K 17/687 (2006.01)

(72)発明者 新居 浩二
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 宮島 郁美

(56)参考文献 特開平08-065133(JP,A)
特開平11-055099(JP,A)
特開平05-211430(JP,A)
特開平11-330936(JP,A)
特開平01-268311(JP,A)
特開2001-292056(JP,A)
特開平09-167957(JP,A)
特開昭63-268311(JP,A)
特開平11-122092(JP,A)
特開平11-003157(JP,A)
特開平10-055680(JP,A)
特開平09-046212(JP,A)
特開平08-251004(JP,A)
特開昭56-058330(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K19/00,19/01-19/082,19/092-19/096
H03K17/00-17/70
H01L27/04