

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97127794

※申請日期：97年07月22日

※IPC分類：H01L 21/336 (2006.01)

一、發明名稱：

H01L 29/178 (2006.01)

(中) 半導體裝置及其製造方法

(英) Semiconductor device and method of manufacturing the same

二、申請人：(共 1 人)

1. 姓名：(中) 精工電子有限公司

(英) SEIKO INSTRUMENTS INC.

代表人：(中) 1. 新保雅文

(英) 1. SHIMBO, MASAFUMI

地址：(中) 日本國千葉縣千葉市美濱區中瀬一丁目八番地

(英) 8, Nakase 1-chome, Mihama-ku, Chiba-shi, Chiba, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓名：(中) 橋谷雅幸

(英) HASHITANI, MASAYUKI

國籍：(中) 日本

(英) JAPAN

四、聲明事項：◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/07/27 ; 2007-195492 有主張優先權

五、中文發明摘要

發明之名稱：半導體裝置及其製造方法

提供一種半導體裝置，其形成而有一溝部以於閘極寬度方向提供一凹部，及形成有經由閘極絕緣膜而設於該溝部之頂面內及其上之閘極電極。每一該源極區及該汲極區之表面的至少一部分係經由移除形成於該閘極電極附近之厚氧化物膜而製成低於該表面的其他部分。使每一該源極區及該汲極區之該表面的該部分較低，允許電流以高濃度流經該閘極電極之該凹部的頂面，而均勻地流經該整個溝部，此提升了所形成之該凹部的有效閘極寬度，以便於閘極寬度方向具有多變的深度。

六、英文發明摘要

發明之名稱：

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Provided is a semiconductor device formed with a trench portion for providing a concave portion in a gate width direction and with a gate electrode provided within and on a top surface of the trench portion via a gate insulating film. At least a part of a surface of each of the source region and the drain region is made lower than other parts of the surface by removing a thick oxide film formed in the vicinity of the gate electrode. Making lower the part of the surface of each of the source region and the drain region allows current flowing through a top surface of the concave portion of the gate electrode at high concentration to flow uniformly through the entire trench portion, which increase an effective gate width of the concave portion formed so as to have a varying depth in a gate width direction.

七、指定代表圖：

(一)、本案指定代表圖為：第(2)圖

(二)、本代表圖之元件符號簡單說明：

8：溝部

9：閘極絕緣膜

10：閘極電極

12：源極區

13：汲極區

14：厚氧化物膜移除區

15：溝部接點

16：平面部接點

18：溝部電晶體

19：平面部電晶體

A、B：路徑

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明關於需要高驅動性能之包括金屬氧化物半導體 (MOS) 電晶體的半導體裝置，及關於製造該半導體裝置之方法。

【先前技術】

MOS 電晶體為電子學中核心電子元件。重要的是達成 MOS 電晶體之小型化及其高驅動性能。賦予高驅動性能與 MOS 電晶體的方法之一為擴充閘極寬度以降低開啓 (ON) 阻抗。然而，有一項問題即大的閘極寬度需要 MOS 電晶體的寬佔用區。解決之道為提出一種技術，藉此提供大的閘極寬度同時抑制 MOS 電晶體之佔用區增加。(例如，參照 JP 2006-49826 A)。

以下，將參照圖 4A 至 4D 描述習知半導體裝置。如圖 4A 之透視圖中所示，習知半導體裝置包括設於井 17 中之溝部 8 及設於溝部 8 中和閘極絕緣膜 9 之頂面上之閘極電極 10。在井 17 之表面部中，閘極電極 10 的一側配置源極區 12 及另一側配置汲極區 13。圖 4B 為沿圖 4A 之切割面 A-A 之平面部的截面圖，及圖 4C 為沿圖 4A 之切割面 B-B 的截面圖。如圖 4C 中所示，由於閘極電極 10 係設於溝部 8 中，沿閘極電極 10 之 B-B 方向延伸至與閘極絕緣膜 9 接觸之曲線的總長度提供閘極寬度。

如上述，由於閘極部具有包括凸部和凹部之溝結構，

實際閘極寬度可大於簡單地於平坦面上製造之閘極電極的寬度。因此，可減少每單位區域之 ON 阻抗而不降低 MOS 電晶體之承受電壓。

本發明之發明者已發現一問題，即在上述半導體裝置之結構中，實際驅動性能無法達到預期之驅動性能。亦發現到驅動性能隨著閘極長度而改變並傾向於在短閘極長度裝置中較低。

假設此現象係由源極及汲極之間所產生之通道中不均勻的電流所造成：如圖 4D 中所示，大部分電流係沿未形成溝部 8 之平面部的路徑 A 流動；少數電流係沿平行於連接源極及汲極之方向的通道之溝部 8 之側面的路徑 B 及溝部 8 之底面的路徑 C 流動。因此，電流傾向於集中在短閘極長度裝置中之路徑 A，咸信此係短閘極長度裝置中驅動性能較低的原因。

【發明內容】

本發明的一個目標為改進具有溝結構之半導體裝置的驅動性能。

為解決上述問題，本發明使用下列機構：

(1) 一種半導體裝置包括：一第一傳導性型半導體基底；一溝部，其設於該第一傳導性型半導體基底之上，並於閘極寬度方向具有一側面及一底面；一閘極電極，其經由閘極絕緣膜而形成於該溝部之內及平面部之頂面上；一第二傳導性型之源極區，其設於該閘極電極之一側；及

一該第二傳導性型之汲極區，其設於該閘極電極之另一側，其中該源極區及該汲極區包括該閘極電極附近之其表面之至少一部分，所包含該部分係配置於較該表面之其他部分低的位置，該源極區及該汲極區並具有該表面之該部分的向下部中較深的擴散深度，該表面之該部分的向下部係配置於較該表面之其他部分的向下部低的位置；

(2) 一種半導體裝置包括：一第一傳導性型半導體基底；一第二傳導性型之源極區及一該第二傳導性型之汲極區，其於該第一傳導性型半導體基底之表面附近彼此相離地配置；一平面部，其係平坦並設於該源極區與該汲極區之間以成爲第一通道區；一具有固定深度之溝部，其連同該平面部配置並具有一側面及一底面做爲第二通道區；一閘極絕緣膜，其係提供予該平面部之表面及該溝部之表面；及一閘極電極，其設於該閘極絕緣膜之上，其中該源極區與該汲極區經由該溝部而於其表面上包括面對另一側之一部分的一部分，該部分係配置於較該表面之其他部分低的位置，該源極區及該汲極區並經由該溝部而具有面對另一側之該部分的該部分中較該表面之其他部分深的擴散深度；及

(3) 一種製造半導體裝置之方法，包括：準備一第一傳導性型半導體基底；從該半導體基底之表面移除將成爲源極區之區域的一部分及將成爲汲極區之區域的一部分，以形成一凹部；於將成爲通道之區域中形成具有一側面及一底面之溝，以配置一平面部及一溝部；於該溝部之側

面及底面上及於該平面部之表面上形成一閘極絕緣膜；於該閘極絕緣膜上形成一閘極電極；及形成第二傳導性型之該源極區及該第二傳導性型之該汲極區，以環繞該凹部將該閘極電極夾於其間。

依據本發明，至少在閘極電極附近之一部分，經由矽之局部氧化（LOCOS）法移除所形成之厚氧化物膜，上述半導體裝置之源極區及汲極區之表面的一部分可低於該表面的其他部分。由於致能相對於電晶體之溝部的閘極電極之較深位置的源極區及汲極區之形成，沿閘極寬度方向之凹部頂端之電流的濃度可因而降低，且電流可分散至凹部內部而沿深的路徑流動，此可增強半導體裝置之驅動性能。

【實施方式】

以下將參照圖式描述本發明之實施例。

圖 1A 至 1J 為顯示製造依據本發明之第一實施例之半導體裝置之方法的處理序列流程之示意截面圖。

在圖 1A 中，在第一傳導性型半導體基底上，例如 p 型半導體基底 1 或因添加硼而具有介於 $20 \Omega\text{cm}$ 至 $30 \Omega\text{cm}$ 範圍之電阻率的雜質濃度之半導體基底，形成具有數百埃（Å）厚度之例如熱氧化物膜之氧化物膜 2。之後，形成例如數千埃厚度之氮化物膜 3。請注意，本實施例之基底具有 p 型傳導性，但基底之傳導性與本發明之本質無關。如圖 1B 中所示，以抗蝕劑膜 4 在氮化物膜 3 之上實施定

型，並以 LOCOS 法移除氮化物膜 3 以形成氧化物膜。本狀況之氮化物膜係用於在後續程序中以 LOCOS 法形成厚氧化物膜。之後，形成抗蝕劑膜 5 同時保持抗蝕劑膜 4，並添加雜質以於通道切割區中形成低濃度擴散層。例如，磷係較佳地以 1×10^{11} atoms/cm² 至 1×10^{13} atoms/cm² 之劑量而離子注入。在此狀況下，砷可用做雜質。

接著，如圖 1C 中所示，抗蝕劑膜 4 及 5 被移除，並經由 LOCOS 法形成 LOCOS 氧化物膜。在此狀況下，氧化物膜在 1,000 至 1,200°C 的溫度下達數小時，並經由熱氧化成長而具有 500 nm 至 1 μm 之厚度。此時，於通道切割區中形成低濃度擴散層 6。隨後，如圖 1D 中所示，在氮化物膜 3 移除後，便以抗蝕劑膜 7 實施定型以移除 LOCOS 氧化物膜。除了抗蝕劑膜 7 外，氮化物或多晶矽之膜可用做定型之遮罩。在抗蝕劑膜 7 及氧化物膜 2 移除之後，接著獲得圖 1E 中所示之結構。該結構具有凹部而使得將成為源極區或汲極區之區的表面部分低於其他部分。隨後，如圖 1F 中所示，於第一傳導性型半導體基底中形成溝結構 8，具有例如數百 nm 至數 μm 之深度。

如圖 1G 中所示，在形成數百至數千埃之厚度的例如熱氧化膜之閘極絕緣膜 9 之後，多晶矽閘極膜便沈積於閘極絕緣膜 9 上並較佳地具有 100 nm 至 500 nm 之厚度，及經由預先沈積或離子注入而導入雜質以降低電阻率而獲得閘極電極 10。在此狀況下，傳導性可為第一傳導性型或第二傳導性型。此外，以抗蝕劑膜 11 定型閘極電極 10，而

提供圖 1H 中所示之結構。如上述，實質上決定將成爲 MOS 電晶體之通道的區。圖 1H 僅顯示將成爲溝部之通道的區，但將成爲平面部之通道的區亦同步地經由於閘極電極 10 上定型而予形成。

隨後，如圖 1I 中所示，添加雜質而以自我校準的方式形成源極區及汲極區。在添加至源極區及汲極區的雜質中，例如砷係較佳地以 1×10^{15} atoms/cm² 至 1×10^{16} atoms/cm² 之劑量而離子注入。此外，將雜質導入至源極區及汲極區可在與相同晶片中不具有溝結構 8 之 MOS 電晶體之狀況的相同狀況下同步實施。經由上述程序，便組成具有溝結構 8 之 MOS 電晶體。如圖 1J 中所示，在 800°C 至 1,000°C 之溫度下實施熱處理達數小時，接著形成源極區 12 及汲極區 13。在本實施例中，閘極電極 10 附近之源極區 12 及汲極區 13 具有一部分表面上之較低部。因此，用以形成源極區 12 及汲極區 13 之雜質亦較之前分佈於更深之部分，允許流經溝部之側面及底面的電流量增加。

將參照圖 2A 至 2C 更詳細地描述經由包括上述程序之方法而製造之具有溝結構之 MOS 電晶體的結構。

圖 2A 爲本發明之第一實施例之 MOS 電晶體的平面圖，圖 2B 爲沿圖 2A 之線 A-A 的截面圖，及圖 2C 爲沿圖 2A 之線 B-B 的截面圖。

本發明之半導體裝置具有包括沿閘極寬度方向配置之複數個溝部 8 的閘極電極，及於構成除溝部外之一部分通

道區的平面部上形成之閘極電極。圖 2B 為沿圖 2A 之線 A-A 的截面圖，顯示溝部電晶體 18。圖 2C 為沿圖 2A 之線 B-B 的截面圖，顯示平面部電晶體 19。圖 2A 顯示閘極絕緣膜 9，其經配置而依循閘極電極 10 下之溝部的形狀。

圖 2A 顯示本發明之第一實施例，其中區 14 連續地及共同地存在於源極區 12 及汲極區 13 中，自此由 LOCOS 法製造之厚氧化物膜被移除以使源極區 12 及汲極區 13 之表面的至少一部分位於低於其他部分之閘極電極 10 的附近，並經配置而環繞溝部電晶體 18 之閘極電極 10 沿閘極長度方向的兩端。此外，在本實施例中，做為配線接點之溝部接點 15 及平面部接點 16 配置於閘極電極 10 附近之其表面上的較低部，其係位於源極區 12 及汲極區 13 中。

圖 3 為一平面圖，顯示依據本發明之第二實施例的半導體裝置。在圖 3 中，厚氧化物膜移除區 14 具有源極區 12 及汲極區 13 之表面上的至少一部分，其較其他部分低，並選擇性地於溝部電晶體 18 之閘極電極 10 沿閘極長度方向之延伸部分上形成。基此，對配線接點而言，溝部接點 15 或平面部接點 16 係配置於不同位置。例如，為了降低寄生阻抗，平面部接點 16 經配置而與閘極電極 10 之距離少於與溝部接點 15 之距離。亦在圖 3 中，閘極絕緣膜 9 經配置以便依循閘極電極 10 下之溝部的形狀。

【圖式簡單說明】

在各圖式中：

圖 1A 至 1J 為顯示製造依據本發明之第一實施例之半導體裝置之方法的處理序列流程之示意截面圖；

圖 2A 為平面圖及圖 2B 和 2C 為截面圖，顯示具有依據本發明之第一實施例之溝結構的 MOS 電晶體之細節；

圖 3 為平面圖，顯示具有依據本發明之第二實施例之溝結構的 MOS 電晶體之細節；及

圖 4A 為透視圖及圖 4B 和 4C 為截面圖，各顯示具有習知技藝之溝結構的 MOS 電晶體，圖 4D 為示意圖，顯示流經具有相關技藝之溝結構的 MOS 電晶體之通道的電流路徑。

【主要元件符號說明】

- 1：半導體基底
- 2：氧化物膜
- 3：氮化物膜
- 4、5、7、11：抗蝕劑膜
- 6：低濃度擴散層
- 8：溝部
- 9：閘極絕緣膜
- 10：閘極電極
- 12：源極區
- 13：汲極區
- 14：厚氧化物膜移除區
- 15：溝部接點

16 : 平面部接點

17 : 井

18 : 溝部電晶體

19 : 平面部電晶體

A、B、C : 路徑

十、申請專利範圍

103年02月12日修正
123頁(本)

1. 一種半導體裝置，包含：

一第一傳導性型半導體基底；

一溝部，其置於該第一傳導性型半導體基底之上，並於閘極寬度方向具有一側面及一底面；

一閘極電極，其置於該溝部之內，並經由閘極絕緣膜而位於平面部之頂面上；

一第二傳導性型之源極區，其置於該閘極電極之一側；及

一該第二傳導性型之汲極區，其置於該閘極電極之另一側，

其中該源極區及該汲極區包含該閘極電極附近之其表面之至少一部分，該部分係配置於較該表面之其他部分低的位置，該源極區及該汲極區並具有該表面之該部分的向下部中較深的擴散深度，該表面之該部分的向下部係配置於較該表面之其他部分的向下部低的位置，

其中該平面部之每一該源極區之該表面上之接點和該汲極區之該表面上之接點與該閘極電極之間之距離，較該溝部之每一該源極區之該表面上之接點和該汲極區之該表面上之接點與該閘極電極之間之距離短。

2. 一種半導體裝置，包含：

一第一傳導性型半導體基底；

一第二傳導性型之源極區及一該第二傳導性型之汲極區，其於該第一傳導性型半導體基底之表面附近彼此相離

地配置：

一平面部，其係平坦並置於該源極區與該汲極區之間以成爲第一通道區；

一具有固定深度之溝部，其連同該平面部配置並具有一側面及一底面做爲第二通道區；

一閘極絕緣膜，其係提供予該平面部之表面及該溝部之表面；及

一閘極電極，其設於該閘極絕緣膜之上，

其中該源極區與該汲極區經由該溝部而於其表面上包含面對另一側之一部分的一部分，該部分係配置於較該表面之其他部分低的位置，該源極區及該汲極區並經由該溝部而具有面對該另一側之該部分的該部分中較該表面之其他部分深的擴散深度，

其中該平面部之每一該源極區之該表面上之接點和該汲極區之該表面上之接點與該閘極電極之間之距離，較該溝部之每一該源極區之該表面上之接點和該汲極區之該表面上之接點與該閘極電極之間之距離短。

3. 如申請專利範圍第 2 項之半導體裝置，進一步包含一接點，用以於配置於較低位置之每一該源極區及該汲極區之該表面上佈線。

4. 一種製造半導體裝置之方法，包含：

準備一第一傳導性型半導體基底；

從該半導體基底之表面移除將成爲源極區之區域的一部分及將成爲汲極區之區域的一部分，以形成一凹部；

於將成爲通道之區域中形成具有一側面及一底面之溝，以配置一平面部及一溝部，其中該溝部沿著該表面與該凹部分隔；

於該溝部之側面及底面上及於該平面部之表面上形成一閘極絕緣膜；

於該閘極絕緣膜上形成一閘極電極；及

形成第二傳導性型之該源極區及該第二傳導性型之該汲極區，以環繞該凹部將該閘極電極夾於其間。

5. 如申請專利範圍第 4 項之製造半導體裝置之方法，其中從該半導體基底之表面移除將成爲源極區之區域的一部分及將成爲汲極區之區域的一部分以形成一凹部，係經由使用矽之局部氧化（LOCOS）法形成一厚氧化物膜並移除該厚氧化物膜而實施。

6. 如申請專利範圍第 4 項之製造半導體裝置之方法，其中形成第二傳導性型之該源極區及該第二傳導性型之該汲極區，進一步包含在與將雜質導入於該相同半導體基底上形成之另一電晶體之源極區及汲極區之狀況相同的狀況下導入雜質。

7. 如申請專利範圍第 4 項之製造半導體裝置之方法，其中形成第二傳導性型之該源極區及該第二傳導性型之該汲極區，進一步包含與將雜質導入於該相同半導體基底上形成之另一電晶體之源極區及汲極區同步地導入雜質。

圖 1A

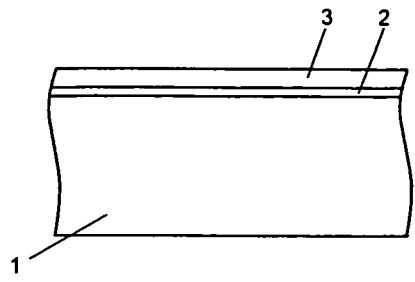


圖 1E

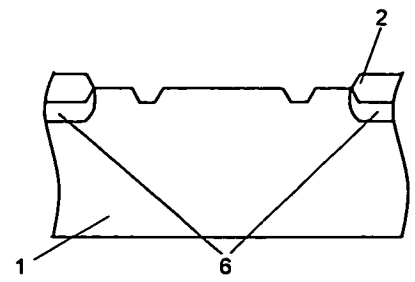


圖 1B

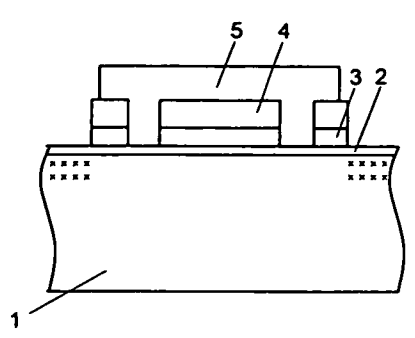


圖 1F

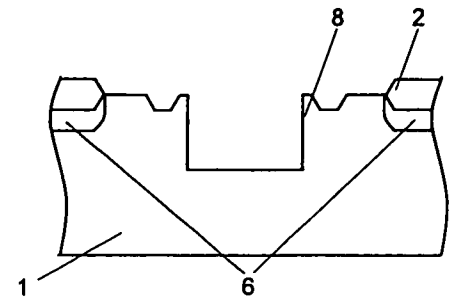


圖 1C

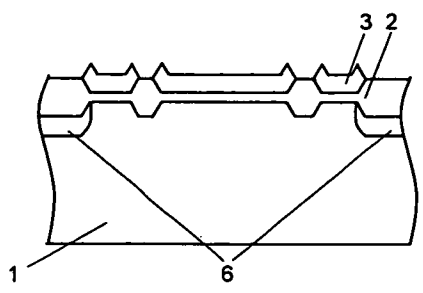


圖 1G

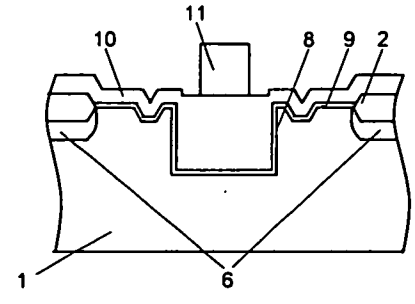


圖 1D

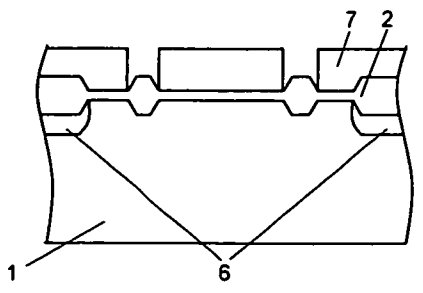


圖 1H

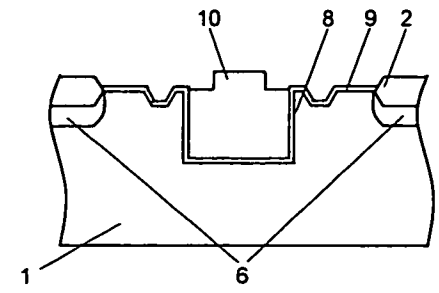


圖1I

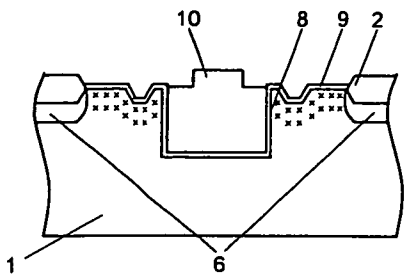


圖1J

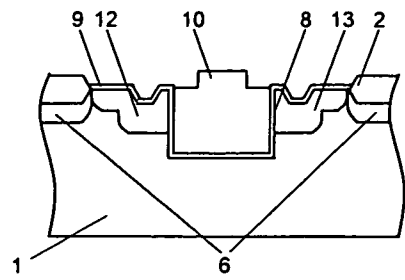


圖 2A

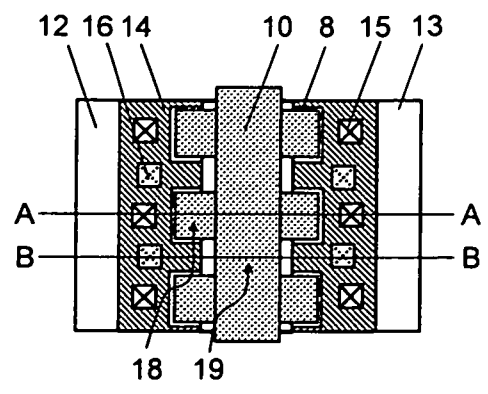


圖 2B

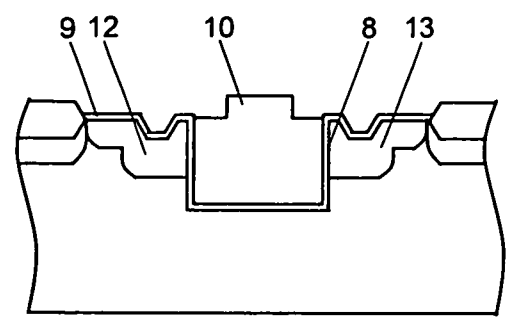


圖 2C

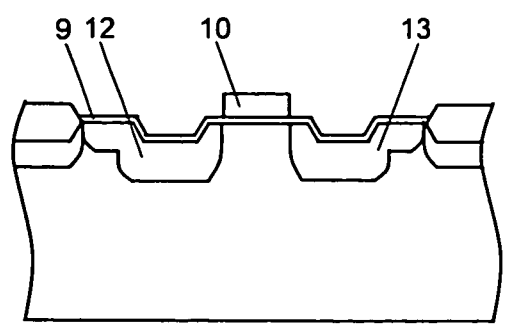


圖3

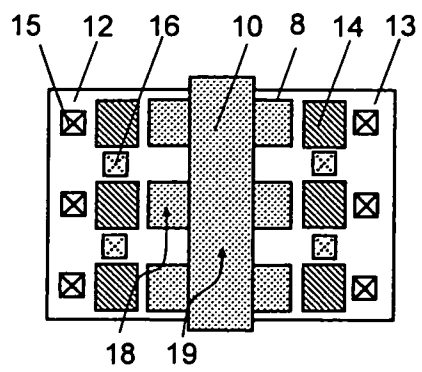


圖 4A

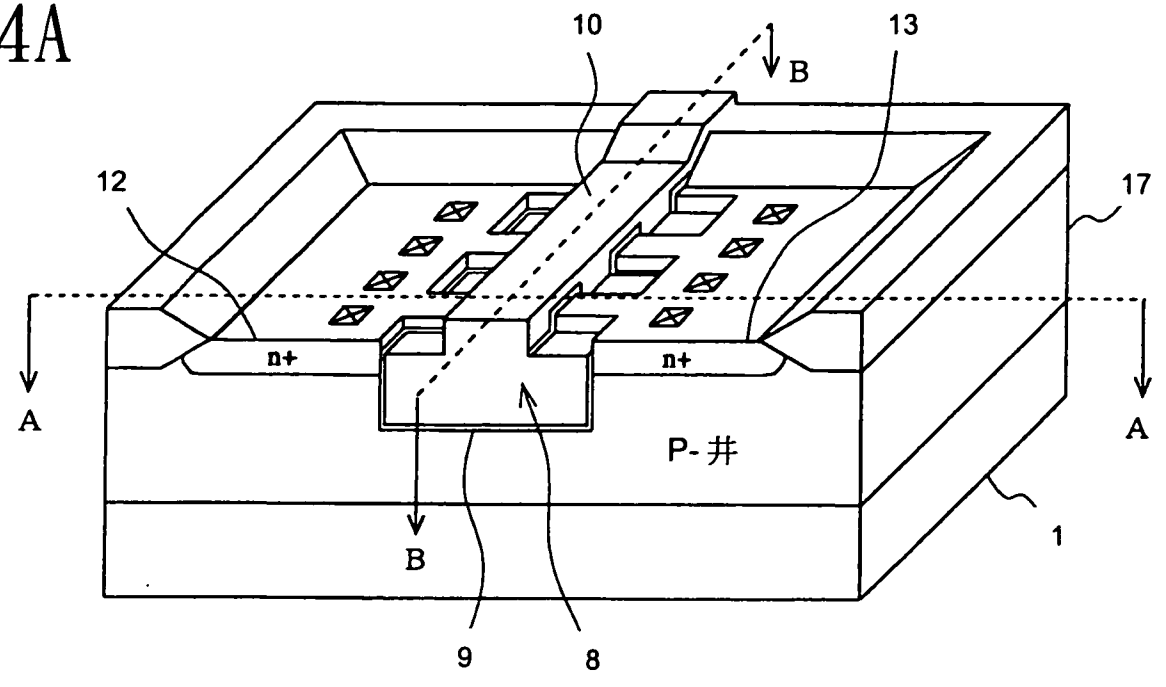


圖 4B

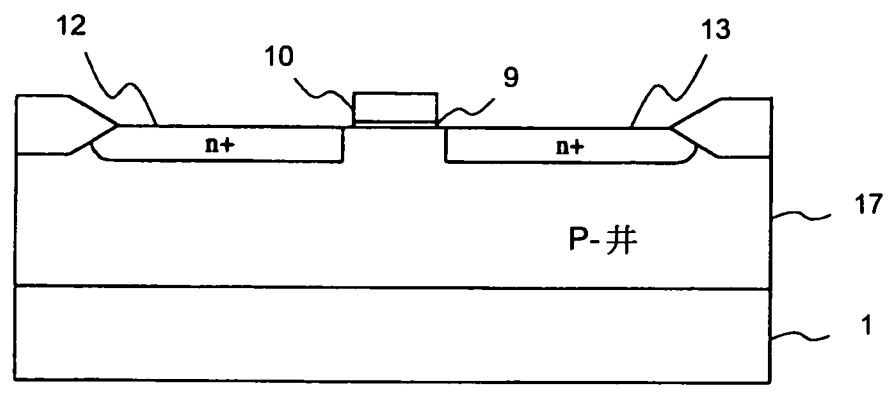


圖 4C

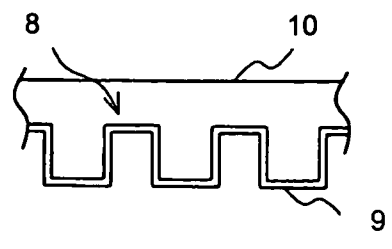


圖 4D

