

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5589942号
(P5589942)

(45) 発行日 平成26年9月17日(2014.9.17)

(24) 登録日 平成26年8月8日(2014.8.8)

(51) Int. Cl. F I
 HO 1 L 33/32 (2010.01) HO 1 L 33/00 1 8 6
 HO 1 L 21/301 (2006.01) HO 1 L 21/78 Q
 HO 1 L 21/78 B

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2011-90590 (P2011-90590)	(73) 特許権者	000241463 豊田合成株式会社
(22) 出願日	平成23年4月15日(2011.4.15)		愛知県清須市春日長畑1番地
(65) 公開番号	特開2012-227187 (P2012-227187A)	(74) 代理人	100104880 弁理士 古部 次郎
(43) 公開日	平成24年11月15日(2012.11.15)	(72) 発明者	平岩 大介 千葉県市原市八幡海岸通5-1 昭和電工株式会社内
審査請求日	平成25年5月27日(2013.5.27)	(72) 発明者	岡部 健彦 千葉県市原市八幡海岸通5-1 昭和電工株式会社内
		審査官	高椋 健司

最終頁に続く

(54) 【発明の名称】 半導体発光チップの製造方法

(57) 【特許請求の範囲】

【請求項1】

表面及び裏面を有するとともに当該表面がサファイア単結晶のC面で構成されたサファイア基板の当該表面に、III族窒化物を含む半導体層が積層された半導体積層基板に対し、当該半導体層が積層された側から、当該サファイア基板の当該表面およびサファイア単結晶のM面に沿う第1方向に、当該サファイア基板の当該表面に到達する複数の割溝を形成する割溝形成工程と、

複数の前記割溝が形成された前記半導体積層基板に対し、前記基板の前記裏面側からレーザー光を照射することで、前記サファイア基板の内部に、前記第1方向に向かう複数の第1改質領域および当該サファイア基板の前記表面に沿い且つ当該第1方向とは異なる第2方向に向かう複数の第2改質領域を形成する改質領域形成工程と、

前記第1改質領域および前記第2改質領域が形成された前記半導体積層基板を、当該第1改質領域および当該第2改質領域を用いて分割する分割工程と
を含み、

前記割溝形成工程では、前記第2方向に向かう割溝は形成せずに前記第1方向に向かう複数の割溝を形成し、

前記改質領域形成工程では、複数の前記割溝に沿ってレーザー光を照射することで、前記サファイア基板の厚さ方向においてそれぞれの当該割溝と重なるように前記第1改質領域を形成すること

を特徴とする半導体発光チップの製造方法。

【請求項 2】

前記割溝形成工程よりも前に、前記半導体積層基板に対して、前記半導体層が積層された側から前記第 1 方向および前記第 2 方向に沿って当該半導体層の一部を除去することで、当該半導体層に当該第 1 方向に向かう複数の第 1 の溝部と当該第 2 方向に向かう複数の第 2 の溝部とを形成する溝部形成工程をさらに有し、

前記割溝形成工程では、複数の前記第 1 の溝部の内側にそれぞれ前記割溝を形成し、

前記改質領域形成工程では、複数の前記第 1 の溝部のそれぞれに沿って前記レーザー光を照射することで、前記サファイア基板の厚さ方向において当該第 1 の溝部と重なるように前記第 1 改質領域を形成するとともに、複数の前記第 2 の溝部のそれぞれに沿って当該レーザー光を照射することで、当該サファイア基板の厚さ方向において当該第 2 の溝部と重なるように前記第 2 改質領域を形成することを特徴とする請求項 1 記載の半導体発光チップの製造方法。

10

【請求項 3】

前記改質領域形成工程は、

複数の前記割溝が形成された前記半導体積層基板に前記第 2 改質領域を形成する第 2 改質領域形成工程と、

前記第 2 改質領域が形成された前記半導体積層基板に前記第 1 改質領域を形成する第 1 改質領域形成工程と

を上記の順に実施することを特徴とする請求項 1 または 2 記載の半導体発光チップの製造方法。

20

【請求項 4】

前記改質領域形成工程では、前記サファイア基板の前記裏面からの深さが第 2 深さとなる位置に前記第 2 改質領域を形成するとともに、当該サファイア基板の当該裏面からの深さが当該第 2 深さよりも浅い第 1 深さとなる位置に前記第 1 改質領域を形成することを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体発光チップの製造方法。

【請求項 5】

前記改質領域形成工程では、前記第 2 改質領域を形成する際の前記レーザー光の強度よりも、前記第 1 改質領域を形成する際の当該レーザー光の強度を低くすることを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の半導体発光チップの製造方法。

【請求項 6】

前記改質領域形成工程では、隣接する前記第 2 改質領域同士の間隔よりも、隣接する前記第 1 改質領域同士の間隔を狭くすることを特徴とする請求項 1 乃至 5 のいずれか 1 項記載の半導体発光チップの製造方法。

30

【請求項 7】

前記分割工程では、前記第 1 改質領域および前記第 2 改質領域が形成された前記半導体積層基板を、当該第 2 改質領域を用いて分割した後、当該第 1 改質領域を用いて分割することを特徴とする請求項 1 乃至 6 のいずれか 1 項記載の半導体発光チップの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体発光チップの製造方法および半導体発光チップに関する。

40

【背景技術】

【0002】

基板に複数の半導体発光素子を形成した素子群形成基板を、分割して個片化することで、半導体発光素子を搭載した半導体発光チップ（以下では発光チップと呼ぶ）を得る方法が広く用いられている。

従来技術として、素子群形成基板に想定された分割予定ラインに沿って基板の内部にレーザー光を集光させて照射することで、レーザー光の照射前よりも結晶強度が低い改質領域を形成した後、この改質領域を起点として素子群形成基板を分割して発光チップを得る技術がある（特許文献 1 参照）。

50

また、サファイア単結晶等からなる基板の上に窒化ガリウム系化合物半導体が積層された窒化ガリウム系化合物半導体ウェハにおいて、半導体の一部を除去して半導体に第一の割溝を形成するとともに、基板における半導体を積層していない側の面に、第一の割溝に対向するように第二の割溝を形成することにより、一枚の半導体ウェハから取り出せるチップの数を増加させ、生産性を改善する技術が開示されている（特許文献2参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005-159378号公報

【特許文献2】特開2005-252245号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、基板としてサファイア単結晶を用いた場合に、素子群形成基板を分割して得られる半導体発光チップにおいて、半導体発光素子に欠けが生じるおそれがあった。

【0005】

本発明は、かかる点に鑑みてなされたものであり、サファイア単結晶を基板とする半導体発光チップの製造において、得られる半導体発光チップにおける半導体発光素子の欠けを抑制することを目的とする。

【課題を解決するための手段】

20

【0006】

本発明によれば、下記〔1〕～〔7〕に係る発明が提供される。

〔1〕表面及び裏面を有するとともに表面がサファイア単結晶のC面で構成されたサファイア基板の表面に、III族窒化物を含む半導体層が積層された半導体積層基板に対し、半導体層が積層された側から、サファイア基板の表面およびサファイア単結晶のM面に沿う第1方向に、サファイア基板の表面に到達する複数の割溝を形成する割溝形成工程と、

複数の割溝が形成された半導体積層基板に対し、基板の裏面側からレーザ光を照射することで、サファイア基板の内部に、第1方向に向かう複数の第1改質領域およびサファイア基板の表面に沿い且つ第1方向とは異なる第2方向に向かう複数の第2改質領域を形成する改質領域形成工程と、

30

第1改質領域および第2改質領域が形成された半導体積層基板を、第1改質領域および第2改質領域を用いて分割する分割工程とを含み、

割溝形成工程では、第2方向に向かう割溝は形成せずに第1方向に向かう複数の割溝を形成し、

改質領域形成工程では、複数の割溝に沿ってレーザ光を照射することで、サファイア基板の厚さ方向においてそれぞれの割溝と重なるように第1改質領域を形成すること
を特徴とする半導体発光チップの製造方法。

〔2〕割溝形成工程よりも前に、半導体積層基板に対して、半導体層が積層された側から第1方向および第2方向に沿って半導体層の一部を除去することで、半導体層に第1方向に向かう複数の第1の溝部と第2方向に向かう複数の第2の溝部とを形成する溝部形成工程をさらに有し、

40

割溝形成工程では、複数の第1の溝部の内側にそれぞれ割溝を形成し、

改質領域形成工程では、複数の第1の溝部のそれぞれに沿ってレーザ光を照射することで、サファイア基板の厚さ方向において第1の溝部と重なるように第1改質領域を形成するとともに、複数の第2の溝部のそれぞれに沿ってレーザ光を照射することで、サファイア基板の厚さ方向において第2の溝部と重なるように第2改質領域を形成すること
を特徴とする〔1〕記載の半導体発光チップの製造方法。

〔3〕改質領域形成工程は、

複数の割溝が形成された半導体積層基板に第2改質領域を形成する第2改質領域形成工

50

程と、

第2改質領域が形成された半導体積層基板に第1改質領域を形成する第1改質領域形成工程と

を上記の順に実施すること特徴とする[1]または[2]記載の半導体発光チップの製造方法。

[4]改質領域形成工程では、サファイア基板の裏面からの深さが第2深さとなる位置に第2改質領域を形成するとともに、サファイア基板の裏面からの深さが第2深さよりも浅い第1深さとなる位置に第1改質領域を形成することを特徴とする[1]乃至[3]のいずれか記載の半導体発光チップの製造方法。

[5]改質領域形成工程では、第2改質領域を形成する際のレーザ光の強度よりも、第1改質領域を形成する際のレーザ光の強度を低くすることを特徴とする[1]乃至[4]のいずれか記載の半導体発光チップの製造方法。

[6]改質領域形成工程では、隣接する第2改質領域同士の間隔よりも、隣接する第1改質領域同士の間隔を狭くすることを特徴とする[1]乃至[5]のいずれか記載の半導体発光チップの製造方法。

[7]分割工程では、第1改質領域および第2改質領域が形成された半導体積層基板を、第2改質領域を用いて分割した後、第1改質領域を用いて分割することを特徴とする[1]乃至[6]のいずれか記載の半導体発光チップの製造方法。

【発明の効果】

【0008】

本発明によれば、発光チップの製造において、基板としてサファイア単結晶を用い、サファイア単結晶のM面に沿った方向を分割予定ラインとした場合に、半導体発光素子に欠けが生じるのを抑制することができる。

【図面の簡単な説明】

【0009】

【図1】本実施の形態の製造方法を用いて得られた発光チップの構成の一例を示す斜視図である。

【図2】発光チップの製造方法の一例を示すフローチャートである。

【図3】半導体積層工程を実行することによって得られた半導体積層基板の構成の一例を示す図であって、(a)は、半導体積層基板を、半導体層が積層された側から見た上面図であり、(b)は、半導体積層基板を基板の裏面側から見た裏面図であり、(c)は、(a)のI I I C - I I I C断面図である。

【図4】素子群形成工程を実行することによって得られた素子群形成基板の構成の一例を示す図であって、(a)は、素子群形成基板を複数の半導体発光素子が形成された面と対向する側から見た上面図であり、(b)は、素子群形成基板を基板の裏面側から見た裏面図であり、(c)は、(a)のI V C - I V C断面図である。

【図5】割溝形成工程を実行することによって得られた、割溝形成後の素子群形成基板の構成の一例を示す図であって、(a)は、割溝形成後の素子群形成基板を複数の半導体発光素子が形成された面と対向する側から見た上面図であり、(b)は、割溝形成後の素子群形成基板を基板の裏面側から見た裏面図であり、(c)は、(a)のV C - V C断面図である。

【図6】第2改質領域形成工程を実行することによって得られた、第2改質領域形成後の素子群形成基板の構成の一例を示す図であって、(a)は、第2改質領域形成後の素子群形成基板を複数の半導体発光素子が形成された面と対向する側から見た上面図であり、(b)は、第2改質領域形成後の素子群形成基板を基板の裏面側から見た裏面図であり、(c)は、(a)のV I C - V I C断面図である。

【図7】第1改質領域形成工程を実行することによって得られた、第1改質領域形成後の素子群形成基板の構成の一例を示す図であり、(a)は、第1改質領域形成後の素子群形成基板を複数の半導体発光素子が形成された面と対向する側から見た上面図であり、(b)は、第1改質領域形成後の素子群形成基板を基板の裏面側から見た裏面図であり、(c)

10

20

30

40

50

)は、(a)のV I I C - V I I C断面図である。

【図8】素子群形成基板の他の構成例を示す図である。

【図9】実施例1～5および比較例1、2における素子群形成基板の加工条件と、加工後の素子群形成基板を分割することで得られた発光チップの構成と、加工後の素子群形成基板の分割結果との関係を示した図である。

【発明を実施するための形態】

【0010】

以下、添付図面を参照して、本発明の実施の形態について詳細に説明する。

【0011】

図1は、本実施の形態の製造方法を用いて得られた発光チップ10の構成の一例を示す斜視図である。

10

図1に示す発光チップ10は、基板表面11aおよびその裏側となる基板裏面11bとを有する基板11と、基板11の基板表面11aに積層された半導体層15と、半導体層15の上に形成されたp電極16aおよびn電極16bとを有している。そして、これら半導体層15、p電極16aおよびn電極16bによって、半導体発光素子31が構成されている。

【0012】

基板11としては、C面([0001]面)を基板表面11aとしたサファイア単結晶を用いている。なお、基板11の面方位は、結晶面に対してオフ角が0°でもよく、オフ角を付与してあってもよい。オフ角を付与する場合は、オフ角として1°以下が適用される。本発明においては、このようなオフ角を付与された場合を含め、単に、基板表面11aはC面であると呼ぶ。また、基板11として用いるサファイア単結晶として、微量の不純物が含まれたものを用いてもよい。

20

さらに、本発明において使用される基板11としては、例えば特開2009-123717号公報に記載の加工基板(サファイア単結晶のC面からなる平面と、当該平面と非平行な複数の凸部とからなる上面を基板表面11aとした基板など)も好ましく適用することができる。

【0013】

また、基板11上に積層される半導体層15としては、例えば特開2009-123717号公報に記載の層構成を有するIII族窒化物半導体からなる層を用いることができる。半導体層15は、基板11の基板表面11a上に積層されるn型層12と、n型層12上に積層される発光層13と、発光層13上に積層されるp型層14とを有する。なお、基板11とn型層12の間には、例えばIII族窒化物半導体からなるバッファ層(図示せず)や下地層(図示せず)を形成することもできる。また、特開2009-123717号公報に記載のように、p型層14上には透明電極層(図示せず)を形成する。

30

【0014】

p電極16aはp型層14に形成され、n電極16bはn型層12に形成されている。そして、発光チップ10では、p電極16aから、p型層14、発光層13およびn型層12を介してn電極16bに向かう電流を流すことにより、発光層13から光が出射される。

40

【0015】

また、本実施の形態の発光チップ10は、図1に示すように、略直方体の形状を備えており、基板表面11aを上方から見たときに、長辺側と短辺側とを有する長方形の形状を備えている。このため、基板11は、基板表面11aおよび基板裏面11bの他に、4つの基板側面を有している。また、基板表面11aおよび基板裏面11bは、それぞれ2つの長辺および2つの短辺を有する長方形の形状を備えている。

本実施の形態においては、4つの基板側面のうち、2つの長辺側の基板側面は、基板11として用いられるサファイア単結晶のM面([11-20]面)に沿って設けられており、他の短辺側2つの基板側面は、サファイア単結晶のA面([1-100]面)に沿って設けられている。ここで、「-」は、「-」の後に続く数字の上に付くバーを表す。以

50

下の説明においては、サファイア単結晶のM面に沿った2つの基板側面を、第1の基板側面111と称し、A面に沿った2つの基板側面を、第2の基板側面112と称する。また、発光チップ10における、サファイア単結晶のM面に沿った方向の長さを第1長さc1と称し、A面に沿った方向の長さを第2長さc2と称する。本実施の形態では、第1長さc1と第2長さc2とが、 $c1 > c2$ の関係を有している。

【0016】

本実施の形態では、基板11に設けられた2つの第1の基板側面111に、それぞれ、第1の基板側面111の長手方向に沿って伸びる1つの筋が存在し、且つ、基板11に設けられた2つの第2の基板側面112に、それぞれ、第2の基板側面112の長手方向に沿って伸びる1つの筋が存在している。これらの筋は、後述するレーザー光の照射により、基板11を構成するサファイア単結晶が改質されることで形成されたものである。なお、以下の説明において、第1の基板側面111に存在する筋を第1改質領域51と称し、第2の基板側面112に存在する筋を第2改質領域52と称する。

10

【0017】

ここで、基板裏面11bから第1改質領域51に至る基板裏面11bと垂直な方向の距離を第1深さD1とし、基板裏面11bから第2改質領域52に至る基板裏面11bと垂直な方向の距離を第2深さD2とすると、両者は $D1 < D2$ の関係を有している。

【0018】

さらに、対向する2つの第1の基板側面111のそれぞれにおいて、第1改質領域51が存在する領域よりも基板表面11aに近い側は、基板表面11aに近づくにつれて2つの第1の基板側面111同士の間隔が狭まるように傾斜している。この傾斜は、後述する割溝形成工程において、レーザーアブレーションによって形成された割溝41（後述する図5参照）の痕跡である。

20

したがって、第1の側面の一例としての第1の基板側面111は、基板裏面11bに近い側に設けられ、第1改質領域51を有する立ち上がり面としての領域と、基板表面11aに近い側に設けられる傾斜面としての領域とを有する。

【0019】

また、本実施の形態のn型層12は、基板表面11a側に設けられた下段12aと、下段12aの上方に位置するとともに、発光チップ10を上方から見たときに下段12aよりも小さい投影面積を有し、その上部に発光層13およびp型層14が積層される上段12bとを有している。ここで、下段12aの上面には、その周縁に沿って上段12bとの間に段差が形成されている。この段差構造は、後述する素子群形成工程においてエッチング等によって形成された溝部32（後述する図4参照）の痕跡であり、基板11を構成するサファイア単結晶のM面およびA面に沿って存在する。

30

【0020】

図2は、発光チップ10の製造方法の一例を示すフローチャートである。

この例では、まず、サファイア単結晶からなるウエハ状の基板11に半導体層15を形成することで、半導体積層基板20（後述する図3参照）を得る半導体積層工程を実行する（ステップ101）。

次に、ステップ101で得られた半導体積層基板20に対し、複数の半導体発光素子31を形成することで、素子群形成基板30（後述する図4参照）を得る素子群形成工程を実行する（ステップ102）。

40

続いて、ステップ102で得られた素子群形成基板30に対して、基板11の基板表面11a側に上述した割溝41を形成する割溝形成工程を実行する（ステップ103）。

さらに続いて、ステップ103により割溝41を形成した素子群形成基板30に対して、基板11の内部に、上述した第2改質領域52を形成する第2改質領域形成工程を実行する（ステップ104）。

続いて、ステップ104により第2改質領域52を形成した素子群形成基板30に対して、基板11の内部に、上述した第1改質領域51を形成する第1改質領域形成工程を実行する（ステップ105）。

50

そして、基板 1 1 の基板表面 1 1 a 側に割溝 4 1 を形成し、基板 1 1 の内部に第 1 改質領域 5 1 および第 2 改質領域 5 2 を形成した素子群形成基板 3 0 に対し、第 1 改質領域 5 1 および第 2 改質領域 5 2 を起点とした分割を行うことで、素子群形成基板 3 0 から、個片化した発光チップ 1 0 を得る分割工程を実行する（ステップ 1 0 6）。

【 0 0 2 1 】

続いて、上述した各ステップの工程について説明する。

図 3 は、ステップ 1 0 1 の半導体積層工程を実行することによって得られた半導体積層基板 2 0 の構成の一例を示す図である。ここで図 3 (a) は、半導体積層基板 2 0 を、半導体層 1 5 が積層された側から見た上面図であり、図 3 (b) は、半導体積層基板 2 0 を半導体層 1 5 が積層されていない側から見た裏面図であり、図 3 (c) は、図 3 (a) の I I I C - I I I C 断面図である。なお、図 3 (a) は、図 3 (c) を I I I A 方向から見たものに対応し、図 3 (b) は、図 3 (c) を I I I B 方向から見たものに対応している。

10

【 0 0 2 2 】

半導体積層基板 2 0 は、ウエハ状の基板 1 1 と、この基板 1 1 の基板表面 1 1 a の略全面に積層された半導体層 1 5 とを有している。

図 3 (a) に示すように、半導体層 1 5 が積層された側には積層された半導体層 1 5 の p 型層 1 4 が露出している。一方、図 3 (b) に示すように、半導体層 1 5 が積層されていない側には、基板 1 1 の基板裏面 1 1 b が露出している。

【 0 0 2 3 】

本実施の形態において、基板 1 1 としては、C 面を主面（基板表面 1 1 a）としたサファイア単結晶を用いることができる。ウエハ状の基板 1 1 の一端には、基板 1 1 の結晶方位を示すオリエンテーションフラット（O F : Orientation Flat）1 1 c が設けられている。本実施の形態においては、O F 1 1 c はサファイア単結晶の A 面（[1 1 - 2 0] 面）に沿って形成されている。

20

基板 1 1 上に半導体層 1 5 を形成する場合、基板 1 1 として 3 0 0 ~ 1 0 0 0 μm の厚みのものを用いることが好ましい。基板 1 1 の厚さが 3 0 0 μm 未満であると、半導体層 1 5 を積層する途中で基板 1 1 が反ってしまい、不都合である。また基板 1 1 の厚さが 1 0 0 0 μm を超える場合は、半導体層 1 5 の積層後、研磨により基板 1 1 を薄くするのに労力を要する。

30

【 0 0 2 4 】

半導体層 1 5 を基板 1 1 の基板表面 1 1 a に形成するには、まず基板 1 1 の基板表面 1 1 a 上に n 型層 1 2 を積層し、続いて基板表面 1 1 a 上に積層した n 型層 1 2 上に発光層 1 3 を積層し、そして n 型層 1 2 上に積層した発光層 1 3 上に p 型層 1 4 を積層する。

半導体層 1 5 を基板 1 1 の基板表面 1 1 a に積層する方法としては、M O C V D 法（有機金属化学気相成長法）、H V P E 法（ハイドライド気相成長法）、M B E 法（分子線エピタキシー法）、スパッタ法等の方法を使用することができる。特に好ましい積層方法として、膜厚制御性、量産性の観点から、M O C V D 法が挙げられる。

【 0 0 2 5 】

M O C V D 法では、例えば I I I 族窒化物半導体の場合、キャリアガスとして水素（H₂）または窒素（N₂）、I I I 族原料である G a 源としてトリメチルガリウム（T M G）またはトリエチルガリウム（T E G）、A l 源としてトリメチルアルミニウム（T M A）またはトリエチルアルミニウム（T E A）、I n 源としてトリメチルインジウム（T M I）またはトリエチルインジウム（T E I）、V 族原料である N 源としてアンモニア（N H₃）、ヒドラジン（N₂ H₄）などが用いられる。また、ドーパントとしては、n 型には S i 原料としてモノシラン（S i H₄）またはジシラン（S i₂ H₆）を、G e 原料として有機ゲルマを用い、p 型には M g 原料としては例えばビスシクロペンタジエニルマグネシウム（C p₂ M g）またはビスエチルシクロペンタジエニルマグネシウム（（E t C p）₂ M g）を用いる。

40

【 0 0 2 6 】

50

続いて、ステップ102の素子群形成工程について説明する。

図4は、図3の半導体積層基板20に対して、ステップ102の素子群形成工程を実行することにより得られた素子群形成基板30の構成の一例を示す図である。ここで、図4(a)は、素子群形成基板30を、複数の半導体発光素子31が形成された面と対向する側から見た上面図であり、図4(b)は、素子群形成基板30を、基板11の基板裏面11b側から見た裏面図である。また、図4(c)は、図4(a)のIVC-IVC断面図である。なお、図4(a)は、図4(c)をIVA方向から見たものに対応し、図4(b)は、図4(c)をIVB方向から見たものに対応する。

【0027】

図4(a)(c)に示すように、溝部32は、積層した半導体層15を複数の半導体発光素子31に分割するように、基板11を構成するサファイア単結晶のM面およびA面に沿って形成されている。以下の説明においては、サファイア単結晶のM面に沿って形成される溝部32を第1の溝部321と称し、サファイア単結晶のA面に沿って形成される溝部32を第2の溝部322と称する。ここで、素子群形成基板30には、隣接する第1の溝部321同士の間隔が等しくなるように、複数の第1の溝部321が略平行に形成されている。同様に、素子群形成基板30には、隣接する第2の溝部322同士の間隔が等しくなるように、複数の第2の溝部322が略平行に形成されている。また、本実施の形態においては、隣接する第1の溝部321同士の間隔は、隣接する第2の溝部322同士の間隔よりも狭くなっている。

なお、本実施の形態では、基板11を構成するサファイア単結晶のM面に沿い且つ基板表面11aに沿う方向が「第1方向」に対応し、サファイア単結晶のA面に沿い且つ基板表面11aに沿う方向が「第2方向」に対応する。

【0028】

ステップ102の素子群形成工程では、まず、ステップ101の半導体積層工程で形成した半導体積層基板20から半導体層15の一部を除去することで、n電極16bを設けるための領域、第1の溝部321および第2の溝部322を形成するために、n型層12の一部を露出させる。

【0029】

半導体積層基板20から半導体層15の一部を除去するには、公知のフォトリソグラフィ技術およびエッチング技術を用いて、半導体層15をエッチングすることにより行う。

第1の溝部321および第2の溝部322を形成する手段としては、ウェットエッチングおよびドライエッチングなどのエッチング法を用いることが好ましい。エッチング法は、他の方法と比較して、半導体層15のうちの除去しない部分を傷めにくいからである。

エッチング法としては、ドライエッチングであれば、例えば、反応性イオンエッチング、イオンミリング、集束ビームエッチングおよびECREッチングなどの手法を用いることができ、ウェットエッチングであれば、例えば、硫酸とリン酸との混酸を用いることができる。ただし、エッチングを行う前に、所望のチップ形状となるように、積層された半導体層15の表面に所定のマスクを形成する。

【0030】

なお、第1の溝部321および第2の溝部322を形成する方法としては、前記エッチング法以外にも、ダイシング法やレーザー照射による方法等の周知の手法を何ら制限なく用いることができる。

また、本実施の形態では、第1の溝部321および第2の溝部322を形成するのと同時に、n電極16bを設けるためにn型層12の一部を露出させたが、これらを別工程で行ってもよい。

【0031】

第1の溝部321の幅n1および第2の溝部322の幅n2は、10 μ m~30 μ mの範囲であることが好ましく、15 μ m~25 μ mの範囲であることがより好ましい。幅n1、n2が10 μ mよりも小さい場合は、幅n1、n2を10 μ m以上とした場合に比べ

10

20

30

40

50

て、ステップ106の分割工程において切断面が半導体発光素子31まで到達する可能性が高まることにより、得られる発光チップ10において半導体発光素子31に欠けが生じやすくなる。一方、幅 n_1 、 n_2 が $30\mu\text{m}$ よりも大きい場合は、幅 n_1 、 n_2 を $30\mu\text{m}$ 以下とした場合に比べて、ウエハ1枚あたりから得られるチップの個数が少なくなり、生産性の観点から好ましくない。なお、上記の範囲内であれば、幅 n_1 、 n_2 は同じ幅としてもよいし、異なる幅としてもよい。しかし、幅 n_1 を幅 n_2 よりも小さくする($n_1 < n_2$)ことがより好ましい。

【0032】

第1の溝部321および第2の溝部322の半導体層15における表面(p型層14の上面)からの深さは、別に制限されずどのような深さでもよい。半導体層15の厚さによって異なるが、半導体層15の表面から第1の溝部321および第2の溝部322の底部までの距離は一般に $1\sim 10\mu\text{m}$ 程度である。なお、第1の溝部321および第2の溝部322を形成する領域において、半導体層15を全て除去して基板11の基板表面11aを露出させることもできる。

また、第1の溝部321および第2の溝部322の断面形状は、矩形、U字状およびV字状等のような形状でもよいが、矩形にすることが好ましい。

【0033】

さらに、本発明では、発光チップ10を基板表面11aの上方から見た形状が、基板11を構成するサファイア単結晶のM面に沿った方向を長辺とし、A面に沿った方向を短辺とする($c_1 > c_2$)長方形になるように、第1の溝部321および第2の溝部322を形成した。しかし、これに限定されるものではなく、発光チップ10を基板表面11aの上方から見た形状が、正方形($c_1 = c_2$)やサファイア単結晶のA面に沿った方向を長辺とし、M面に沿った方向を短辺とする($c_1 < c_2$)長方形であってもよい。本発明では、特に基板11を構成するサファイア単結晶のM面に沿った方向を長辺とする長方形や正方形が好ましい。

【0034】

ステップ102の素子群形成工程では、続いて、半導体層15上すなわちp型層14上の所定の位置にp電極16aを形成するとともに、露出されたn型層12上にn電極16bを形成する。

p電極16aおよびn電極16bとしては、各種の組成および構造が周知であり、これら周知の組成や構造を何ら制限なく用いることができる。また、p電極16aおよびn電極16bを形成する手段としても、真空蒸着法およびスパッタ法等、周知の方法を何ら制限なく用いることができる。

【0035】

ステップ102の素子群形成工程では、次に、基板11が所定の厚さになるように基板11の基板裏面11bを、研削および研磨する。

加工後の基板11の厚みは、 $60\sim 300\mu\text{m}$ 、好ましくは $80\sim 250\mu\text{m}$ 、より好ましくは $100\sim 200\mu\text{m}$ とする。基板11の厚みを上記範囲とすることで、ステップ106の分割工程において素子群形成基板30の分割が容易になり、効率よく素子群形成基板30を分割することができる。

【0036】

続いて、ステップ103の割溝形成工程について説明する。

図5は、図4の素子群形成基板30に対して、ステップ103の割溝形成工程を実行することにより得られた、割溝41形成後の素子群形成基板30の構成の一例を示す図である。ここで、図5(a)は、割溝41形成後の素子群形成基板30を、複数の半導体発光素子31が形成された面と対向する側から見た上面図であり、図5(b)は、割溝41形成後の素子群形成基板30を、基板11の基板裏面11b側から見た裏面図である。また、図5(c)は、図5(a)のVC-VC断面図である。なお、図5(a)は、図5(c)をVA方向から見たものに対応し、図5(b)は、図5(c)をVB方向から見たものに対応する。

10

20

30

40

50

【0037】

図5(a)(c)に示すように、割溝41は、ステップ102で、基板11を構成するサファイア単結晶のM面に沿って形成された複数の第1の溝部321それぞれの底部に形成されている。したがって、素子群形成基板30には、複数の割溝41が形成されていることになる。

なお、本発明においては、割溝41は複数の第1の溝部321の底部に形成し、第2の溝部322の底部には形成する必要がない。

【0038】

また、複数の割溝41は、隣接する割溝41同士の間隔が略等しくなるように、略平行に形成されている。

割溝41は、割溝41の先端が基板11の内部に到達し、且つ、基板裏面11bには到達しないように形成される。第1の溝部321の底部から割溝41の先端に至る基板表面11aと垂直な方向の割溝41の深さは、半導体が形成された基板表面から10 μ m以上であることが好ましく、10 μ m~30 μ mの範囲が特に望ましい。10 μ mよりも浅いと、ステップ106の分割工程において切断面が斜めになり、発光チップ10において半導体発光素子31に欠けが生じて不良となる場合が多い。

また、割溝41の幅は、第1の溝部321の幅n1より小さい範囲で設けられる。

【0039】

割溝41の断面形状は、矩形、U字状およびV字状等どのような形状でもよいが、V字状とすることが好ましい。V字状の断面形状を採用した場合には、ステップ106の分割工程において素子群形成基板30を発光チップ10に分割する際に、V字状の割溝41の先端付近からクラックが発生し、基板表面11aに対して略垂直に素子群形成基板30を切断することができるからである。

【0040】

本実施の形態において、割溝41は、レーザー照射を用いた方法で形成する。

具体的には、素子群形成基板30に対して、複数の半導体発光素子31が形成された側から、複数の第1の溝部321のそれぞれに沿って順にレーザー光L1を照射し、レーザープレーションにより複数の割溝41を形成する。

【0041】

割溝41の形成に用いることができるレーザーとしては、例えば、CO₂レーザー、YAGレーザー、エキシマレーザー等が挙げられる。本実施の形態では、これらのレーザーのうち、連続照射型よりもパルス照射型のレーザーを用いることが好ましい。

レーザーの波長は、例えば355nm、266nm等を用いることができ、さらに532nmや1064nmなど、前記波長よりも長い波長でもよく、また短い波長でもよい。

レーザーの周波数は1~100000Hzが好ましく、30000~70000Hzがさらに好ましい。

レーザーの出力は、形成する割溝41の幅および深さによって異なるが、所望の割溝41を得るために必要な最小限の出力であることが好ましい。余分なレーザー出力は基板11や半導体層15に熱損傷を与えるからである。レーザー出力は、例えば、通常2W以下が好ましく、1W以下がさらに好ましい。

【0042】

また、レーザー法で割溝41を形成する場合には、レーザー照射に伴って飛散した汚れが、積層された半導体層15の表面に付着し、発光チップ10の電気特性が低下する恐れがある。これを防ぐためには、耐熱性に優れたレジストなどを用いて、半導体層15の表面に保護膜を形成し、割溝41形成後に、保護膜上に付着した汚れとともに保護膜を除去すればよい。

【0043】

なお、割溝41を形成する方法は、上述のレーザー照射を用いた方法に限られず、ダイシング法、エッチング法およびスクライブ法などの周知の手法を用いることができる。しかしながら、割溝41を形成する方法としては、レーザー照射を用いた方法が好ましい。レー

10

20

30

40

50

ザ照射を用いた方法は、割溝 4 1 を所望の深さまで形成することができ、また、エッチング法と比較して迅速に割溝 4 1 を形成することができるからである。さらに、レーザ照射を用いた方法は、ダイシング法やスクライブ法等と比較して、ブレードやダイヤモンド針の消耗および劣化による加工精度のバラツキが少なく、また、それらの刃先等の交換に発生するコストを低減することができるからである。

【 0 0 4 4 】

続いて、ステップ 1 0 4 の第 2 改質領域形成工程について説明する。

図 6 は、図 5 の割溝 4 1 形成後の素子群形成基板 3 0 に対してステップ 1 0 4 の第 2 改質領域形成工程を実行することにより得られた、第 2 改質領域 5 2 形成後の素子群形成基板 3 0 の構成の一例を示す図である。ここで、図 6 (a) は、第 2 改質領域 5 2 形成後の素子群形成基板 3 0 を、複数の半導体発光素子 3 1 が形成された面と対向する側から見た上面図であり、図 6 (b) は、第 2 改質領域 5 2 形成後の素子群形成基板 3 0 を、基板 1 1 の基板裏面 1 1 b 側から見た裏面図である。また、図 6 (c) は、図 6 (a) の V I C - V I C 断面図である。なお、図 6 (a) は、図 6 (c) を V I A 方向から見たものに対応し、図 6 (b) は、図 6 (c) を V I B 方向から見たものに対応する。

10

【 0 0 4 5 】

図 6 (b) (c) に示すように、第 2 改質領域 5 2 は、第 2 の溝部 3 2 2 に沿って、基板 1 1 の内部に形成されている。また、図 6 (a) ~ (c) に示すように、第 2 改質領域 5 2 と第 2 の溝部 3 2 2 とは、基板表面 1 1 a と垂直な方向から見た場合に、互いに重なるように形成されている。

20

さらに、図 6 (c) に示すように、第 2 改質領域 5 2 は、割溝 4 1 の先端と基板裏面 1 1 b との間の距離よりも、第 2 改質領域 5 2 と基板裏面 1 1 b との間の距離 (第 2 深さ D 2) が短くなるように形成されている。

【 0 0 4 6 】

第 2 改質領域 5 2 は、基板 1 1 の基板裏面 1 1 b 側から、複数の第 2 の溝部 3 2 2 に沿って順にレーザ光 L 2 を照射することにより、基板 1 1 の内部に形成される。

【 0 0 4 7 】

具体的に説明すると、第 2 の溝部 3 2 2 に沿って、パルス発振させたレーザ光 L 2 の照射を行う。このとき、レーザ光 L 2 が、基板裏面 1 1 b からの距離が第 2 深さ D 2 となる位置に集光するように照射を行う。

30

基板 1 1 の内部では、レーザ光 L 2 の集光点において、基板 1 1 を構成するサファイア単結晶が溶融・再固化することで、または、多光子吸収等が起こることで、改質された改質部が形成される。

本実施の形態では、1 パルス分のレーザ光 L 2 が照射されるごとに、基板 1 1 の内部におけるレーザ光 L 2 の照射位置が、第 2 の溝部 3 2 2 に沿って順次移動していくようになっている。したがって、基板 1 1 の内部においては、基板裏面 1 1 b から第 2 深さ D 2 となる位置に、第 2 の溝部 3 2 2 に沿って、複数の改質部が順次形成されていくことになる。この第 2 の溝部 3 2 2 に沿って形成された複数の改質部により、第 2 改質領域 5 2 が構成される。

40

【 0 0 4 8 】

第 2 改質領域 5 2 の形成に用いることができるレーザとしては、パルス照射の Y A G レーザ等が挙げられる。レーザ光 L 2 の波長としては、例えば、1 0 6 4 n m、5 3 2 n m、3 5 5 n m、2 6 6 n m 等を用いることができ、レーザ光 L 2 の周波数は、例えば、1 5 0 0 0 ~ 3 0 0 0 0 0 H z とする。また、レーザ光 L 2 の強度は、1 . 5 ~ 5 . 0 μ J の範囲である。

【 0 0 4 9 】

続いて、ステップ 1 0 5 の第 1 改質領域形成工程について説明する。

図 7 は、図 6 の第 2 改質領域 5 2 形成後の素子群形成基板 3 0 に対してステップ 1 0 5 の第 1 改質領域形成工程を実行することにより得られた、第 1 改質領域 5 1 形成後の素子群形成基板 3 0 の構成の一例を示す図である。ここで、図 7 (a) は、第 1 改質領域 5 1

50

形成後の素子群形成基板 30 を、複数の半導体発光素子 31 が形成された面と対向する側から見た上面図であり、図 7 (b) は、第 1 改質領域 51 形成後の素子群形成基板 30 を、基板 11 の基板裏面 11 b 側から見た裏面図である。また、図 7 (c) は、図 7 (a) の V I I C - V I I C 断面図である。なお、図 7 (a) は、図 7 (c) を V I I A 方向から見たものに対応し、図 7 (b) は、図 7 (c) を V I I B 方向から見たものに対応する。

【 0 0 5 0 】

図 7 (b) (c) に示すように、第 1 改質領域 51 は、第 1 の溝部 321 に沿って、基板 11 の内部に形成されている。また、図 7 (a) ~ (c) に示すように、第 1 改質領域 51 と第 1 の溝部 321 とは、基板表面 11 a と垂直な方向から見た場合に互いに重なるように形成されている。さらに、図 7 (a) ~ (c) に示すように、第 1 改質領域 51 と第 1 の溝部 321 に設けられた割溝 41 とは、基板表面 11 a と垂直な方向から見た場合に互いに重なるように形成されている。

10

そして、第 1 改質領域 51 は、図 7 (c) に示すように、割溝 41 の先端と基板裏面 11 b との間の距離よりも、第 1 改質領域 51 と基板裏面 11 b との間の距離 (第 1 深さ D1) が短くなるように形成されるとともに、第 2 改質領域 52 と基板裏面 11 b との間の距離 (第 2 深さ D2) よりも、第 1 深さ D1 の方が短くなるように ($D1 < D2$) 形成されている。

【 0 0 5 1 】

第 1 改質領域 51 は、基板 11 の基板裏面 11 b 側から、複数の第 1 の溝部 321 および割溝 41 に沿って順にレーザ光 L3 を照射することにより、基板 11 の内部に形成される。

20

【 0 0 5 2 】

具体的に説明すると、第 1 の溝部 321 および割溝 41 に沿って、パルス発振させたレーザ光 L3 の照射を行う。このとき、レーザ光 L3 が、基板裏面 11 b からの距離が第 1 深さ D1 となる部位に集光するように照射を行う。

基板 11 の内部では、レーザ光 L3 の集光点において、基板 11 を構成するサファイア単結晶が、熔融・再固化することで、または、多光子吸収等が起こることで、改質された改質部が形成される。

本実施の形態では、1 パルス分のレーザ光 L3 が照射されるごとに、基板 11 の内部におけるレーザ光 L3 の照射位置が、第 1 の溝部 321 および割溝 41 に沿って順次移動していくようになっている。したがって、基板 11 の内部においては、基板裏面 11 b から第 1 深さ D1 となる位置に、第 1 の溝部 321 および割溝 41 に沿って、複数の改質部が順次形成されていくことになる。この第 1 の溝部 321 および割溝 41 に沿って形成された複数の改質部により、第 1 改質領域 51 が構成される。

30

【 0 0 5 3 】

第 1 改質領域 51 の形成に用いることができるレーザとしては、パルス照射の YAG レーザ等が挙げられる。なお、第 2 改質領域 52 の形成に用いたレーザと同じものを用いてもよいし、異なるものを用いてもよい。

レーザ光 L3 の波長としては、例えば、1064 nm、532 nm、355 nm、266 nm 等を用いることができ、レーザ光 L3 の周波数は、例えば、15000 ~ 30000 Hz とする。

40

【 0 0 5 4 】

レーザ光 L3 の強度は、例えば、1.5 ~ 5.0 μ J の範囲とすることができる。

なお、第 1 改質領域 51 を形成する際のレーザ光 L3 の強度は、第 2 改質領域 52 を形成する際のレーザ光 L2 の強度よりも低くすることが好ましい。これは次の理由による。サファイア単結晶は、A 面よりも M 面に沿って割れやすい性質を有している。また、本実施の形態では、基板 11 を構成するサファイア単結晶の A 面に沿って第 2 改質領域 52 のみが形成されている一方で、サファイア単結晶の M 面に沿って第 1 改質領域 51 と割溝 41 とが形成されている。ここで、レーザ光 L3 の強度がレーザ光 L2 よりも低い場合には

50

、第1改質領域51を構成する各改質部が、第2改質領域52を構成する各改質部に比べて、低改質となり得る。ただし、このような構成を採用したとしても、ステップ106の分割工程において、素子群形成基板30のうちサファイア単結晶のM面に沿う方向については、第2改質領域52よりも改質の程度が低い第1改質領域51と、割溝41とを利用して、サファイア単結晶のM面に対する傾斜を抑制しながら分割することができる。また、素子群形成基板30のうちサファイア単結晶のA面に沿う方向については、第1改質領域51よりも改質の程度が高い第2改質領域52を単体で利用して分割をすることができる。

【0055】

また、本実施の形態では、レーザー光L3の強度をレーザー光L2の強度よりも低くする場合に、第2改質領域52を構成する複数の改質部同士の間隔よりも、第1改質領域51を構成する複数の改質部同士の間隔を狭くすることができる。上述したように、レーザー光L3の強度がレーザー光L2よりも低い場合には、第1改質領域51を構成する各改質部が、第2改質領域52を構成する各改質部に比べて、低改質となり得る。ただし、隣接する改質部同士の間隔を、第2改質領域52よりも第1改質領域51において狭めた場合には、第1改質領域51を構成する改質部の密度が、第2改質領域52を構成する改質部の密度よりも高まる。これにより、各改質部の改質度合の相違に起因する強度の違いを、各改質部の密度の違いによって相殺することが可能となり、第1改質領域51および第2改質領域52の両者の強度の差異を少なくすることができる。したがって、ステップ106の分割工程における、素子群形成基板30に対するサファイア単結晶のM面に沿う方向の分割において、第1改質領域51を起点とする亀裂が生じやすくなる。その結果、得られる切断面(第1の基板側面111)が、サファイア単結晶のM面に対して傾斜するのをさらに抑制することができる。

【0056】

また、本実施の形態では、第2改質領域52を基板11内部の第2深さD2に形成した後、第1改質領域51を第2深さD2よりも基板裏面11bからの距離が短い第1深さD1に形成する。これは次の理由による。第1深さD1と第2深さD2の大小関係を逆転させた場合($D1 > D2$)、ステップ105の第1改質領域形成工程において、レーザー光L3は、第2深さD2に形成された第2改質領域52を介して第1深さD1に集光される。すると、レーザー光L3は第2改質領域52による散乱等の影響を受けるため、第1深さD1におけるレーザー光L3の集光効率が低下し、第1改質領域51が形成されにくくなるためである。

【0057】

なお、本実施の形態では、ステップ104の第2改質領域形成工程およびステップ105の第1改質領域形成工程により、「改質領域形成工程」が構成される。

【0058】

続いて、ステップ106の分割工程について説明する。

分割工程では、ステップ105の第1改質領域形成工程終了後、図7の第1改質領域51までが形成された素子群形成基板30を、割溝41、第1改質領域51および第2改質領域52に沿って切断し、複数の発光チップ10に分割する。

具体的には、図7に示す素子群形成基板30に対し、割溝41、第1改質領域51および第2改質領域52に沿うようにブレード(図示せず)を押し当てることにより、第1改質領域51および第2改質領域52を起点として亀裂を生じさせ、素子群形成基板30を複数の発光チップ10に分割する。

【0059】

本実施の形態においては、まず、図7に示す素子群形成基板30に対して、複数の第2改質領域52のそれぞれに沿うように、順にブレードを押し当てる。これにより、第2改質領域52を起点として亀裂を生じさせ、素子群形成基板30を、基板11を構成するサファイア単結晶のA面に沿って、短冊状に切断する。

続いて、サファイア単結晶のA面に沿って切断された短冊状の素子群形成基板30に対

10

20

30

40

50

して、複数の第1改質領域51のそれぞれに沿うように、順にブレードを押し当てる。これにより、第1改質領域51を起点として亀裂を生じさせ、さらにこの亀裂を割溝41へと進展させることで、素子群形成基板30をサファイア単結晶のM面に沿って切断する。

そして、以上の各工程を経ることで、図1に示す発光チップ10を得ることができる。

【0060】

以上説明したように、本実施の形態では、素子群形成基板30において、基板11を構成するサファイア単結晶のM面に平行な方向には、第1の溝部321と重なるように割溝41を設け、この割溝41と重なるように第1改質領域51を形成した。これにより、素子群形成基板30を分割する際に、第1改質領域51を起点として生じた亀裂は割溝41に到達することになり、切断面が第1の溝部321からはみ出して半導体発光素子31に及ぶのを抑制することができる。すなわち、発光チップ10の第1の基板側面111が基板表面11aに対して傾斜するのを抑制することが可能になる。また、これにより、半導体発光素子31の欠けが生じるのを抑制することができ、不良となる発光チップ10の発生を抑制することができる。

10

【0061】

一方、サファイア単結晶のA面に沿った分割に伴う切断面(第2の基板側面112)は、M面に沿った分割に伴う切断面(第1の基板側面111)と比較して、基板表面11aに垂直な方向に対する傾斜が生じにくい。このため、素子群形成基板30において、基板11を構成するサファイア単結晶のA面に平行な方向には、第2の溝部322と重なるように第2改質領域52を形成するが、割溝を設ける必要はない。したがって、割溝41はサファイア単結晶のM面に沿って形成すれば足り、割溝をM面およびA面の双方に沿って形成する場合と比較して、製造工程を簡略化することができる。

20

【0062】

また、レーザ法で割溝を形成する場合には、レーザ照射に伴って飛散した汚れが半導体層15の側面に付着して、発光チップ10の電気特性が劣化する懸念があった。しかし、本実施の形態では、割溝41をサファイア単結晶のM面に沿う方向に形成し、A面に沿う方向には形成しないため、割溝をM面およびA面の双方に沿って形成した場合と比較して、割溝形成時にレーザ照射に伴って飛散した汚れが半導体層15の表面に付着するのを抑制でき、したがって、発光チップ10の電気特性が低下するのを抑制することができる。

30

【0063】

なお、本実施の形態では、基板11を構成するサファイア単結晶のA面に沿った第2改質領域52を形成した後に、M面に沿った第1改質領域51を形成しているが、第1改質領域51を形成した後に、第2改質領域52を形成してもよい。この場合、第1深さD1が第2深さD2よりも大きくなる($D1 > D2$)ように、第1改質領域51および第2改質領域52を形成することが好ましい。

【0064】

また、本実施の形態では、発光チップ10を基板表面11aの上方から見た形状を、基板11を構成するサファイア単結晶のM面に沿った方向を長辺とし、A面に沿った方向を短辺とする($c1 > c2$)長方形としていたが、発光チップ10の形状はこれに限られない。

40

【0065】

図8は、素子群形成基板30の他の構成例を示す図である。

発光チップ10を基板表面11aの上方から見た形状は、例えば、図8(a)に示すように、第1長さc1と第2長さc2とが同じ長さである正方形であってもよい。この場合、隣接する第1の溝部321同士の間隔と隣接する第2の溝部322同士の間隔とが略等しくなるように、第1の溝部321および第2の溝部322を形成すればよい。

さらに、発光チップ10を基板表面11aの上方から見た形状は、図8(b)に示すように、第2長さc2を第1長さc1よりも長くする長方形であってもよい。この場合、隣接する第1の溝部321同士の間隔が、隣接する第2の溝部322同士の間隔よりも広くなるように、第1の溝部321および第2の溝部322を形成すればよい。

50

【 0 0 6 6 】

また、本実施の形態では、第2の溝部322および第2改質領域52を、基板11を構成するサファイア単結晶のA面に平行な方向に沿って設けたが、これに限られず、M面に沿った方向とは異なる方向であればよい。すなわち、図8(c)に示すように、発光チップ10を基板表面11aから見た形状が平行四辺形であってもよく、また図示はしないが、サファイア単結晶のM面に沿う方向を上底および下底とする台形であってもよい。

【実施例】

【 0 0 6 7 】

以下、本発明を実施例に基づいて具体的に説明する。しかし、本発明はこれらの実施例に限定されるものではない。

本発明者は、溝部32および割溝41について加工条件を異ならせた素子群形成基板30の作製を行い、得られた素子群形成基板30を分割して製造した発光チップ10の不良(NG)発生率について検討を行った。

なお、発光チップ10は、特開2009-123717号公報に記載の方法に従って、半導体発光素子31がサファイア基板上に形成された素子群形成基板30を製造した後に、本発明に係る割溝形成工程、改質領域形成工程及び分割工程を実施して製造した。

【 0 0 6 8 】

図9は、実施例1~5および比較例1、2における素子群形成基板30の加工条件と、加工後の素子群形成基板30を分割することで得られた発光チップ10の構成と、加工後の素子群形成基板30の分割結果との関係を示した図である。

図9には、素子群形成基板30の加工条件として、第1の溝部321の幅 n_1 および第2の溝部322の幅 n_2 と、割溝41の有無および割溝41の深さと、第1改質領域51が形成された第1深さ D_1 および第2改質領域52が形成された第2深さ D_2 とを示している。

また、図9には、得られた発光チップ10の構成として、半導体層15の厚さと基板11の厚さとを合わせた発光チップ10の厚さ、発光チップ10における第1長さ c_1 および第2長さ c_2 を示している。

さらに、素子群形成基板30の分割結果として、素子群形成基板30の分割により形成した発光チップ10について、不良(NG)の発生率を示している。

なお、不良(NG)とは、逆方向電圧 V_r として5Vを印加した場合に逆方向電流 I_r が $2\mu A$ 以上の発光チップ10をいい、10000個の発光チップ10のうち不良(NG)の発光チップ10が生じた割合を、不良(NG)の発生率とした。

【 0 0 6 9 】

実施例1~5および比較例1、2では、実施の形態の半導体積層工程(ステップ101)において説明した手順により、半導体積層基板20を作成した。

その後、実施の形態の素子群形成工程(ステップ102)において説明した手順により、第1の溝部321および第2の溝部322を形成し、半導体層15の所定の位置にp電極16aおよびn電極16bを形成し、その後、基板裏面11bを研削および研磨し、素子群形成基板30を得た。

ここで、実施例1、実施例4および実施例5では、第1の溝部の幅 n_1 を $20\mu m$ とするとともに、第2の溝部の幅 n_2 を $30\mu m$ とした。一方、実施例2および比較例1では、第1の溝部の幅 n_1 と第2の溝部の幅 n_2 とを、ともに $20\mu m$ とした。さらに、実施例3および比較例2では、第1の溝部の幅 n_1 と第2の溝部の幅 n_2 とを、ともに $30\mu m$ とした。また、研削および研磨は、素子群形成基板30における半導体層15の厚さと基板11の厚さとを合わせた厚さが $150\mu m$ となるように行った。

【 0 0 7 0 】

続いて、実施例1~5では、素子群形成基板30に対して、実施の形態の割溝形成工程(ステップ103)において説明した手順により割溝41を形成した。ここで、割溝41の深さは、図9に記載の条件とした。

割溝41を形成した後、実施の形態の第2改質領域形成工程(ステップ104)および

10

20

30

40

50

第1改質領域形成工程(ステップ105)において説明した手順により、第2改質領域52および第1改質領域51を形成した。なお、第1改質領域51の第1深さD1は30 μ mし、第2改質領域52の第2深さD2は100 μ mとした。

第1改質領域51および第2改質領域52を形成した後、実施の形態の分割工程(ステップ106)において説明した手順により、素子群形成基板30を複数の発光チップ10に分割した。

実施例1、2、3で得られた発光チップ10は、第1長さc1が400 μ m、第2長さc2が240 μ mであり、発光チップ10を基板表面11aから見た形状が、基板11を構成するサファイア単結晶のM面に沿った方向を長辺とする長方形であった。

また、実施例4で得られた発光チップ10は、第1長さc1が350 μ m、第2長さc2も350 μ mであり、発光チップ10を基板表面11aから見た形状が正方形であった。

さらに、実施例5で得られた発光チップ10は、第1長さc1が240 μ m、第2長さc2が400 μ mであり、発光チップ10を基板表面11aから見た形状が、基板11を構成するサファイア単結晶のA面に沿った方向を長辺とする長方形であった。

【0071】

一方、比較例1、2では、素子群形成基板30に対して、ステップ103の割溝形成工程を実施せず、割溝41を形成しない点を除いて実施例1~5と同様の加工を行い、発光チップ10を得た。比較例1、2で得られた発光チップ10は、第1長さc1が400 μ m、第2長さc2が240 μ mであり、発光チップ10を基板表面11aから見た形状が、基板11を構成するサファイア単結晶のM面に沿った方向を長辺とする長方形であった。

【0072】

次に、素子群形成基板30の分割結果について説明する。

まず、実施例1~5においては、素子群形成基板30の分割によって得られた発光チップ10の不良(NG)発生率は、0.5%以下であった。

一方、比較例1、2においては、発光チップ10の不良(NG)発生率は、ともに1%以上であり、実施例1~5と比較して不良の発光チップ10が生じやすくなることが分かった。

【0073】

以上より、素子群形成基板30に対して第1の溝部321と重なるように割溝41を設けることで、素子群形成基板30を分割する際に切断面がサファイア単結晶のM面に対して傾斜することを抑制でき、不良となる発光チップ10の発生を抑制することが可能になることが分かる。また、第2の溝部322側には割溝を設けなくても、不良となる発光チップ10の発生を抑制することができることが分かる。

【0074】

続いて、実施例2と比較例1とを比較する。実施例2と比較例1とは、第1の溝部321の幅n1および第2の溝部322の幅n2をとともに20 μ mとし、割溝41の有無を異ならせた場合の関係を示している。

実施例2では外観不良(NG)発生率が0.45%である一方、比較例1では外観不良(NG)発生率が9.50%であった。したがって、第1の溝部321の幅n1および第2の溝部322の幅n2がともに20 μ mの場合において、割溝41を設けることにより、外観不良(NG)発生率が減少し、良好な結果が得られた。

【0075】

同様に、実施例3と比較例2とを比較する。実施例3と比較例2とは、第1の溝部321の幅n1および第2の溝部322の幅n2をとともに30 μ mとし、割溝41の有無を異ならせた場合の関係を示している。

実施例3では外観不良(NG)発生率が0.40%である一方、比較例2では外観不良(NG)発生率が1.20%であった。したがって、第1の溝部321の幅n1および第2の溝部322の幅n2がともに30 μ mの場合において、割溝41を設けることにより

10

20

30

40

50

、外観不良（NG）発生率が減少し、良好な結果が得られた。

【0076】

次に、実施例1と比較例2とを比較する。実施例1と比較例2とは、第1の溝部321の幅n1を変化させるとともに、割溝41の有無を異ならせた場合の関係を示している。

実施例1の不良（NG）発生率（0.15%）と比較例2の不良（NG）発生率（1.20%）とを比較すると、実施例1の不良（NG）発生率の方が低い。したがって、第1の溝部321に割溝41を設けずに、第1の溝部321の幅n1を広げた場合よりも、第1の溝部321に割溝41を設けるとともに、第1の溝部321の幅n1を狭めた場合のほうが、不良（NG）発生率が減少することが分かった。

【0077】

続いて、実施例1と実施例2とを比較する。実施例1と実施例2とは、割溝41を設けるとともに、第2の溝部322の幅n2を変化させた場合の関係を示している。

実施例1の不良（NG）発生率（0.15%）と実施例2の不良（NG）発生率（0.45%）とを比較すると、実施例1の不良（NG）発生率の方が低い。したがって、第1の溝部321に割溝41を設けた場合に、第2の溝部322の幅n2を第1の溝部321の幅n1よりも広くする（ $n1 < n2$ ）ことで、不良（NG）発生率が減少することが分かった。

一方、実施例2は、実施例1と比較して、第2の溝部322の幅n2が狭く、このため素子群形成基板30に形成される複数の半導体発光素子31同士の間隔が狭くなっている。すなわち、実施例2では、1枚の素子群形成基板30に形成される半導体発光素子31の個数が実施例1の場合よりも多い。したがって、1枚の素子群形成基板30から得られる発光チップ10のうち不良となっていないものの個数について考慮すると、実施例1と実施例2とは、ともに良好な結果が得られたといえる。

【0078】

次に、実施例1と実施例3とを比較する。実施例1と実施例3とは、割溝41を設けるとともに、第1の溝部321の幅n1を変化させた場合の関係を示している。

実施例1の不良（NG）発生率（0.15%）と実施例3の不良（NG）発生率（0.40%）とを比較すると、実施例1の不良（NG）発生率の方が低い。

したがって、第1の溝部321に割溝41を設けた場合に、第1の溝部321の幅n1を第2の溝部322の幅n2よりも狭くする（ $n1 < n2$ ）ことで、不良（NG）発生率が減少することが分かった。

【0079】

さらに続いて、実施例1と実施例4および実施例5とを比較する。実施例1と実施例4および実施例5とは、割溝41を設けるとともに、第1長さc1および第2長さc2を変化させた場合の関係を、すなわち、発光チップ10を基板表面11aから見た形状を変化させた場合の関係を示している。

実施例1の不良（NG）発生率（0.15%）と、実施例4の不良（NG）発生率（0.30%）および実施例5の不良（NG）発生率（0.25%）とを比較すると、実施例1の不良（NG）発生率が低い。

したがって、第1の溝部321に割溝41を設けた場合に、発光チップ10を基板表面11aから見た形状を、基板11を構成するサファイア単結晶のM面に沿った方向を長辺とする長方形とすることで、不良（NG）発生率が減少することが分かった。

【0080】

なお、詳細は省略するが、レーザ法で割溝41を第1の溝部321と第2の溝部322の両方向に沿って形成する場合は、割溝41を第1の溝部321に沿って形成する際に加えて、割溝41を第2の溝部322に沿って形成する際にも保護膜形成等の処理を行う必要があり、実施例1～5と比較してコストアップとなった。

【符号の説明】

【0081】

10...発光チップ、11...基板、12...n型層、13...発光層、14...p型層、15...半

10

20

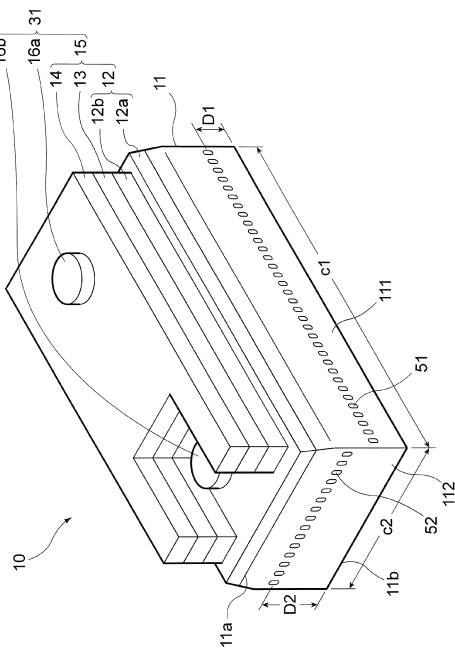
30

40

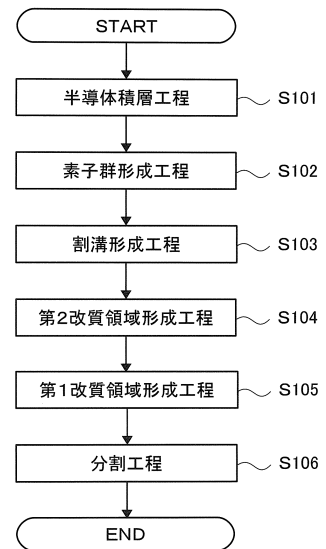
50

導体層、16 a ... p 電極、16 b ... n 電極、20 ... 半導体積層基板、30 ... 素子群形成基板、31 ... 半導体発光素子、32 ... 溝部、321 ... 第1の溝部、322 ... 第2の溝部、41 ... 割溝、51 ... 第1改質領域、52 ... 第2改質領域

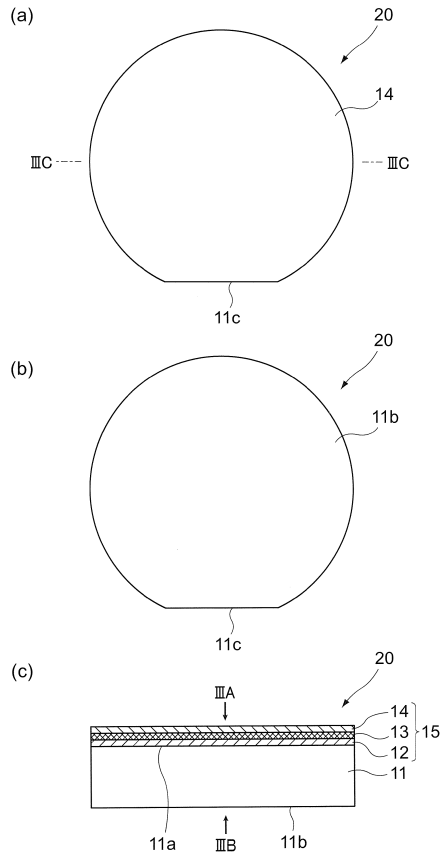
【図1】



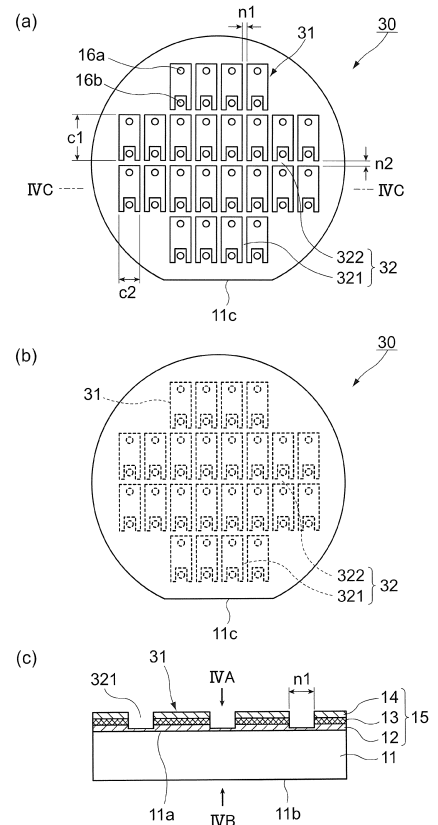
【図2】



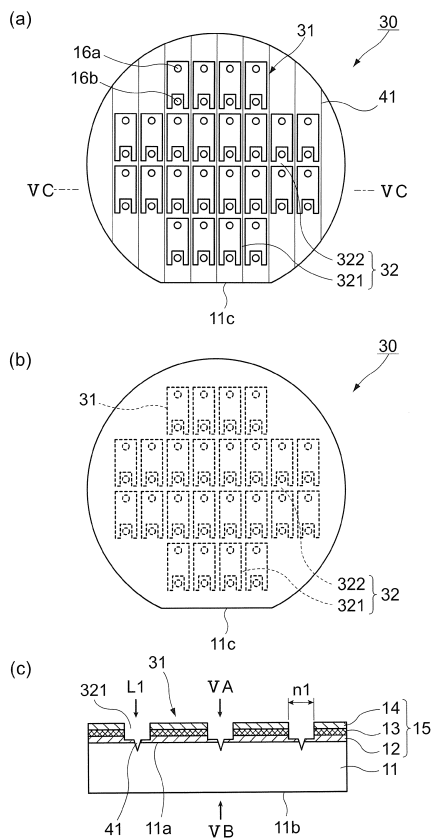
【 図 3 】



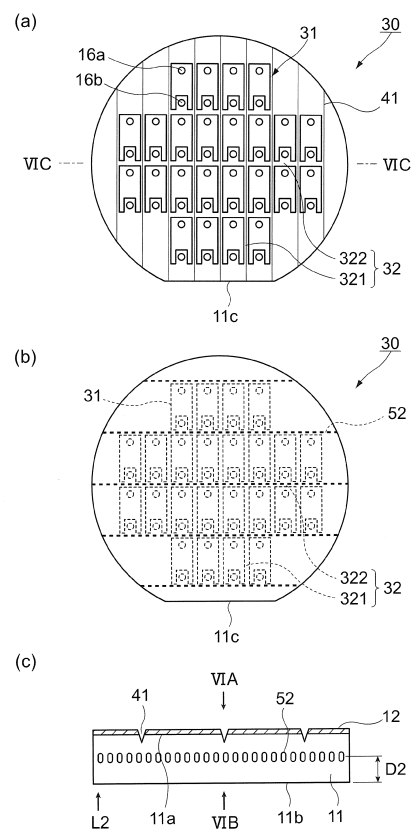
【 図 4 】



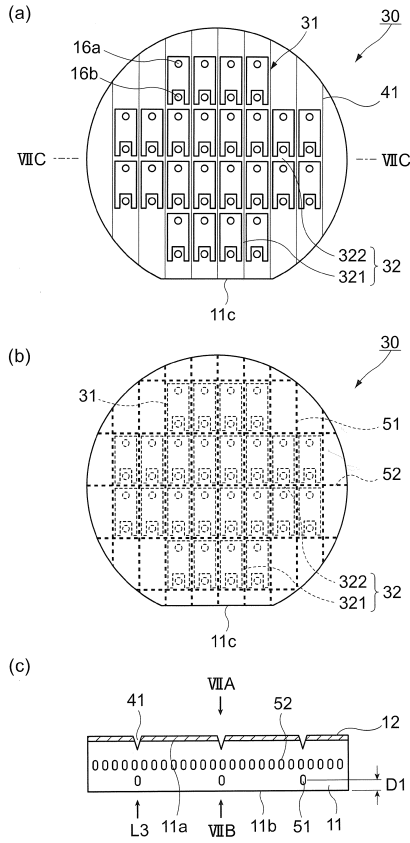
【 図 5 】



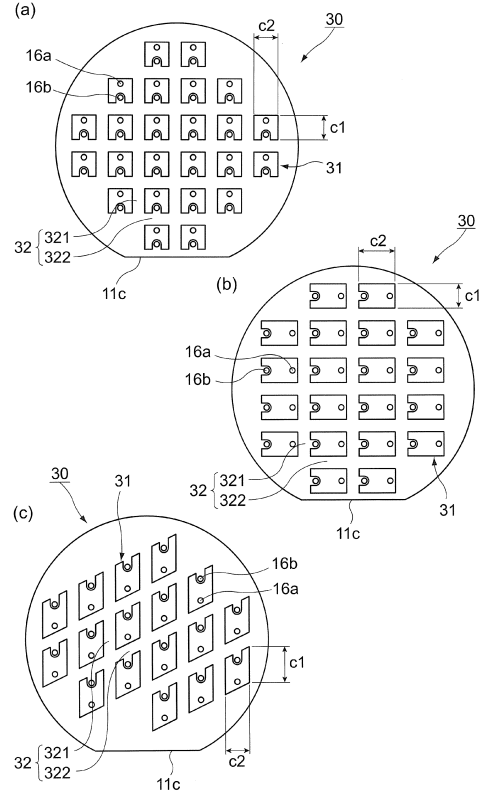
【 図 6 】



【図7】



【図8】



【図9】

	発光チップの構成				素子群形成基板の加工条件				分割結果 不良(NG) 発生率(%)	
	発光チップ の長さ (μm)	第1長さ c_1 (μm)	第2長さ c_2 (μm)	溝部の幅		第1の溝部321に形 成した部溝41※		改質領域の深さ		
				n1 (μm)	n2 (μm)	深さ (μm)	有	D1 (μm)		D2 (μm)
実施例1	150	400	240	20	30	有	20	100	30	0.15
実施例2	150	400	240	20	20	有	20	100	30	0.45
実施例3	150	400	240	30	30	有	20	100	30	0.40
実施例4	150	350	350	20	30	有	15	100	30	0.30
実施例5	150	240	400	20	30	有	15	100	30	0.25
比較例1	150	400	240	20	20	無	-	100	30	9.50
比較例2	150	400	240	30	30	無	-	100	30	1.20

※第2の溝部322には割溝41は形成しない。

フロントページの続き

- (56)参考文献 特開2003-338636(JP,A)
特開2010-103424(JP,A)
国際公開第2011/090024(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64
H01S 5/00 - 5/50