

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4973157号  
(P4973157)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl. F I  
 HO 1 L 21/66 (2006.01) HO 1 L 21/66 F  
 HO 1 L 21/66 Y

請求項の数 9 (全 22 頁)

(21) 出願番号	特願2006-323757 (P2006-323757)	(73) 特許権者	000003193 凸版印刷株式会社
(22) 出願日	平成18年11月30日(2006.11.30)		東京都台東区台東1丁目5番1号
(65) 公開番号	特開2008-140862 (P2008-140862A)	(74) 代理人	100064908 弁理士 志賀 正武
(43) 公開日	平成20年6月19日(2008.6.19)	(74) 代理人	100108578 弁理士 高橋 詔男
審査請求日	平成21年10月27日(2009.10.27)	(74) 代理人	100089037 弁理士 渡邊 隆
		(74) 代理人	100101465 弁理士 青山 正和
		(74) 代理人	100094400 弁理士 鈴木 三義
		(74) 代理人	100108453 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 半導体評価回路

(57) 【特許請求の範囲】

【請求項1】

トランジスタ特性を評価するための1または複数の評価セルアレイで構成される半導体評価回路であって、

前記評価セルアレイは、

マトリクス状に配列されたn行m列(n, mは正の整数)の評価セルと、

各列に属する前記評価セル用のm本の共通ゲート線と、

各列に属する前記評価セル用のm本の共通ソース線と、

各列に属する前記評価セル用のm本の共通ソースセンス線と、

各行に属する前記評価セル用のn本の共通ドレイン線と、

制御信号に応じて、前記共通ドレイン線をドレイン電圧または第1電圧に設定する第3制御手段と、

前記制御信号に応じて、前記共通ドレイン線とドレインセンス端子とを接続、開放する第4制御手段と、

前記制御信号に応じて、前記共通ソース線をソース電圧またはソースバイアス電圧に設定する第5制御手段と、

前記制御信号に応じて、前記共通ゲート線をゲート電圧または前記第1電圧に設定する第6制御手段と、

前記制御信号に応じて、前記共通ソースセンス線とソースセンス端子とを接続、開放する第7制御手段と、から構成され、

前記評価セルは、

ドレインが前記共通ドレイン線に接続され、ソースが前記共通ソース線に接続された被測定トランジスタと、

ゲート選択信号に応じて、前記被測定トランジスタのゲートの接続先を前記共通ゲート線と前記第 1 電圧との間で切り替える第 1 制御手段と、

前記被測定トランジスタのゲートが前記共通ゲート線に接続された場合に前記被測定トランジスタのソースを前記共通ソースセンス線に接続し、該被測定トランジスタのゲートが前記第 1 電圧に接続された場合に該被測定トランジスタのソースを開放する第 2 制御手段と、から構成される事の特徴とする。

【請求項 2】

前記第 1 制御手段は、一端が前記被測定トランジスタのゲートに接続され、他端が前記共通ゲート線に接続され、ゲート選択信号に応じて開閉状態が制御される第 1 スイッチと、

一端が前記被測定トランジスタのゲートに接続され、他端に前記第 1 電圧が印加され、前記第 1 スイッチと異なる開閉状態に制御される第 2 スイッチと、を含み、

前記第 2 制御手段は、一端が前記被測定トランジスタのソースに接続され、他端が前記共通ソースセンス線に接続され、前記第 1 スイッチと同じ開閉状態に制御される第 3 スイッチを含み、

前記第 3 制御手段は、一端が各々の前記共通ドレイン線に接続され、他端が、前記ドレイン電圧が印加されるドレイン電圧印加端子に接続された複数の第 4 スイッチと、

一端が各々の前記共通ドレイン線に接続され、他端に前記第 1 電圧が印加される複数の第 5 スイッチと、を含み、

前記第 4 制御手段は、一端が各々の前記共通ドレイン線に接続され、他端が前記ドレインセンス端子に接続された複数の第 6 スイッチを含み、

前記第 5 制御手段は、一端が各々の前記共通ソース線に接続され、他端が、前記ソース電圧が印加されるソース電圧印加端子に接続された複数の第 7 スイッチと、

一端が各々の前記共通ソース線に接続され、他端が、前記ソースバイアス電圧が印加されるソースバイアス電圧印加端子に接続された複数の第 8 スイッチと、を含み、

前記第 6 制御手段は、一端が各々の前記共通ゲート線に接続され、他端が、前記ゲート電圧が印加されるゲート電圧印加端子に接続された複数の第 9 スイッチと、

一端が各々の前記共通ゲート線に接続され、他端に前記第 1 電圧が印加される複数の第 10 スイッチと、を含み、

前記第 7 制御手段は、一端が各々の前記共通ソースセンス線に接続され、他端がソースセンス端子に接続された複数の第 11 スイッチを含むことを特徴とする請求項 1 に記載の半導体評価回路。

【請求項 3】

前記複数の第 4 スイッチと前記複数の第 6 スイッチは、前記共通ドレイン線の両端に各々接続されることを特徴とする請求項 2 に記載の半導体評価回路。

【請求項 4】

前記複数の第 1 スイッチから第 11 スイッチは、前記被測定トランジスタよりも耐圧が高いトランジスタで構成される事の特徴とする請求項 2 または請求項 3 に記載の半導体評価回路。

【請求項 5】

前記複数の第 1 スイッチから第 11 スイッチは、NMOS トランジスタであることを特徴とする請求項 2 から請求項 4 の何れか 1 項に記載の半導体評価回路。

【請求項 6】

前記第 1 電圧は接地電圧であり、

前記ソースバイアス電圧は、前記接地電圧よりも高いことを特徴とする請求項 1 から請求項 5 までの何れか 1 項に記載の半導体評価回路。

【請求項 7】

10

20

30

40

50

前記評価セルアレイに属する評価対象の被測定トランジスタに前記ゲート電圧と、前記ソース電圧と、前記ドレイン電圧とを印加する事を特徴とする請求項 1 から請求項 6 までの何れか 1 項に記載の半導体評価回路。

【請求項 8】

前記評価セルアレイに属する全ての被測定トランジスタに前記ゲート電圧と、前記ソース電圧と、前記ドレイン電圧とを同時に印加する事を特徴とする請求項 1 から請求項 6 までの何れか 1 項に記載の半導体評価回路。

【請求項 9】

前記複数の第 1 スイッチから第 1 1 スイッチを全て開放して、該複数の第 1 スイッチから第 1 1 スイッチのリーク電流を測定する事を特徴とする請求項 1 から請求項 6 までの何れか 1 項に記載の半導体評価回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体評価回路に関し、特に多数の半導体素子の特性を評価するための技術に関するものである。

【背景技術】

【0002】

半導体の微細プロセスを開発する場合、微細素子（トランジスタ、抵抗素子等）の特性の評価解析を行うため、種々の寸法の素子からなる T E G (Test Element Group) を半導体ウェハ一中に作製し、その評価解析結果を基にプロセス条件等を設定することで大量生産に耐えうる素子を開発している。

20

【0003】

これまでのプロセス開発では、T E G 中に作製された個々のトランジスタの特性を評価、解析することで最適なプロセス条件とトランジスタ構造を設定できたが、微細化が進むにつれて複数のトランジスタ間の特性ばらつきが無視できなくなってきた。

また、トランジスタ周辺の状態によってトランジスタに加えられるストレスが変わり、トランジスタの特性が変化するという現象も無視できなくなっている。

【0004】

このような状況から、例えば加工レベルが 45 nm の微細プロセスでは、隣接したトランジスタであっても両者の特性がばらついてしまうので、S R A M (Static Random Access Memory) 等の微小信号をペアトランジスタ（隣接した 2 つのトランジスタ）で検知するような検知回路、増幅回路は動作マージンが低下するか、あるいは動作不能になることが予測されている。

30

【0005】

この場合、個々のトランジスタの評価のみでは十分なデータが得られないため、大量のトランジスタの特性を評価し、統計処理して分析を行ない、システムティックな特性差とばらつきによる特性差とを分離して解析できるような大規模な T E G が必要である。

【0006】

従来、大規模な素子評価を行う T E G として、例えば図 1 ( a ) に示すように複数個のトランジスタをマトリックス状に配置して評価できる D M A (Device Matrix Array) - T E G がある（非特許文献 1 参照）。

40

【0007】

同図を参照して従来技術に係る D M A - T E G の構成を以下に説明する。D U T 1 1 ~ D U T n m は被測定トランジスタである。被測定トランジスタ D U T 1 1 ~ D U T 1 m のドレインは、共通ドレイン線 D 1 に接続され、ソースは共通ソース線 S 1 に接続される。共通ドレイン線 D 1 はスイッチ S W 2 を介してドレイン電圧が供給される共通のドレインフォース線 (Drain Force) に接続される。また、共通ドレイン線 D 1 の電圧をモニターするために、ドレイン電圧センス線 D S 1 がスイッチ S W 1 を介してドレインセンス線 (Drain Sense) に接続される。

50

## 【 0 0 0 8 】

また、共通ソース線 S 1 は共通のソース電源(Source Force)に接続される。さらに、この共通ソース線 S 1 の電圧をモニターするために、共通ソース線 S 1 はスイッチ S W 3 を介してソースセンス線(Source Sense)に接続される。なお、上記のスイッチ S W 1 ~ S W 3 は、図示しないデコーダの出力信号によって制御される。

## 【 0 0 0 9 】

これらのセットを一組として、上述と同様な接続で n 番目のセットである被測定トランジスタ D U T n 1 ~ D U T n m まで設けられている。また、被測定トランジスタ D U T 1 1 ~ D U T n 1 のゲートは共通ゲート線 G 1 に接続され、同様にして被測定トランジスタ D U T 1 m ~ D U T n m のゲートは共通ゲート線 G m に接続される。

10

## 【 0 0 1 0 】

また、共通ゲート線 G 1 にはゲート選択回路 1 0 0 を介してゲート電圧 V G 1 またはゲート非選択電圧 V G X の何れかが供給される。選択信号 E N 1 がハイレベル(選択)になるとゲート電圧 V G 1 がゲート線 G 1 に供給され、選択信号 E N 1 がローレベル(非選択)になると、ゲート非選択電圧 V G X がゲート線 G 1 に供給される。ゲート非選択電圧 V G X は通常はゼロボルトであるが、必要に応じてマイナス電圧も設定できる。

このような構成の D M A - T E G により、m x n 個の被測定トランジスタ D U T 1 1 ~ D U T n m の特性が評価できる。

## 【 0 0 1 1 】

ここで、上記共通ドレイン線 D 1 には m 個の被測定トランジスタ D U T 1 1 ~ D U T 1 m が並列接続されているため、各被測定トランジスタにオフリーク電流(トランジスタが完全にオフできずに流れる電流)があると、非選択の被測定トランジスタを通じてリーク電流が流れるため、測定したい被測定トランジスタの特性が正確に評価できなくなる。この場合には、例えばゲート非選択電圧 V G X を - 0 . 2 V 程度にして、オフリーク電流を抑えるようにする。

20

なお、図 1 ( b ) はスイッチ S W 1 ~ S W 3 の回路図である。

【非特許文献 1】Yoshiyuki Shimizu, Mitsuo Nakamura, Toshimasa Matsuoka, and Kenji Taniguchi, "Test structure for precise statistical characteristics measurement of MOSFETs," IEEE 2002 Int. Conference on Microelectronic Test Structure ( IC MTS 2002 ), pp. 49-54, April 2002

30

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 1 2 】

しかしながら、上述の従来技術に係る D M A - T E G によれば、大規模な D M A - T E G (例えば m = n = 5 1 2、すなわち 5 1 2 K 個のトランジスタ評価が出来る T E G) を構成した場合、共通ドレイン線 D 1 には 5 1 2 個のトランジスタが接続される。ここで、微細トランジスタにオフリーク電流が 1 0 p A 程度流れる場合には、非選択のトランジスタに流れるリーク電流の総和は 1 0 p A x 5 1 1 個 = 5 . 1 n A となり、選択されたトランジスタに流れるドレイン電流に対して無視できないので、高精度な測定が出来ないという問題があった。

40

## 【 0 0 1 3 】

この場合、非選択ゲート電圧 V G X に - 0 . 3 V を印加するとリーク電流は 1 桁 ~ 2 桁減少するため、リーク電流対策として有効である。しかし、例えばドレイン電圧が 1 . 0 V であるとドレイン - ゲート間の電圧差は 1 . 3 V となり、G i D L (Gate induced Drain Leakage) と呼ばれるリーク電流が生じる。すなわち、ドレイン近傍の空乏層がゲート電圧で変調され、表面付近の空乏層に高電界が印加され、Band to Band (半導体のエネルギーバンド間) のリーク電流がドレインから基板に流れてしまい、測定精度が悪化するという問題があった。

## 【 0 0 1 4 】

また、共通ソース線 S 1 ~ S n にはソース電圧センス端子 (Source Sense) が設けられ

50

ており、共通ソース線  $S_1 \sim S_n$  の電圧を測定できるが、共通ソース線  $S_1 \sim S_n$  に 1 本設けられているだけである。従って、例えば TEG の両端に位置する DUT 1 1 と DUT 1 m のソース電位は共通ソース線  $S_1 \sim S_n$  の抵抗によって電位差が生じてしまうので、高精度な測定が出来ないという問題もあった。

【 0 0 1 5 】

さらに、微細トランジスタは酸化膜が非常に薄いため、ゲートリーク電流がドレイン、ソースに流れる。ここで、共通ゲート線  $G_1 \sim G_m$  にはそれぞれ 5 1 2 個のトランジスタのゲートが並列に接続されているため、上記ゲートリーク電流が無視できず高精度な測定が出来ないという問題もあった。

【 0 0 1 6 】

本発明は上記事情を考慮してなされたもので、その目的は、大規模な半導体素子を高精度に測定できる半導体評価回路を提供する事である。

【課題を解決するための手段】

【 0 0 1 7 】

本発明は上記の課題を解決するためになされたもので、本発明に係る半導体評価回路は、トランジスタ特性を評価するための 1 または複数の評価セルアレイで構成される半導体評価回路であって、前記評価セルアレイは、マトリクス状に配列された  $n$  行  $m$  列の評価セルと、各列に属する前記評価セル用の  $m$  本の共通ゲート線と、各列に属する前記評価セル用の  $m$  本の共通ソース線と、各列に属する前記評価セル用の  $m$  本の共通ソースセンス線と、各行に属する前記評価セル用の  $n$  本の共通ドレイン線と、制御信号に応じて、前記共通ドレイン線をドレイン電圧または第 1 電圧に設定する第 3 制御手段と、前記制御信号に応じて、前記共通ドレイン線とドレインセンス端子とを接続、開放する第 4 制御手段と、前記制御信号に応じて、前記共通ソース線をソース電圧またはソースバイアス電圧に設定する第 5 制御手段と、前記制御信号に応じて、前記共通ゲート線をゲート電圧または前記第 1 電圧に設定する第 6 制御手段と、前記制御信号に応じて、前記共通ソースセンス線とソースセンス端子とを接続、開放する第 7 制御手段と、から構成され、前記評価セルは、ドレインが前記共通ドレイン線に接続され、ソースが前記共通ソース線に接続された被測定トランジスタと、ゲート選択信号に応じて、前記被測定トランジスタのゲートの接続先を前記共通ゲート線と前記第 1 電圧との間で切り替える第 1 制御手段と、前記被測定トランジスタのゲートが前記共通ゲート線に接続された場合に前記被測定トランジスタのソースを前記共通ソースセンス線に接続し、該被測定トランジスタのゲートが前記第 1 電圧に接続された場合に該被測定トランジスタのソースを開放する第 2 制御手段と、から構成される事の特徴とする。

本発明によれば、評価対象の被測定トランジスタが属する列以外の列に属する被測定トランジスタのソースに、被測定トランジスタのソースに印加されるソース電圧とは異なるソースバイアス電圧を与えることができる。また、ソースセンス端子とドレインセンス端子が評価対象の被測定トランジスタのソースとドレインにそれぞれ接続されるので、ソース電圧とドレイン電圧を正確に測定できる。それにより、測定精度が高くなる。

また、複数の評価セルアレイを備える事が出来るので、複数組の評価セルアレイに属する被測定トランジスタを同時に測定でき、測定速度が向上する。

【 0 0 1 8 】

上記半導体評価回路において、前記第 1 制御手段は、一端が前記被測定トランジスタのゲートに接続され、他端が前記共通ゲート線に接続され、ゲート選択信号に応じて開閉状態が制御される第 1 スイッチと、一端が前記被測定トランジスタのゲートに接続され、他端に前記第 1 電圧が印加され、前記第 1 スイッチと異なる開閉状態に制御される第 2 スイッチと、を含み、前記第 2 制御手段は、一端が前記被測定トランジスタのソースに接続され、他端が前記共通ソースセンス線に接続され、前記第 1 スイッチと同じ開閉状態に制御される第 3 スイッチを含み、前記第 3 制御手段は、一端が各々の前記共通ドレイン線に接続され、他端が、前記ドレイン電圧が印加されるドレイン電圧印加端子に接続された複数の第 4 スイッチと、一端が各々の前記共通ドレイン線に接続され、他端に前記第 1 電圧が

10

20

30

40

50

印加される複数の第 5 スイッチと、を含み、前記第 4 制御手段は、一端が各々の前記共通ドレイン線に接続され、他端が前記ドレインセンス端子に接続された複数の第 6 スイッチを含み、前記第 5 制御手段は、一端が各々の前記共通ソース線に接続され、他端が、前記ソース電圧が印加されるソース電圧印加端子に接続された複数の第 7 スイッチと、一端が各々の前記共通ソース線に接続され、他端が、前記ソースバイアス電圧が印加されるソースバイアス電圧印加端子に接続された複数の第 8 スイッチと、を含み、前記第 6 制御手段は、一端が各々の前記共通ゲート線に接続され、他端が、前記ゲート電圧が印加されるゲート電圧印加端子に接続された複数の第 9 スイッチと、一端が各々の前記共通ゲート線に接続され、他端に前記第 1 電圧が印加される複数の第 10 スイッチと、を含み、前記第 7 制御手段は、一端が各々の前記共通ソースセンス線に接続され、他端がソースセンス端子に接続された複数の第 11 スイッチを含むことを特徴とする。

10

## 【0019】

上記半導体評価回路において、前記複数の第 4 スイッチと前記複数の第 6 スイッチは、前記共通ドレイン線の両端に各々接続されることを特徴とする。

この発明では、被測定トランジスタの何れが選択された場合であっても、共通ドレイン線に電流が流れない位置で電圧を測定する事ができる。従って、測定精度が高くなる。

## 【0020】

上記半導体評価回路において、前記複数の第 1 スイッチから第 11 スイッチは、前記被測定トランジスタよりも耐圧が高いトランジスタで構成される事を特徴とする。

この発明では、スイッチを構成するトランジスタに起因するリーク電流を削減できる。

20

## 【0021】

上記半導体評価回路において、前記複数の第 1 スイッチから第 11 スイッチは、NMO S トランジスタであることを特徴とする。

この発明では、スイッチの面積を小さくする事が出来る。

## 【0022】

上記半導体評価回路において、前記第 1 電圧は接地電圧であり、前記ソースバイアス電圧は、前記接地電圧よりも高いことを特徴とする。

この発明では、評価対象の被測定トランジスタが属する列以外の列に属する非選択の被測定トランジスタのソースに接地電圧よりも高いソースバイアス電圧を印加し、ゲートを接地するので、それら非選択の被測定トランジスタのオフリーク電流を低減させることができる。また、それら非選択の被測定トランジスタのゲート - ドレイン間電圧差を大きくする必要がないため、リーク電流  $G i D L$  とゲートリーク電流も低減させることができる。

30

## 【0023】

上記半導体評価回路において、前記評価セルアレイに属する評価対象の被測定トランジスタに前記ゲート電圧と、前記ソース電圧と、前記ドレイン電圧とを印加する事を特徴とする。

この発明では、評価対象の被測定トランジスタのみに電圧を印加して評価する事が出来る。

## 【0024】

上記半導体評価回路において、前記評価セルアレイに属する全ての被測定トランジスタに前記ゲート電圧と、前記ソース電圧と、前記ドレイン電圧とを同時に印加する事を特徴とする。

40

この発明では、全ての被測定トランジスタに同時に電圧を印加出来るので、ストレステストを行う事が出来る。

## 【0025】

上記半導体評価回路において、前記複数の第 1 スイッチから第 11 スイッチを全て開放して、該複数の第 1 スイッチから第 11 スイッチのリーク電流を測定する事を特徴とする。

この発明では、全ての被測定トランジスタに電圧が印加されないので、スイッチのリー

50

ク電流のみを測定する事ができる。

【発明の効果】

【0026】

本発明によれば、評価対象のトランジスタが属する列以外の列に属する非選択のトランジスタのソースに微小のソースバイアス電圧を印加し、ゲートに接地電圧を印加するようにしたので、それら非選択のトランジスタのオフリーク電流とリーク電流  $G i D L$  とゲートリーク電流を低減させることができる。従って、大規模な半導体素子を高精度に測定できる半導体評価回路を実現出来る。

【発明を実施するための最良の形態】

【0027】

<第1の実施形態>

以下、図2から図4を参照して本発明の第1の実施形態について説明する。

図2は、本発明の実施形態に係るDMA-TEGの回路図である。

同図において、1-11, 2-11, 3-11, 1-1m, 2-1m, 3-1m, 1-n1, 2-n1, 3-n1, 1-nm, 2-nm, 3-nm, 5-1, 5-n, 7-1, 7-mはトランジスタ、4-1, 4-n, 6-1, 6-n, 8-1, 8-m, 9-1, 9-n, 10-1, 10-n, 11-1, 11-nはスイッチ、DUT11, DUT1m, DUTn1, DUTnmは被測定トランジスタ、30-1, 30-nはインバータである。

【0028】

このDMA-TEGは、被測定トランジスタを含む基本ユニットがn行m列(m, nは正の整数)のマトリックスを構成するが、理解を容易にするためにマトリックスの4隅の評価セルのみを図示している。また、被測定トランジスタDUT11~DUTnmは耐圧が低い例えば1V系の微細トランジスタであり、これら以外のスイッチ等は耐圧が高い例えば3V系のトランジスタから構成される。

【0029】

共通ドレイン線D1には被測定トランジスタDUT11とDUT1mのドレインが共通接続される。また、共通ドレイン線Dnには被測定トランジスタDUTn1, DUTnmのドレインが共通接続される。

【0030】

また、被測定トランジスタDUT11のソースはドレイン線D1, Dnと直交する共通ソース線S1に接続されると共に、トランジスタ3-11(第3スイッチ)を介して共通ソースセンス線Ss1に接続される。同様に、被測定トランジスタDUTn1のソースは共通ソース線S1に接続されると共に、トランジスタ3-n1(第3スイッチ)を介して共通ソースセンス線Ss1に接続される。

【0031】

また、被測定トランジスタDUT1mのソースはドレイン線D1, Dnと直交する共通ソース線Smに接続されると共に、トランジスタ3-1mを介して共通ソースセンス線Ssmに接続される。同様に、被測定トランジスタDUTnmのソースは共通ソース線Smに接続されると共に、トランジスタ3-nmを介して共通ソースセンス線Ssmに接続される。

【0032】

さらに、被測定トランジスタDUT11のゲートは選択時オンとなるトランジスタ1-11(第1スイッチ)を介して共通ゲート線G1に接続され、また、非選択時オンとなるトランジスタ2-11(第2スイッチ)を介して接地される。同様に、被測定トランジスタDUTn1のゲートは選択時オンとなるトランジスタ1-n1(第1スイッチ)を介して共通ゲート線G1に接続され、また、非選択時オンとなるトランジスタ2-n1(第2スイッチ)を介して接地される。

【0033】

同様に、被測定トランジスタDUT1mのゲートは選択時オンとなるトランジスタ1-

10

20

30

40

50

1 mを介して共通ゲート線 G mに接続され、また、非選択時オンとなるトランジスタ 2 - 1 mを介して接地される。さらに、被測定トランジスタ D U T n mのゲートは選択時オンとなるトランジスタ 1 - n mを介して共通ゲート線 G mに接続され、また、非選択時オンとなるトランジスタ 2 - n mを介して接地される。

【 0 0 3 4 】

さらに、トランジスタ 1 - 1 1 , 3 - 1 1 , 1 - 1 m , 3 - 1 mのゲートは、ゲート選択信号 ( Gate Sel-1 ) に共通接続される。また、ゲート選択信号 ( Gate Sel-1 ) はインバータ 3 0 - 1 に入力され、インバータ 3 0 - 1 の出力はトランジスタ 2 - 1 1 , 2 - 1 mのゲートに共通接続される。

【 0 0 3 5 】

同様にトランジスタ 1 - n 1 , 3 - n 1 , 1 - n m , 3 - n mのゲートは、ゲート選択信号 ( Gate Sel-n ) に共通接続される。また、ゲート選択信号 ( Gate Sel-n ) はインバータ 3 0 - n に入力され、インバータ 3 0 - n の出力はトランジスタ 2 - n 1 , 2 - n mのゲートに共通接続される。

【 0 0 3 6 】

上述した被測定トランジスタ D U T 1 1、トランジスタ 1 - 1 1 , 2 - 1 1 , 3 - 1 1 は、基本ユニット ( 評価セル ) U n i t 1 - 1 を構成する。この基本ユニット U n i t 1 - 1 が n 行 m 列のマトリクス状に配列されて評価セルアレイが構成される。また、スイッチとして機能するトランジスタ 1 - 1 1 , 2 - 1 1 , 3 - 1 1 は、基本ユニット U n i t 1 - 1 の面積を出来るだけ小さくするため N M O S トランジスタのみで構成している。

そして、この評価セルアレイに以下の構成を更に備えて本実施形態に係る D M A - T E G が構成される。

【 0 0 3 7 】

共通ドレイン線 D 1 , D n は、被評価トランジスタ D U T 1 1 側においてそれぞれスイッチ 4 - 1 , 4 - n ( 第 4 スイッチ ) を介してドレインフォース線 D F に共通接続され、ドレインフォース線 D F はドレインフォース端子 ( Drain Force ; ドレイン電圧印加端子 ) に接続される。このドレインフォース端子 ( Drain Force ) には、ドレイン電圧が印加される。

【 0 0 3 8 】

また、共通ドレイン線 D 1 , D n は、被評価トランジスタ D U T 1 m 側においてそれぞれトランジスタ 5 - 1 , 5 - n ( 第 5 スイッチ ) を介して接地されると共に、それぞれスイッチ 6 - 1 , 6 - n ( 第 6 スイッチ ) を介してドレインセンス線 D S に共通接続され、ドレインセンス線 D S はドレインセンス端子 ( Drain Sense ) に共通接続される。

【 0 0 3 9 】

また、共通ソース線 S 1 , S n は、それぞれスイッチ 1 1 - 1 , 1 1 - m ( 第 7 スイッチ ) を介してソースフォース線 S F に共通接続され、ソースフォース線 S F は電流計 2 0 の一端に接続される。電流計 2 0 の他端はソースフォース端子 ( Source Force ; ソース電圧印加端子 ) に接続される。このソースフォース端子 ( Source Force ) には、ソース電圧が印加される。

【 0 0 4 0 】

また、共通ソース線 S 1 , S n は、それぞれスイッチ 8 - 1 , 8 - m ( 第 8 スイッチ ) を介してソースバイアス線 S B に共通接続され、ソースバイアス線 S B はソースバイアス端子 ( Source Bias ; ソースバイアス印加端子 ) に共通接続される。このソースバイアス端子 ( Source Bias ) には、ソースバイアス電圧が印加される。

【 0 0 4 1 】

さらに、共通ソースセンス線 S s 1 , S s m は、それぞれスイッチ 9 - 1 , 9 - m ( 第 1 1 スイッチ ) を介してソースセンス線 S S に共通接続され、ソースセンス線 S S はソースセンス端子 ( Source Sense ) に共通接続される。

【 0 0 4 2 】

また、共通ゲート線 G 1 , G m は、それぞれスイッチ 1 0 - 1 , 1 0 - m ( 第 9 スイッ

10

20

30

40

50

チ)を介してゲートフォース線GFに共通接続され、ゲートフォース線GFはゲートフォース端子(Gate Force;ゲート電圧印加端子)に接続される。このゲートフォース端子(Gate Force)には、ゲート電圧が印加される。また、共通ゲート線G1, Gmは、それぞれトランジスタ7-1, 7-m(第10スイッチ)を介して接地される。

【0043】

図示されていない評価セルに対しても上記と同様の接続がなされ、このDMA-TEGは評価セルアレイの各列に属する評価セル用のm本の共通ゲート線と、各列に属する評価セル用のm本の共通ソース線と、各列に属する評価セル用のm本の共通ソースセンス線と、各行に属する評価セル用のn本の共通ドレイン線とを備える。

【0044】

なお、上記トランジスタ1-11~1-nm, 2-11~2-nm, 3-11~3-nm, 5-1~5-n, 7-1~7-m, スイッチ4-1~4-n, 6-1~6-n, 8-1~8-m, 9-1~9-n, 10-1~10-n, 11-1~11-nは、それぞれ図示しないデコーダから出力される制御信号によって開閉状態が制御される。デコーダを含んだ全体構成については後述する。

【0045】

ここで、上記トランジスタ1-11~1-nm, 2-11~2-nmとデコーダは、本発明における第1制御手段として機能し、上記トランジスタ3-11~3-nmとデコーダは、本発明における第2制御手段として機能する。

また、上記トランジスタスイッチ4-1~4-n, 5-1~5-nとデコーダは、本発明における第3制御手段として機能し、上記スイッチ6-1~6-nとデコーダは、本発明における第4制御手段として機能する。さらに、上記スイッチ8-1~8-m, 11-1~11-mは、本発明における第5制御手段として機能し、上記スイッチ10-1~10-mとトランジスタ7-1~7-mとデコーダは、本発明における第6制御手段として機能する。また、上記スイッチ9-1~9-mとデコーダは、本発明における第7制御手段として機能する。

【0046】

次に、図3を参照してこのDMA-TEGの動作を説明する。

以下、被測定トランジスタDUT11を評価対象として選択する場合を考える。まず、スイッチ4-1, 9-1, 10-1, 11-1が図示しないデコーダにより選択されてオンする。また、ゲート選択信号(Gate Sel-1)がハイレベル(図中に示した“1”)に設定されトランジスタ1-11, 3-11がオンし、ゲートにローレベル“0”が印加されるトランジスタ2-11がオフする。また、スイッチ7-1, 8-1はオフに制御される。

【0047】

また、ドレインフォース端子(Drain Force)には図示しない電源により1Vが印加され、ゲートフォース端子(Gate Force)には図示しない電源により1Vが印加され、ソースフォース端子(Source Force)には図示しない電源により0Vが印加される。これにより、共通ゲート線G1に1V、共通ドレイン線D1に1V、共通ソース線S1にVss(0V;第1電圧)が印加される。

【0048】

また、ソースフォース端子(Source Force)に印加される電圧が0Vであっても、共通ソース線S1とスイッチ11-1とが有する抵抗成分を介して被測定トランジスタDUT11のソースからソースフォース端子(Source Force)に電流が流れることで、被測定トランジスタDUT11のソース電圧に0Vからの浮きが生じる。ここで、共通ソースセンス線Ss1にはトランジスタ3-11を介して被測定トランジスタDUT11のソース電圧が印加されるので、そのソース電圧をソースセンス端子(Source Sense)に接続される図示しない電圧計で検知し、検知された電圧を基にソースフォース端子(Source Force)に接続される図示しない電源の電圧を調整して被測定トランジスタDUT11のソース電圧を正確に0Vに設定できる(ケルビン測定)。

10

20

30

40

50

そして、電流計 20 を用いて被測定トランジスタ D U T 1 1 に流れる電流が測定される。

【 0 0 4 9 】

また、同様の手法により、被測定トランジスタ D U T 1 1 のドレイン電圧をドレインセンス端子 ( Drain Sense ) に接続される図示しない電圧計で検知し、検知された電圧を基にドレインフォース端子 ( Drain Force ) に接続される図示しない電源の電圧を調整して被測定トランジスタ D U T 1 1 のドレイン電圧を正確に 1 V に設定できる。

【 0 0 5 0 】

なお、ドレインセンス端子 ( Drain Sense ) は、共通ドレイン線 D 1 の配線抵抗によって電圧降下が発生しても被測定トランジスタ D U T 1 1 のドレイン電圧を正確に検知できるようにするため、ドレインフォース端子 ( Drain Force ) の反対側に配置される。この配置によって、被測定トランジスタ D U T 1 1 ~ D U T 1 m の何れを選択した場合であっても正確にドレイン電圧を検知できる。

10

【 0 0 5 1 】

次に、非選択である被測定トランジスタ D U T 1 m について説明する。図示しないデコーダによりスイッチ 1 0 - m がオフに、スイッチ 7 - m がオンに制御されるため、共通ゲート線 G m は 0 V となる。また、前述のゲート選択信号 ( Gate Sel-1 ) によりトランジスタ 1 - 1 m はオンであり、トランジスタ 2 - 1 m はオフであるため、被測定トランジスタ D U T 1 m のゲートには 0 V が印加され、オフとなる。

【 0 0 5 2 】

ここで、スイッチ 1 1 - m はオフ、スイッチ 8 - m はオンであるため、共通ソース線 S m にはソースバイアス端子 ( Source Bias ) に接続された図示しない電源によって 0 . 3 V が印加され、被測定トランジスタ D U T 1 m のゲート - ソース間電圧差は - 0 . 3 V となり、オフリークが削減される。

20

なお、ソースバイアス端子 ( Source Bias ) に印加する電圧は、リーク電流が発生しない電圧に調整される。

また、トランジスタ 3 - 1 m はオンであるが、スイッチ 9 - m はオフであるのでソースセンス端子 ( Source Sense ) には影響を与えない。

【 0 0 5 3 】

続いて、非選択である被測定トランジスタ D U T n 1 について説明する。図示しないデコーダによりゲート選択信号 ( Gate Sel-n ) がローレベル “ 0 ” に制御されるので、トランジスタ 1 - n 1 がオフし、トランジスタ 2 - n 1 がオンする。従って、被測定トランジスタ D U T n 1 のゲートには 0 V が印加される。また、スイッチ 4 - n がオフ、スイッチ 6 - n がオフ、トランジスタ 5 - n がオンに制御されるので、共通ドレイン線 D n が 0 V となる。従って、被測定トランジスタ D U T n 1 は完全にオフとなり、リーク電流は生じない。

30

【 0 0 5 4 】

次に、非選択である被測定トランジスタ D U T n m について説明する。トランジスタ 1 - n m , 3 - n m はオフ、トランジスタ 2 - n m はオン、スイッチ 4 - n はオフ、スイッチ 6 - n , 8 - m はオン、トランジスタ 5 - n はオンであるので、被測定トランジスタ D U T n m のゲートは 0 V、ドレインは 0 V、ソースは 0 . 3 V となる。この条件下では、オフリークが図中に矢印で示した経路 3 0 0 に沿って逆流する可能性があるが、ドレイン電圧が 0 . 3 V 程度ではオフリークも非常に少なく、また、オフリークがあってもスイッチ 5 - n を介して V S S に流れるので、ドレインセンス端子 ( D r a i n S e n s e ) には流れず、測定精度に影響を与えない。

40

【 0 0 5 5 】

上述した構成では、同一の行に属する被測定トランジスタのソースはソース毎にケルビン測定を行える構成として、ドレインは共通ドレイン線を利用してケルビン測定を行える構成としていている ( 4 端子ケルビン測定 ) 。ゲートはケルビン測定を行なわないが、共通ゲート線に流れる電流はゲートリーク電流のみであり、その大きさは無視できるので特

50

に問題はない。また、ドレインに大電流が流れるとレイアウトの場所依存性が出てくるが、静特性を測定する場合には、MOSトランジスタの特性上、5極管特性（飽和領域での特性）はドレイン電圧依存性が非常に小さくなるので、測定誤差は小さくなり大きな問題とはならない。

上述した4端子ケルビン測定を用いて被測定トランジスタDUT11のドレイン電圧とソース電圧を正確に設定できるので、測定精度が向上する。

#### 【0056】

このような構成のDMA-TEGを用いれば、微細トランジスタのオフリークが対策出来、3端子ケルビン測定を行う事が出来、ゲートリーク電流及びリーク電流GIDLが対策出来るので、高精度な測定が行える大規模DMA-TEGが提供できる。

10

#### 【0057】

図4には、デコーダを含めたDMA-TEGの全回路図を示す。

このDMA-TEGは、図2に示した回路に、アドレスバッファ（Address Buffer）と、Xアドレス用プリデコーダ（Pre Dec(X)）と、Yアドレス用プリデコーダ（Pre Dec(Y)）と、Xアドレス用メインデコーダ（Main Dec(X)）と、Yアドレス用メインデコーダ（Main Dec(Y)）と、パッド（AX0~AX8, AY0~AY8, Drain Force, Drain Source, Source Force, Source Sense, Gate, GND, Source Bias, DUT Sub, 3V Tr Sub, VDD(3V), VSS(3V)）とを加えて構成される。Xアドレス用メインデコーダ（Main Dec(X)）は、デコーダMDX1~MDX512により構成され、Yアドレス用メインデコーダ（Main Dec(Y)）はデコーダMDY1~MDU512により構成される。また、このDMA-TEGは基本ユニットU

20

#### 【0058】

パッドから9本のXアドレス信号AX0~AX8と、9本のYアドレス信号AY0~AY8がそれぞれアドレスバッファ（Address Buffer）を介してXアドレス用プリデコーダ（Pre Dec(X)）と、Yアドレス用プリデコーダ（Pre Dec(Y)）に入力される。そして、Xアドレス用プリデコーダ（Pre Dec(X)）から出力される信号はXアドレス用メインデコーダ（Main Dec(X)）に入力され、Xアドレス用メインデコーダ（Main Dec(X)）から出力される制御信号が各スイッチを制御する。同様に、Yアドレス用プリデコーダ（Pre Dec(Y)）から出力される信号はYアドレス用メインデコーダ（Main Dec(Y)）に入力され、Y

30

アドレス用メインデコーダ（Main Dec(Y)）から出力される制御信号が各スイッチを制御する。

このDMA-TEGは512K個の被測定トランジスタから構成され大規模でありながら、評価対象外の被測定トランジスタからのリーク電流が少なく、4端子ケルビン測定が可能であるために高精度な測定が行える。

#### 【0059】

<第2の実施形態>

次に、図5から図13を参照して本発明の第2の実施形態について説明する。

図5は、図4のDMA-TEGにテストモードを追加するための回路である。

同図(a)に示すテストモードに対応したアドレスバッファ回路は、図4のDMA-TEGにおけるXアドレス信号AX0~AX8, AY0~AY8が入力されるアドレスバッファ（Address Buffer）と置換される。

40

また、同図(b)に示したテスト信号入力回路が2つ追加される。

#### 【0060】

テスト信号TEST1, TEST2は、2つのテスト信号入力回路にそれぞれ入力され、反転テスト信号TEST1B, TEST2Bがそれぞれ出力される。この反転テスト信号TEST1B, TEST2Bは、上述したテストモードに対応したアドレスバッファ回路の全てに入力される。

#### 【0061】

次に、このテスト回路が追加されたDMA-TEGの動作を表1、表2を参照して説明

50

する。

まず、表 1 に示すように、テスト信号  $TEST1 = TEST2 = '0'$  の時はノーマルモードであり、第 1 の実施形態で説明した通常の DMA - TEG として動作する。

また、テスト信号  $TEST1 = '1'$  ,  $TEST2 = '0'$  の時は、アドレスバッファ出力信号  $axi$ 、 $axib$  はともに '1' となり、図 4 に示した DMA - TEG の被評価トランジスタは全選択状態となる。

【0062】

一方、テスト信号  $TEST2 = '1'$  の時は、テスト信号  $TEST1$  の状態にかかわらず、アドレスバッファ出力  $axi$ 、 $axib$  はともに '0' となり、図 4 に示した DMA - TEG の被評価トランジスタは全非選択状態となる。

【0063】

【表 1】

TEST1	TEST2	Axi	axi	axib	状態
'0'	'0'	'1'	'1'	'0'	ノーマルモード
		'0'	'0'	'1'	
'1'	'0'	'1'	'1'	'1'	テストモード全選択
		'0'	'1'	'1'	
'0'/'1'	'1'	'1'	'0'	'0'	テストモード全非選択
		'0'	'0'	'0'	

【0064】

ここで、全選択状態のときに、図 4 に示したゲートフォースパッド(Gate Force)、ドレインフォースパッド(Drain Force)、ソースフォースパッド(Source Force)を介して被測定トランジスタに電圧を印加する事により、ストレステストを行う事ができる。

【0065】

表 2 は、被測定トランジスタのゲートを GF、ドレインを DF、ソースを SF として、それらに印加する電圧とストレステストモードとの関係を記載している。具体的には、ゲートストレスモード、ドレインストレスモード 1、ドレインストレスモード 2 の何れかを選択して表 2 に示す様に電圧を印加すると、その電圧が全ての被測定トランジスタ DUT に同時に印加され、短時間でストレステストを行うことが出来る。

また、 $TEST2 = '1'$  とすると全ての被測定トランジスタに接続されるスイッチがオフとなるので、全ての被測定トランジスタが全非選択となって電圧が印加されず、スイッチのオフリーク電流を測定することが出来る。

【0066】

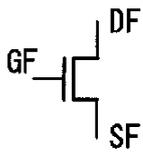
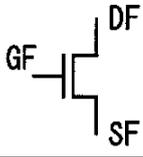
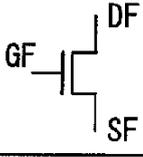
10

20

30

40

【表 2】

	GF	DF	SF	
ゲートストレス	1.2V	0V	0V	
ドレインストレス <sub>1</sub>	0V	1.2V	1.2V	
ドレインストレス <sub>2</sub>	0V	1.2V	0V	

10

20

## 【0067】

次に、スイッチのオフリークについて述べる。例えば、後述する計算により、スイッチの大きさは例えばNMOSトランジスタの場合 $L$ （ゲート長）/ $W$ （ゲート幅） $= 0.6 \mu\text{m} / 20 \mu\text{m}$ の大きさが必要となる。このとき、例えばドレインフォース線DFに接続されるスイッチを考えると、スイッチの数は512個あるので、スイッチの合計の $W$ （ゲート幅）は $10240 \mu\text{m}$ となり、巨大なトランジスタとなる。通常の3V系のトランジスタでは、オフリーク電流は単位 $W$ （ゲート幅）当たり（すなわち $W = 1 \mu\text{m}$ 当たり） $10^{-14} \text{A}$ （ $0.01 \text{pA}$ ） $\sim 10^{-13} \text{A}$ （ $0.1 \text{pA}$ ）程度なので、 $W = 10240 \mu\text{m}$ のトランジスタのオフリーク電流は約 $100 \text{pA} \sim 1 \text{nA}$ 程度となる。

30

## 【0068】

通常、被測定トランジスタの閾値を測定する場合には $100 \text{nA} \sim 1 \mu\text{A}$ 程度の電流値で判断するので、この場合はスイッチのオフリーク電流は無視できるレベルであるが、もし3Vトランジスタの出来具合が悪く、単位あたりのオフリーク電流が $10^{-12}$ （ $1 \text{pA}$ ）程度に悪化すると、オフリーク電流が $10 \text{nA}$ も流れてしまい、精度の良い被測定トランジスタの評価が出来なくなる。この場合は、前述した全非選択テストモードによりオフリーク電流の判定をしておく必要がある。

## 【0069】

次に、スイッチの最適化について説明する。

上述してきた例ではスイッチとしてCMOSタイプを使用してきたが、ここで、CMOSタイプのスイッチとNMOSのみのスイッチの比較を行う。

40

図6(a)にCMOSタイプのスイッチ、同図(b)にNMOSタイプのスイッチを示す。この2つのタイプのスイッチを比較するために、まずPMOSトランジスタとNMOSトランジスタの負荷特性の比較を行う。

## 【0070】

図7にPMOSトランジスタとNMOSトランジスタの負荷特性を示す。同図は、ある製造プロセスにおけるPMOSトランジスタとNMOSトランジスタのドレイン電圧 $V_d$ をパラメータとした時のドレイン電流 $I_d$ （縦軸）と出力電圧 $V_{out}$ （横軸）の関係を表す図である。同図に特性を示したPMOSトランジスタの大きさは $L/W = 0.6 / 20 \mu\text{m}$ 、NMOSトランジスタの大きさは $L/W = 0.6 / 10 \mu\text{m}$ である。

50

## 【 0 0 7 1 】

P M O S トランジスタの特性は、ドレイン電圧  $V_d = 1.2 \text{ V}$  の時は出力電圧  $V_{out}$  によらず、ほとんど電流は流れない。その理由は、P M O S トランジスタの閾値が高いので電流駆動能力が下がるためである。即ち、P M O S トランジスタを流れる電流は、飽和領域では  $| (V_g - V_d - V_{thp}) |$  の二乗に比例するので、閾値  $V_{thp} = 0.8 \text{ V}$  とすると  $| V_g - V_d - V_{thp} | = | 0 - 1.2 - 0.8 | = 0.4 \text{ V}$  となり電流駆動能力が小さい事が分かる。なお、ドレイン電圧  $V_d$  を高くすると電流駆動能力は大きくなる。

## 【 0 0 7 2 】

一方、N M O S トランジスタはゲート電圧が  $3.3 \text{ V}$  なので、閾値  $V_{thn} = 0.8 \text{ V}$  としても3極管領域で動作するため負荷特性はほぼ直線となり、例えば出力電圧  $V_{out} = 1.0 \text{ V}$  のときドレイン電流  $I_d = 500 \mu\text{A}$  の電流を流そうとすれば、ドレイン電圧  $V_d = 1.2 \text{ V}$  で良い。従って、1 V 系の被測定トランジスタ D U T を評価する場合のスイッチ（例えば図2に示したスイッチ  $4-1 \sim 4-n$ ,  $6-1 \sim 6-n$ ,  $8-1 \sim 8-m$ ,  $9-1 \sim 9-n$ ,  $10-1 \sim 10-n$ ,  $11-1 \sim 11-n$ ）は、N M O S トランジスタのみの構成で問題ないことがわかる。これにより、スイッチ及び評価ユニットの面積を小さく出来る。

10

## 【 0 0 7 3 】

次に、本発明の D M A - T E G に用いるスイッチの大きさを設定する。

図8に被測定トランジスタとスイッチの等価回路図を示す。まず、被測定トランジスタ D U T に流れる最大電流を決める。測定したい被測定トランジスタ D U T の寸法を最大  $L/W = 0.06 / 2 \mu\text{m}$  の N M O S トランジスタとすると、例えばある製造プロセスにおいてはドレイン電圧  $V_d =$  ゲート電圧  $V_g = 1.0 \text{ V}$  の条件で約  $1 \text{ mA}$  のドレイン電流が流れる。

20

## 【 0 0 7 4 】

図7に示したシミュレーション結果から、被測定トランジスタ D U T のドレイン電圧  $V_d$  を  $1.0 \text{ V}$  にしてドレインスイッチ (Drain SW) に  $1 \text{ mA}$  を流すためには、ドレインスイッチ (Drain SW) のドレインとソースに印加される電圧がそれぞれ  $1.2 \text{ V}$ 、 $1.0 \text{ V}$  である事が分かるので、ドレインスイッチ (Drain SW) の寸法は  $W = 20 \mu\text{m}$  が必要である。同様に、ソーススイッチ (Source SW) の寸法も  $W = 20 \mu\text{m}$  に設定すれば良い。このとき、ソース電圧  $V_{Sforce} = -0.2 \text{ V}$  となる。すなわち、この場合、ドレインスイッチ (Drain SW) 及びソーススイッチ (Source SW) の抵抗値は、それぞれ  $200$  に設定された事になる。

30

## 【 0 0 7 5 】

ドレインフォース電圧  $V_{Dforce} (1.2 \text{ V})$  と被測定トランジスタ D U T のドレイン電圧  $V_d (1.0 \text{ V})$  の電圧差を  $0.2 \text{ V}$  に設定したのは、後述するテスターを用いた四端子ケルビン測定を高速化するためである。

## 【 0 0 7 6 】

次に、この D M A - T E G の測定について説明する。

図9に四端子ケルビン測定時のテスター系の概略図を示す。同図には、被測定トランジスタ D U T に接続されたドレインフォースパッド (Drain Force Pad) およびドレインセンスパッド (Drain Sense Pad) が、フォースプローブ (Force Probe) およびセンスプローブ (Sense Probe) と同軸ケーブル 901 とを介してテスター 900 へ接続される経路が示されている。また、D M A - T E G 内のドレインフォースパッド (Drain Force Pad) と被測定トランジスタ D U T までの総抵抗を抵抗  $R_{force}$ 、ドレインセンスパッド (Drain Sense Pad) から被測定トランジスタ D U T までの総抵抗を抵抗  $R_{sense}$  とする。

40

## 【 0 0 7 7 】

ここで、テスター 900 における測定に要する時間は、基本的には被測定トランジスタ D U T のドレイン端子からテスター 900 へ接続されるまでの信号経路上の抵抗、寄生容

50

量に依存して決まる。単体トランジスタの四端子ケルビン測定を行う場合は、抵抗  $R_{force}$ ,  $R_{sense}$  はほとんどゼロであり、またテスター 900 のプローブ系の抵抗、寄生容量はそれほど大きくないので、測定時間には影響しない。しかしながら、DMA-TEG の場合は、設計の仕方によっては抵抗  $R_{force}$ ,  $R_{sense}$  の値が大きくなり、この抵抗  $R_{force}$ ,  $R_{sense}$  が大きくなると、場合によっては測定系の時定数が大きくなり測定時間が長くなるという問題が生じる。

従って、抵抗  $R_{force}$ ,  $R_{sense}$  の値は測定時間を考慮して決める必要がある。以下に、DMA-TEG の各配線とスイッチの抵抗値を示す。

#### 【0078】

図10に、DMA-TEG の各配線が有する抵抗値を説明するための回路図を示す。このDMA-TEG の構成は、1ブロックとして基本ユニット  $Unit$  が縦方向（列方向）に512個、横方向（行方向）に128個並んで基本ブロック（評価セルアレイ）を構成しており、この基本ブロックが4個横（行方向）に並ぶ事により、全体で縦512個、横  $128 \times 4 = 512$  個の被測定トランジスタが配列されたDMA-TEG を構成する。1つの基本ユニット  $Unit$  の大きさは、縦、横共に  $9 \mu m$  である。

#### 【0079】

ここでは、最大の配線抵抗を見積もるために、基本ユニット  $Unit$  512-128 について考える。基本ユニット  $Unit$  512-128 は、共通ドレイン線  $D$  512 とスイッチ 4-512 とドレインフォース線  $DF$  を介してドレインフォースパッド (Drain Force) に接続され、スイッチ 6-512 とドレインセンス線  $DS$  を介してドレインセンスパッド (Drain Sense) に接続され、共通ソース線  $S$  128 とスイッチ 11-128 とソースフォース線  $SF$  を介してソースフォースパッド (Source Force) に接続され、共通ソースセンス線  $SS$  128 とスイッチ 9-128 とソースセンス線  $SS$  を介してソースセンスパッド (Source Sense) に接続されている。

#### 【0080】

これらの経路が有する抵抗は、主にスイッチ 4-512, 6-512, 9-128, 11-128 を構成するトランジスタの抵抗とメタル配線抵抗である。同図において、メタルで配線される経路にはメタルの配線幅と抵抗値  $R_1 \sim R_4$  が示されている。例えば、ドレインフォースパッド (Drain Force) に接続されるドレインフォース線  $DF$  は、抵抗値  $R_1$  となる配線幅  $20 \mu m$  に設定する。

#### 【0081】

図11に、このDMA-TEG の配線抵抗を加えた等価回路図を示す。同図 (a) は被測定トランジスタのドレイン系の抵抗値を示し、同図 (b) はソース系の抵抗値を示す。図10を参照して、以下に配線抵抗を見積もる過程を示す。図11 (a) に示すドレイン系の場合、ドレインフォース線  $DF$  は縦方向（列方向）の配線であり、1つの基本ユニット  $Unit$  当たりの配線長は  $9 \mu m$  なので、全体の配線長は  $9 \mu m \times 512 = 4608 \mu m$  となる。ここで、ドレインフォースパッド (Drain Force) までの配線の距離を考慮して加算すると、ドレインフォース線  $DF$  の長さは約  $6000 \mu m$  となる。配線幅を  $20 \mu m$  に設定すると、メタル配線の単位長さ当たりの抵抗値  $s = 0.18 /$  なので、ドレインフォース線  $DF$  の総抵抗  $R_1$  は、 $R_1 = 6000 \div 20 \times 0.18 = 54$  となる。

#### 【0082】

同様に、共通ドレイン線  $D$  512 は基本ユニット内の配線長が  $9 \mu m$  なので、全体の配線長は  $9 \mu m \times 128 = 1152 \mu m$  となる。配線幅を  $3 \mu m$  に設定したので、共通ドレイン線  $D$  512 の抵抗値  $R_2$  は、 $R_2 = 1152 \div 3 \times 0.18 = 69$  となる。同様に、ドレインセンス線  $DS$  の抵抗値  $R_3$  は、 $R_3 = 108$  となる。

#### 【0083】

次に、スイッチの抵抗を見積もる。ドレインフォースパッド (Drain Force) 側のスイッチ 4-512 のトランジスタサイズは  $W = 20 \mu m$ 、ドレインセンスパッド (Drain Sense) 側のスイッチ 6-512 のトランジスタサイズは  $W = 2 \mu m$  であるので、それぞれ

10

20

30

40

50

の抵抗値は図7を用いて説明した見積により200、2000となる。従って、図11(a)に示すように、ドレインフォースパッド(Drain Force)から被測定トランジスタDUTのドレインまでの抵抗は323、被測定トランジスタDUTのドレインからドレインセンスパッド(Drain Sense)までの抵抗は2108となる。

【0084】

同様に、図11(b)に示すソース系の抵抗値を計算すると、ソースフォース線SFの抵抗値 $R_1 = 54$ 、共通ソース線S128の抵抗値 $R_2 = 276$ 、共通ソースセンス線Ss128の抵抗値 $R_3 = 2700$ 、ソースセンス線SSの抵抗値 $R_4 = 108$ となる。従って、ソースフォースパッド(Source Force)から被測定トランジスタDUTのソースまでの抵抗は430、被測定トランジスタDUTからソースセンスパッド(Source Sense)までの抵抗値は3808となる。ここで、各パッドから被測定トランジスタDUTの各端子までの抵抗値は、図9を参照して説明したテスター測定系の考察より測定時間を考慮して、500以下に設定した。

10

【0085】

次に、図12に、このDMA-TEGの全体のブロック図を示す。同図において、アドレス入力、テスト端子等の入力パッドは記載を省略してある。

同図において、1200はカラムアドレスバッファ、1201はローアドレスバッファ、1202はカラムプリデコーダ、1203はロープリデコーダ、1210-1~1210-4はカラムデコーダ&SW、1220-1~1220-4はローデコーダ&SW、1230-1~1230-4は評価セルアレイである。

20

【0086】

評価セルアレイ1230-1~1230-4は4分割して構成されており、前述してきた様にドレインの配線抵抗を削減している。また、本構成では、ドレインフォースパッド(Drain Force)、ドレインセンスパッド(Drain Sense)、ソースフォースパッド(Source Force)、ソースセンスパッド(Source Sense)の4端子は、4つに分割した評価セルアレイ1230-1~1230-4のそれぞれに設けて出来るだけ配線抵抗の削減を図っている。

【0087】

被測定トランジスタDUTに接続されるゲートパッド(DUT Gate)、Sub電圧パッド(DUT Sub)、ソースバイアス入力パッド(Source Bias)、3V系トランジスタのVcc(3V Tr Vcc)、GND(3V Tr GND)等は抵抗値がほとんど問題にならないので、各アレイで共通でも良い。もちろん、トータル端子数に余裕がある場合には、例えばゲートパッド(DUT Gate)は評価セルアレイ毎に設ける等の自由度はある。

30

【0088】

また、端子数に制限があり、配線抵抗を多少緩和しても良い場合には、4つの評価セルアレイで別々に設けられているドレインフォースパッド(Drain Force)、ドレインセンスパッド(Drain Sense)、ソースフォースパッド(Source Force)、ソースセンスパッド(Source Sense)の4端子を共通にしても良い。

【0089】

次に、このDMA-TEGの動作を説明する。

40

まず、図示しないアドレス入力パッドからアドレスがカラムアドレスバッファ1200とローアドレスバッファ1201に入力される。カラムアドレスバッファ1200は、入力されたアドレスに応じた信号をカラムプリデコーダ1202に出力し、カラムプリデコーダ1202は、その信号をデコードしてカラムデコーダ&SW1210-1~1210-4に出力する。カラムデコーダ&SW1210-1~1210-4は、入力された信号に応じて内部のスイッチの開閉状態を制御して、アドレスに対応した評価セルアレイ1230-1~1230-4内のそれぞれの被測定トランジスタにソースフォースパッド(Source Force)とソースセンスパッド(Source Sense)を接続する。

【0090】

同様に、ローデコーダ&SW1220-1~1220-4は、入力された信号に応

50

じて内部のスイッチの開閉状態を制御して、アドレスに対応した評価セルアレイ 1 2 3 0 - 1 ~ 1 2 3 0 - 4 内のそれぞれの被測定トランジスタにドレインフォースパッド (Drain Force) とドレインセンスパッド (Drain Sense) とゲートパッド (DUT Gate) を接続する。

【0091】

そして、各パッドに電圧を印加して、第1の実施形態と同様に被測定トランジスタの評価が行える。ここで、このDMA-TEGでは、4つの評価セルアレイ 1 2 3 0 - 1 ~ 1 2 3 0 - 4 のそれぞれに属する4つの被測定トランジスタを同時に測定できるので、評価速度が4倍に向上する。

また、前述したテストモードに設定する事もできる。

10

【0092】

次に、基本ユニットのレイアウトの概略図を図13に示す。この概略図はn行m列に属する基本ユニットUnit n-mを示し、理解を容易にするためにコンタクトホール、ビアホール等は省略して各構成要素の概略的な配置を表している。

同図において、1300は被測定トランジスタDUTnmのレイアウトを表し、1310はトランジスタ1-nm, 2-nm, 3-nmのレイアウトを表す。

【0093】

同図に示す様に、被測定トランジスタDUTnmは基本ユニットUnit n-mの右下に位置し、3個の3V系のスイッチ用のトランジスタ1-nm, 2-nm, 3-nmは左側に位置する。1V系の被測定トランジスタDUTnmと3V系のスイッチ用のトランジスタ1-nm, 2-nm, 3-nmは、それぞれが配置されるウェルWellを分離して、それぞれのウェルWellの電位はそれぞれ設定される。

20

このように1つの基本ユニットUnit n-mに属する被測定トランジスタDUTnmとトランジスタ1-nm, 2-nm, 3-nmは隣接して配置される。

【0094】

以上、本発明の実施形態を詳述してきたが、具体的な構成は本実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

例えば、被測定トランジスタの個数は上述した例に限られない。また、行と列の関係を入れ替えても良い。

また、第1の実施形態で説明したDMA-TEGに用いられるスイッチは、NMOSTランジスタでも良い。

30

【図面の簡単な説明】

【0095】

【図1】従来技術に係るDMA-TEGの回路図である。

【図2】本発明の第1の実施形態に係るDMA-TEGの回路図である。

【図3】同上のDMA-TEGの動作を説明するための回路図である。

【図4】同上のデコーダを含めたDMA-TEGの全回路図である。

【図5】本発明の第2の実施形態に係るDMA-TEGにテストモードを追加するための回路図である。

【図6】同上のCMOSTタイプのスイッチとNMOSTタイプのスイッチを示す回路図である。

40

【図7】同上のPMOSTランジスタとNMOSTランジスタの負荷特性図である。

【図8】同上の被測定トランジスタとスイッチの等価回路図である。

【図9】同上の四端子ケルビン測定時のテスター系の概略図である。

【図10】同上のDMA-TEGの各配線が有する抵抗値を説明するための回路図である。

【図11】同上のDMA-TEGの配線抵抗を加えた等価回路図である。

【図12】同上のDMA-TEGの全体のブロック図である。

【図13】同上のDUTユニットのレイアウト図である。

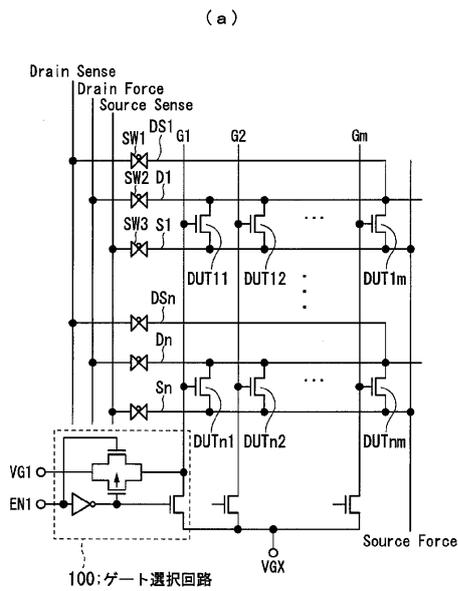
【符号の説明】

50

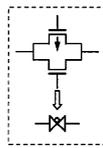
【 0 0 9 6 】

1 - 1 1 , 2 - 1 1 , 3 - 1 1 , 1 - 1 m , 2 - 1 m , 3 - 1 m , 1 - n 1 , 2 - n 1 , 3 - n 1 , 1 - n m , 2 - n m , 3 - n m 、 5 - 1 , 5 - n , 7 - 1 , 7 - m トランジスタ、 4 - 1 , 4 - n , 5 - 1 , 5 - n , 6 - 1 , 6 - n 、 8 - 1 , 8 - n , 9 - 1 , 9 - n , 1 0 - 1 , 1 0 - n , 1 1 - 1 , 1 1 - n スイッチ、 D U T 1 1 , D U T 1 m , D U T n 1 , D U T n m 被測定トランジスタ、 3 0 - 1 , 3 0 - n インバータ

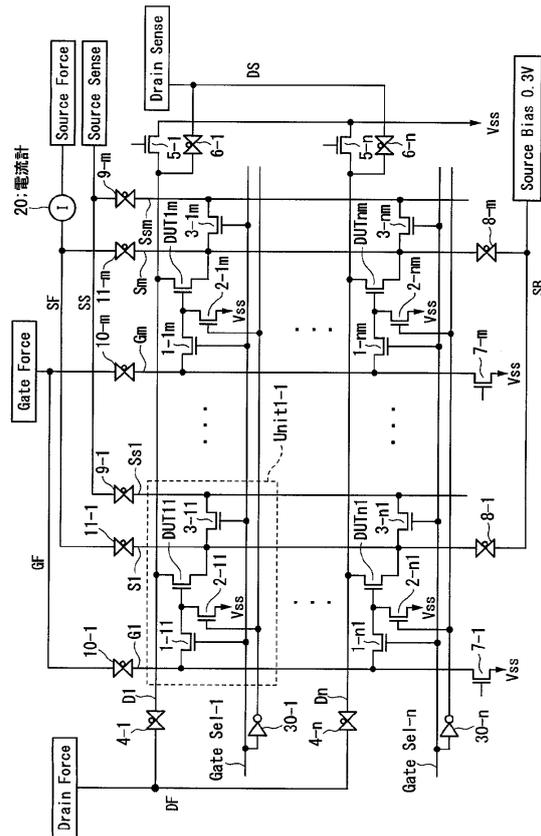
【 図 1 】



(b)

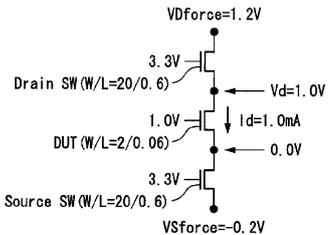


【 図 2 】

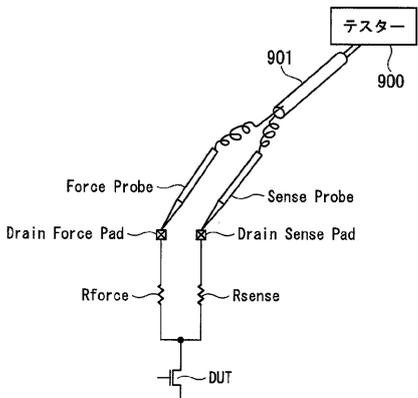




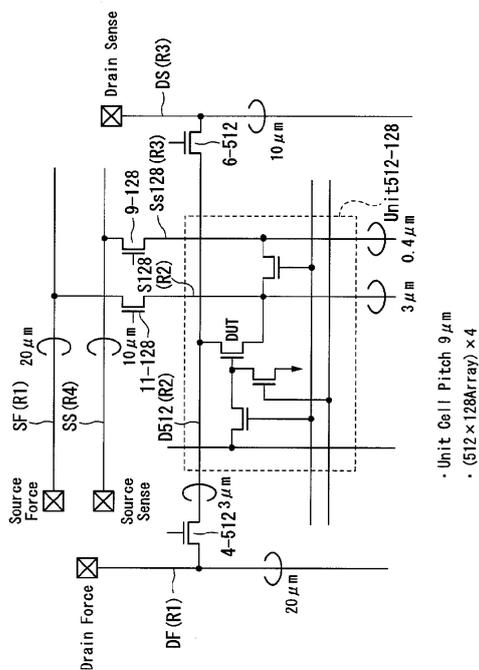
【 図 8 】



【 図 9 】



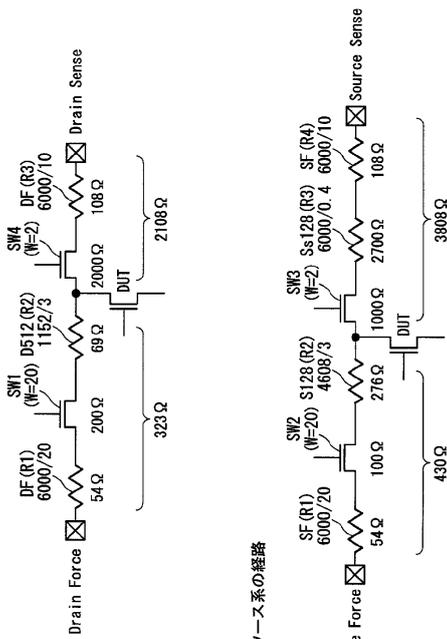
【 図 10 】



・ Unit Cell Pitch 9 μm  
 ・ (512 × 128 Array) × 4

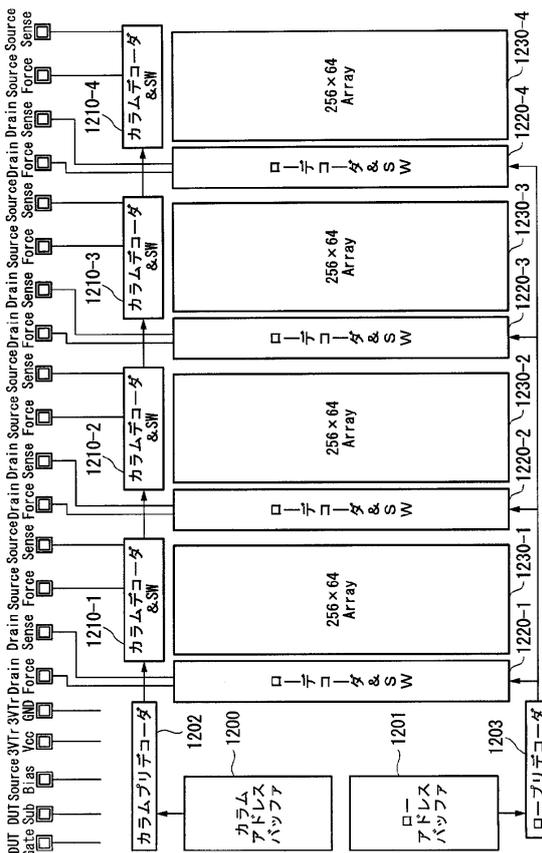
【 図 11 】

(a) ドレイン系の経路

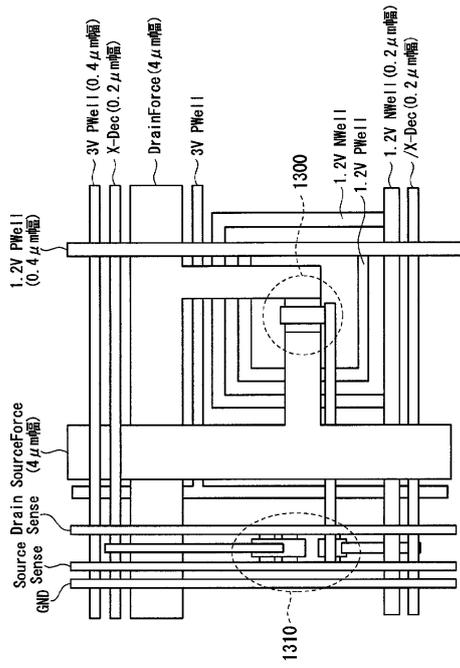


(b) ソース系の経路

【 図 12 】



【 図 13 】



---

フロントページの続き

(72)発明者 浅野 正通  
東京都台東区台東1丁目5番1号 凸版印刷株式会社内

審査官 堀江 義隆

(56)参考文献 特開平06-209078(JP,A)  
特開2003-007785(JP,A)  
特開昭61-288436(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 21/66