



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년11월17일
(11) 등록번호 10-2603859
(24) 등록일자 2023년11월15일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) C23C 16/02 (2006.01)
C23C 16/04 (2006.01) C23C 16/14 (2006.01)
C23C 16/455 (2006.01) H01L 21/285 (2006.01)
H01L 23/532 (2006.01)
(52) CPC특허분류
H01L 21/76864 (2013.01)
C23C 16/0209 (2013.01)
(21) 출원번호 10-2022-0088685(분할)
(22) 출원일자 2022년07월19일
심사청구일자 2022년08월18일
(65) 공개번호 10-2022-0104138
(43) 공개일자 2022년07월26일
(62) 원출원 특허 10-2014-0184759
원출원일자 2014년12월19일
심사청구일자 2019년12월18일
(30) 우선권주장
14/135,375 2013년12월19일 미국(US)
(56) 선행기술조사문헌
KR1020110027607 A*
(뒷면에 계속)
전체 청구항 수 : 총 23 항

(73) 특허권자
램 리써치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650
(72) 발명자
밤놀커 한나
미국, 캘리포니아 95014, 쿠페르티노, 라 플라야 코트21583
후마윤 라쉬나
미국, 캘리포니아 94022, 로스 알토스, 로렐스 드 라이브 1060
(뒷면에 계속)
(74) 대리인
특허법인인벤싱크

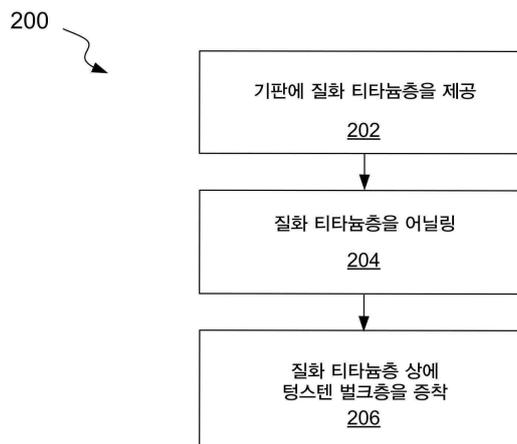
심사관 : 오창석

(54) 발명의 명칭 매우 낮은 저항률의 텅스텐을 증착하는 방법

(57) 요약

반도체 프로세싱 시 매우 낮은 저항률의 텅스텐을 증착하는 방법들이 본 명세서에 개시된다. 방법들은 실질적으로 보다 낮은 저항률을 갖는 균일한 텅스텐층들을 달성하기 위해 텅스텐 증착 프로세스 동안 기판을 다수 회 어닐링하는 단계를 수반한다.

대표도 - 도2



(52) CPC특허분류

C23C 16/0281 (2013.01)
C23C 16/045 (2013.01)
C23C 16/14 (2013.01)
C23C 16/45523 (2013.01)
H01L 21/28556 (2013.01)
H01L 21/76843 (2013.01)
H01L 21/76876 (2013.01)
H01L 21/76877 (2013.01)
H01L 23/53266 (2013.01)

(72) 발명자

왕 드어치

미국, 캘리포니아 95131, 산 호세, 앰버그로브 드
라이브 1502

구안 얀

미국, 캘리포니아 95014, 쿠페르티노, 라스 온다스
코트 20088

(56) 선행기술조사문헌

US06340629 B1*
KR1020010093766 A
KR1020030050652 A
KR1020050068555 A
KR1020050087428 A
US20030224217 A1
US20090149022 A1
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반응 챔버 내에서 기관 상에 텅스텐 막을 형성하는 방법에 있어서,
 텅스텐 막을 형성하기 위해 기체상 텅스텐-함유 전구체 및 붕소-함유 반응물질을 상기 기관을 하우징하는 챔버 내로 도입함으로써 기관 상에 텅스텐을 증착하는 단계; 및
 저항률을 낮추도록, 상기 텅스텐 막을 어닐링하는 단계를 포함하고,
 상기 텅스텐 막은 적어도 1 Torr의 챔버 압력에서 어닐링되고, 그리고
 상기 텅스텐 막을 어닐링하는 단계는 상기 텅스텐 막의 상기 붕소 함량을 10배만큼 감소시키는, 기관 상에 텅스텐 막을 형성하는 방법.

청구항 2

제 1 항에 있어서,
 상기 텅스텐 막은 385 °C 내지 445 °C의 온도에서 어닐링되는, 기관 상에 텅스텐 막을 형성하는 방법.

청구항 3

제 1 항에 있어서,
 상기 텅스텐 막은 1 % 미만의 붕소 함량을 갖는, 기관 상에 텅스텐 막을 형성하는 방법.

청구항 4

제 1 항에 있어서,
 상기 텅스텐 막은 1 초 내지 10 분의 지속 기간 동안 어닐링되는, 기관 상에 텅스텐 막을 형성하는 방법.

청구항 5

제 1 항에 있어서,
 상기 텅스텐 막은 비-질소 분위기에서 어닐링되는, 기관 상에 텅스텐 막을 형성하는 방법.

청구항 6

제 1 항에 있어서,
 상기 텅스텐 막을 어닐링하는 단계는 상기 텅스텐 막의 화학적 조성을 변경하지 않는, 기관 상에 텅스텐 막을 형성하는 방법.

청구항 7

제 1 항에 있어서,
 상기 텅스텐 막은 비-실리콘 분위기에서 어닐링되는, 기관 상에 텅스텐 막을 형성하는 방법.

청구항 8

제 1 항에 있어서,
 상기 텅스텐 막을 어닐링하는 단계는 상기 저항률을 5 % 내지 35 %만큼 낮추는, 기관 상에 텅스텐 막을 형성하는 방법.

청구항 9

제 1 항에 있어서,

상기 텅스텐은 30 Å 내지 300 Å의 두께로 증착되는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 10

반응 챔버 내에서 기판 상에 텅스텐 막을 형성하는 방법에 있어서,

증착 압력에서 텅스텐 막을 형성하기 위해 기체상 텅스텐-함유 전구체 및 붕소-함유 반응물질을 상기 기판을 하우징하는 챔버 내로 도입함으로써 기판 상에 텅스텐을 증착하는 단계; 및

저항률을 낮추도록, 상기 텅스텐 막을 어닐링하는 단계를 포함하고,

상기 텅스텐 막은 상기 증착 압력에서 어닐링되고, 그리고

상기 텅스텐 막을 어닐링하는 단계는 상기 텅스텐 막의 상기 붕소 함량을 10배만큼 감소시키는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 11

제 10 항에 있어서,

상기 텅스텐 막은 1 % 미만의 붕소 함량을 갖는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 12

제 10 항에 있어서,

상기 텅스텐 막은 비-질소 분위기에서 어닐링되는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 13

제 10 항에 있어서,

상기 텅스텐 막을 어닐링하는 단계는 상기 텅스텐 막의 화학적 조성을 변경하지 않는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 14

제 10 항에 있어서,

상기 텅스텐 막은 비-실리콘 분위기에서 어닐링되는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 15

제 10 항에 있어서,

상기 텅스텐 막을 어닐링하는 단계는 상기 저항률을 5 % 내지 35 %만큼 낮추는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 16

제 10 항에 있어서,

상기 반응 챔버는 다중-스테이션 반응기이고 상기 텅스텐을 증착하는 단계 및 상기 텅스텐 막을 어닐링하는 단계는 상기 다중-스테이션 반응기의 상이한 스테이션들에서 수행되는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 17

제 10 항에 있어서,

상기 텅스텐을 증착하는 단계 후 그리고 상기 텅스텐 막을 어닐링하는 단계 전에 텅스텐 전구체의 플로우가 셧오프되는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 18

제 17 항에 있어서,

상기 텅스텐 막은 385 °C 내지 445 °C의 온도에서 어닐링되는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 19

제 10 항에 있어서,

상기 증착 압력은 1 mTorr 내지 760 Torr인, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 20

제 19 항에 있어서,

상기 증착 압력은 1 Torr 내지 100 Torr인, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 21

제 10 항에 있어서,

상기 텅스텐 막은 1 초 내지 10 분의 지속 기간 동안 어닐링되는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 22

제 10 항에 있어서,

상기 텅스텐은 30 Å 내지 300 Å의 두께로 증착되는, 기판 상에 텅스텐 막을 형성하는 방법.

청구항 23

기판을 프로세싱하기 위한 장치에 있어서,

(a) 하나 이상의 프로세스 챔버들로서, 챔버 각각은 샤워헤드, 페테스탈, 및 상기 페테스탈을 가열하기 위한 가열 유닛을 포함하는, 상기 하나 이상의 프로세스 챔버들;

(b) 플로우-제어 하드웨어와 연관되고 상기 하나 이상의 프로세스 챔버들의 하나 이상의 가스 유입구들(inlets); 및

(c) 제 1 항 내지 제 22 항 중 어느 한 항에 기재된 방법을 수행하기 위한 컴퓨터-실행가능 인스트럭션들을 포함하는 메모리 및 적어도 하나의 프로세서를 갖는 제어기를 포함하는, 기판 프로세싱 장치.

발명의 설명

기술 분야

배경 기술

[0001] 화학적 기상 증착 기법들을 사용하는 텅스텐 막 증착은 반도체 제조 프로세스들에서 필수적인 부분이다. 텅스텐 막들은 수평적 상호접속부들의 형태로 낮은 저항률의 전기적 접속부들, 인접한 금속층들 간의 비아들, 및 실리콘 기판 상의 제 1 금속층과 디바이스들 간의 접촉부들로서 사용될 수도 있다. 종래의 텅스텐 증착 프로세스에서, 배리어층이 유전체 기판 상에 증착된 후, 텅스텐 막의 핵생성 (nucleation) 또는 시드 층이 증착된다. 그 후, 텅스텐 막의 나머지 부분이 벌크층으로서 핵생성층 상에 증착된다. 보통, 텅스텐 벌크층은 화학적 기상 증착 (CVD) 프로세스에서 수소 (H₂) 로 텅스텐 헥사플루오라이드 (WF₆) 를 저감시킴으로써 형성된다.

[0002] 반도체 디바이스들이 보다 작게 스케일링되고 보다 작은 기술의 노드들, 축소되는 접촉부 및 비아 치수들은 텅스텐의 CVD를 보다 어렵게 만든다. 증가하는 애스펙트 비들은 디바이스 피처들 내에 보이드들 또는 큰 심들(seams)을 초래하여, 마이크로프로세서 및 메모리 칩들의 보다 낮은 수율 및 감소된 성능을 유발한다. 종래의 CVD 텅스텐 증착 기법들을 사용하는 10:1, 20:1 이상의 고 애스펙트 비 피처들 내의 무 보이드(void-free) 층

진은 어렵다.

발명의 내용

해결하려는 과제

- [0003] 반도체 기판 상에 저 저항률 텅스텐을 증착하는 방법들이 제공된다.
- [0004] 일 양태에서, 기판 상에 텅스텐 막을 형성하는 방법이 제공된다. 이 방법은 기판에 질화물층을 제공하는 단계, 질화물층을 어닐링하는 단계, 및 질화물층이 텅스텐이 증착되기 전에 어닐링되도록 텅스텐 막을 형성하기 위해 질화물층 상에 텅스텐을 증착하는 단계를 포함한다. 다양한 실시예들에서, 질화물층은 질화 티타늄층 또는 질화 텅스텐층이다. 일부 실시예들에서, 질화 티타늄층은 약 385 °C 내지 약 445 °C의 온도로 어닐링된다. 많은 실시예들에서, 어닐링 동안 아르곤 가스가 유동된다. 텅스텐은 화학적 기상 증착에 의해 증착될 수도 있다. 다양한 실시예들에서, 질화물층은 질화물층의 입자 구조를 변경하는 조건들에서 어닐링될 수도 있다.
- [0005] 다른 양태는 기판 상의 질화물 막을 어닐링하는 단계, 텅스텐 막을 형성하기 위해 질화물 막 상에 벌크 텅스텐을 증착하는 단계, 및 텅스텐 막을 어닐링하는 단계를 포함하는 방법이다. 일부 실시예들에서, 이 방법은 또한 질화물 막을 어닐링한 후 질화물 막 상에 텅스텐 핵생성층을 증착하는 단계, 및 벌크 텅스텐을 증착하기 전에 텅스텐 핵생성층을 어닐링하는 단계를 포함한다. 다양한 실시예들에서, 핵생성층은 약 385 °C 내지 약 445 °C에서 어닐링된다. 다양한 실시예들에서, 텅스텐 막은 1 분 이상 어닐링되지 않는다. 어닐링 압력은 적어도 1 Torr일 수도 있다.
- [0006] 다른 양태는 반응 챔버 내에서 기판 상에 텅스텐 막을 형성하는 방법이다. 이 방법은 텅스텐 막을 형성하기 위해 기판 상에 텅스텐을 증착하는 단계 및 텅스텐 막을 어닐링하여 적어도 약 1 Torr의 챔버 압력으로 저항률을 낮추는 단계를 포함한다. 다양한 실시예들에서, 텅스텐 막은 약 385 °C 내지 약 445 °C의 온도에서 어닐링된다. 많은 실시예들에서, 텅스텐 막의 증착 동안 붕소가 사용되고, 텅스텐 막은 약 1 % 미만의 붕소 함량을 갖는다. 많은 실시예들에서, 텅스텐 막은 약 1 초 내지 약 10 분의 지속 기간 동안 어닐링된다.
- [0007] 다른 양태는 반응 챔버 내에서 기판 상에 텅스텐 막을 형성하는 방법이다. 이 방법은 텅스텐 막을 형성하기 위해 기판 상에 텅스텐을 증착 압력으로 증착하는 단계 및 텅스텐 막을 어닐링하여 증착 압력으로 저항률을 낮추는 단계를 수반할 수도 있다.
- [0008] 다른 양태는 기판을 프로세싱하는 장치로서, 이 장치는 (a) 하나 이상의 프로세스 챔버들로서, 챔버 각각은 샤워헤드, 페데스탈, 및 페데스탈을 가열하기 위한 가열 유닛을 포함하는, 하나 이상의 프로세스 챔버들; (b) 플로우-제어 하드웨어와 연관되고 하나 이상의 프로세스 챔버들의 하나 이상의 가스 유입구들 (inlets); 및 (c) 본 명세서에 개시된 양태들에 대하여 상기에 기술된 방법을 수행하기 위한 컴퓨터-실행가능 인스트럭션들을 포함하는 메모리 및 적어도 하나의 프로세서를 갖는 제어기를 포함한다.
- [0009] 이들 및 다른 양태들은 도면들을 참조하여 보다 상세히 이하에 기술된다.

도면의 간단한 설명

- [0010] 도 1은 특정한 실시예들에 따라 텅스텐 핵생성 및 벌크층들로 증진된 피처의 개략적인 예시이다.
- 도 2는 다양한 실시예들에 따라 텅스텐을 증착하기 위한 프로세스 흐름도이다.
- 도 3은 다양한 실시예들에 따라 텅스텐을 증착하기 위한 프로세스 흐름도이다.
- 도 4는 특정한 실시예들에 따라 프로세스의 다양한 단계들에서 피처 단면들의 개략적인 예시를 도시한다.
- 도 5는 다양한 실시예들에 따라 텅스텐을 증착하기 위한 프로세스 흐름도이다.
- 도 6은 개시된 실시예들에 따라 방법들을 실시하기 위한 프로세싱 시스템의 블록도를 도시한다.
- 도 7은 다양한 실시예들에 따라 어닐링 시간에 대한 실험적 데이터를 나타내는 그래프를 도시한다.
- 도 8a 및 도 8b는 다양한 실시예들에 따라 어닐링 온도에 대한 실험적 데이터를 나타내는 그래프들을 도시한다.
- 도 9는 다양한 실시예들에 따라 어닐링 단계의 타이밍에 대한 실험적 데이터를 나타내는 그래프를 도시한다.

도 10a 및 도 10b는 다양한 실시예들에 따라 붕소 함량에 대한 실험적 데이터를 나타내는 그래프들을 도시한다.

도 11은 증착된 층들의 이미지를 도시한다.

도 12는 다양한 실시예들에 따라 증착된 층들의 이미지를 도시한다.

도 13a 및 도 13b는 다양한 실시예들에 따라 유동 화학물질에 대한 실험적 데이터를 나타내는 그래프들을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하의 기술에서, 제시된 실시예들의 전체적인 이해를 제공하기 위해 다수의 구체적인 상세들이 언급된다. 개시된 실시예들은 이들 구체적인 상세들 일부 또는 전부가 없이도 실시될 수도 있다. 다른 예들에서, 공지의 프로세스 동작들은 개시된 실시예들을 불필요하게 모호하게 하지 않도록 상세히 기술되지 않았다. 개시된 실시예들이 구체적인 실시예들과 함께 기술되지만, 이는 개시된 실시예들로 제한하도록 의도되지 않는다는 것이 이해될 것이다.
- [0012] 디바이스들이 보다 작은 기술의 노드들로 스케일링함에 따라 텅스텐 (W) 충전 시 다양한 도전들이 있다. 하나의 도전은 접촉부들 및 비아들 내의 보다 얇은 막들로 인해 저항값의 증가를 방지하는 것이다. 피처들이 작아짐에 따라, 텅스텐 접촉부 또는 라인 저항값이 보다 얇은 텅스텐 막 내의 스캐터링 효과들 (scattering effects) 로 인해 증가한다. 종래의 화학적 기상 증착 (CVD) 텅스텐 증착 프로세스들은 질화 티타늄 (TiN) 의 배리어층을 증착한 후, 핵생성층을 증착하고, 이어서 CVD 벌크 텅스텐이 증착되는 단계를 수반한다. 효율적인 텅스텐 증착 프로세스들은 텅스텐 핵생성 층들을 사용하지만, 이들 층들은 통상적으로 벌크층들보다 높은 전기 저항률을 갖는다. 피처들이 작아짐에 따라, 저 저항률 텅스텐 막들은 집적 회로 설계들에서 전력 손실들 및 오버히팅 (overheating) 을 최소화한다. 보다 높은 저항률을 갖는, 보다 얇은 배리어 및 텅스텐 핵생성 막들은 보다 작은 피처들에서 보다 큰 퍼센티지를 차지한다.
- [0013] 도 1은 비아 또는 접촉 구조체 (100) 내에서 핵생성 막 (110) 및 벌크 텅스텐 재료 (120) 에 의해 점유된 체적을 도시한다. 핵생성층의 저항률이 벌크층의 저항률보다 높기 때문에 ($\rho_{\text{nucleation}} > \rho_{\text{bulk}}$), 핵생성층의 두께는 총 저항값을 가능한 한 낮게 유지하도록 최소화되어야 한다. 한편, 텅스텐 핵생성층은 고품질 벌크 증착을 지원하기 위해 아래에 놓인 기판을 완전히 덮을만큼 충분히 두꺼워야 한다. 텅스텐 막의 저항률은 증착된 막의 두께에 의존한다. 예를 들어, 종래의 방법들은 60 $\mu\Omega\text{-cm}$ 의 저항률을 갖는 50 Å 텅스텐 막을 산출할 수도 있다. 다른 예에서, 종래의 방법들은 30 $\mu\Omega\text{-cm}$ 의 저항률을 갖는 100 Å 텅스텐 막을 산출할 수도 있다.
- [0014] 기판들 상에 매우 낮은 저항률의 얇은 텅스텐 막들을 증착하는 방법들이 본 명세서에서 제공된다. 방법들은 다양한 조건들에서 증착 프로세스의 특정한 시간들 동안 층들을 어닐링하는 단계를 수반한다. 개시된 실시예들에 따른, 결과적인 텅스텐 막들은 종래에 증착된 텅스텐 막들보다 최대 20 % 낮은 저항률들을 갖는다.
- [0015] 다양한 구현예들에 따라, 어닐링은 별도의 어닐링 챔버 내에서 층의 증착 후에 발생할 수 있거나, 어닐링 방법들을 수용하도록 변경된 증착 챔버 내에서 발생할 수도 있다. 일부 구현예들에서, 어닐링 동작들은 층의 증착과 후속 어닐링 간의 공기 제동 (air break) 에 의해, 통상적으로 프로세싱 동작들 없이, 텅스텐 증착 또는 저항률에 대한 부정적 영향들 없이 수행될 수도 있다. 공기 제동은 약 1 초 내지 약 12 시간 동안 지속할 수도 있다. 공기 제동은 기판들이 진공 하에서 유지될 필요가 없기 때문에, 어닐링 동작들이 이전 또는 후속 증착 또는 다른 프로세싱 동작들과 상이한 툴들에서 수행되게 할 수 있다.
- [0016] 일부 구현예들에서, 어닐링은 텅스텐의 증착 전에 수행된다. 일부 구현예들에서, 어닐링은 텅스텐의 증착 후에 수행된다. 일부 구현예들에서, 어닐링은 텅스텐의 증착 전 및 증착 후 모두에서 수행된다. 또한, 일부 구현예들에서, 어닐링은 텅스텐의 핵생성층의 증착 후에 수행될 수 있다. 이하에 더 논의되는 바와 같이, 이들 양태들은 텅스텐 막들이 개선된 저항률을 갖게 한다.
- [0017] 다양한 실시예들에 따라, 본 명세서에 기술된 방법들은 기판 내에서 형성된 피처 내에 텅스텐을 증착하도록 사용될 수도 있다. 이러한 피처는 적어도 10:1, 적어도 15:1, 적어도 20:1, 적어도 25:1, 또는 적어도 30:1의 애스펙트 비를 가질 수도 있다. 피처 크기는 애스펙트 비에 부가하여 또는 애스펙트 비 대신 피처 개구 크기에 의해 특징화될 수 있다. 일부 실시예들에서, 개구는 약 10 nm 내지 약 100 nm만큼 넓을 수도 있다. 예를 들어, 특정한 실시예들에서, 방법들은 애스펙트 비와 무관하게, 좁은 개구들을 갖는 피처들을 사용하는 것이 유

리할 수도 있다. 방법들은 블랭킷 (blanket) 또는 평탄한 텅스텐 층들을 증착할 뿐만 아니라, 보다 큰/크거나 보다 작은 애스펙트 비의 텅스텐 피쳐들을 증착하기 위해 사용되는 것이 더 유리할 수도 있다.

[0018] 특정한 실시예들에서, 기판 상의 유전체 층 내에 리세스된 피쳐 (recessed feature) 가 형성되고, 이 피쳐의 하단부는 아래에 놓인 금속층과의 접촉부를 제공한다. 또한, 특정한 실시예들에서, 리세스된 피쳐는 확산 배리어 층과 같은 라이너 층을 피쳐의 측벽들 및/또는 하단부 상에 포함한다. 라이너 층들의 예들은 티타늄/질화 티타늄 (Ti/TiN) 을 포함하는 질화 티타늄 (TiN) 층, 및 질화 텅스텐 (WN) 을 포함한다. 확산 배리어층들에 부가하여 또는 대신, 리세스된 피쳐는 접착층, 핵생성층, 이들의 조합, 또는 피쳐의 측벽들 및 하단부를 라이닝하는 임의의 다른 재료와 같은 층들을 포함할 수도 있다.

[0019] 특정한 실시예들에서, 이 피쳐는 피쳐 개구를 부분적으로 차단하는 오버행 (overhang) 을 형성하는 다른 물질 또는 라이너층을 갖는 재차 들어간 (re-entrant) 피쳐이다. 많은 증착 프로세스들이 양호한 단차 커버리지 특성들을 갖지 않고 피쳐의 내부보다 개구 근처 및 필드 영역 상에 보다 많은 재료가 증착되게 되기 때문에, 라이너층은 피쳐의 내부보다 개구 근처에서 보다 두꺼울 수도 있다. 본 기술의 목적들을 위해, “개구 근처” 는 필드 영역으로부터 측정된 깊이의 약 0 % 내지 약 10 %에 대응하는 피쳐 내에서 (즉, 피쳐의 측벽을 따라) 가까운 위치 또는 영역으로 규정된다. 특정한 실시예들에서, 개구 근처 영역은 개구의 영역에 대응한다. 또한, “피쳐 내부” 는 피쳐의 상단 상의 필드 영역으로부터 측정된 피쳐 깊이의 약 20 % 내지 약 60 %에 대응하는 피쳐 내에서 가까운 위치 또는 영역으로 규정된다. 통상적으로, 특정한 파라미터들 (예를 들어, 두께) 에 대한 값들이 “개구 근처” 또는 “피쳐 내부” 로 명시될 때, 이들 값들은 이들 위치들/영역들 내에서 취해진 측정치 또는 다수의 측정치들의 평균을 나타낸다. 특정한 실시예들에서, 개구 근처의 하부층의 평균 두께는 피쳐 내부의 평균 두께보다 적어도 약 10 % 더 크다. 보다 구체적인 실시예들에서, 이러한 차이는 적어도 약 25 %, 적어도 약 50 %, 또는 적어도 약 100 %일 수도 있다. 피쳐 내에서 재료의 분포는 또한 이의 단차 커버리지에 의해 특징화될 수도 있다. 본 기술의 목적들을 위해, “단차 커버리지 (step coverage)” 는 2 개의 두께들의 비, 즉 개구 근처의 재료의 두께로 나뉘진 피쳐 내부의 재료의 두께로 규정된다. 특정한 예들에서, 라이너 또는 다른 하부층의 단차 커버리지는 약 100 % 미만 또는 보다 구체적으로 약 75 % 미만 또는 심지어 약 50 % 미만이다.

[0020] 본 명세서에 기술된 실시예들은 피쳐들에 대한 텅스텐 핵생성층들 및/또는 벌크층들의 증착을 수반할 수도 있다. 맥락 상, 본 개시의 방법들에 사용될 수도 있는 텅스텐 핵생성층들 및 벌크층들의 증착 방법들의 기술이 이하에 제공된다. 그러나, 핵생성층 및 벌크층의 다른 증착 방법들이 또한 사용될 수도 있다는 것을 주의해야 한다.

[0021] 텅스텐 핵생성층은 피쳐의 측벽들 및 하단부를 컨포멀하게 (conformally) 코팅하도록 피쳐 내에서 증착될 수도 있다. 일반적으로, 핵생성층은 그 위에 벌크 재료의 후속 형성을 용이하게 하도록 기능하는 얇은 컨포멀층이다. 아래에 놓인 피쳐 하단부 및 측벽들을 컨포멀하게 하는 것은 (conforming) 고품질 증착을 지원하기 위해 중요할 수 있다. 이들로 제한되는 것은 아니지만, CVD 프로세스, PVD (physical vapor deposition) 프로세스, ALD (atomic layer deposition) 프로세스, 및 PNL (pulsed nucleation layer) 증착 프로세스들과 같은, 다양한 프로세스들이 핵생성층을 형성하기 위해 사용될 수도 있다.

[0022] PNL 기법에서, 반응물질의 펄스들은 연속적으로 주입되고, 통상적으로 반응물질들 간의 퍼지 가스의 펄스에 의해, 반응 챔버로부터 퍼지된다. 제 1 반응물질은 통상적으로 기판 상에 흡착되고, 다음 반응물질과의 반응에 이용가능하다. 목표된 두께가 달성될 때까지 프로세스가 주기적으로 반복된다. PNL은 ALD 기법들과 유사하다. PNL은 일반적으로 보다 높은 동작 압력 범위 (1 Torr보다 큼) 및 사이클 당 보다 높은 성장 레이트 (사이클 당 1 단층 막 성장보다 큼) 에 의해 ALD와 구별된다. PNL 증착 동안 챔버 압력은 약 1 Torr 내지 약 400 Torr의 범위일 수도 있다. 본 명세서에 제공된 기술의 맥락에서, PNL은 반도체 기판 상의 반응을 위해 반응물질들을 연속적으로 첨가하는 임의의 주기적인 프로세스를 광범위하게 구현한다. 따라서, ALD로 통상적으로 참조되는 기법들을 구현하는 개념이다. 개시된 실시예들의 맥락에서, CVD는 기체상 반응을 위해 반응물질들이 함께 반응기에 도입되는 프로세스들을 구현한다. PNL 및 ALD 프로세스들은 CVD 프로세스들과 구별되고, 그 반대로 가능하다.

[0023] 하나 이상의 PNL 사이클들을 사용하여 핵생성층을 형성하는 것은 전부 참조로서 본 명세서에 통합된, 미국 특허 번호 제 6,844,258 호; 제 7,005,372 호; 제 7,141,494 호; 제 7,262,125 호; 제 7,589,017 호; 제 7,772,114 호; 제 7,955,972호 및 제 8,058,170 호에서 논의된다. 이들 PNL 증착 프로세스들은 목표된 두께의 핵생성층을 성장시키기 위한 텅스텐 전구체들 및 환원제들의 다양한 시퀀스들에 기판을 노출시키는 것을 수반한다. 핵생성

층을 증착하는 조합된 PNL-CVD 방법이 또한 본 명세서에 참조로서 통합된, 미국 특허 제 7,655,567 호에 기술되었다.

- [0024] 핵생성층 두께는 고품질 증착을 지원하기에 충분하다. 특정한 실시예들에서, 필요한 두께는 핵생성층 증착 방법의 일부에 의존한다. 약 12 Å와 같이 낮은 (50 Å의 통상적인 핵생성 막들에 비교하여) 핵생성 막 두께로 거의 100 %의 단차 커버리지를 제공하는 PNL 방법이 특정한 실시예들에서 사용될 수 있다. 그러나, 핵생성층을 증착하기 위해 사용된 방법과 무관하게, 일부 실시예들에서 피처를 증진하기 위해 사용된 저온 CVD 동작은 종래의 보다 고온의 CVD에 의해 요구된 것보다 얇은 핵생성층들을 사용할 수 있다. 특정한 이론에 제한되지 않고, 이는 감소된 온도들에서 보다 낮은 화학반응이 완전히 전개되지 않은 핵생성 위치들에서도 성장을 개선시키기 때문이라고 믿어진다. 예를 들어, 본 명세서에 참조로서 통합된 미국 특허 공개 번호 제 2010/0267235 호를 참조하라. 다양한 실시예들에 따라, 핵생성층들은 약 10 Å 내지 약 15 Å만큼 낮게 형성될 수도 있다.
- [0025] 특정한 실시예들에서, 핵생성층 증착 후에 저항률을 개선하기 위한 증착 후 처리 동작이 이어진다. 이러한 처리 동작들은 이하에 더 기술되고 모두 본 명세서에 참조로서 통합된 미국 특허 번호 제 7,772,114 호 및 제 8,058,170 호에 보다 상세히 기술된다.
- [0026] 이어서 CVD 증착이 핵생성층 상에서 발생할 수 있다. 벌크층의 CVD 증착은 텅스텐-함유 전구체 및 적절하다면, 환원제와 같은 공-반응물질을 증착 챔버 내로 유동시키는 것을 수반할 수 있다. 불활성 캐리어 가스가 하나 이상의 반응물질 스트림들을 전달하기 위해 사용될 수도 있고, 반응물질 스트림은 미리 혼합될 수도 있거나 되지 않을 수도 있다. PNL 또는 ALD 프로세스들과 달리, 이 동작은 일반적으로 목표된 양이 증착될 때까지 반응물질들을 연속적으로 유동시키는 것을 수반한다. 특정한 실시예들에서, CVD 동작은 다수의 단계들에서, 하나 이상의 전환된 반응물질 플로우들의 주기들로 분리된 반응물질들의 연속하고 동시적인 플로우의 다수의 기간들로 발생할 수도 있다. 플로우들은 또한 약 1 초 내지 약 2 초의 펄스 시간으로 펄싱될 수도 있다. CVD 증착 동안 챔버 압력은 약 40 Torr 내지 약 500 Torr의 범위일 수도 있다.
- [0027] 예시적인 기판 온도들은 250 °C만큼 낮을 수도 있고 CVD 반응 동안 495 °C만큼 높을 수도 있다. 이들로 제한되는 것은 아니지만, WF₆, 텅스텐 클로라이드 (WCl₆), 및 텅스텐 헥사카르보닐 (W(CO)₆) 을 포함하는 다양한 텅스텐-함유 가스들이 텅스텐-함유 전구체로서 사용될 수 있다. 특정한 실시예들에서, 텅스텐-함유 프리커서는 WF₆와 같은 할로젠-함유 화합물이다. 특정한 실시예들에서, 환원제는 수소 가스이지만, 실란 (SiH₄), 디실란 (Si₂H₆), 히드라진 (N₂H₄), 디보란 (B₂H₆), 및 게르만 (GeH₄) 을 포함하는 다른 환원제가 사용될 수도 있다. 일부 실시예들에서, CVD가 저온 단계 및 고온 단계와 같은 다양한 단계들에서 구현될 수도 있다. 또한, 모두 본 명세서에 참조로서 통합된 미국 특허 제 8,551,885 호 및 미국 특허 출원 번호 제 13/633,798 호에 기술된 바와 같이 벌크층의 CVD 증착 동안 질소가 펄스될 수도 있다.
- [0028] 도 2는 질화 티타늄 하부층이 어닐링되는, 텅스텐 막을 증착하는 프로세스 흐름도를 제공한다. 방법 (200)은 그 위에 질화 티타늄층을 기판에 제공하는 동작 (202) 을 수반한다. 질화 티타늄층은 기판 내에 형성된 고 애스펙트 비 피처에 컨포멀할 수도 있다. 질화 티타늄층의 예시적인 두께들은 약 30 Å 내지 약 300 Å 두께일 수도 있다. 일부 구현예들에서, 질화 티타늄층은 ALD-증착된 층, 또는 PVD-증착된 층 또는 CVD-증착된 층일 수도 있다. 질화 티타늄층들을 어닐링하는 것은 ALD-증착된 층들 및 PVD-증착된 층들 모두에 대해 개선된 것으로 도시되었다는 것을 주의해야 한다. 이는 어닐링이 증착에 따라 텅스텐 막 내로 통합될 수도 있는 다양한 불순물들을 제거 (예를 들어, 염화 티타늄으로부터 증착된 질화 티타늄 막내의 염화물을 제거) 이외의 또는 불순물들의 제거에 부가되는 효과에 의해 저항률을 낮춘다는 것을 나타낸다. 이러한 효과는 도 12에 대하여 이하에 더 논의된다.
- [0029] 다음에, 동작 (204) 에서, 질화 티타늄층이 어닐링된다. 어닐링은 불활성 가스를 고온으로 목표된 시간 범위 동안 유동시키는 것을 수반할 수 있다. 예시적인 가스들은 아르곤 (Ar), 수소 (H₂), 및 이들의 조합들을 포함한다. 다양한 실시예들에서, 아르곤 (Ar) 및 수소 (H₂) 의 혼합물이 사용된다. 많은 실시예들에서, 아르곤 (Ar) 만이 유동된다. 일부 실시예들에서, 질소 (N₂) 또는 암모니아 (NH₃) 와 같은 선택적인 질소계 가스가 불활성 가스로서 유동된다. 기판 온도는 증착 (ALD, CVD, 또는 PVD와 같은) 동안의 온도보다 높을 수도 있다. 다양한 실시예들에서, 기판 온도는 질화 티타늄층의 결정 재조직화 (crystal reorganization) 가 발생하는 온도만큼 높을 수도 있다. 저 저항률 막들이 또한 약 500 °C 미만, 또는 약 450 °C 미만의 기판 온도와 같은 상대적으로 낮은 온도에서 달성될 수도 있다. 예로서, 기판 온도는 약 385 °C로부터 약 445 °C까지 변할 수도 있다.

- [0030] 다양한 실시예들에서, 스테이션 또는 챔버의 압력은 약 1 mTorr 내지 약 760 Torr일 수도 있다. 일부 예들에서, 스테이션 또는 챔버의 압력은 약 1 Torr 내지 약 100 Torr일 수도 있다. 일부 실시예들에서, 스테이션 또는 챔버의 압력은 적어도 약 1 Torr일 수도 있다. 일부 실시예들에서, 압력은 질화 티타늄층의 ALD, PVD, 또는 CVD 동안의 압력과 동일할 수도 있다.
- [0031] 다양한 실시예들에서, 어닐링 단계는 약 1 초 내지 약 10 분까지 지속될 수도 있다. 일부 실시예들에서, 어닐링 단계는 약 1 초 내지 약 20 초까지 지속될 수도 있다.
- [0032] 도 7, 도 8a, 도 8b, 도 9, 도 13a, 및 도 13b를 참조하여, 이하에 더 논의되는 바와 같이, 텅스텐 막의 증착 전에 TiN 층을 어닐링하는 것은 후속하여 증착된 텅스텐 막의 저항률을 낮춘다는 것을 알았다. 특정한 이론으로 제한되지 않고, 질화 티타늄층을 어닐링하는 것은 층 내의 분자들의 배향을 재배열시켜, 후속 단계에서의 텅스텐의 핵생성을 위한 우선 성장 표면을 제공한다고 믿어진다. 질화 티타늄층을 어닐링하는 것은 화학적 조성을 변경하지 않을 수도 있고 실리사이드층을 형성하지 않을 수도 있다. 질화 티타늄 배리어층의 텍스처는 또한 텅스텐의 보다 양호한 핵생성을 허용하도록 상이할 수도 있고 개선될 수도 있다. 보다 양호한 핵생성은 표면에 대한 보다 양호한 접촉을 발생하여, 저항률을 감소시키고 보다 매끄럽고, 보다 균일한 텅스텐층을 제공한다. 또한, 도 2가 TiN 하부층들을 참조하지만, WN과 같은 질화물들을 포함하여, 다른 하부층들의 어닐링들이 유사한 장점들을 가질 것이라고 믿어진다.
- [0033] 동작 (206) 에서, 텅스텐 벌크층이 CVD에 의해 기판 상에 증착된다. 다양한 실시예들에 따라, 상기 기술된 바와 같이 텅스텐 핵생성층의 증착이 동작 (206) 에 선행된다. 일부 실시예들에서, 다른 어닐링 동작이 텅스텐의 핵생성 후, 그러나 텅스텐층의 벌크 증착 전에, 동작 (204) 에 대하여 상기에 논의된 임의의 조건들을 사용하여 발생할 수도 있다.
- [0034] 특정한 실시예들에서, 동작 204로부터 206로의 천이는 일 증착 스테이션으로부터 다른 스테이션으로 기판을 이동시키는 것을 수반하고, 이는 다중-스테이션 챔버 내에서 발생할 수도 있다. 동작 (204) 및 동작 (206) 각각은 동일하거나 상이한 챔버 내에서 수행될 수도 있다. 동일한 챔버 내에서 수행되면, 동작 각각은 동일한 다중-스테이션 챔버의 동일하거나 상이한 스테이션들 또는 단일 스테이션 챔버에서 수행될 수도 있다. 또한, 동작 (204) 은 동작 (206) 이 수행되는 동일한 진공 환경이거나 아닐 수도 있는, 개별 챔버의 증착 챔버 외부에서 수행될 수도 있다.
- [0035] 도 3은 다른 실시예에서 텅스텐을 증착하기 위한 프로세스 흐름도를 제공한다. 방법 (300) 에서, 텅스텐 벌크층이 동작 (302) 에서 증착된다. 증착 방법들은 상기에 논의된 임의의 방법일 수도 있다. 다음에, 동작 (304) 에서, 텅스텐층이 보다 낮은 저항률로 어닐링된다. 어닐링 조건들은 어닐링 동안 비-질소 분위기가 사용될 수도 있는 것을 제외하고, 도 2에 대하여 이전에 논의된 임의의 조건일 수도 있다. 일반적으로, 텅스텐층으로부터 일부 불순물들을 제거하는 동안, 어닐링 동작은 텅스텐층의 화학적 조성을 변경하지 않는다. 따라서, 질소-함유 또는 실리콘-함유 분위기들은 질화물층 또는 실리사이드층의 형성을 방지하도록 회피될 수도 있다.
- [0036] 예시적인 저항률들은 60 Å의 텅스텐층에 대해 약 41 $\mu\Omega\text{-cm}$, 또는 110 Å의 텅스텐층에 대해 약 26 $\mu\Omega\text{-cm}$ 이다. 어닐링되지 않은 층들과 비교하여 저항률의 감소 퍼센티지는 약 5 % 내지 약 35 %일 수도 있다.
- [0037] 동작 (302) 및 동작 (304) 각각은 동일한 다중-스테이션 챔버의 상이한 스테이션 또는 단일 또는 다중-스테이션 챔버의 동일한 스테이션에서 수행될 수도 있다. 또한, 동작들은 동일한 진공 환경이거나 아닐 수도 있는, 상이한 챔버들에서 수행될 수도 있다.
- [0038] 단일 스테이션이 동작들 (302 및 304) 을 수행하기 위해 사용되는 실시예들에서, 동작 (302) 으로부터 동작 (304) 으로의 천이는 기판 온도가 상승하는 동안, 텅스텐 전구체의 플로우를 셋 오프하는 단계 (동작 중에 수소 또는 다른 환원 가스 및/또는 캐리어 가스가 흐르게 하는) 를 수반할 수도 있다.
- [0039] 도 4는 CVD 층이 증착되고 어닐링되는 증진 프로세스의 상이한 단계들에서 피처의 단면의 일예의 개략적인 표현들을 예시한다. 단면 (401) 은 임의의 텅스텐 증착 전에 피처 (410) 의 예를 나타낸다. 이 예에서, 피처 (410) 는 기판의 상단 표면 (405) 에 개구 (425) 를 갖고 TiN 층과 같은, 라이너 층 (413) 을 포함하는 유전체 층 (430) 내에 형성된다. 특정한 실시예들에서, 개구 (425) 근처의 캐비티의 크기는 예를 들어, 도 4에 도시된 바와 같은 라이너 층 (413) 의 오버행 (415) 으로 인해, 피처의 내부보다 좁다.
- [0040] 단면 (411) 은 벌크층으로 피처를 충전하기 위한 CVD가 수행된 후의 피처를 도시한다. 이 도면이 핵생성층을

도시하지 않는다는 것을 주의한다. 특정한 실시예들에서, 적어도 피처의 모서리부 (417) (기관이 평면 영역으로부터 리세스된 피처로 천이하는 지점) 가 CVD 텅스텐으로 커버될 때까지 CVD가 수행된다. 이하에 더 논의된 바와 같이, 어닐링 단계가 이어지는 CVD 텅스텐은 낮은 저항률을 가져, 우수한 텅스텐 플러그를 발생한다.

[0041] 단면 (421) 은 CVD가 수행된 후 그리고 어닐링된 CVD 텅스텐층 (455) 을 발생하는 어닐링 후의 피처를 나타낸다. 특정한 이론으로 제한되지 않고, 기관 상에 텅스텐 증착 후 고온에서의 어닐링은 텅스텐 막으로부터 불순물들의 정화를 유발한다. 예를 들어, 어닐링 단계는 텅스텐 막으로부터 붕소를 릴리즈하고, 보다 낮은 원자적 붕소 함량 및 보다 낮은 전체 저항률을 갖는 텅스텐 막을 발생한다.

[0042] 도 5는 벌크 텅스텐 증착 전후의 어닐링을 포함하는 텅스텐층을 증착하기 위한 단계들을 도시하는 프로세스 흐름도를 제공한다. 방법 (500) 에서, 동작 (502) 에서, 질화 티타늄층이 기관 상에 증착된다. 증착 방법들 및 증착 조건들은 도 2에 대하여 논의된 임의의 조건들일 수도 있다. 동작 (504) 에서, 질화 티타늄층이 어닐링된다. 도 2에 대한 임의의 어닐링 조건들이 여기서 사용될 수도 있다. 다음에, 동작 (506) 에서, 벌크 텅스텐층이 증착된다. 텅스텐층을 증착하는 조건들 및 방법들은 도 3에 대하여 상기에 논의된 임의의 조건들 및 방법들일 수도 있다. 이 동작 동안, 선택적인 핵생성층이 벌크 텅스텐을 증착하기 전에 증착될 수도 있다. 핵생성층은 또한 도 2에 대해 논의된 바와 같이 어닐링될 수도 있다. 마지막으로, 동작 (508) 에서, 벌크 텅스텐층이 어닐링된다. 이 동작에서, 조건들은 어닐링 동안 비-질소 분위기가 사용될 수도 있는 것을 제외하고, 도 2에 대하여 논의된 임의의 조건들일 수도 있다. 이 방법에서, 텅스텐 증착 전 어닐링 단계 및 텅스텐 증착 후 단계가 모두 구현된다. 상기에 지시된 바와 같이, 텅스텐층으로부터 일부 불순물들이 제거되는 동안, 어닐링 동작은 텅스텐층의 화학적 조성을 변경하지 않는다. 따라서, 질화물층 또는 실리사이드층의 형성을 방지하기 위해 질소-함유 또는 실리콘-함유 분위기들이 회피될 수도 있다.

[0043] 특정한 실시예들에서, 동작 (504) 로부터 (506) 으로, 또는 (506) 으로부터 (508) 로의 천이는 일 증착 스테이션으로부터 다른 스테이션으로 기관을 이동시키는 것을 수반하고, 이는 다중-스테이션 챔버 내에서 발생할 수도 있다. 이들 동작들 각각은 동일하거나 상이한 챔버 내에서 수행될 수도 있다. 동일한 챔버 내에서 수행되면, 동작 각각은 동일한 다중-스테이션 챔버의 동일하거나 상이한 스테이션들 또는 단일 스테이션 챔버에서 수행될 수도 있다. 또한, 어닐링 동작은 증착 동작이 수행되는 동일한 진공 환경이거나 아닐 수도 있는, 개별 챔버의 증착 챔버 외부에서 수행될 수도 있다.

[0044] 단일 스테이션이 동작들 (506 및 508) 을 수행하기 위해 사용되는 실시예들에서, 동작 (506) 으로부터 동작 (508) 으로의 천이는 기관 온도가 상승하는 동안, 텅스텐 전구체의 플로우를 셧 오프하는 단계 (동작 중에 수소 또는 다른 환원 가스 및/또는 캐리어 가스가 흐르게 하는) 를 수반할 수도 있다. 일단 기관 온도가 안정화되면, 텅스텐 전구체들 및 다른 가스들이 필요하다면, 고온 증착을 위한 반응 챔버로 이동된다.

[0046] 장치

[0047] 개선된 실시예들의 방법들은 다양한 업자들로부터 이용가능한 다양한 타입들의 증착 장치들로 수행될 수도 있다. 예시적인 적합한 장치들은 Lam Concept 1 Altus, Concept 2 Altus, Concept 2 Altus-S, Concept 3 Altus 증착 시스템, 또는 임의의 다양한 다른 상업적으로 입수가능한 CVD 툴들을 포함한다. 일부 경우들에서, 다수의 증착 스테이션들 상에서 프로세스들이 순차적으로 수행될 수도 있다. 일부 실시예들에서, 어닐링 단계는 단일 증착 챔버 내에 위치한 2, 4, 5, 또는 그 이상의 증착 스테이션들 중 하나인 스테이션에서 수행된다. 일부 실시예들에서, 어닐링 단계는 CVD에 사용된 증착 챔버와 별도의 다른 챔버 상의 스테이션에서 수행된다. 다양한 실시예들에서, 기존의 증착 스테이션은 어닐링 단계를 수용하도록 수정될 수도 있다. 챔버 내의 하나 이상의 스테이션들이 CVD를 수행하기 위해 사용될 수도 있고, 또는 2 이상의 스테이션들이 병렬 프로세싱시 CVD를 수행하기 위해 사용될 수도 있다.

[0048] 도 6은 개시된 실시예들에 따라, 텅스텐 박막 증착 프로세스들을 수행하기에 적합한 프로세싱 시스템의 블록도이다. 시스템 (600) 은 기관들이 다양한 반응기 모듈들 사이에서 이동됨에 따라, 프로세싱될 기관들의 오염의 위험을 최소화하기 위해 깨끗하고, 가압된 환경을 제공하는, 전달 모듈 (603) 을 포함한다. 전달 모듈 (603) 상에 장착된 다중-스테이션 반응기 (609) 는 PNL 증착, 원한다면, 다중-펄스 처리, CVD, 및 개시된 실시예들에 따른 어닐링 단계들을 수행할 수 있다. 챔버 (609) 는 이들 동작들을 순차적으로 수행할 수도 있는 다수의 스테이션들 (611, 613, 615, 및 617) 을 포함할 수도 있다. 예를 들어, 챔버 (609) 는 스테이션 (611) 이 PNL 증착을 수행하고, 스테이션 (613) 이 다중-펄스 처리를 수행하고, 스테이션 (615) 이 CVD를 수행하고, 스테이션 (617) 이 어닐링을 수행하도록 구성될 수 있다.

- [0049] 또한 전달 모듈 (603) 상에 장착된 하나 이상의 단일 또는 다중-스테이션 모듈들 (607) 은 플라즈마 또는 화학적 (비-플라즈마) 사전-세정을 수행할 수 있다. 모듈은 또한 다양한 다른 처리들, 예를 들어, 질화 티타늄 배리어층 증착 또는 라이너 질화 텅스텐 후 처리들과 같은 다양한 다른 처리들에 사용될 수도 있다. 또한, 모듈 (607) 은 어닐링 모듈일 수도 있다. 시스템 (600) 은 또한 프로세싱 전후에 웨이퍼가 저장되는, 하나 이상의 웨이퍼 소스 모듈들 (601) 을 포함한다. 분위기 전달 챔버 (619) 내의 대기 로봇 (atmospheric robot)(미도시) 은 먼저 소스 모듈들 (601) 로부터 로드록들 (621) 로 웨이퍼들을 제거한다. 전달 모듈 (603) 내의 웨이퍼 전달 디바이스 (일반적으로 로봇 암 유닛) 가 로드록들 (621) 로부터 전달 모듈 (603) 상에 장착된 모듈들로 또는 모듈들 중에서 웨이퍼들을 이동시킨다.
- [0050] 특정한 실시예들에서, 증착 동안 프로세스 조건들을 제어하기 위해 시스템 제어기 (650) 가 채택된다. 시스템 제어기 (650) 는 통상적으로 하나 이상의 메모리 디바이스들 및 하나 이상의 프로세서들을 포함할 것이다. 프로세서는 CPU 또는 컴퓨터, 아날로그 및/또는 디지털 입력/출력 접속부들, 스텝퍼 모터 제어기 보드들 등을 포함할 수도 있다.
- [0051] 시스템 제어기 (650) 는 증착 장치의 모든 액티비티들을 제어할 수도 있다. 시스템 제어기 (650) 는 타이밍, 가스들의 혼합물, 챔버 압력, 챔버 온도, 웨이퍼 온도, 무선 주파수 (RF) 전력 레벨들, 웨이퍼 척 또는 페테스탈 위치, 및 특정한 프로세스의 다른 파라미터들을 제어하기 위한 인스트럭션들의 세트들을 포함하는 시스템 제어 소프트웨어를 실행한다. 일부 실시예들에서 시스템 제어기 (650) 와 연관된 메모리 디바이스들 상에 저장된 다른 컴퓨터 프로그램들이 채택될 수도 있다.
- [0052] 통상적으로 시스템 제어기 (650) 와 연관된 사용자 인터페이스가 있을 것이다. 사용자 인터페이스는 디스플레이 스크린, 장치 및/또는 프로세스 조건들의 그래픽 소프트웨어 디스플레이들 및 포인팅 디바이스들, 키보드, 터치 스크린, 마이크로폰, 등과 같은 사용자 입력 디바이스들을 포함할 수도 있다.
- [0053] 시스템 제어 로직은 임의의 적합한 방식으로 구성될 수도 있다. 일반적으로, 시스템 제어 로직은 하드웨어 및/또는 소프트웨어로 설계되거나 구성될 수 있다. 즉, 드라이브 회로를 제어하기 위한 인스트럭션들이 하드코딩되거나 소프트웨어로 제공될 수도 있다. 인스트럭션들은 “프로그래밍” 에 의해 제공된다고 말할 수 있다. 이러한 프로그래밍은 디지털 신호 프로세서들 내의 하드코딩된 로직, ASIC (application specific integrated circuits), 및 하드웨어로 구현된 구체적인 알고리즘들을 갖는 다른 디바이스들을 포함하는 임의의 형태의 로직을 포함하는 것으로 이해된다. 프로그래밍은 또한 범용 프로세서 상에서 실행될 수 있는 소프트웨어 또는 펌웨어 인스트럭션들을 포함하는 것으로 이해된다. 시스템 제어 소프트웨어는 임의의 적합한 컴퓨터 판독가능 프로그램 언어로 코딩될 수도 있다.
- [0054] 프로세스 시퀀스에서 증착, 어닐링, 및 다른 프로세스들을 제어하기 위한 컴퓨터 프로그램 코드는 예를 들어 어셈블리 언어, C, C++, 파스칼, 포트란, 또는 다른 것들과 같은 임의의 통상적인 컴퓨터 판독 가능한 프로그래밍 언어로 작성될 수 있다. 컴파일링된 객체 코드 또는 스크립트가 프로그램 내에서 식별된 태스크들을 수행하도록 프로세서에 의해서 실행된다. 또한 지시된 바와 같이, 프로그램 코드는 하드 코딩될 수도 있다.
- [0055] 제어기 파라미터들은 예를 들어, 프로세스 가스 조성 및 플로우 레이트, 온도, 압력, 냉각 가스 압력, 기관 온도, 및 챔버 벽 온도와 같은 프로세스 조건들에 관한 것이다. 이러한 파라미터들은 레시피의 형태로 사용자에게 제공되며 사용자 인터페이스를 사용하여 입력될 수도 있다.
- [0056] 프로세스를 모니터링하기 위한 신호들은 시스템 제어기 (650) 의 아날로그 및/또는 디지털 입력 접속부들에 의해 제공될 수도 있다. 프로세스를 제어하기 위한 신호들은 증착 장치의 아날로그 및 디지털 접속부들 상에 출력된다.
- [0057] 시스템 소프트웨어는 많은 상이한 방식들로 설계되거나 구성될 수도 있다. 예를 들어, 다양한 챔버 컴포넌트 서브루틴들 또는 제어 객체들이 개시된 실시예들에 따른 증착 프로세스들을 수행하는데 필요한 챔버 컴포넌트들의 동작을 제어하도록 작성될 수도 있다. 이러한 목적을 위한 프로그램들의 예들 및 프로그램들의 섹션들은 기관 포지셔닝 코드, 프로세스 가스 제어 코드, 압력 제어 코드, 및 히터 제어 코드를 포함한다.
- [0058] 기관 포지셔닝 프로그램은 페테스탈 또는 척 상에 기관을 로딩하고 가스 유입구 및/또는 타깃과 같은 챔버의 다른 부분들 및 기관 사이의 간격을 제어하도록 사용된 챔버 컴포넌트들을 제어하기 위한 프로그램 코드를 포함할 수도 있다. 프로세스 가스 제어 프로그램은 가스 조성 및 플로우 레이트들을 제어하고 선택적으로 챔버 내의 압력을 안정화하기 위해 증착 전에 챔버 내로 가스를 유동시키기 위한 코드를 포함할 수도 있다. 압력 제어 프로그램은 예를 들어, 챔버의 배기 시스템 내의 쓰로틀 밸브를 조정함으로써 챔버 내의 압력을 제어하기 위한

코드를 포함할 수도 있다. 히터 제어 프로그램은 기판을 가열하기 위해 사용된 히팅 유닛으로의 전류를 제어하기 위한 코드를 포함할 수도 있다. 대안적으로, 히터 제어 프로그램은 헬륨과 같은 열 전달 가스의 웨이퍼 척으로의 전달을 제어할 수도 있다.

- [0059] 증착 동안 모니터링될 수도 있는 챔버 센서들의 예들은 질량 유량 제어기들, 압력계들과 같은 압력 센서들, 및 페데스탈 또는 척 내에 위치한 써모커플들을 포함한다. 적절하게 프로그램된 피드백 및 제어 알고리즘들은 목표된 프로세스 조건들을 유지하기 위해 이들 센서들로부터의 데이터와 함께 사용될 수도 있다.
- [0060] 전술한 바는 단일 또는 다중-챔버 반도체 프로세싱 툴에서의 개시된 실시예들의 구현예를 기술한다.
- [0061] 본 명세서에서 상술한 장치 및 프로세스는 예를 들어 반도체 디바이스들, 디스플레이, LED, 광전 패널 등의 제조 또는 제작을 위한 리소그래피 패터닝 툴들 또는 프로세스들과 함께 사용될 수 있다. 통상적으로, 이러한 툴들/프로세스들은 반드시 그러한 것은 아니지만 공통 제조 시설 내에서 함께 사용 또는 수행될 수 있다. 막 리소그래피 패터닝은 통상적으로 각각 다수의 가능한 툴을 사용하여 실현되는 다음의 단계들 중 일부 또는 모두를 포함하며, 이 단계들은 (1) 스핀-온 또는 스프레이-온 툴을 사용하여 워크피스, 즉, 기판에 포토레지스트를 도포하는 동작, (2) 고온 플레이트 또는 퍼니스 또는 UV 경화 툴을 사용하여서 포토레지스트를 경화하는 동작, (3) 웨이퍼 스텝퍼와 같은 툴을 사용하여서 포토레지스트를 가시광선 또는 자외선 또는 x 선 광에 노출시키는 동작, (4) 습식 벤치 (wet bench) 와 같은 툴을 사용하여서 레지스트를 선택적으로 제거하여 이를 패터닝하도록 상기 포토레지스트를 현상하는 동작, (5) 건식 또는 플라즈마 보조 에칭 툴을 사용하여 상기 레지스트 패턴을 아래에 놓인 막 또는 워크피스에 전사하는 동작 및 (6) RF 또는 마이크로웨이브 플라즈마 레지스트 스트립퍼 (stripper) 와 같은 툴을 사용하여 포토레지스트를 제거하는 동작을 포함할 수 있다.
- [0062]
- [0063] 실험
- [0064] 다양한 시간들 및 온도들에서 기판들을 어닐링하는 것의 영향을 결정하기 위해 실험들이 수행된다. 이들 실험들에서, 웨이퍼들은 핵생성 단계들, 선택적인 처리 단계들, CVD 단계들, 및 어닐링 단계들을 사용하여 프로세싱된다. 이들 실험들의 목적을 위해, 2 세트의 조건들이 핵생성 단계의 다양한 실험들에 사용된다.
- [0065] 세트 A는 핵생성 스테이션에 대한 이하의 조건들의 세트를 지칭한다. 기판 온도는 250 °C로 설정되고, B₂H₆ 및 WF₆ 는 2 사이클들 동안 순차적으로 유동된다. B₂H₆ 의 전환은 1 초의 B₂H₆ 퍼지 시간 및 1 초의 WF₆ 퍼지 시간과 함께 1 초로 설정된다. WF₆ 의 플로우 레이트는 약 180 sccm이다. 툴의 앞쪽에서 H₂ 플로우는 약 27,000 sccm이고 툴의 뒤쪽에서 H₂ 플로우는 약 3000 sccm이다.
- [0066] 세트 B는 스테이션에 대한 이하의 조건들의 세트를 지칭한다. 기판 온도는 250 °C로 설정되고, B₂H₆ 및 WF₆ 는 2 사이클들 동안 유동된다. B₂H₆ 의 전환은 2 초의 B₂H₆ 퍼지 시간 및 2 초의 WF₆ 퍼지 시간과 함께 1.5 초로 설정된다. WF₆ 의 플로우 레이트는 약 220 sccm이다. 툴의 앞쪽에서 H₂ 플로우는 약 25,000 sccm이고 툴의 뒤쪽에서 H₂ 플로우는 약 10,000 sccm이다.
- [0067] 선택적인 처리를 위한 제 2 단계는 기판이 기판 온도 325 °C에서 B₂H₆ 펄스들 플로우의 5 사이클들을 겪는 것을 수반한다. 다음에, 텅스텐의 CVD를 위한 단계는 H₂ 및 WF₆ 플로우 및 325 °C에서 텅스텐 증착을 수반한다. 어닐링 단계들의 가변하는 조건들이 이하의 실험들에서 사용된다.
- [0069] 실험 1
- [0070] 다양한 어닐링 회수들을 사용하여 증착된 텅스텐 막들의 저항률이 측정된다. 이 실험의 목적을 위해, 세트 A 조건들이 사용된다. 300 Å의 질화 티타늄 기판이 이 실험에서 사용된다. 기판은 AR 플로우를 사용하여 445 °C의 온도에서 텅스텐의 증착 후에 어닐링된다. 아르곤 플로우 레이트는 약 6000 sccm이다. 약 60 Å의 텅스텐 막들 및 약 90 Å의 텅스텐 막들 모두의 저항률을 결정하기 위한 실험들이 수행된다. 결과들이 도 7에 간략화되었다.
- [0071] 둥근 점들은 어닐링 단계가 없는 막들의 저항률을 나타낸다. 사각형 점들은 텅스텐의 증착 후 20 초 어닐링을 사용하는 막들의 저항률을 나타낸다. 무 어닐링 (no anneal) 을 나타내는 점들과 비교하여, 저항률이 상당히 감소된다. 삼각형 점들은 텅스텐의 증착 후 10 분 어닐링을 사용하는 막들의 저항률을 나타낸다. 무 어닐링을

나타내는 점들과 비교하여, 저항률이 더 감소되었다. 여기에서, 20 초 어닐링과 10 분 어닐링 간의 차이는 20 초 어닐링과 10 분 어닐링 간의 차이와 거의 같아서, 이 시점에서 추가 어닐링이 동일한 저항률을 발생시키도록 문턱값 어닐링 시간이 존재한다는 것을 암시한다는 것을 주의한다. 그럼에도 불구하고, 도 7에 도시된 바와 같이, 20 초만큼 짧은 증착 후 어닐링은 실질적으로 보다 낮은 저항률 막들을 달성할 수 있다. 1 - 5 초만큼 짧은 증착 후 어닐링은 또한 저항률을 개선할 수도 있다고 또한 믿어진다.

[0072] 실험 2

[0073] 기관들 상에서 가변하는 어닐링 온도들의 영향을 결정하기 위한 실험들이 수행된다. 상기에 언급된 세트 A로부터의 조건들이 기관 상의 300 Å의 질화 티타늄 배리어층 상에 텅스텐 막들을 증착하기 위해 사용된다. 텅스텐 막들은 약 86.5 Å 내지 90 Å의 두께이다. 가변하는 온도들로 20 초 동안 아르곤 플로우를 사용하여 텅스텐 증착 후에 기관이 어닐링된다. 데이터 포인트들은 어닐링 전에 기관의 저항률을 측정하고, 특정한 온도에서 어닐링 후에 동일한 기관의 저항률을 측정함으로써 결정된다. 이 실험 결과들이 도 8a 및 도 8b에 도시된다.

[0074] 도 8a에서, 사각형 점들은 다양한 온도들에서 어닐링된 기관들의 저항률을 나타낸다. 다이아몬드형 점들은 어닐링 단계 전에 이들 어닐링된 기관들 각각의 저항률을 나타낸다. 예를 들어, 395 °C에서, 기관은 어닐링 전에 약 40.8 μΩ-cm의 저항률을 갖지만, 어닐링 후에 저항률이 39.6 μΩ-cm로 낮아져, 약 3.0 %의 저항률 개선을 초래한다. 저항률 개선 또는 감소된 저항률의 경향은 도 8b에 도시된다. 후속하는 실험은 10 분 동안 445 °C에서 어닐링된 텅스텐 막에 대한 저항률 강하를 비교하기 위해 실행된다 (도면에는 미도시). 결과적인 저항 강하는 약 12.0 %이고, 20 초 어닐링을 사용하는 저항률 강하보다 실질적으로 보다 높다. 이 결과들에 따라, 어닐링 온도가 상승함에 따라, 저항률의 차이도 증가하여, 보다 높은 저항률 강하, 및 보다 양호하고, 보다 낮은 저항률의 텅스텐 막들을 나타낸다. 이 데이터는 최대 저항률 강하를 달성하기 위해 보다 높은 온도에서 보다 긴 어닐링 시간을 사용하고 이에 따라 매우 낮은 저항률의 텅스텐 막들을 암시한다.

[0075] 실험 3

[0076] 일련의 실험들이 저항률에 대한 어닐링 타이밍의 영향을 결정하기 위해 수행된다. 제 1 실험에서, 상기에 언급된 바와 같은 세트 A로부터의 조건들이 30 Å 질화 티타늄 배리어층 기관들에 대해 사용된다. 3 개의 상이한 변화들이 테스트된다: (1) “사전-W 어닐링”은 임의의 텅스텐 증착 전에 어닐링을 수반하고, (2) “사전-W 및 사후-W 어닐링”은 텅스텐 증착 전후의 어닐링을 수반하고, (3) “사후-W 어닐링”은 텅스텐 증착 후의 어닐링을 수반한다. 비교를 위해 어닐링 단계 없이 텅스텐 막들에 대한 실험들이 수행되었다. 어닐링 단계들은 Ar (또는 Ar/H₂) 플로우를 사용하여, 10 분 동안 445 °C에서의 어닐링을 수반한다. 이 결과들이 도 9에 도시된다.

[0077] 도면에 도시된 바와 같이, 어닐링 단계 없이 증착된 기관들은 가장 높은 저항률을 갖는다. 75 Å의 텅스텐 막에 대해, 저항률은 약 40 μΩ-cm, 동일한 두께의 텅스텐 막과 비교하면 사후-W 어닐링은 약 38 μΩ-cm의 저항률을 발생시킨다. 사전-W 어닐링만을 사용하는 것은 사전-W 및 사후-W 어닐링 양자가 사용될 때보다 약 82 Å의 텅스텐 두께를 갖는 막에 대해 보다 높은 저항률을 갖는다. 이 데이터는 매우 낮은 저항률의 텅스텐 막들을 달성하기 위한 최적의 조건들이 기관 상에 텅스텐을 증착하기 전 및 후 모두에 어닐링하는 것을 암시한다.

[0078] 제 2 실험에서, 상기에 언급된 세트 B로부터의 조건들은 기관들 상의 300 Å의 질화 티타늄 배리어층들에 대해 사용된다. 톨의 앞쪽 및 뒤쪽 모두에서의 H₂의 플로우 레이트는 각각 20,000 sccm 또는 30,000 sccm 및 1,000 sccm 또는 15,000 sccm이다. 텅스텐 증착 후, 기관들은 10 분 동안 아르곤 (또는 Ar/H₂)을 사용하여 445 °C에서 어닐링된다. 4 개의 기관들 각각에 대해 어닐링 전후에 측정된 저항률은 이하의 표 1에 나타낸 바와 같다.

표 1

저항률 및 텅스텐 증착 후 어닐링

[0079]

| H ₂ 플로우 (sccm) | 텅스텐 두께 (Å) | 무 어닐링 저항률 (μΩ-cm) | W 어닐링 후 저항률 (μΩ-cm) | 저항률 차 | 저항률 감소 |
|---------------------------|------------|-------------------|---------------------|-------|--------|
| 30,000/1000 | 96.23 | 44.95 | 36.19 | 8.76 | 19 % |
| 30,000/15,000 | 96.83 | 46.23 | 36.71 | 9.52 | 21 % |
| 20,000/1000 | 108.48 | 78.27 | 52.61 | 25.66 | 33 % |
| 20,000/15,000 | 107.84 | 76.76 | 52.61 | 26.16 | 34 % |

- [0080] 데이터는 H₂ 플로우가 가변하는 것과 무관하게, 텅스텐 증착 후 어닐링을 사용하는 것이 저항률을 실질적으로 감소시킨다는 것을 암시하고, 저항률의 보다 높은 감소는 보다 두꺼운 텅스텐층을 사용하는 막에서 나타난다. 그렇지만, 매우 낮은 저항률의 텅스텐 막들은 36.19 μΩ-cm 만큼 낮은 저항률을 갖는 텅스텐 막으로 달성된다. 실험 4
- [0081] 증착된 텅스텐 막들의 원자적 속성을 평가하기 위한 실험들이 수행된다. 어닐링되지 않은 기판들은 어닐링된 기판들보다 높은 붕소 원자 함량을 보인다. 각각 300 Å층의 질화 티타늄 배리어층을 갖는 2 개의 웨이퍼들이 비교된다. 증착된 제 1 웨이퍼는 상기에 언급된 바와 같은 세트 B 조건들을 겪는다. 결과적으로 127 Å의 텅스텐층을 갖는 웨이퍼가 x-선 광전자 분광법 (photoelectron spectroscopy) 을 사용하여 평가되고, 5.107 %의 붕소 원자 함량을 나타낸다. 증착된 제 2 웨이퍼는 핵생성 단계 후에 추가된 어닐링 단계를 제외하고, 상기에 언급된 세트 B 조건들을 겪고, 텅스텐의 저온 CVD가 벌크 텅스텐을 증착하도록 추가된 어닐링 단계는 마지막 CVD 증착 대신한다. 91 Å의 텅스텐 웨이퍼는 약 6000 sccm의 플로우 레이트를 갖는 아르곤 플로우, 또는 각각 약 6000 sccm 및 약 7000 sccm의 플로우 레이트를 갖는 Ar/H₂ 플로우를 사용하여 10 분 동안 445 °C로 어닐링된다. X-선 광전자 분광법이 붕소 함량을 평가하기 위해 사용된다. 놀랍게도, 어닐링된 기판 내의 붕소 함량은 단지 0.555 %의 원자 함량을 갖고, 어닐링되지 않은 웨이퍼와 비교하여 10배만큼 붕소 함량의 실질적인 감소를 나타낸다. 이는 붕소와 같은 가스들이 감소된 저항률로 릴리즈되도록 어닐링이 텅스텐층을 정화할 수도 있다는 이론을 지지한다.
- [0082] 가변하는 두께의 질화 티타늄을 갖는 기판들에 대해 실험들이 수행된다. 이들 실험들의 모든 어닐링 단계들은 약 6000 sccm의 플로우 레이트를 갖는 아르곤 플로우, 또는 각각 약 6000 sccm 및 약 7000 sccm의 플로우 레이트를 갖는 Ar/H₂ 플로우를 사용하여 10 분 동안 445 °C로 어닐링하는 것을 수반한다. 30 Å 층의 질화 티타늄 배리어 층을 갖는 제 1 웨이퍼는 텅스텐 증착 전후의 어닐링을 포함하여 상기에 언급된 세트 A의 조건들을 겪는다. 에칭 시간에 걸친 붕소 함량이 측정되고 도 10a에 도시되고 1001로 나타낸다. 30 Å 층의 질화 티타늄 배리어 층을 갖는 제 2 웨이퍼는 텅스텐 증착 후의 어닐링을 포함하여 상기에 언급된 세트 A의 조건들을 겪는다. 에칭 시간에 걸친 붕소 함량이 측정되고 도 10a에 도시되고 1002로 나타낸다. 30 Å 층의 질화 티타늄 배리어 층을 갖는 제 3 웨이퍼는 핵생성 후 어닐링 및 텅스텐 벌크 증착 후의 어닐링을 포함하여 상기에 언급된 세트 B의 조건들을 겪는다. 에칭 시간에 걸친 붕소 함량이 측정되고 도 10a에 도시되고 1003으로 나타낸다. 3 개의 웨이퍼들 모두 상당히 낮은 양인, 0.7 % 미만의 붕소 원자 함량을 나타낸다는 것을 주의한다.
- [0083] 300 Å의 질화 티타늄 배리어 층이 다음 웨이퍼 상에 증착된다. 이 웨이퍼는 상기에 언급된 세트 B의 조건들을 겪고 어닐링 단계를 포함하지 않는다. 이 무-어닐링 웨이퍼의 붕소 함량은 도 10b에서 무-어닐링 라인을 나타내는, 실선으로 나타내었다. 마지막으로, 300 Å의 질화 티타늄 배리어 층이 마지막 웨이퍼 상에 증착된다. 이 웨이퍼는 핵생성 후 어닐링 및 텅스텐 벌크 증착 후의 어닐링을 포함하여 상기에 언급된 세트 B의 조건들을 겪는다. 에칭 시간에 걸친 붕소 함량이 측정되고 도 10b에서 “어닐링을 포함” 으로 라벨링된, 점선으로 나타낸다. 도시된 바와 같이, 어닐링된 웨이퍼는 5 % 이상으로 높은, 무 어닐링 웨이퍼의 붕소 함량보다 상당히 낮은, 1 % 미만의 붕소 원자 함량을 갖는다. .
- [0084] 전체적으로, 도 10a 및 도 10b는 모두 붕소 함량이 기판 상에 증착된 텅스텐 막의 저항률에 기여할 수도 있다는 것을 암시한다.
- [0085] 실험 5
- [0086] 증착된 층들의 균일성에 대한 어닐링 효과를 결정하기 위한 실험들이 수행된다. 도 11은 어닐링 단계 없이 증착된 질화 티타늄 및 텅스텐층의 이미지를 도시한다. 도 11에 도시된 바와 같이, 질화 티타늄층과 텅스텐층 사이에 계면층이 존재한다.
- [0087] 반대로, 도 12는 질화 티타늄층 및 어닐링된 텅스텐층의 이미지를 도시한다. 이들 이미지들에서, 텅스텐은 445 °C에서 20 초 동안 기판을 어닐링하기 전에 증착된다. 도 12는 결과적인 막의 균일성 및 계면층의 실질적인 감소를 도시한다. 이는 층들이 매끄럽고 낮은 저항률을 갖기 때문에 놀라운 결과들인 반면, 낮은 저항률을 갖는 종래의 텅스텐 막들은 막의 입도로 인해 덜 매끄러운 경향이 있을 수도 있다. 이러한 현상은 어닐링이 텅스텐 막 내의 입자들을 재배열하여, 저항률을 감소시킨다는 이론을 지지한다.
- [0088] 실험 6
- [0089] 어닐링 동안 사용된 가스의 타입이 기판 상에 증착된 텅스텐의 결과적인 저항률에 영향을 주는지 여부를 결정하

기 위한 일련의 실험들이 수행된다. 제 1 실험에서, 300 Å의 질화 티타늄 배리어 층을 갖는 기판들이 사용된다. 상기에 언급된 바와 같은 세트 B로부터의 조건들이 사용되고, 어닐링되지 않은 웨이퍼들, 아르곤 및 수소로 어닐링된 웨이퍼들, 및 아르곤만으로 어닐링된 웨이퍼들 간에 비교가 이루어진다. 어닐링 단계들은 텅스텐 증착 후에 10 분 동안 445 °C로 발생한다. 저항률 결과들이 도 13a에 도시된다. 다이아몬드형 점들은 어닐링되지 않은 웨이퍼들에 대한 저항률의 측정치들을 나타내는 반면, 사각형 점들은 Ar/H₂를 사용하여 어닐링된 웨이퍼들에 대한 저항률의 측정치를 나타내고, 삼각형 점들은 Ar만으로 어닐링된 웨이퍼들에 대한 저항률을 나타낸다. Ar/H₂ 어닐링 및 Ar 어닐링 양자에 대한 점들은 유사한 두께의 텅스텐에 대해 매우 유사하여, 어닐링에 Ar/H₂ 또는 Ar을 사용하는 것이 적합하다는 것을 암시한다.

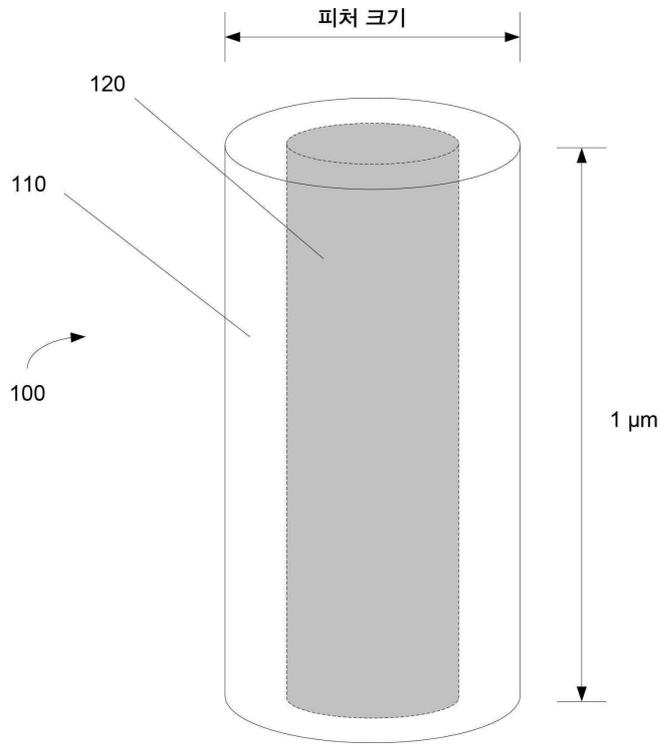
[0090] 제 2 실험으로부터 유사한 경향이 발생한다. 제 2 실험에서, 300 Å의 질화 티타늄 배리어 층을 갖는 기판들이 사용된다. 상기에 언급된 바와 같은 세트 A로부터의 조건들이 사용되고, 웨이퍼들은 텅스텐 증착 후에 Ar만 사용하여, 그리고 Ar/H₂를 사용하여 10 분 동안 445 °C로 어닐링된다. 비교를 위해, 상기에 언급된 바와 같은 세트 A로부터의 조건들을 사용하여 증착된 기판은 어닐링되지 않는다. 이들 웨이퍼들 각각의 결과적인 저항률은 도 13b에 플롯팅된다. 다이아몬드형 점들은 어닐링되지 않은 웨이퍼들의 저항률의 측정치들을 나타낸다. 사각형 점들은 Ar/H₂를 사용하여 어닐링된 웨이퍼들의 저항률의 측정치를 나타내고, 삼각형 점들은 Ar만으로 어닐링된 웨이퍼들의 저항률을 나타낸다. 도 13a와 유사하게, Ar/H₂ 및 Ar 을 사용하여 어닐링된 웨이퍼들의 결과적인 저항률은 유사한 두께의 증착된 텅스텐에 대해 매우 유사하여, 어닐링 동안 Ar/H₂ 또는 Ar이 사용될 수 있다는 것을 암시한다.

[0092] 결론

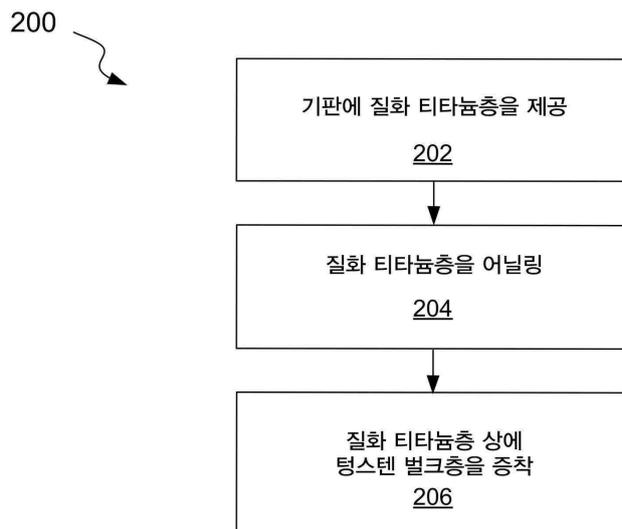
[0093] 전술한 실시예들이 이해의 명확성을 목적으로 다소 상세히 기술되었지만, 특정한 변화들 및 수정들이 첨부된 청구항들의 범위 내에서 실시될 수 있다는 것이 자명할 것이다. 본 실시예들의 프로세스들, 시스템들, 및 장치를 구현하는 많은 대안적인 방식들이 있다는 것을 주의해야 한다. 따라서, 본 실시예들은 예시적이고 제한하지 않는 것으로 간주되고, 실시예들은 본 명세서에 제공된 상세들로 제한되지 않는다.

도면

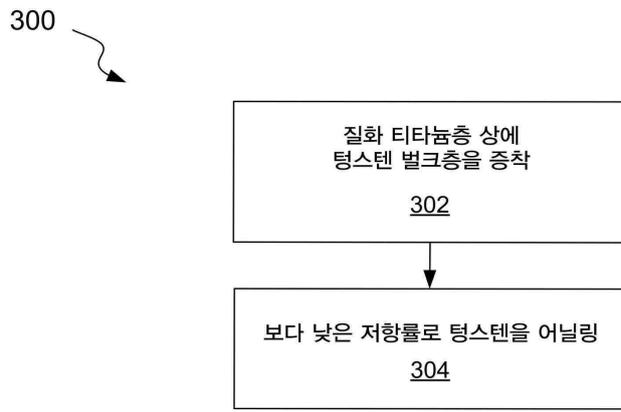
도면1



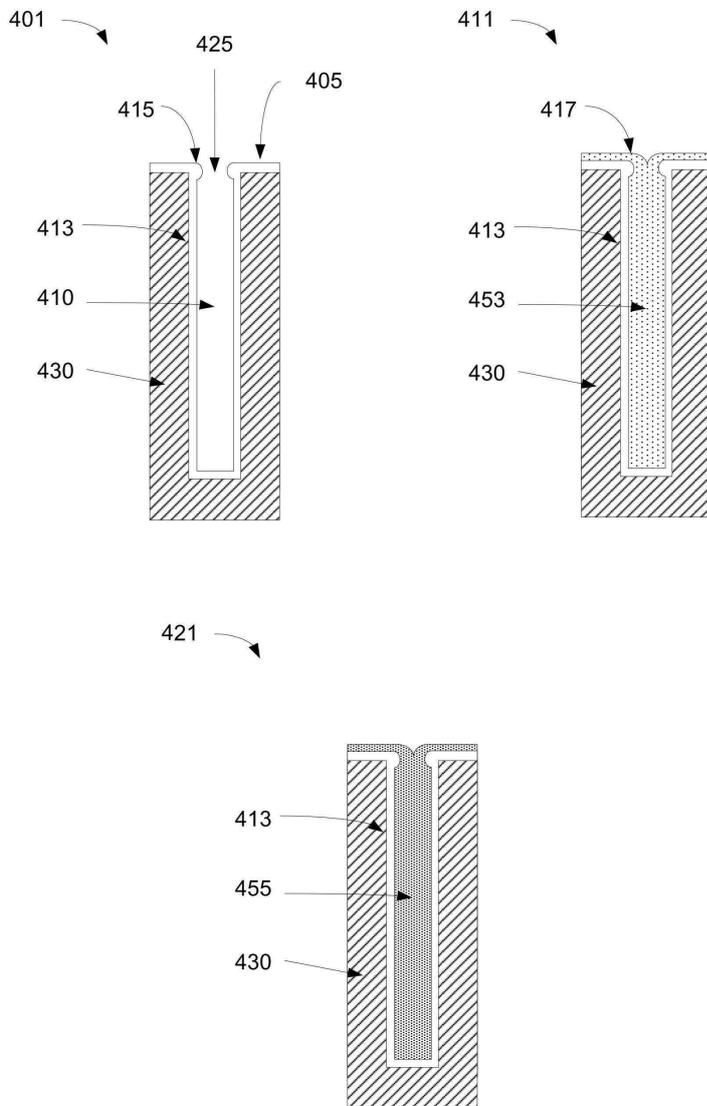
도면2



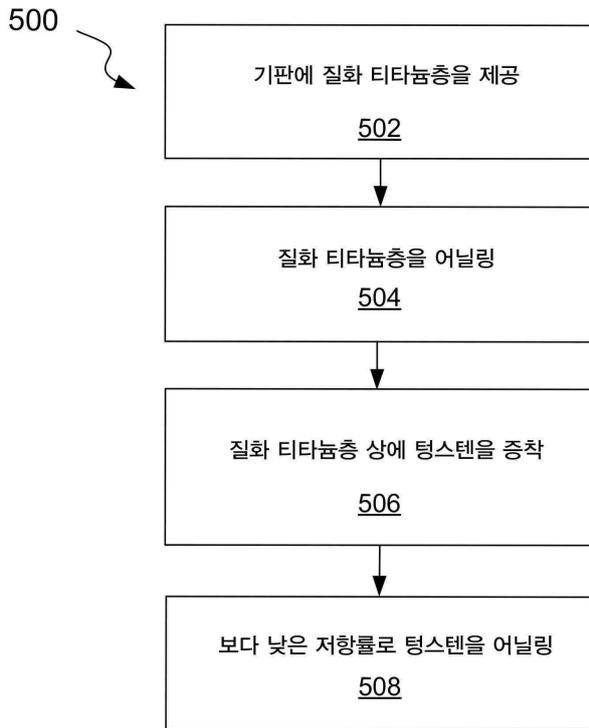
도면3



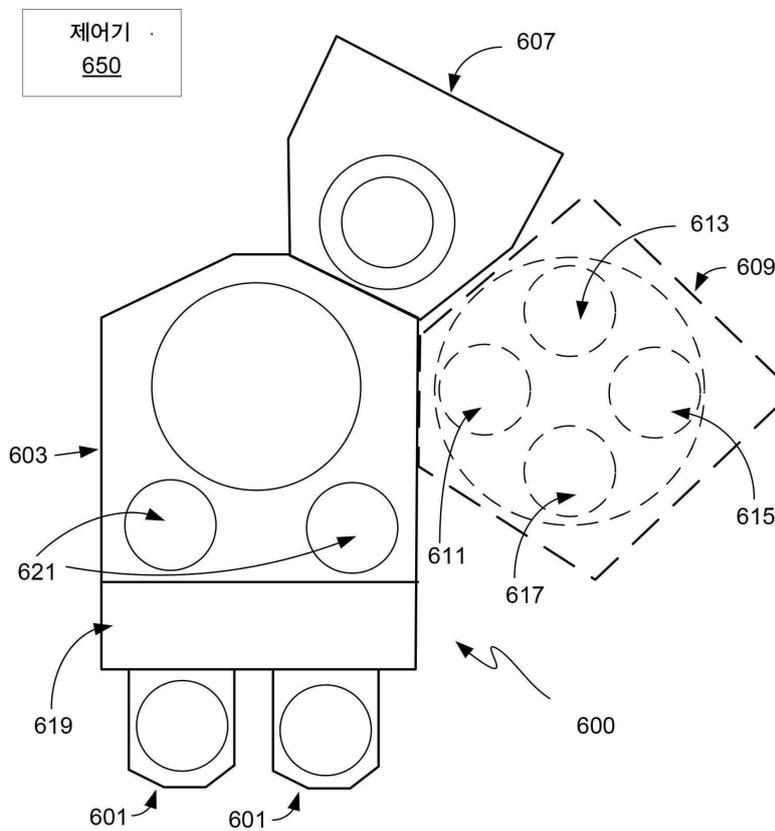
도면4



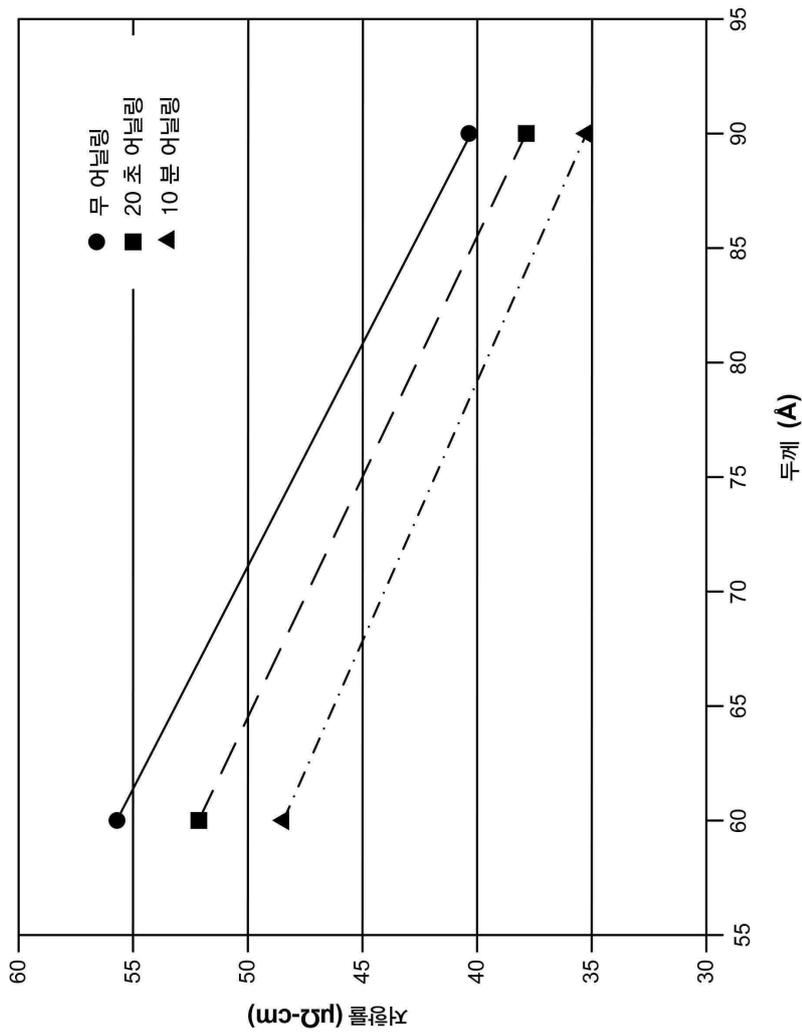
도면5



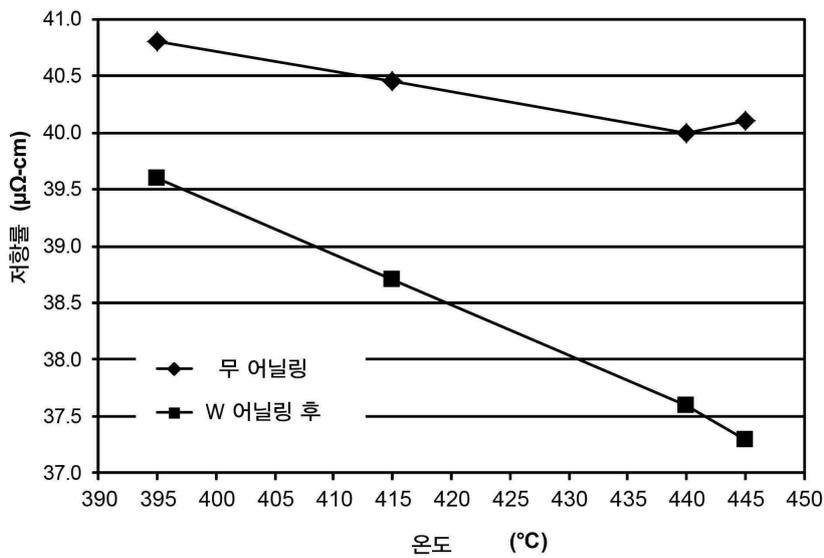
도면6



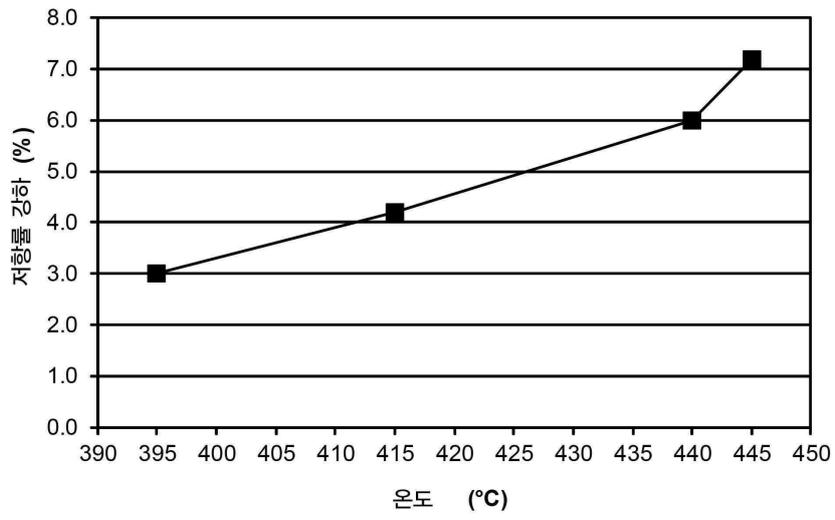
도면7



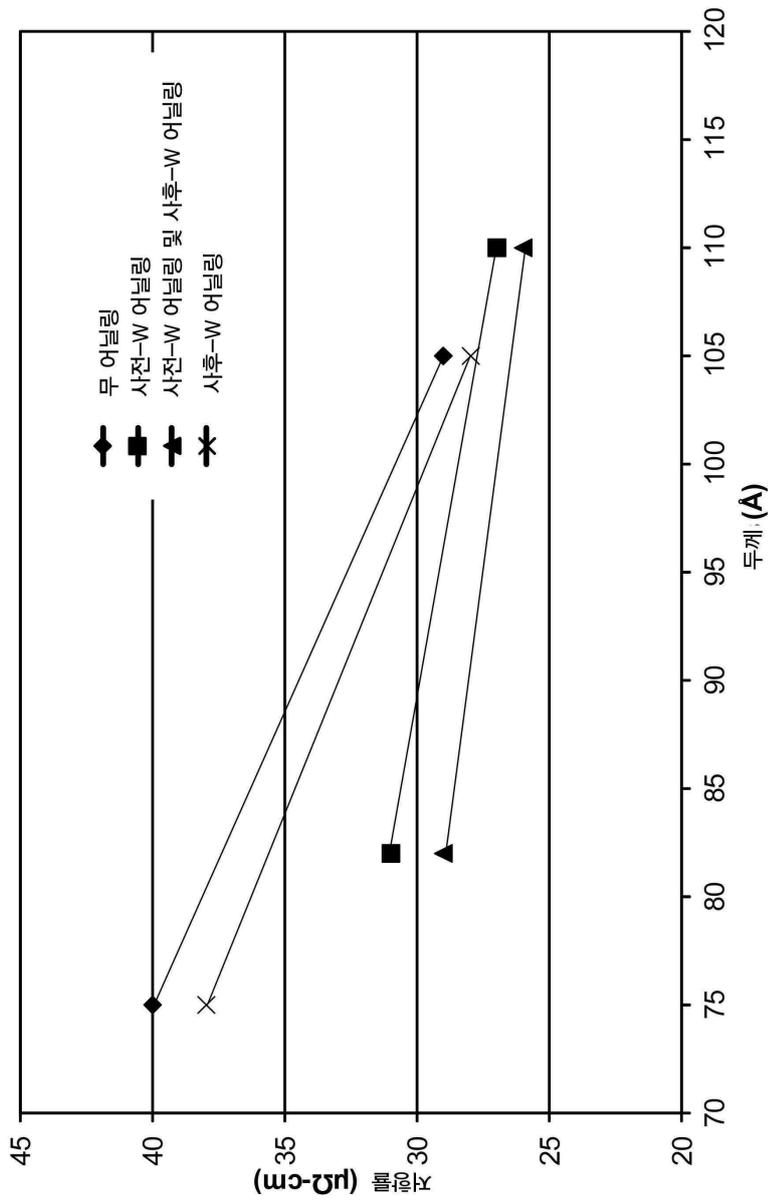
도면8a



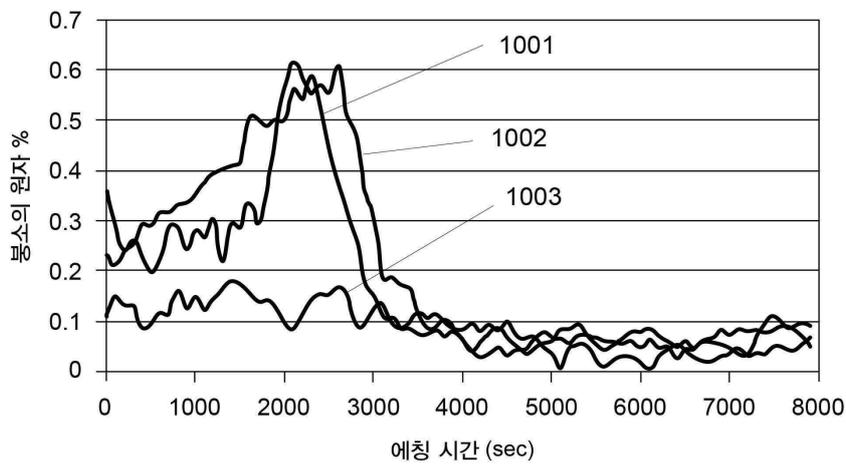
도면 8b



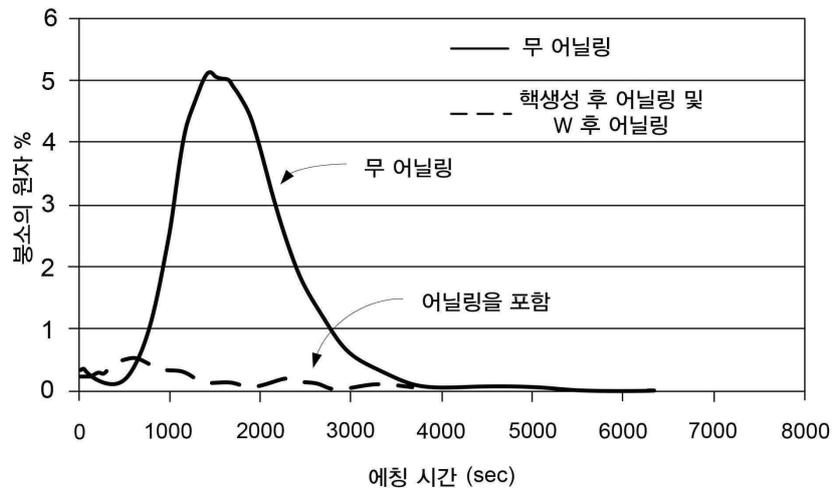
도면9



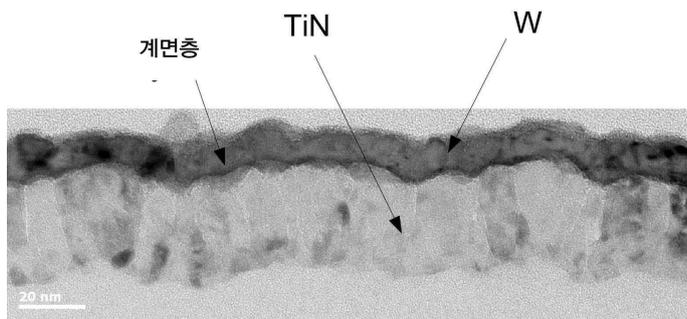
도면10a



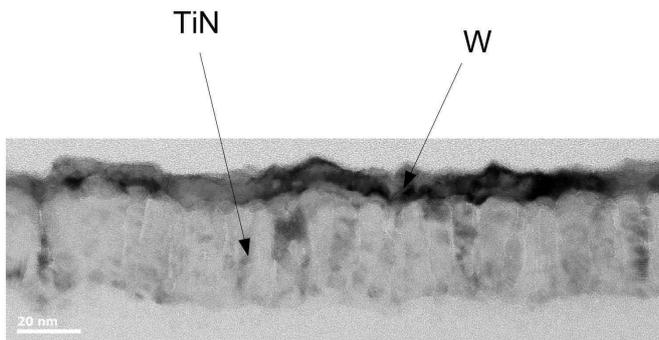
도면10b



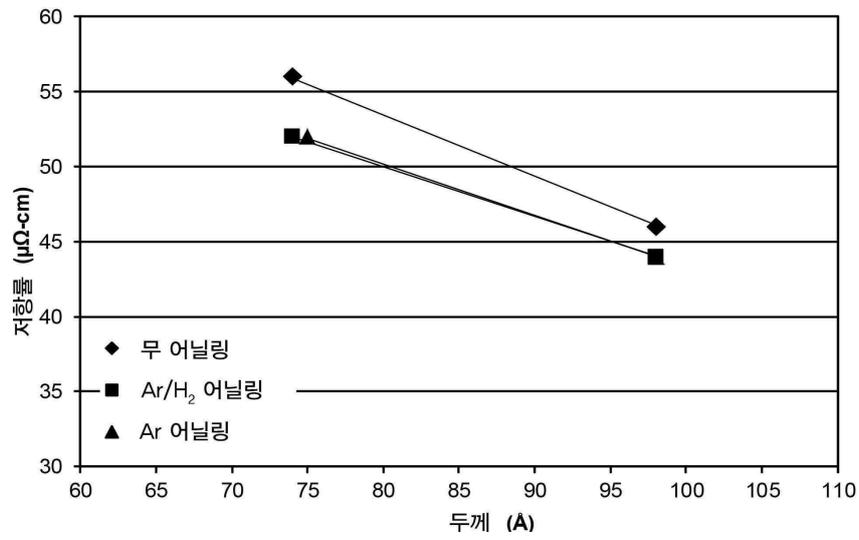
도면11



도면12



도면13a



도면13b

