



(12) 发明专利申请

(10) 申请公布号 CN 115775570 A

(43) 申请公布日 2023. 03. 10

(21) 申请号 202210836959.3

(22) 申请日 2022.07.15

(71) 申请人 厦门半导体工业技术研发有限公司

地址 361000 福建省厦门市软件园三期诚毅北大街62号109单元0206号

(72) 发明人 张涌 曹国忠 潘天龙

(74) 专利代理机构 厦门创象知识产权代理有限公司 35232

专利代理师 叶秀红

(51) Int. Cl.

G11C 5/10 (2006.01)

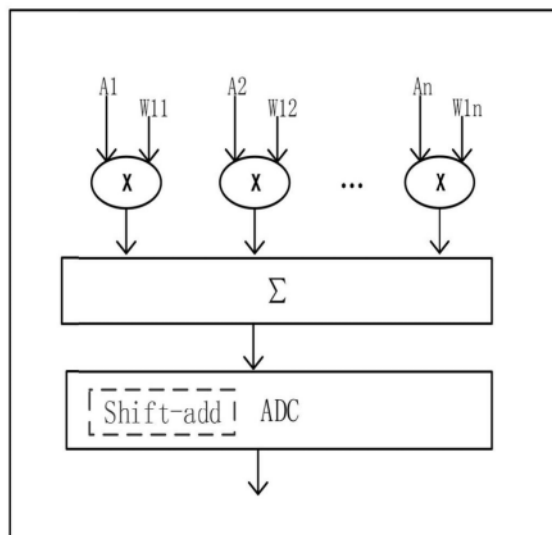
权利要求书2页 说明书5页 附图5页

(54) 发明名称

存算转换电路及阻变存储器

(57) 摘要

本发明公开了一种存算转换电路,包括移位加法单元、电容阵列单元、比较单元和SAR控制逻辑单元,通过移位加法单元对输入的模拟信号进行移位加权相加处理,以得到处理后的第一电压信号;容阵列单元对外部输入的参考电压信号进行处理,以得到处理后的第二电压信号;比较单元的第一输入端与移位加法单元的输出端相连接,比较单元的第二输入端与电容阵列单元的输出端相连接,以便对第一电压信号和第二电压信号进行比较,以输出比较结果;SAR控制逻辑单元的输入端与比较单元的输出端相连接,以便根据比较结果输出数字信号;由此,通过模拟电路实现移位相加功能,可以减小传统数字移位加法器造成的延迟及面积开销,从而提高转换效率。



1. 一种存算转换电路,其特征在于,包括:

移位加法单元,所述移位加法单元对输入的模拟信号进行移位加权相加处理,以得到处理后的第一电压信号;

电容阵列单元,所述电容阵列单元对外部输入的参考电压信号进行处理,以得到处理后的第二电压信号;

比较单元,所述比较单元的第一输入端与所述移位加法单元的输出端相连接,所述比较单元的第二输入端与所述电容阵列单元的输出端相连接,以便对所述第一电压信号和所述第二电压信号进行比较,以输出比较结果;

SAR控制逻辑单元,所述SAR控制逻辑单元的输入端与所述比较单元的输出端相连接,以便根据所述比较结果输出数字信号。

2. 根据权利要求1所述的存算转换电路,其特征在于,所述移位加法单元包括电容阵列和N个控制开关,所述N个控制开关中的每一个控制开关对应设置在所述电容阵列中的每一列之间,其中,所述电容阵列包括:

第一电容;

N个权重位电容,所述N个权重位电容中的每一个权重位电容之间并联连接后再与所述第一电容并联连接;

N个MOS管,所述N个MOS管中的每一个MOS管与所述N个权重位电容中的每一个权重位电容一一对应串联连接。

3. 根据权利要求2所述的存算转换电路,其特征在于,所述权重位电容的权重从低到高以2为等比系数依次递增。

4. 根据权利要求3所述的存算转换电路,其特征在于,所述N个控制开关同时断开时,控制所述N个MOS管相应列同时导通,以便在不同列同时接收多位输入信号中的一位输入信号。

5. 根据权利要求3所述的存算转换电路,其特征在于,所述N个控制开关同时闭合时,控制所述N个MOS管的相应列导通,以便在同一列不同时间接收多位输入信号。

6. 根据权利要求1所述的存算转换电路,其特征在于,所述电容阵列单元与所述移位加法单元的电容阵列结构相同。

7. 根据权利要求2所述的存算转换电路,其特征在于,所述移位加法单元中的电容阵列与所述电容阵列单元进行分时复用。

8. 根据权利要求7所述的存算转换电路,其特征在于,所述电容阵列中的每一列均设置有对应的控制开关,所述电容阵列通过MAC开关与所述比较单元的第一输入端相连接,所述移位加法单元通过所述REF开关与所述比较单元的第二输入端相连接;当所述控制开关均闭合或者均断开且所述MAC开关闭合且所述REF开关断开时,所述电容阵列为所述移位加法单元使用,当所述控制开关均闭合且所述MAC开关断开且所述REF开关闭合时,所述电容阵列为所述电容阵列单元使用。

9. 根据权利要求8所述的存算转换电路,其特征在于,还包括:

第二电容,所述第二电容一端与所述比较单元的第一输入端相连接,所述第二电容的另一端接地;

第一MOS管,所述第一MOS管与所述第二电容并联连接。

10. 一种阻变存储器,其特征在于,包括根据权利要求1-9中任一项所述的存算转换电路。

存算转换电路及阻变存储器

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种存算转换电路和一种阻变存储器。

背景技术

[0002] 相关技术中,存内的存算电路对于多位的输入信号操作如图1所示,通常是先将其拆分为多个周期的单比特,让单比特数据与权重阵列进行乘累加运算后,再通过模数转换器将多个周期的数字输出信号进行特定的移位相加,以此来还原整个多比特的操作,该电路的优点是数据流结构清晰,电路设计比较简单,但是需要额外增加移位加法控制的数字电路,在面积和迟延上都有较大开销,运算转换效率不高。

发明内容

[0003] 本发明旨在至少在一定程度上解决上述技术中的技术问题之一。为此,本发明的一个目的在于提出一种存算转换电路,通过模拟电路实现移位相加功能,可以减小传统数字移位加法器造成的延迟及面积开销,从而提高转换效率。

[0004] 为达到上述目的,本发明实施例提出的一种存算转换电路,包括:移位加法单元,所述移位加法单元对输入的模拟信号进行移位加权相加处理,以得到处理后的第一电压信号;电容阵列单元,所述电容阵列单元对外部输入的参考电压信号进行处理,以得到处理后的第二电压信号;比较单元,所述比较单元的第一输入端与所述移位加法单元的输出端相连接,所述比较单元的第二输入端与所述电容阵列单元的输出端相连接,以便对所述第一电压信号和所述第二电压信号进行比较,以输出比较结果;SAR控制逻辑单元,所述SAR控制逻辑单元的输入端与所述比较单元的输入端相连接,以便根据所述比较结果输出数字信号。

[0005] 根据本发明实施例提出的存算转换电路,通过移位加法单元对输入的模拟信号进行移位加权相加处理,以得到处理后的第一电压信号;容阵列单元对外部输入的参考电压信号进行处理,以得到处理后的第二电压信号;比较单元的第一输入端与移位加法单元的输入端相连接,比较单元的第二输入端与电容阵列单元的输出端相连接,以便对第一电压信号和第二电压信号进行比较,以输出比较结果;SAR控制逻辑单元的输入端与比较单元的输入端相连接,以便根据比较结果输出数字信号;由此,通过模拟电路实现移位相加功能,可以减小传统数字移位加法器造成的延迟及面积开销,从而提高转换效率。

[0006] 另外,根据本发明实施例上述提出的存算转换电路还可以具有如下附加的技术特征:

[0007] 可选地,所述移位加法单元包括电容阵列和N个控制开关,所述N个控制开关中的每一个控制开关对应设置在所述电容阵列中的每一列之间,其中,所述电容阵列包括:第一电容;N个权重位电容,所述N个权重位电容中的每一个权重位电容之间并联连接后再与所述第一电容并联连接;N个MOS管,所述N个MOS管中的每一个MOS管与所述N个权重位电容中的每一个权重位电容一一对应串联连接。

- [0008] 可选地,所述权重位电容的权重从低到高以2为等比系数依次递增。
- [0009] 可选地,所述N个控制开关同时断开时,控制所述N个MOS管相应列同时导通,以便在不同列同时接收多位输入信号中的一位输入信号。
- [0010] 可选地,所述N个控制开关同时闭合时,控制所述N个MOS管的相应列导通,以便在同一列不同时间接收多位输入信号。
- [0011] 可选地,所述电容阵列单元与所述移位加法单元的电容阵列结构相同。
- [0012] 可选地,所述移位加法单元中的电容阵列与所述电容阵列单元进行分时复用。
- [0013] 可选地,所述电容阵列中的每一列均设置有对应的控制开关,所述电容阵列通过MAC开关与所述比较单元的第一输入端相连接,所述移位加法单元通过所述REF开关与所述比较单元的第二输入端相连接;当所述控制开关均闭合或者均断开且所述MAC开关闭合且所述REF开关断开时,所述电容阵列为所述移位加法单元使用,当所述控制开关均闭合且所述MAC开关断开且所述REF开关闭合时,所述电容阵列为所述电容阵列单元使用。
- [0014] 可选地,还包括:第二电容,所述第二电容一端与所述比较单元的第一输入端相连接,所述第二电容的另一端接地;第一MOS管,所述第一MOS管与所述第二电容并联连接。
- [0015] 为达到上述目的,本发明第二方面实施例提出了一种阻变存储器,包括如上述的存算转换电路。
- [0016] 根据本发明实施例的阻变存储器,通过模拟电路实现移位相加功能,可以减小传统数字移位加法器造成的延迟及面积开销,从而提高转换效率。

附图说明

- [0017] 图1为现有的存算转换电路的电路结构示意图;
- [0018] 图2为根据本发明一个实施例的存算转换电路的电路结构示意图;
- [0019] 图3为现有的移位加法树数字电路的电路原理图;
- [0020] 图4为根据本发明一个实施例的模拟型移位加法电路的电路原理图;
- [0021] 图5为根据本发明一个实施例的同一时刻不同列代表相应位宽的存算列结构;
- [0022] 图6为根据本发明一个实施例的用不同列代表相应位宽的模拟型移位加法电路的电路原理图;
- [0023] 图7为根据本发明一个实施例的同一列不同时刻代表相应位宽的存算列结构;
- [0024] 图8为根据本发明一个实施例的用同一列代表相应位宽的模拟型移位加法电路的电路原理图;
- [0025] 图9为根据本发明一个实施例的存算转换电路的将模拟移位加法器前置的电路原理图;
- [0026] 图10为根据本发明一个实施例的存算转换电路的将模拟移位阵列与DAC电容阵列复用的电路原理图。

具体实施方式

- [0027] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,旨在用于解释本发明,而不能理解为对本发明的限制。

[0028] 为了更好的理解上述技术方案,下面将参照附图更详细地描述本发明的示范性实施例。虽然附图中显示了本发明的示范性实施例,然而应当理解,可以以各种形式实现本发明而不应被这里阐述的实施例所限制。相反,提供这些实施例是为了能够更透彻地理解本发明,并且能够将本发明的范围完整的传达给本领域的技术人员。

[0029] 为了更好的理解上述技术方案,下面将结合说明书附图以及具体的实施方式对上述技术方案进行详细的说明。

[0030] 下面就参照附图来描述本发明实施例的存算转换电路。

[0031] 参考图4-9所示,本发明实施例提出的存算转换电路,包括移位加法单元10、电容阵列单元20、比较单元30和SAR控制逻辑单元40。

[0032] 其中,移位加法单元10对输入的模拟信号进行移位加权相加处理,以得到处理后的第一电压信号;电容阵列单元20对外部输入的参考电压信号进行处理,以得到处理后的第二电压信号;比较单元30的第一输入端与移位加法单元10的输出端相连接,比较单元30的第二输入端与电容阵列单元20的输出端相连接,以便对第一电压信号和第二电压信号进行比较,以输出比较结果;SAR控制逻辑单元40的输入端与比较单元30的输出端相连接,以便根据比较结果输出数字信号。

[0033] 也就是说,如图2所示,先将在模数转换之后进行移位加法控制的数字电路进行前移,同时采用一种新的模拟电路取代数字电路的移位相加功能,以提高电路的转换速度,经仿真显示,在4位的模数转换电路结构中,本发明面积能减小约10%,转换效率(功耗 \times 延迟)能提升4倍;此外,随着输入信号的位数越多,本发明运算转换效率的提升效果更加明显。

[0034] 作为一个实施例,如图4所示,移位加法单元10包括电容阵列和N个控制开关(S_0-S_{N-1}),N个控制开关中的每一个控制开关对应设置在电容阵列中的每一列之间,其中,电容阵列包括:第一电容C1、N个权重位电容(C2-CN)和N个MOS管(Q1-QN);N个权重位电容(C2-CN)中的每一个权重位电容之间并联连接后再与第一电容C1并联连接;N个MOS管(Q1-QN)中的每一个MOS管与N个权重位电容(C2-CN)中的每一个权重位电容一一对应串联连接。

[0035] 作为一个实施例,权重位电容的权重从低到高以2为等比系数依次递增。

[0036] 需要说明的是,如图3所示,传统的移位加法是数字电路,即在经过ADC后通过图3所示的电路先进行寄存器移位然后通过多位的加法树进行相加;而本发明采用的移位加法是如图4所示的模拟电路,与存算MAC(乘累加)相一致的模拟型移位加权相加,原理是通过并联的倍数关系的电容阵列,通过开关控制电路使其在不同的时间周期 T_0-T_N (代表多位输入,通过 W_n 进行相应的配置)进行模拟运算;其输入可以为存算阵的不同列输入,也可以为同一列的不同周期输入,通开关进行选择,相比传统的移位加法电路使用更为灵活,且可与模数转换器电路中的电容阵列电路进行分时复用,这样既减小了移位相加的电路开销,又能提高电路的转换速度。

[0037] 作为一个实施例,N个控制开关同时断开时,控制N个MOS管相应列同时导通,以便在不同列同时接收多位输入信号中的一位输入信号。

[0038] 也就是说,如图5和图6所示,移位加法单元的N个控制开关(S_0-S_{N-1})同时断开, W_n 控制的MOS管同时导通,可并行处理,从而使得处理速度快。

[0039] 作为一个实施例,N个控制开关同时闭合时,控制N个MOS管的相应列导通,以便在同一列不同时间接收多位输入信号。

[0040] 也就是说,如图7和图8所示,移位加法单元的N个控制开关(S_0-S_{N-1})同时闭合,Wn控制的MOS管相应列导通,从而可提高准确率。

[0041] 需要说明的是,移位加法单元可根据神经网络层次对准确率的要求,通过控制开关选择对应的移位加法单元进行使用。

[0042] 作为一个实施例,如图9所示,电容阵列单元20与移位加法单元10的电容阵列结构相同。

[0043] 需要说明的是,SAR控制逻辑单元为逐次逼近型逻辑控制,其具体电路采用现有的SAR控制逻辑单元,本发明对此不作具体限定。

[0044] 作为一个实施例,如图10所示,移位加法单元10中的电容阵列与电容阵列单元20进行分时复用。

[0045] 作为一个实施例,电容阵列中的每一列均设置有对应的控制开关,电容阵列通过MAC开关 S_{MAC} 与比较单元SA的第一输入端相连接,移位加法单元10通过REF开关 S_{REF} 与比较单元SA的第二输入端相连接;当控制开关均闭合或者均断开且MAC开关 S_{MAC} 闭合且REF开关 S_{REF} 断开时,电容阵列为移位加法单元10使用,当控制开关均闭合且MAC开关 S_{MAC} 断开且REF开关 S_{REF} 闭合时,电容阵列为电容阵列单元20使用。

[0046] 作为一个实施例,还包括:第二电容 C_S 和第一MOS管 W_S ,第二电容 C_S 一端与比较单元30的第一输入端相连接,第二电容 C_S 的另一端接地;第一MOS管 W_S 与第二电容 C_S 并联连接。

[0047] 也就是说,为了节省电路面积,将模拟型移位加法器电容阵列与SAR ADC电路中的DAC电容阵列进行分时复用,通过修改SAR logic电路,增加开关控制逻辑,使原本独立的模拟移位加法器与DAC电容阵列进行共享;具体的工作方式如下,先控制Sn开关的状态和 S_{MAC} , S_{REF} 断开进行模拟移位加法的采样,接着断开 S_{MAC} 开关和控制PMOS管 W_S 进行保持,同时启动SAR控制逻辑,闭合 S_{REF} 开关进行相应的逐次逼近比较转换,最终输出计算后转换的数字信号。

[0048] 综上所述,根据本发明实施例的存算转换电路先将在模数转换之后进行移位加法控制的数字电路进行前移,同时采用一种新的模拟电路来取代数字电路的移位相加功能,例如,通过等比例的电容阵列进行并联实现移位加法的目的,这样可以减小传统移位加法器造成的迟延及面积开销,同时增加了两种存算控制模式,可以是同一列不同时刻的累加,也可以是同一时刻不同列的累加,这样能结合不同神经网络层对转换准确的要求;以及同时将这部分的电路与模数转换器电路中的电容阵列电路进行分时复用,进一步节省了面积的开销,根据版图的评估,能节省10%的面积开销,根据仿真结果,转换效率(功耗与延迟的乘积)可以提高4倍;例如,对于4bit的输入原先的数字型移位加法器,至少需要4个周期来完成移位相加的任务,采用模拟型的移位加法器,半个周期内就能完成相应的移位相加功能,如果输入是8bit的精度,那相应的转换效率会更高。

[0049] 另外,本发明的实施例还提出了一种阻变存储器,包括如上述的存算转换电路。

[0050] 根据本发明实施例的阻变存储器,通过模拟电路实现移位相加功能,可以减小传统数字移位加法器造成的延迟及面积开销,从而提高转换效率。

[0051] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于

描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0052] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0053] 在本发明中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0054] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0055] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不应理解为必须针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施例或示例中以合适的方式结合。此外,本领域的技术人员可以将本说明书中描述的不同实施例或示例进行接合和组合。

[0056] 尽管上面已经示出和描述了本发明的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本发明的限制,本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

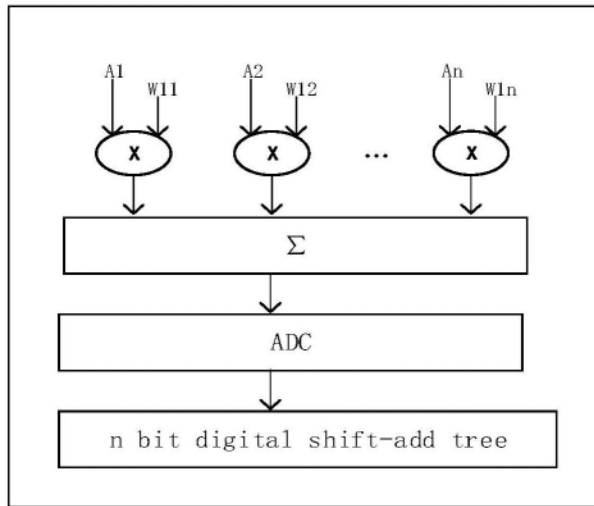


图1

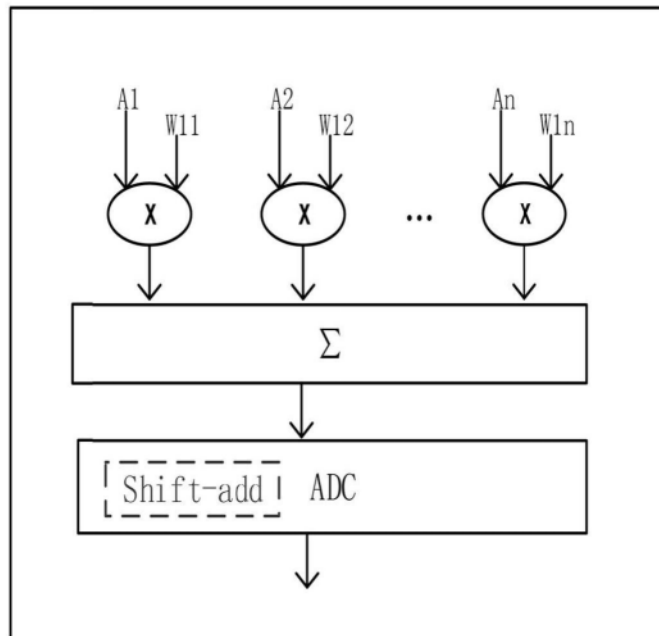


图2

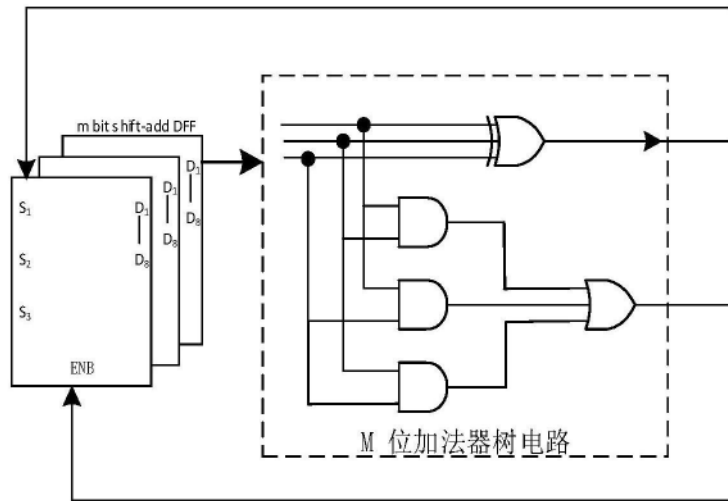


图3

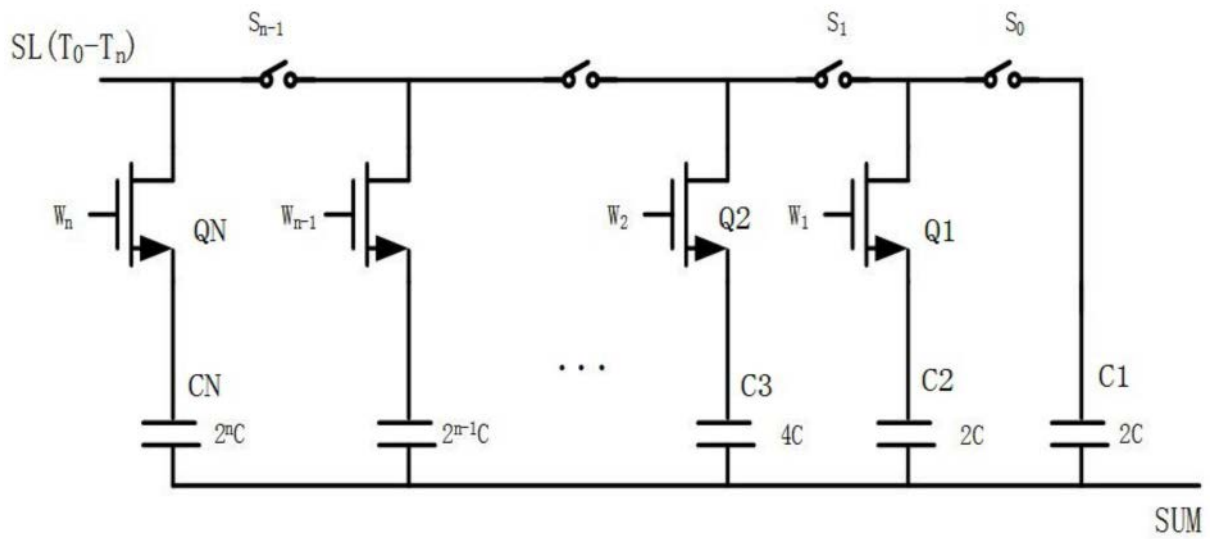


图4

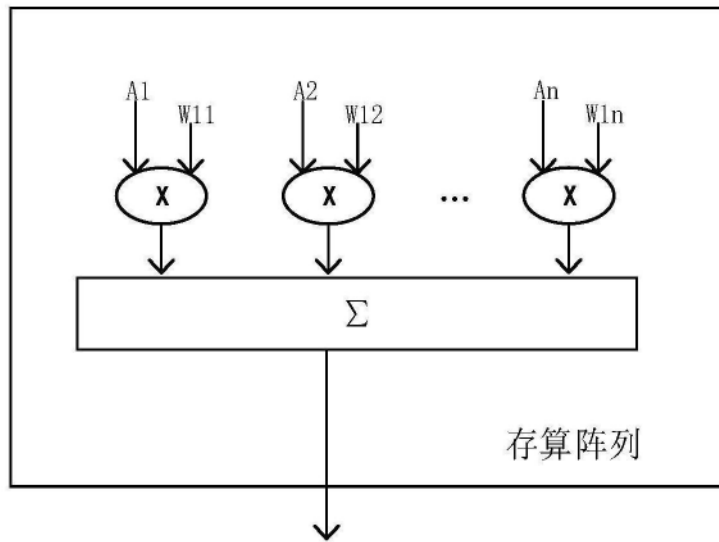


图5

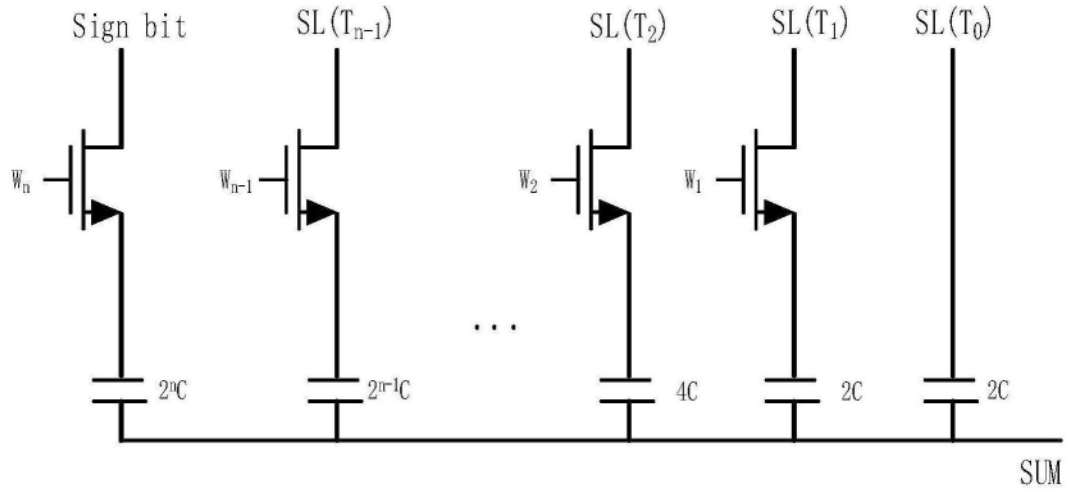


图6

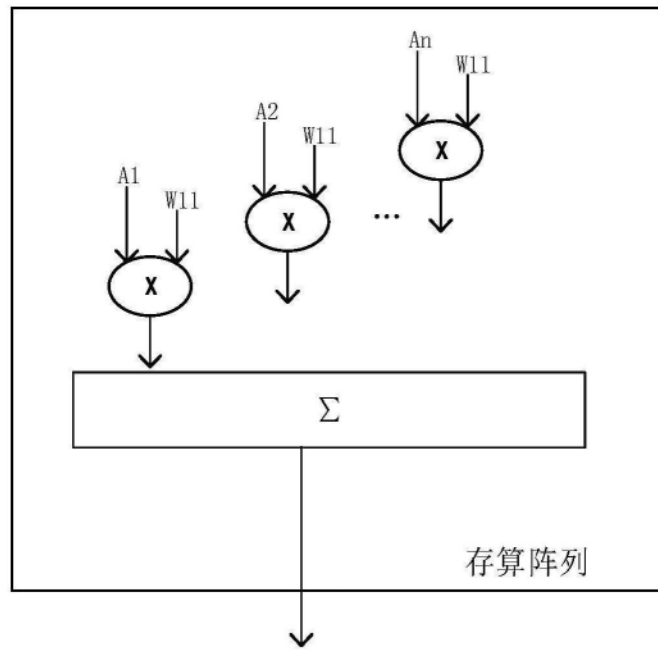


图7

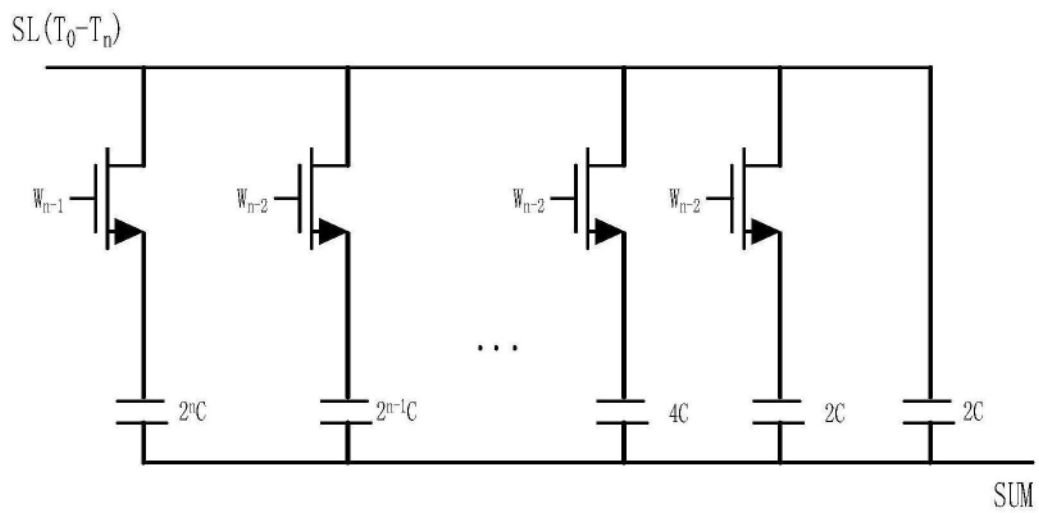


图8

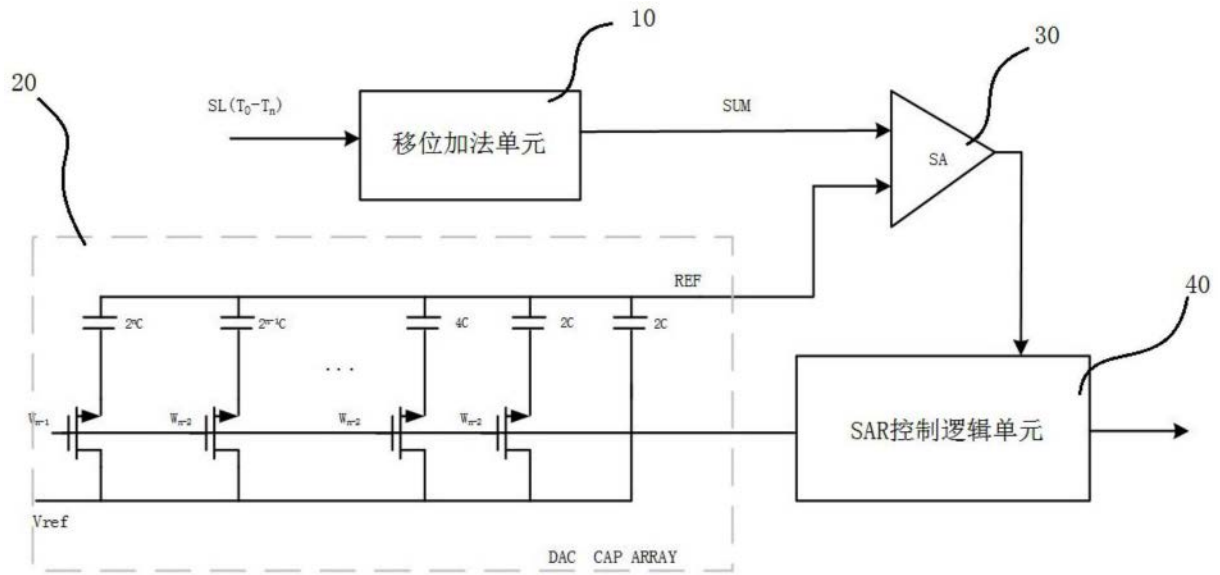


图9

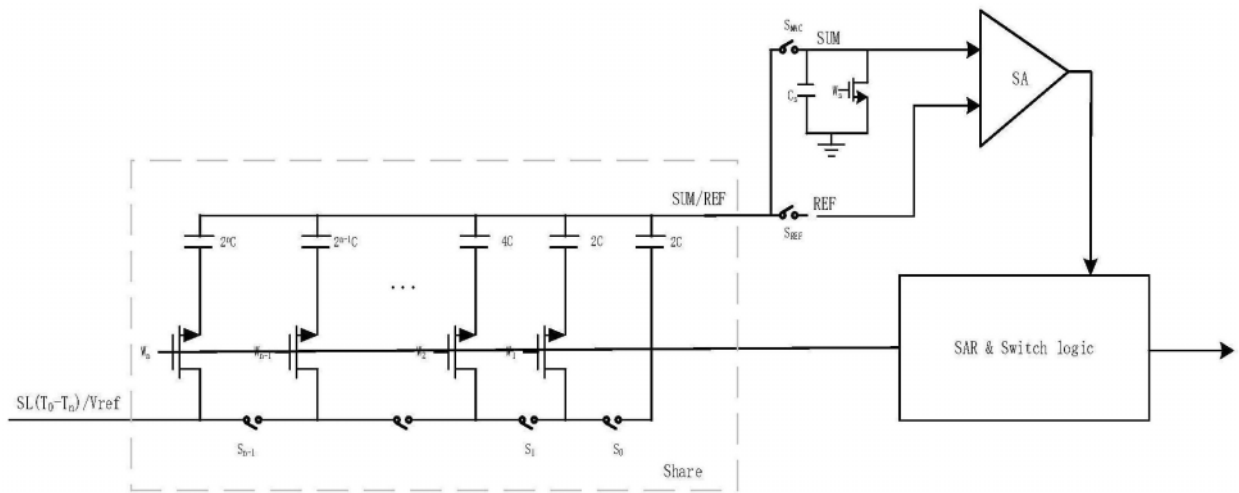


图10