



(12) 发明专利申请

(10) 申请公布号 CN 103094243 A

(43) 申请公布日 2013. 05. 08

(21) 申请号 201110384315. 7

(22) 申请日 2011. 11. 28

(30) 优先权数据

100140252 2011. 11. 04 TW

(71) 申请人 矽品精密工业股份有限公司

地址 中国台湾台中市

(72) 发明人 庄建隆 吴柏毅 李孟宗 姜亦震

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 23/498 (2006. 01)

H01L 21/48 (2006. 01)

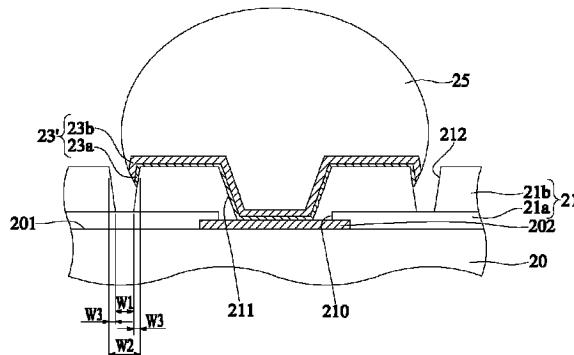
权利要求书2页 说明书5页 附图4页

(54) 发明名称

封装基板结构及其制法

(57) 摘要

一种封装基板结构及其制法，该封装基板结构包括基板、介电层与金属层，该基板的一表面具有至少一电性接触垫，该介电层形成于该基板的表面上，该介电层具有至少一第一开口与第二开口，其中，该第一开口对应外露该电性接触垫，该第二开口对应设置于该第一开口的周缘，该金属层对应形成于该电性接触垫及该介电层上，且延伸至该第二开口的侧壁上。相比于现有技术，本发明可有效减轻凸块底下金属层的外缘的侧蚀现象。



1. 一种封装基板结构,其包括 :

基板,其一表面具有至少一电性接触垫;

介电层,其形成于该基板的表面上,该介电层具有至少一第一开口与第二开口,其中,该第一开口对应外露该电性接触垫,该第二开口对应设置于该第一开口的周缘;以及

金属层,其对应形成于该电性接触垫及该介电层上,且延伸至该第二开口的侧壁上。

2. 根据权利要求 1 所述的封装基板结构,其特征在于,该封装基板结构还包括焊料凸块,其形成于该金属层上。

3. 根据权利要求 1 所述的封装基板结构,其特征在于,该第二开口环设于该第一开口的周缘。

4. 根据权利要求 1 所述的封装基板结构,其特征在于,该金属层连续包覆该电性接触垫、该第一开口的侧壁、该第一开口与第二开口间的部份介电层及该第二开口的侧壁。

5. 根据权利要求 1 所述的封装基板结构,其特征在于,该第一开口为圆形,该第二开口为环形,且该第一开口与该第二开口为共圆心。

6. 根据权利要求 1 所述的封装基板结构,其特征在于,该介电层包括第一子介电层与第二子介电层,该第一子介电层形成于该基板的表面上,该第二子介电层形成于该第一子介电层上,且具有该第一开口与第二开口,该第二开口暴露出部份的该第一子介电层。

7. 根据权利要求 1 所述的封装基板结构,其特征在于,该第二开口的底端宽度至少为 10 微米。

8. 根据权利要求 1 所述的封装基板结构,其特征在于,该第二开口的顶端宽度至少为 20 微米。

9. 根据权利要求 1 所述的封装基板结构,其特征在于,该第二开口为顶宽底窄。

10. 一种封装基板结构的制法,其包括 :

提供一表面具有至少一电性接触垫的基板,该表面上形成有介电层,且该介电层具有至少一对应外露该电性接触垫的第一开口;

于该介电层上形成至少一第二开口,其中,第二开口对应设置于该第一开口的周缘;

于该介电层、电性接触垫上形成金属层,且该金属层延伸至该第二开口的侧壁上;以及形成焊料凸块于该金属层上。

11. 根据权利要求 10 所述的封装基板结构的制法,其特征在于,形成该金属层与焊料凸块的步骤包括 :

于该金属层上形成具有多个阻层开孔的阻层,各该阻层开孔对应各该电性接触垫,且各该阻层开孔的孔壁对应位于各该第二开口的内侧壁上;

于各该阻层开孔中的金属层上形成焊料凸块;

移除该阻层;以及

蚀刻移除未被该焊料凸块所覆盖的金属层。

12. 根据权利要求 11 所述的封装基板结构的制法,其特征在于,该制法还包括于移除该阻层后,进行回焊步骤。

13. 根据权利要求 10 所述的封装基板结构的制法,其特征在于,该介电层包括第一子介电层与第二子介电层,该第一子介电层形成于该基板的表面上,该第二子介电层形成于该第一子介电层上,且具有该第一开口与第二开口,该第二开口暴露出部份的该第一子介

电层。

14. 根据权利要求 10 所述的封装基板结构的制法, 其特征在于, 该第二开口的底端宽度至少为 10 微米。

15. 根据权利要求 10 所述的封装基板结构的制法, 其特征在于, 该第二开口的顶端宽度至少为 20 微米。

16. 根据权利要求 10 所述的封装基板结构的制法, 其特征在于, 该第二开口为顶宽底窄。

封装基板结构及其制法

技术领域

[0001] 本发明有关于一种基板结构及其制法,尤指一种封装基板结构及其制法。

背景技术

[0002] 传统倒装芯片 (flip chip) 半导体封装技术主要通过于芯片的电性接触垫上形成焊料凸块 (solder bump), 再通过该焊料凸块直接与封装基板电性连接, 相比于打线 (wire bonding) 方式来说, 倒装芯片技术的电路路径较短, 具有较佳的电性品质, 同时因可设计为晶背裸露形式, 也可提高芯片散热性。

[0003] 请参阅图 1, 其为现有例如第 5,937,320 号美国专利的具有凸块底下金属层的基板结构的剖视图, 倒装芯片技术通过于芯片 10 上形成焊料凸块 12 前, 先于芯片 10 的电性接触垫 101 上全面性地形成钛层 11a 与铜层 11b, 并于该电性接触垫 101 上方的铜层 11b 上形成焊料凸块 12, 最后再蚀刻移除未被该焊料凸块 12 所覆盖的钛层 11a 与铜层 11b, 以于该焊料凸块 12 底下定义出凸块底下金属层 (Under Bump Metallurgy, 简称 UBM) 11, 并借由该凸块底下金属层 11 使该焊料凸块 12 牢固地接置于该芯片 10 的电性接触垫 101 上。

[0004] 然而, 现有使用层叠的钛层 11a 与铜层 11b 以构成凸块底下金属层 11 时, 由于该钛层 11a 的蚀刻速度会大于铜层 11b 的蚀刻速度, 因此该钛层 11a 的侧蚀情况严重, 而造成如图 1 所示的显著底切 (undercut) 结构, 该底切结构将会使应力集中, 因而容易在该点断裂, 导致整体信赖性不佳。

[0005] 因此, 如何避免上述现有技术中的种种问题, 以避免凸块底下金属层因过度侧蚀而形成严重底切结构, 进而提升产品可靠度与良率, 实已成为目前亟欲解决的课题。

发明内容

[0006] 有鉴于上述现有技术的缺失, 本发明的主要目的在于提供一种封装基板结构及其制法, 以有效减轻凸块底下金属层的外缘的侧蚀现象。

[0007] 本发明所揭示的封装基板结构包括: 基板, 其一表面具有至少一电性接触垫; 第一介电层, 其形成于该基板的表面上, 该第一介电层具有至少一第一开口与第二开口, 其中, 该第一开口对应外露该电性接触垫, 该第二开口对应设置于该第一开口的侧周缘; 凸块底下金属层, 其对应形成于该电性接触垫及该第一介电层上, 且延伸至该第二开口的侧壁上; 以及焊料凸块, 其形成于该凸块底下金属层上。

[0008] 本发明还提供一种封装基板结构的制法, 其包括: 提供一表面具有至少一多个电性接触垫的基板, 该表面上形成有第一介电层, 且该第一介电层具有至少一对应外露该电性接触垫的第一开口; 于该第一介电层上形成至少一第二开口, 其中, 第二开口对应设置于该第一开口的周缘侧; 于该介电层、电性接触垫上形成金属层, 且该金属层延伸至该第二开口的侧壁上; 以及形成焊料凸块于该金属层上。

[0009] 由上可知, 因为本发明的金属层的外缘对应位于各该环形开口的倾斜内侧壁上, 也就是该凸块底下金属层的外缘倾斜向下且其上形成有焊料凸块, 而且蚀刻液本身并不易

往上方流动与蚀刻,所以可大幅减低最终蚀刻时的侧蚀现象,并避免产生过度底切结构,进而改善整体结构的信赖性与可靠度。

附图说明

[0010] 图 1 为现有的具有凸块底下金属层的基板结构的剖视图。
[0011] 图 2A 至图 2F 为本发明的封装基板结构及其制法的剖视图,其中,图 2F' 为图 2F 的另一实施例。

[0012] 主要组件符号说明

- [0013] 10 芯片
- [0014] 101, 202, 203 电性接触垫
- [0015] 11 凸块底下金属层
- [0016] 11a, 23a 钛层
- [0017] 11b, 23b 铜层
- [0018] 12, 25 焊料凸块
- [0019] 20 基板
- [0020] 200 线路重新分布层
- [0021] 201 表面
- [0022] 21 介电层
- [0023] 21a 第一子介电层
- [0024] 21b 第二子介电层
- [0025] 210 介电层开口
- [0026] 211 第一开口
- [0027] 212 第二开口
- [0028] 23, 23' 金属层
- [0029] 24 阻层
- [0030] 240 阻层开孔
- [0031] 26 钝化保护层
- [0032] W1, W2, W3 宽度。

具体实施方式

[0033] 以下借由特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点及功效。

[0034] 须知,本说明书所附图式所绘示的结构、比例、大小等,均仅用以配合说明书所揭示的内容,以本领域技术人员的了解与阅读,并非用以限定本发明可实施的限定条件,故不具技术上的实质意义,任何结构的修饰、比例关系的改变或大小的调整,在不影响本发明所能产生的功效及所能达成的目的下,均应仍落在本发明所揭示的技术内容得能涵盖的范围内。同时,本说明书中所引用的如“上”、“水平”、“内”、“周缘”、“外缘”、“顶”、“底”及“—”等用语,也仅为便于叙述的明了,而非用以限定本发明可实施的范围,其相对关系的改变或调整,在无实质变更技术内容下,当也视为本发明可实施的范畴。

[0035] 请参阅图 2A 至图 2F，其为本发明的封装基板结构及其制法的剖视图，其中，图 2F' 为图 2F 的另一实施例。

[0036] 首先，如图 2A 所示，准备一表面 201 具有多个电性接触垫 202 的基板 20，该表面 201 上形成有第一子介电层 21a，并令该第一子介电层 21a 形成有多个对应外露各该电性接触垫 202 的介电层开口 210，于本实施例中，该基板 20 为半导体晶片，且该第一子介电层 21a 可为一钝化保护层，防止组件表面接触空气而劣化，以保护晶片表面，其材质为氮化硅 (SiN) 或氧化硅 (SiO_x)，但不以此为限。

[0037] 如图 2B 所示，于该电性接触垫 202 与第一子介电层 21a 上形成第二子介电层 21b，于本实施例中，该第二子介电层 21b 的厚度大于 10 微米，并于该第二子介电层 21b 中形成多个顶宽底窄如倒置梯形的开口的第一开口 211 与环形的第二开口 212，其中，各该第一开口 211 对应外露各该电性接触垫 202，各该第二开口 212 对应环绕各该第一开口 211 周缘且外露出该第一子介电层 21a，该第二子介电层 21b 的材质可为聚亚醯胺 (polyimide，简称 PI) 或苯环丁烯 (bis-Benzo-Cyclo-Butene，简称 BCB)，该第二开口 212 的底端宽度 W1 至少为 10 微米，该第二开口 212 的顶端宽度 W2 至少为 20 微米，也就是该第二开口 212 的一斜边的水平投影宽度 W3 约为 5 微米，但不以此为限。

[0038] 此外，本步骤中可仅形成一介电层 21 以取代该第一子介电层 21a 与第二子介电层 21b，且该第二开口 212 并不一定要是环形，也可为其它形状。

[0039] 如图 2C 所示，于该第二子介电层 21b、电性接触垫 202 与第一子介电层 21a 上形成金属层 23，该金属层 23 的材质可为钛 / 铜 (Ti/Cu)，即该金属层 23 包括依序层叠形成的钛层 23a 与铜层 23b，但不以此为限。

[0040] 如图 2D 所示，于该金属层 23 上形成具有多个阻层开孔 240 的阻层 24，各该阻层开孔 240 对应各该电性接触垫 202，且各该阻层开孔 240 的孔壁对应位于各该第二开口 212 的内侧壁上，也就是靠近该第一开口 211 的侧壁上；接着，于各该阻层开孔 240 中的金属层 23 上电镀形成焊料凸块 25。

[0041] 如图 2E 所示，移除该阻层 24，并可进行回焊步骤。

[0042] 如图 2F 所示，以该焊料凸块 25 做为屏蔽，蚀刻移除未被该焊料凸块 25 所覆盖的金属层 23，以于该焊料凸块 25 底下定义出剖视图状似海鸥的凸块底下金属层 23'；其中，该金属层 23' 覆盖该电性接触垫 202 的外露部分、该第一开口 211 的侧壁、该第一开口 211 与第二开口 212 之间的第二子介电层 21b 的表面、及该第二开口 212 靠近第一开口 211 侧的部份侧壁或全部侧壁（未图标此情况）。

[0043] 于本发明的另一实施例，如图 2F' 所示，提供一基板 20，其上设置有多个电性接触垫 203，该基板 20 上可以覆盖一层外露该电性接触垫 203 的钝化保护层 26，该钝化保护层 26 是由氮化硅 (SiN) 或氧化硅 (SiO_x) 所形成，于该电性接触垫 203 与钝化保护层 26 上形成有一第一子介电层 21a，其中该第一子介电层 21a 的材质可为聚亚醯胺 (polyimide，简称 PI) 或苯环丁烯 (bis-Benzo-Cyclo-Butene，简称 BCB)，于该第一子介电层 21a 中形成有多个介电层开口 210，该介电层开口 210 对应外露该基板 20 上的电性接触垫 203。之后于该介电层开口 210 及电性接触垫 203 上形成一金属层（未图标），该金属层可由溅镀一导电种子层后再进行电镀以形成，并再经由图案化的工艺而形成线路重新分布层 200，该线路重新分布层 200 的材质可为钛 / 铜、钛 / 铜 / 镍或钛 / 镍钒 / 铜，该线路重新分布层 200 电性连

接至该电性接触垫 203 并向周围延伸而具有另一电性接触垫 202，以增加线路布局的弹性。于该线路重新分布层 200 上更设置有第二子介电层 21b，该第二子介电层 21b 的材质可为聚亚醯胺 (polyimide, 简称 PI) 或苯环丁烯 (bis-Benzo-Cyclo-Butene, 简称 BCB)，但不以此为限。于相同实施概念下，该第二子介电层 21b 具有第一开口 211，该第一开口 211 设置于该电性接触垫 202 上且暴露出部份该电性接触垫 202。于本实施例中，该第二子介电层 21b 的厚度大于 10 微米，并于该第二子介电层 21b 中形成多个顶宽底窄如倒置梯形的开口的第一开口 211 与环形的第二开口 212，其中，各该第一开口 211 对应外露各该电性接触垫 202，各该第二开口 212 对应环绕各该第一开口 211 周缘且外露出该第一子介电层 21a，该第二开口 212 的底端宽度 W1 至少为 10 微米，该第二开口 212 的顶端宽度 W2 至少为 20 微米，也就是该第二开口 212 的一斜边的水平投影宽度 W3 约为 5 微米，但不以此为限。之后，于该第二子介电层 21b 与电性接触垫 202 上形成金属层 23'，该金属层 23' 覆盖该电性接触垫 202 于第一开口 211 暴露的部份、第一开口 211 与第二开口 212 间的第二子介电层 21b、及第二开口 212 的侧壁，该金属层 23' 的材质可为钛 / 铜 (Ti/Cu)，即该金属层 23' 包括依序层叠形成的钛层 23a 与铜层 23b，但不以此为限。于该金属层 23' 上形成有焊料凸块 25。于本实施例中，该焊料凸块 25 为一无铅的焊料，经过回焊后覆盖该电性接触垫 202、第一开口 211 与第二开口 212 间的第二子介电层 21b 及第二开口 212 的侧壁的金属层 23'，以于该焊料凸块 25 底下定义出剖视图状似海鸥的凸块底下金属层 23'。

[0044] 本发明还揭露一种封装基板结构，包括：基板 20，其一表面 201 具有至少一电性接触垫 202；介电层 21，其形成于该基板 20 的表面 201 上，该介电层 21 具有至少一第一开口 211 与第二开口 212，其中，该第一开口 211 对应外露该电性接触垫 202，该第二开口 212 对应设置于该第一开口 211 的周缘；以及金属层 23'，其对应形成于各该电性接触垫 202 及其周围的介电层 21 上，且延伸至该第二开口 212 的侧壁上，于本实施例中，金属层 23' 仅包覆部份第二开口 212 靠近电性接触垫侧的内缘侧壁，并暴露出第二开口 212 的底面及与靠近电性接触垫的相反另一侧的外侧壁，且金属层 23' 仅包覆第二开口 212 的内缘侧壁上半部，并暴露出内缘侧壁的下半部。

[0045] 于前述的封装基板结构中，还包括焊料凸块 25，其形成于该金属层 23' 上。

[0046] 所述的封装基板结构中，该第二开口 212 环设于该第一开口 211 的周缘，且该金属层 23' 连续包覆该电性接触垫 202、该第一开口 211 的侧壁、该第一开口 211 与第二开口 212 间的部份介电层 21 及该第二开口 212 的侧壁。

[0047] 本实施例的封装基板结构中，该第一开口 211 为圆形，该第二开口 212 为环形，且该第一开口 211 与该第二开口 212 共圆心；此外，该介电层 21 包括第一子介电层 21a 与第二子介电层 21b，该第一子介电层 21a 形成于该基板 20 的表面上，该第二子介电层 21b 形成于该第一子介电层 21a 上，且具有该第一开口 211 与第二开口 212，该第二开口 212 暴露出部份的该第一子介电层 21a。

[0048] 于前述的封装基板结构中，该基板 20 可为半导体晶片，该第一子介电层 21a 的材质可为氮化硅 (SiN)，且该第二子介电层 21b 的材质可为聚亚醯胺 (polyimide, 简称 PI) 或苯环丁烯 (bis-Benzo-Cyclo-Butene, 简称 BCB)。

[0049] 于本实施例的封装基板结构中，该第二开口 212 的底端宽度 W1 至少为 10 微米，且该第二开口 212 的顶端宽度 W2 至少为 20 微米。

[0050] 依上述的封装基板结构中,该第二开口 212 为顶宽底窄,且该凸块底下金属层 23' 的材质可为钛 / 铜 (Ti/Cu)。

[0051] 要注意的是,本发明的封装基板结构可为具有凸块底下金属层的封装基板结构;此外,本发明的结构最终以倒装芯片 (flip chip) 技术接置于另一封装基板上,或应用于晶片级芯片尺寸封装 (wafer level chip scale package, 简称 WLCSP) 上。

[0052] 综上所述,相比于现有技术,由于本发明的金属层的外缘对应位于各该第二开口的倾斜内侧壁上,而且蚀刻液本身不易往上方流动与蚀刻,因此可大幅减低蚀刻时的侧蚀现象,并避免产生过度底切结构,进而改善整体结构的信赖性与可靠度。

[0053] 上述实施例仅用以例示性说明本发明的原理及其功效,而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下,对上述实施例进行修改。因此本发明的权利保护范围,应如权利要求书所列。

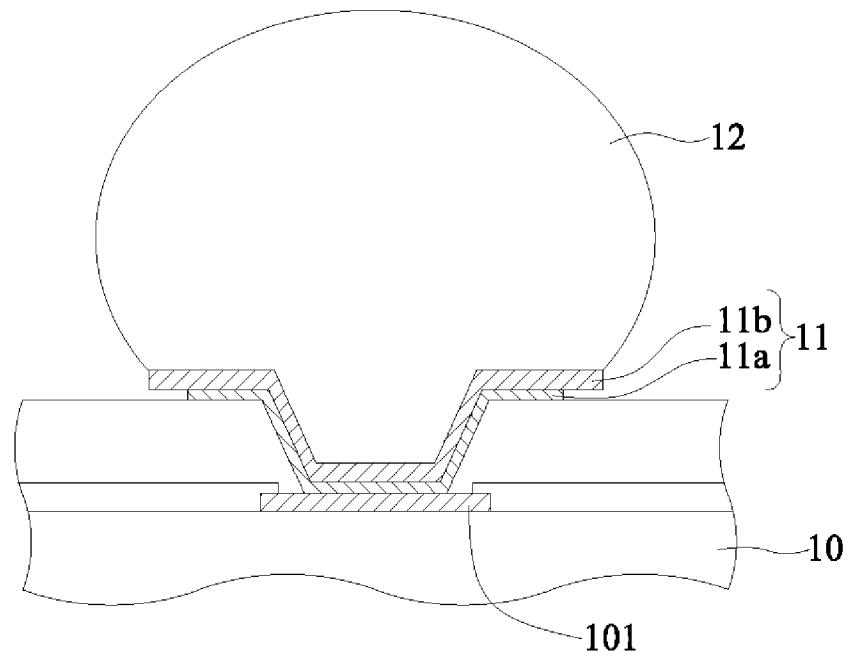


图 1

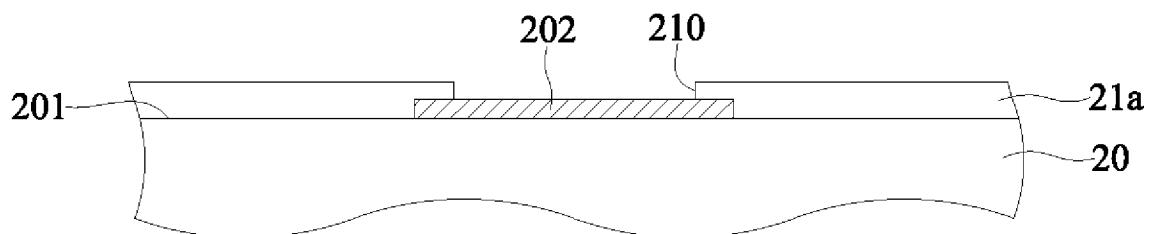


图 2A

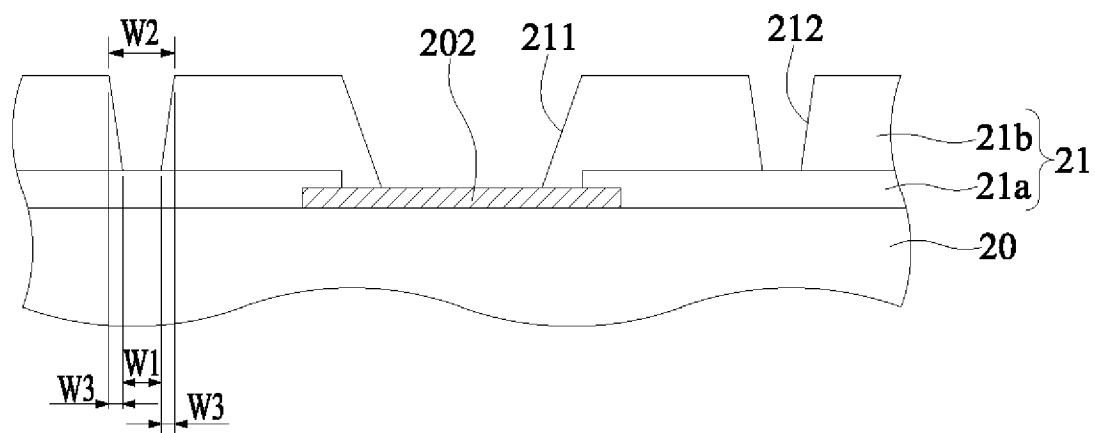


图 2B

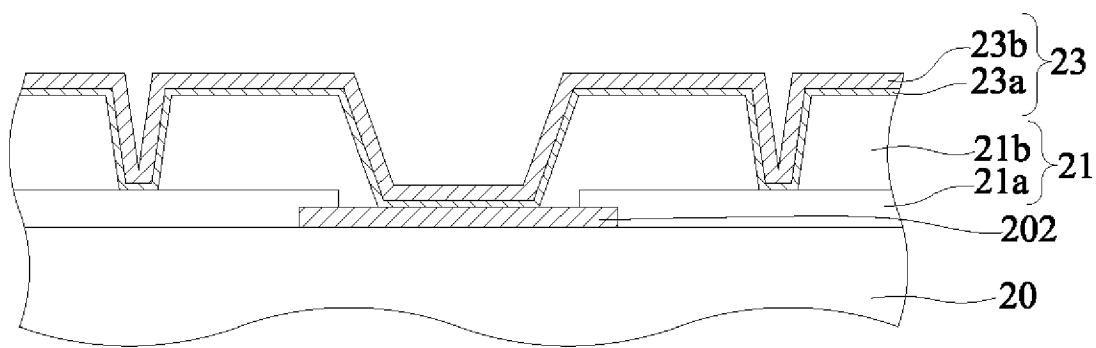


图 2C

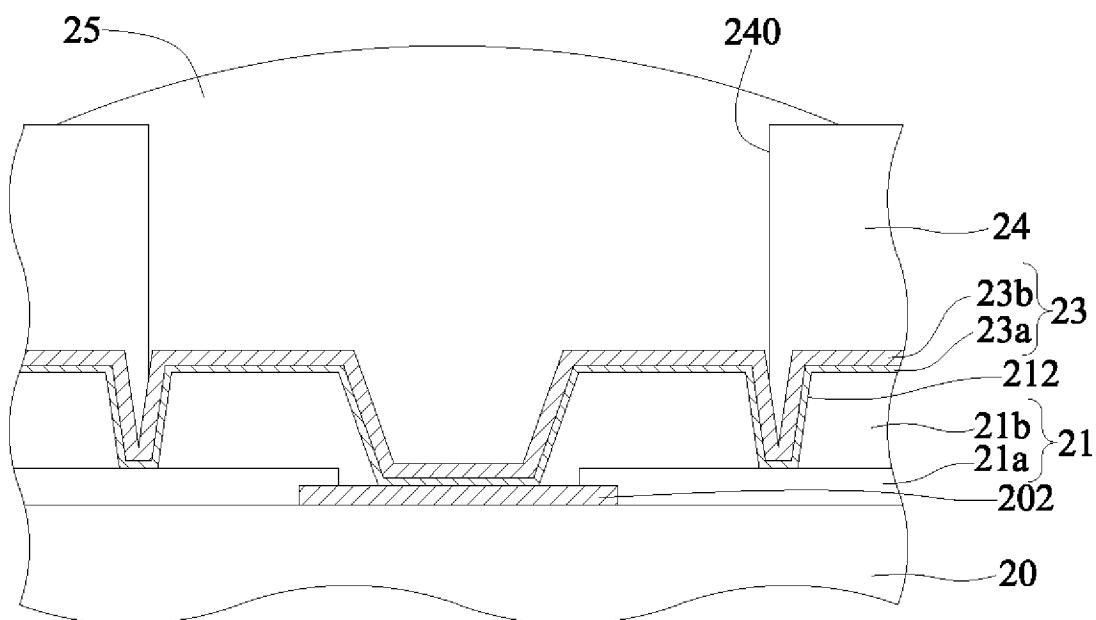


图 2D

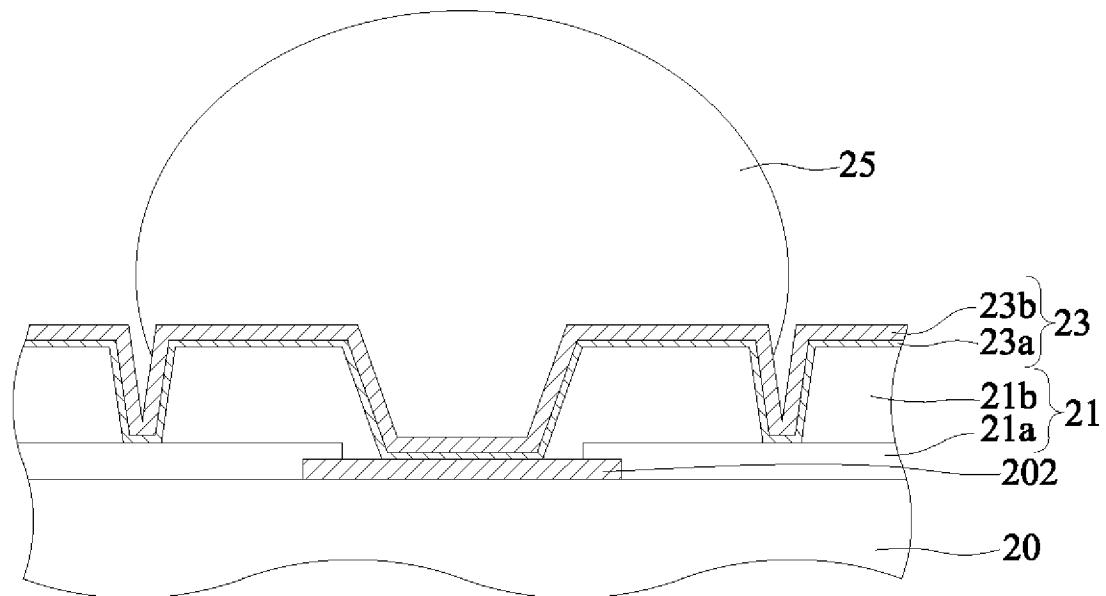


图 2E

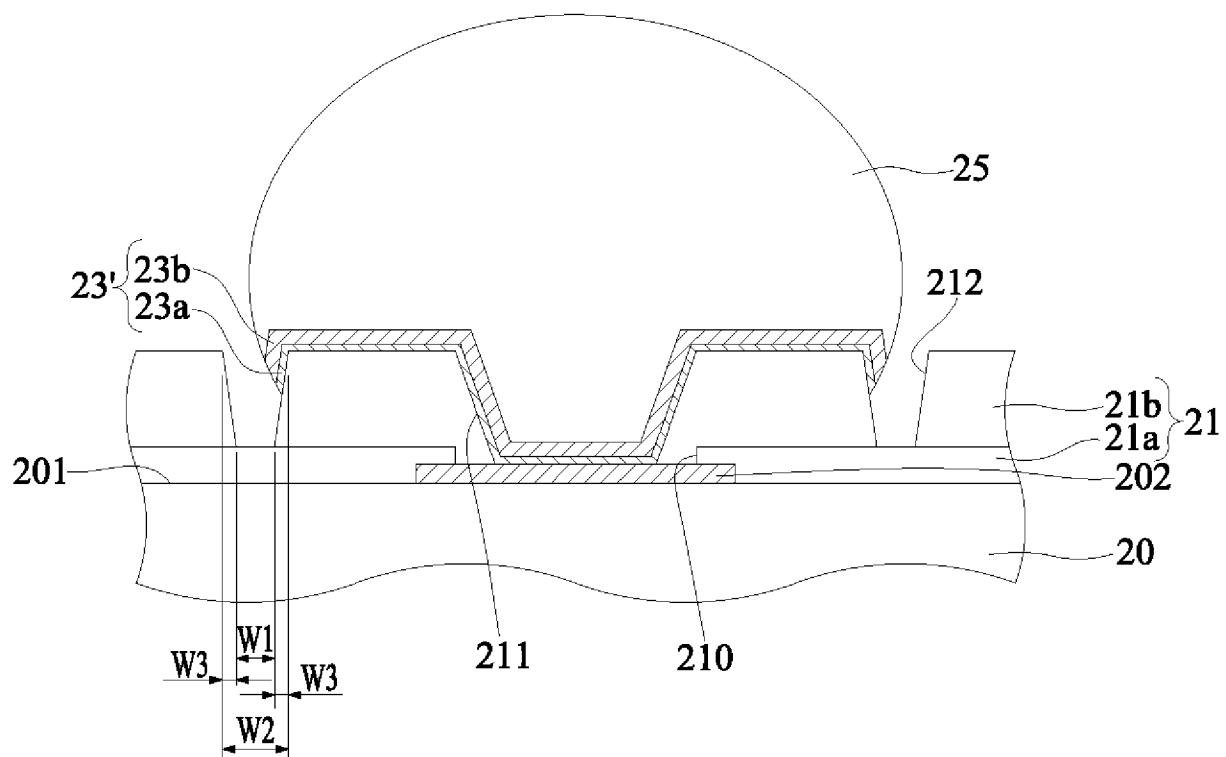


图 2F

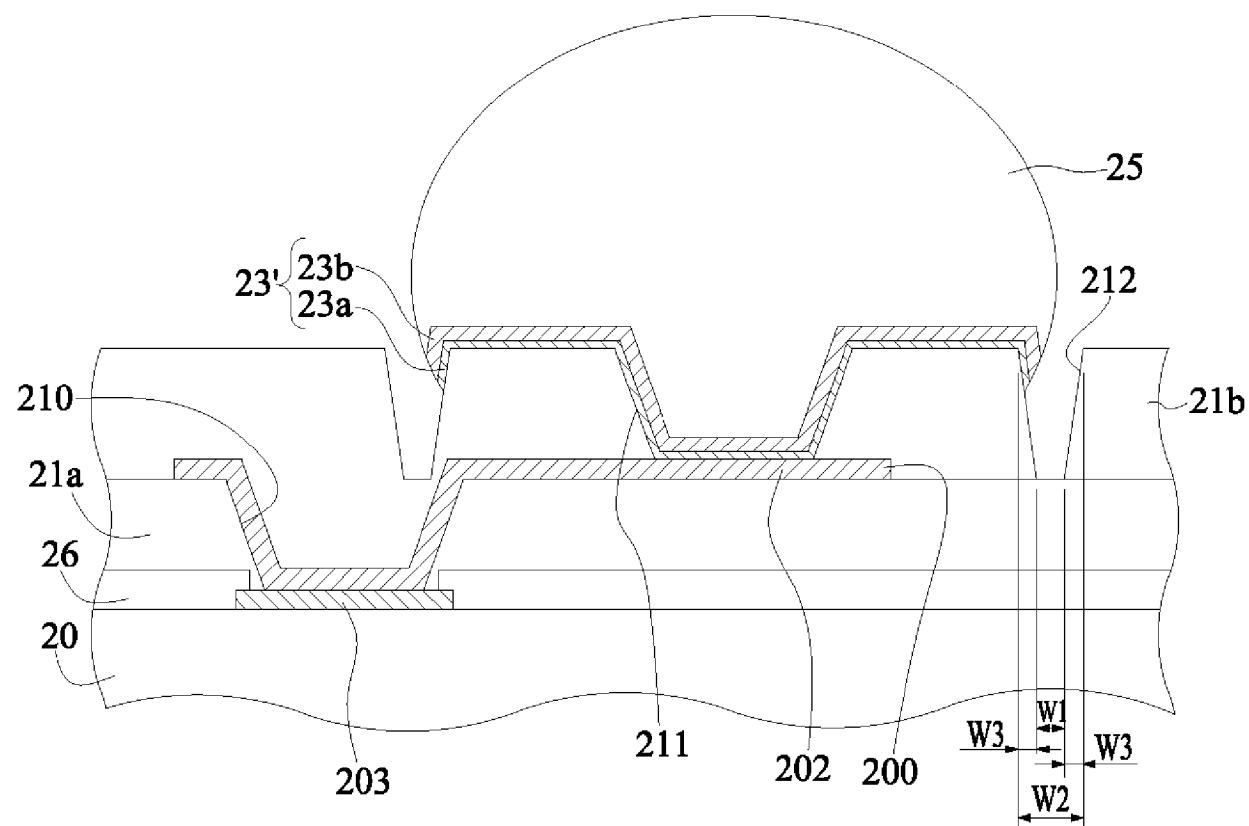


图 2F'