

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5953974号  
(P5953974)

(45) 発行日 平成28年7月20日 (2016. 7. 20)

(24) 登録日 平成28年6月24日 (2016. 6. 24)

(51) Int. Cl.	F I
HO 1 L 21/66 (2006. 01)	HO 1 L 21/66 E
HO 1 L 21/3205 (2006. 01)	HO 1 L 21/88 T
HO 1 L 21/768 (2006. 01)	HO 1 L 21/88 Z
HO 1 L 23/522 (2006. 01)	

請求項の数 8 (全 38 頁)

(21) 出願番号	特願2012-141392 (P2012-141392)	(73) 特許権者	308014341
(22) 出願日	平成24年6月22日 (2012. 6. 22)		富士通セミコンダクター株式会社
(65) 公開番号	特開2013-77800 (P2013-77800A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成25年4月25日 (2013. 4. 25)		23
審査請求日	平成27年2月23日 (2015. 2. 23)	(74) 代理人	100107766
(31) 優先権主張番号	特願2011-201321 (P2011-201321)		弁理士 伊東 忠重
(32) 優先日	平成23年9月15日 (2011. 9. 15)	(74) 代理人	100070150
(33) 優先権主張国	日本国 (JP)		弁理士 伊東 忠彦
		(74) 代理人	100146776
			弁理士 山口 昭則
		(72) 発明者	吉澤 和隆
			神奈川県横浜市港北区新横浜二丁目10番
			23 富士通セミコンダクター株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

スクライプ領域とチップ領域とを有する半導体基板と、  
前記半導体基板の上に形成された複数の配線層と、  
前記複数の配線層の間に配置されたビア層と、  
前記複数の配線層に形成された導電膜と、  
前記ビア層に形成され、当該ビア層の上下の前記配線層の前記導電膜と接続するビアプラグと

を有し、

前記スクライプ領域は、前記チップ領域の外周であって前記半導体基板の縁に接して位置し、

前記スクライプ領域は前記縁に接するパッド領域を有し、

前記パッド領域は、前記複数の配線層の各々に、平面視において相互に重なって配置され、

前記複数の配線層は、第1の配線層と第2の配線層を有し、

前記第1の配線層の前記導電膜は、前記パッド領域の全面に形成された第1の導電パターンを有し、

前記第2の配線層の前記導電膜は、前記パッド領域の一部に形成された第2の導電パターンを有し、

前記パッド領域は、前記縁と対向する第1の外周線と、前記縁及び前記第1の外周線に

10

20

達する第2の外周線及び第3の外周線に囲まれてなり、前記第1の外周線及び前記第2の外周線からなる第1の頂点と、前記第1の外周線及び前記第3の外周線からなる第2の頂点を有し、

前記第2の導電パターンは、前記第1の頂点または第2の頂点に鉤型に配置されている半導体装置。

【請求項2】

前記第2の導電パターンは、前記第1の頂点または第2の頂点に接して配置された請求項1に記載の半導体装置。

【請求項3】

前記第2の配線層の前記導電膜は、前記第2の導電パターンを複数有し、

前記複数の第2の導電パターンは、前記パッド領域の内部に離散的に配置されている請求項1または2に記載の半導体装置。

【請求項4】

スクライプ領域とチップ領域とを有する半導体基板と、

前記半導体基板の上に形成された複数の配線層と、

前記複数の配線層の間に配置されたビア層と、

前記複数の配線層に形成された導電膜と、

前記ビア層に形成され、当該ビア層の上下の前記配線層の前記導電膜と接続するビアプラグと

を有し、

前記スクライプ領域は、前記チップ領域の外周であって前記半導体基板の縁に接して位置し、

前記スクライプ領域は前記縁に接するパッド領域を有し、

前記パッド領域は、前記複数の配線層の各々に、平面視において相互に重なって配置され、

前記複数の配線層は、第1の配線層と第2の配線層を有し、

前記第1の配線層の前記導電膜は、前記パッド領域の全面に形成された第1の導電パターンを有し、

前記第2の配線層の前記導電膜は、前記パッド領域の一部に形成された第2の導電パターンを有し、

前記第2の配線層の前記導電膜は、前記第2の導電パターンを複数有し、

前記複数の第2の導電パターンは、前記パッド領域の内部に離散的に配置されており、

前記第2の導電パターンの間隔は、第2の導電パターンに接続される配線の幅よりも狭い半導体装置。

【請求項5】

前記第2の導電パターンは、少なくとも前記縁から離れた位置に配置されている請求項1から4のいずれかに記載の半導体装置。

【請求項6】

前記第2の導電パターンは、少なくとも前記パッド領域の外周線のうち前記縁に重ならない部分に沿って配置されている請求項1から4のいずれかに記載の半導体装置。

【請求項7】

前記パッド領域は、前記縁と対向する第1の外周線と、前記縁及び前記第1の外周線に達する第2の外周線及び第3の外周線に囲まれてなり、前記第1の外周線及び前記第2の外周線からなる第1の頂点と、前記第1の外周線及び前記第3の外周線からなる第2の頂点を有し、

前記第2の導電パターンは、前記第1の頂点または第2の頂点に接して配置されている請求項4に記載の半導体装置。

【請求項8】

表面に、スクライプ領域、及び前記スクライプ領域で区分された複数のチップ領域が画定された半導体ウェハの上にモニタ素子を形成する工程と、

10

20

30

40

50

前記モニタ素子を形成した後、前記半導体ウェハの上に、ビア層と配線層とが交互に積層された多層配線層を形成する工程と、

前記スクライプ領域に沿って前記半導体ウェハを切断し、複数のチップに分離する工程とを有し、

前記ビア層は、前記ビア層の上下の前記配線層の導電膜と接続するビアプラグを有し、前記スクライプ領域は切除領域及びパッド領域を有し、

前記切除領域は、前記スクライプ領域の幅方向に関して前記パッド領域よりも小さな寸法を有し、

前記パッド領域は、前記複数の配線層の各々に、平面視において相互に重なって配置され、

前記複数の配線層は、第1の配線層と第2の配線層を有し、

前記第1の配線層の前記導電膜は、前記パッド領域の全面に形成された第1の導電パターンを有し、

前記第2の配線層の前記導電膜は、前記パッド領域の一部に形成された第2の導電パターンを有し、

前記半導体ウェハを切断する工程において、前記切除領域をダイシングブレードによって切除し、前記パッド領域の一部分は残す半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

以下に説明する実施形態は、スクライプライン（スクライプ領域）で切断された半導体装置、スクライプライン内にパッドを配置した半導体装置およびウェハ、及び半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体ウェハのスクライプラインには、プロセスモニタ用のパッド（コンタクトパッド）が配置される。スクライプラインに沿って半導体ウェハをダイシングする際に、パッドが分断されてバリが発生する場合がある。バリの発生を低減させるために、上下のパッドを接続するビアプラグを、パッドの四隅に1個ずつ配置した構造が知られている。さらに、3層の配線層のうち、最下層を除く2層によってパッドを形成する構造が知られている。

【0003】

また、ダイシングブレードの寿命を長くするために、最上層のパッドは電極形成領域全面に配置し、最上層以外の下層のパッドは電極形成領域の四隅に配置した構造が知られている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-34783号公報

【特許文献2】特開2007-173752号公報

【特許文献3】特開2002-190456号公報

【特許文献4】特開2005-158832号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

配線層の積層数が多くなると、スクライプライン内に配置されるパッドの積層数も多くなる。パッドの積層数が多くなると、ダイシング時に、スクライプラインから素子形成領域に向かってクラックが発生しやすくなる。スクライプラインを狭くすると、クラックが耐湿リングの内側まで達し、電子回路の動作に悪影響を与える場合がある。

10

20

30

40

50

## 【 0 0 0 6 】

スクライブラインの幅が狭くなり、かつ配線層の積層数を多くしても、クラックの発生を抑制することができる半導体装置、及びその製造方法が望まれる。

## 【課題を解決するための手段】

## 【 0 0 0 7 】

一観点によると、スクライブ領域とチップ領域とを有する半導体基板と、前記半導体基板の上に形成された複数の配線層と、前記複数の配線層の間に配置されたビア層と、前記複数の配線層に形成された導電膜と、前記ビア層に形成され、当該ビア層の上下の前記配線層の前記導電膜と接続するビアプラグとを有し、前記スクライブ領域は、前記チップ領域の外周であって前記半導体基板の縁に接して位置し、前記スクライブ領域は前記縁に接するパッド領域を有し、前記パッド領域は、前記複数の配線層の各々に、平面視において相互に重なって配置され、前記複数の配線層は、第1の配線層と第2の配線層を有し、前記第1の配線層の前記導電膜は、前記パッド領域の全面に形成された第1の導電パターンを有し、前記第2の配線層の前記導電膜は、前記パッド領域の一部に形成された第2の導電パターンを有し、前記パッド領域は、前記縁と対向する第1の外周線と、前記縁及び前記第1の外周線に達する第2の外周線及び第3の外周線に囲まれてなり、前記第1の外周線及び前記第2の外周線からなる第1の頂点と、前記第1の外周線及び前記第3の外周線からなる第2の頂点を有し、前記第2の導電パターンは、前記第1の頂点または第2の頂点に鉤型に配置されている半導体装置が提供される。

## 【発明の効果】

## 【 0 0 0 8 】

本実施形態では、ダイシング時に、ダイシングブレードが、導電パターンを構成する金属材料の延性の影響を受け難い。これにより、半導体基板へのクラックの発生を抑制することができる。

## 【図面の簡単な説明】

## 【 0 0 0 9 】

【図1】(A)は実施形態1による半導体装置のダイシング前の半導体ウェハの平面図、(B)はチップ領域及びスクライブラインの拡大平面図である。

【図2】(A)及び(B)はそれぞれ実施形態1による半導体装置のダイシング前のスクライブライン内の1層目及び2層目の配線パターンを示す平面図である。

【図3】(A)は実施形態1による半導体装置のダイシング前のスクライブライン内の3層目及び4層目の配線パターンを示す平面図、(B)は実施形態1による半導体装置のダイシング前のスクライブライン内の5層目の配線パターンを示す平面図である。

【図4】実施形態1による半導体装置のダイシング前のパッド近傍の断面図である。

【図5】(A)は実施形態1による半導体装置の平面図、(B)は実施形態1による半導体装置のパッド領域の平面図、(C)は最上層よりも下の配線層のパッド領域の平断面図である。

【図6】比較対照例による半導体装置のパッド領域の断面図である。

【図7】(A)は比較対照例による半導体装置のダイシング前のスクライブライン及びダイシングブレードの平面図、(B)は(A)中の平面図、一点鎖線7B-7Bに沿った断面図、(C)はダイシングブレードの回転速度または送り速度と位置との関係を示すグラフである。

【図8】(A)は実施形態1による半導体装置のダイシング前のスクライブライン及びダイシングブレードの平面図、(B)は実施形態1による半導体装置のダイシング前のスクライブライン及びダイシングブレードの最上層よりも下の配線層の平断面図、(C)は(A)及び(B)に示す一点鎖線8C-8Cに沿った断面図、(D)はダイシングブレードの回転速度または送り速度と位置との関係を示すグラフである。

【図9】(A)は比較対照例による半導体装置のパッド領域内の導電パターン及び配線のパターンデータに対応するパターンの平面図、(B)は実施形態1による半導体装置のパッド領域内の導電パターン及び配線のパターンデータに対応するパターンの平面図である

。【図10】(A)は実施形態2による半導体装置のダイシング前のパッド近傍の断面図、(B)は実施形態2による半導体装置の2層目の配線層まで形成した段階の断面図である。

。【図11】(A)は実施形態3による半導体装置のダイシング前の最上層のパッドの平面図、(B)は実施形態3による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C)は(A)及び(B)に示す一点鎖線11C-11Cに沿った半導体装置の断面図である。

【図12】(A)は参考例による半導体装置のダイシング前のパッド領域のレイアウトを示す平面図であり、(B)及び(C)は実施形態3による半導体装置のダイシング前のパッド領域のレイアウトを示す平面図である。

10

【図13】実施形態3の変形例による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図である。

【図14】(A)は図13の変形例による半導体装置の平面図、(B)は同変形例による半導体装置のパッド領域の平面図、(C)は最上層より下の配線層のパッド領域の平断面図である。

【図15】(A)は実施形態4による半導体装置のダイシング前の最上層のパッドの平面図、(B)は実施形態4による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C)は(A)及び(B)に示す一点鎖線14C-14Cに沿った半導体装置の断面図である。

20

【図16】(A)は実施形態4による半導体装置の平面図、(B)は実施形態4による半導体装置のパッド領域の平面図、(C)は最上層より下の配線層のパッド領域の平断面図である。

【図17】(A)は実施形態4による半導体装置の他のパッド領域を示す平面図、(B)は(A)に対応した、最上層より下の配線層のパッド領域の平断面図である。

【図18】(A)は実施形態5による半導体装置のダイシング前の最上層のパッドの平面図、(B)は実施形態5による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C)は(A)及び(B)に示す一点鎖線15C-15Cに沿った半導体装置の断面図である。

【図19】(A)は実施形態5による半導体装置の平面図、(B)は実施形態5による半導体装置のパッド領域の平面図、(C)は最上層より下の配線層のパッド領域の平断面図である。

30

【図20】(A)は実施形態6による半導体装置のダイシング前の最上層のパッドの平面図、(B)は実施形態6による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C)は(A)及び(B)に示す一点鎖線16C-16Cに沿った半導体装置の断面図である。

【図21】(A)は実施形態6による半導体装置の平面図、(B)は実施形態6による半導体装置のパッド領域の平面図、(C)は最上層より下の配線層のパッド領域の平断面図である。

【図22】実施形態6の変形例による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図である。

40

【図23】(A)は実施形態7による半導体装置のダイシング前の最上層のパッドの平面図、(B)は実施形態7による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C)は(A)及び(B)に示す一点鎖線18C-18Cに沿った半導体装置の断面図である。

【図24】(A)は実施形態7による半導体装置の平面図、(B)は実施形態7による半導体装置のパッド領域の平面図、(C)は最上層より下の配線層のパッド領域の平断面図である。

【図25】(A)~(C)は実施形態7の変形例による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図である。

50

【図 26】(A) 及び (B) は比較対照例による半導体装置の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C) 及び (D) は実施形態 7 による半導体装置の最上層より下の配線層のパッド領域内の導電パターンの平断面図である。

【図 27】(A) は実施形態 8 による半導体装置のダイシング前の最上層のパッドの平面図、(B) は実施形態 8 による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C) は (A) 及び (B) に示す一点鎖線 21C - 21C に沿った半導体装置の断面図である。

【図 28】(A) は実施形態 1 による半導体装置の平面図、(B) は実施形態 1 による半導体装置のパッド領域の平面図、(C) は最上層よりも下の配線層のパッド領域の平断面図である。

10

【図 29】(A) ~ (C) は実施形態 8 の変形例による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図である。

【図 30】(A) は実施形態 9 による半導体装置のダイシング前の最上層のパッドの平面図、(B) は実施形態 9 による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C) は (A) 及び (B) に示す一点鎖線 23C - 23C に沿った半導体装置の断面図である。

【図 31】(A) は実施形態 9 による半導体装置の平面図、(B) は実施形態 9 による半導体装置のパッド領域の平面図、(C) は最上層よりも下の配線層のパッド領域の平断面図である。

【図 32】(A) は実施形態 10 による半導体装置のダイシング前の最上層のパッドの平面図、(B) は実施形態 10 による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C) は図 24 (A) 及び図 24 (B) に示す一点鎖線 24C - 24C に沿った半導体装置の断面図である。

20

【図 33】(A) は実施形態 10 による半導体装置の平面図、(B) は実施形態 10 による半導体装置のパッド領域の平面図、(C) は最上層よりも下の配線層のパッド領域の平断面図である。

【図 34】(A) は実施形態 10 の一変形例による半導体装置のダイシング前の最上層のパッドの平面図、(B) は実施形態 10 前記変形例による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図、(C) は (A) 及び (B) に示す一点鎖線 25C - 25C に沿った半導体装置の断面図である。

30

【図 35】(A) は実施形態 10 に係る半導体ウェハの一例を示す平面図、(B) は前記半導体ウェハで使われるモニタ素子の例を示す平面図である。

【図 36】(A) は図 35 (A) による半導体ウェハの線 27A - 27A に沿った断面図、(B) は図 35 (A) による半導体ウェハの線 27B - 27B に沿った断面図である。

【発明を実施するための形態】

【0010】

[実施形態 1]

図 1 (A) は、実施形態 1 による半導体ウェハ 30 のダイシング前における平面図を示す。

【0011】

40

図 1 (A) を参照するに、実施形態 1 では半導体ウェハ 30 の表面に、行列状に複数のチップ領域 32 が配置される。チップ領域 32 の間に、スクライプライン 31 が画定されている。スクライプライン 31 は、格子状の平面形状を有する。

【0012】

図 1 (B) は、前記チップ領域 32 及びスクライプライン 31 の一部を示す拡大平面図である。

【0013】

図 1 (B) を参照するに、実施形態 1 では複数のチップ領域 32 の各々の外周線に沿って、耐湿リング 36 が形成されている。また相互に隣り合うチップ領域 32 の間にスクライプライン 31 が画定されている。スクライプライン 31 内に、検査用の複数のパッド領

50

域 3 3 が配置されている。パッド領域 3 3 は、多層配線層の各配線層において、同じ位置に配置される。すなわち、平面視において、すべての配線層のパッド領域 3 3 が相互に重なる。

**【 0 0 1 4 】**

ダイシングブレード 3 4 により、スクライプライン 3 1 に沿って半導体ウェハ 3 0 が、個々の半導体チップに切断される。ダイシングブレード 3 4 によって切除される領域 3 5 (以下、「切除領域」という。)は、スクライプライン 3 1 よりも細い。前記パッド領域 3 3 の各々の幅方向の寸法は、前記切除領域 3 5 の幅よりも大きい。このため、パッド領域 3 3 の各々が切除領域 3 5 で分断され、一部分が個片化された半導体チップに残存する。

10

**【 0 0 1 5 】**

スクライプライン 3 1 の幅は、例えば  $30\ \mu\text{m} \sim 120\ \mu\text{m}$  の範囲内である。スクライプライン 3 1 の幅に基づいて、種々の厚さのダイシングブレードから、ダイシングに用いるダイシングブレード 3 4 が選択される。スクライプライン 3 1 の幅が上記範囲内であるとき、ダイシングブレード 3 4 の厚さ、すなわちダイシングブレード 3 4 によって除去される切除領域 3 5 の幅は、 $15\ \mu\text{m} \sim 50\ \mu\text{m}$  の範囲内である。ただし切除領域 3 5 の幅がスクライプライン 3 1 の幅を超えることはない。一例として、スクライプライン 3 1 の幅が  $80\ \mu\text{m}$  であるとき、一般的に、厚さ  $35\ \mu\text{m} \sim 40\ \mu\text{m}$  のダイシングブレード 3 4 が使用される。切除領域 3 5 の幅は、ダイシングブレード 3 4 の厚さよりやや広くなる。切除領域 3 5 の幅は  $35\ \mu\text{m}$  以上となることがある。

20

**【 0 0 1 6 】**

パッド領域 3 3 は、例えば正方形または長方形であり、一辺の長さは、スクライプライン 3 1 の幅に基づいて設定される。例えば、スクライプライン 3 1 の幅が  $40\ \mu\text{m}$  であるとき、スクライプライン 3 1 の幅方向に関するパッド領域 3 3 の寸法は  $35\ \mu\text{m}$  程度に設定され、スクライプライン 3 1 の幅が  $120\ \mu\text{m}$  であるとき、パッド領域 3 3 の寸法は  $80\ \mu\text{m}$  程度に設定される。

**【 0 0 1 7 】**

図 2 (A) は、スクライプライン 3 1 内に形成されたプロセスコントロールモニタ素子及び 1 層目の配線パターンの平面図を示す。

**【 0 0 1 8 】**

図 2 (A) の平面図は、スクライプライン 3 1 内の半導体ウェハ 3 0 (図 1 (A)) の表面に、モニタ素子 4 0 が形成されていることを示している。図示の例ではモニタ素子 4 0 は、例えば MOS トランジスタである。ただしモニタ素子 4 0 は MOS トランジスタに限定されるものではなく、ポリシリコンパターンよりなる抵抗素子や、キャパシタであってもよい。

30

**【 0 0 1 9 】**

図 2 (A) を参照するに、スクライプライン 3 1 内に、ほぼ正方形のパッド領域 3 3 が画定されているのがわかる。前記パッド領域 3 3 内には、その外周線に沿った環状 (ループ状) の導電パターン 5 0 が、例えば金属膜により形成されている。図 2 (A) に現れていないパッド領域 3 3 内にも、同一形状の導電パターン 5 0 が形成されている。

40

**【 0 0 2 0 】**

さらに図示の例では前記スクライプライン 3 1 の一方の縁よりもやや内側にソース配線 4 2 が配置され、それよりもやや内側にゲート配線 4 1 が配置されている。スクライプライン 3 1 の他方の縁よりもやや内側に、ドレイン配線 4 3 が配置され、それよりもやや内側にウェル配線 4 4 が配置されている。ソース配線 4 2、ゲート配線 4 1、ドレイン配線 4 3、及びウェル配線 4 4 は、スクライプライン 3 1 の長さ方向に延在する。パッド領域 3 3 は、ゲート配線 4 1 とウェル配線 4 4 との間に画定されている。

**【 0 0 2 1 】**

ゲート配線 4 1 から、スクライプライン 3 1 の幅方向に分岐した支線が、ビアプラグ V 1 を介してモニタ素子 4 0 のゲート電極に接続されている。ソース配線 4 2 から分岐した

50

支線が、ビアプラグV 2を介してモニタ素子4 0のソースに接続されている。ソース配線4 2の支線とゲート配線4 1とが交差する箇所において、ゲート配線4 1が分断されている。ウェル配線4 4から分岐した支線が、ビアプラグV 4を介して、モニタ素子4 0が配置されているウェルに接続されている。ドレイン配線4 3から分岐した支線が、ビアプラグV 3を介してモニタ素子4 0のドレインに接続されている。ドレイン配線4 3の支線とウェル配線4 4とが交差する箇所において、ドレイン配線4 3の支線が分断されている。

【0022】

ゲート配線4 1は、スクライプライン3 1の縁と、パッド領域3 3とに挟まれた領域において、スクライプライン3 1の幅方向に折れ曲がり、導電パターン5 0に接続されている。ソース配線4 2、ドレイン配線4 3、及びウェル配線4 4は、それぞれ図2(A)に現れていないパッド領域3 3内の導電パターン5 0に接続されている。さらに、ゲート配線4 1、ソース配線4 2、ドレイン配線4 3、及びウェル配線4 4は、それぞれ図2(A)に現れていない他のモニタ素子のゲート電極、ソース、ドレイン、及びウェルに接続されている。

【0023】

図2(B)は、スクライプライン3 1内に形成された2層目の配線パターンの平面図を示す。なお、1層目の配線パターンを破線で示す。

【0024】

図2(B)を参照するに、図2(A)に示した1層目の配線層のパッド領域3 3と同じ位置に、2層目のパッド領域3 3が画定されていることがわかる。パッド領域3 3内に、その外周線に沿って、環状の導電パターン5 0が形成されている。この導電パターン5 0は、1層目の導電パターン5 0と同一の平面形状を有する。導電パターン5 0は、ビアプラグV 5を介して、1層目の導電パターン5 0に接続されている。

【0025】

1層目で分断されていたゲート配線4 1が、2層目の配線5 1によって接続される。同様に、1層目で分断されていたドレイン配線4 3の支線が、2層目の配線5 2によって接続される。

【0026】

図3(A)は、スクライプライン3 1内に形成された3層目及び4層目の導電パターンの平面図を示す。1層目及び2層目の配線パターンを破線で示す。

【0027】

図3(A)を参照するに、図2(A)に示した1層目の配線層のパッド領域3 3と同じ位置に、3層目及び4層目のパッド領域3 3が画定されていることがわかる。パッド領域3 3内に、その外周線に沿って、環状の導電パターン5 0が形成されている。この導電パターン5 0は、1層目の導電パターン5 0と同一の平面形状を有する。導電パターン5 0は、ビアプラグV 5を介して、その下の導電パターン5 0に接続されている。

【0028】

図3(B)は、スクライプライン3 1内に形成された5層目(最上層)の導電パターンの平面図を示す。なお、1層目~4層目の導電パターンを破線で示す。

【0029】

図3(B)を参照するに、先に図2(A)に示した1層目の配線層のパッド領域3 3と同じ位置に、5層目のパッド領域3 3が画定されていることがわかる。またパッド領域3 3内にはパッド5 5が形成されている。パッド5 5は、パッド領域3 3の全域にベタに配置された導電膜、例えば金属膜で構成される。パッド5 5は、ビアプラグV 5を介して、4層目の導電パターン5 0(図3(A))に接続されている。

【0030】

前記配線4 1~4 4、5 1、5 2、導電パターン5 0、パッド5 5、ビアプラグV 1~V 5は、アルミニウムや銅等の金属材料で形成される。

【0031】

図4は、図3(B)の一点鎖線3-3に沿った断面図を示す。

10

20

30

40

50



## 【 0 0 3 2 】

図 4 を参照するに、半導体ウェハ 3 0 の上に、ビア層 5 7 A ~ 5 7 E と、配線層 5 8 A ~ 5 8 E とが交互に積層されていることがわかる。ビア層 5 7 A ~ 5 7 E の各々は、絶縁膜と、その絶縁膜中に配置された導電性のビアプラグとを含む。配線層 5 8 A ~ 5 8 E の各々は、絶縁膜と、その絶縁膜中に配置された配線等の導電パターンを含む。

## 【 0 0 3 3 】

図 4 を参照するに、1 層目の配線層 5 8 A に、ゲート配線 4 1 及びソース配線 4 2 が形成されている。ゲート配線 4 1 は、ソース配線 4 2 によって分断されている。1 層目 ~ 4 層目の配線層 5 8 A ~ 5 8 D のパッド領域 3 3 に、それぞれ環状の導電パターン 5 0 が形成されている。最上層 5 8 E のパッド領域 3 3 内に、ベタの導電膜からなるパッド 5 5 が形成されている。2 層目 ~ 5 層目のビア層 5 7 B ~ 5 7 E に、ビアプラグ V 5 が配置されている。1 層目のビア層 5 7 A のパッド領域 3 3 内には、ビアプラグが形成されていない。

10

## 【 0 0 3 4 】

2 層目の配線層 5 8 B に、分断されたゲート配線 4 1 を接続する配線 5 1 が形成されている。

## 【 0 0 3 5 】

2 層目 ~ 4 層目のビアプラグ V 5 は、厚さ方向に隣り合う 2 つの導電パターン 5 0 を相互に接続する。5 層目のビアプラグ V 5 は、4 層目の導電パターン 5 0 と最上層のパッド 5 5 とを接続する。

20

## 【 0 0 3 6 】

5 層目の配線層 5 8 E の上に、絶縁材料からなる保護膜 5 9 が形成されている。保護膜 5 9 に、パッド 5 5 の上面を露出させるための開口 6 0 が形成されている。

## 【 0 0 3 7 】

パッド 5 5 にプローブ針 6 2 を接触させることにより、モニタ素子 4 0 ( 図 2 ( A ) ) の電気的特性を測定することができる。モニタ素子 4 0 の電気的特性を測定した後、半導体ウェハ 3 0 を、スクライプライン 3 1 ( 図 2 ( A ) ~ 図 2 ( B )、図 3 ( A ) ~ 図 3 ( B ) ) に沿ってダイシングする。なお、必要であれば、ダイシング前に、ポリイミド等で半導体ウェハ 3 0 の表面を保護する。

## 【 0 0 3 8 】

図 5 ( A ) は、ダイシングによって個片化された本実施形態による半導体装置の概略平面図を示す。半導体装置は、図 4 に示した半導体ウェハ 3 0 から切り出された半導体基板 3 0 A、及びその上に積層された複数のビア層 5 7 A ~ 5 7 E ( 図 4 )、複数の配線層 5 8 A ~ 5 8 E ( 図 4 ) を含む。図 1 ( B ) に示したように、切除領域 3 5 がスクライプライン 3 1 よりも狭いため、チップ領域 3 2 の外側に、スクライプライン 3 1 の一部が残存している。残存したスクライプライン 3 1 内に、パッド 5 5 の一部も残存している。

30

## 【 0 0 3 9 】

図 5 ( B ) は、残存したパッド 5 5 の平面図を示す。ダイシング後のパッド領域 3 3 の外周線の一部 3 3 A が、半導体基板 3 0 A の縁に一致する。パッド領域 3 3 の全域に、パッド 5 5 が配置されている。パッド 5 5 は、パッド領域 3 3 内にベタに配置された導電膜で構成される。パッド 5 5 の外周線よりもやや内側に、半導体基板 3 0 A の縁と一致しない部分 3 3 B に沿って、複数のビアプラグ V 5 が配列している。

40

## 【 0 0 4 0 】

図 5 ( C ) は、2 層目 ~ 4 層目の配線層 5 8 B ~ 5 8 D ( 図 4 ) の平断面図を示す。

## 【 0 0 4 1 】

図 5 ( C ) を参照するに、パッド領域 3 3 の外周線のうち、半導体基板 3 0 A の縁と一致しない部分 3 3 B に沿うように、線状に、導電パターン 5 0 が残存している。導電パターン 5 0 と重なるように、複数のビアプラグ V 5 が配置されている。

## 【 0 0 4 2 】

実施形態 1 の効果について説明する前に、比較対照例について説明する。

50

## 【 0 0 4 3 】

図 6 は、比較対照例による半導体装置のパッド領域の断面図を示す。

## 【 0 0 4 4 】

図 6 を参照するに、比較対照例においては、パッド領域 3 3 内の 1 層目 ~ 4 層目の導電パターン 5 0、及び 5 層目のパッド 5 5 が、すべてベタの導電膜で構成されている。導電パターン 5 0、及びパッド 5 5 を接続するビアプラグ V 5 は、パッド領域 3 3 内にほぼ均一に分布している。ダイシング時に、パッド領域 3 3 の中心を含む切除領域 3 5 が、ダイシングブレードによって切除される。

## 【 0 0 4 5 】

図 7 ( A ) は、比較対照例による半導体ウェハ 3 0 0 について、パッド領域 3 3、ダイシングブレード 3 4、及び切除領域 3 5 を平面図で示す。

10

## 【 0 0 4 6 】

図 7 ( A ) を参照するに、複数のパッド領域 3 3 のほぼ中心を、切除領域 3 5 が通過する。パッド領域 3 3 内に、ベタの導電膜からなるパッド 5 5 が配置されている。

## 【 0 0 4 7 】

図 7 ( B ) は、図 7 ( A ) の一点鎖線 7 B - 7 B に沿った断面図を示す。半導体ウェハ 3 0 の上に、ビア層と配線層とを含む多層配線層 6 5 が形成されている。多層配線層 6 5 は、パッド 5 5 及び導電パターン 5 0 を含む。回転するダイシングブレード 3 4 を、図 6 B の右端から左方に移動させることにより、ダイシングが行われる。

## 【 0 0 4 8 】

図 7 ( C ) は、ダイシング時におけるダイシングブレード 3 4 の回転速度または送り速度の一例を示す。図 7 ( C ) において横軸は、スクライプラインに沿った位置を表し、縦軸は、ダイシングブレード 3 4 の回転速度または送り速度を表す。

20

## 【 0 0 4 9 】

図 7 ( C ) を参照するに、ダイシングブレード 3 4 ( 図 7 ( B ) ) が左方に向かって移動し、その先端がパッド領域 3 3 に達すると、ダイシングブレード 3 4 が、パッド 5 5 や導電パターン 5 0 を構成する金属の延性の影響を受けて、回転速度及び送り速度が設定値以下になってしまう。

## 【 0 0 5 0 】

ダイシングブレード 3 4 の先端がパッド領域 3 3 を通り過ぎると、ダイシングブレード 3 4 が金属の延性の影響を受けなくなる。このため、ダイシングブレード 3 4 の回転速度及び送り速度が、設定値まで回復する。ダイシングブレード 3 4 の回転速度及び送り速度が急激に回復することにより、半導体ウェハ 3 0 にクラックが発生する場合がある。

30

## 【 0 0 5 1 】

発明者らの実験によると、パッド領域 3 3 内に配置されたベタのアルミニウム膜からなる導電パターン 5 0、及びパッド 5 5 の合計の積層数が 5 層になると、クラックの発生頻度が急激に高くなることがわかった。なお、導電パターン 5 0、及びパッド 5 5 の合計の積層数が 3 層の場合には、クラックは発生しなかった。すなわち、ダイシングブレード 3 4 が通過する領域 ( 切除領域 3 5 ) 内に配置される金属の体積を小さくすること、またはダイシングブレード 3 4 に金属の延性の影響が及びにくい金属配置とすることが、クラック発生抑制に有効である。

40

## 【 0 0 5 2 】

図 8 ( A ) は、実施形態 1 による半導体ウェハ 3 0 についてパッド領域 3 3、ダイシングブレード 3 4、及び切除領域 3 5 を平面図で示す。

## 【 0 0 5 3 】

図 8 ( A ) を参照するに、複数のパッド領域 3 3 のほぼ中心を、切除領域 3 5 が通過する。またパッド領域 3 3 内には、ベタの導電膜からなるパッド 5 5 が配置されている。

## 【 0 0 5 4 】

図 8 ( B ) は、3 層目または 4 層目の配線層 5 8 D ( 図 4 ) の平断面図を示す。

## 【 0 0 5 5 】

50

図 8 ( B ) を参照するに、パッド領域 3 3 内に、環状の導電パターン 5 0 が形成されている。

【 0 0 5 6 】

図 8 ( C ) は、図 8 ( A ) 及び図 8 ( B ) の一点鎖線 8 C - 8 C に沿った断面図を示す。なお、図 8 ( C ) では、図 2 ( A ) 及び図 2 ( B ) に示した 1 層目の配線及び 2 層目の配線の表示は省略している。

【 0 0 5 7 】

図 8 ( C ) を参照するに、1 層目 ~ 4 層目の導電パターン 5 0 は、環状の平面形状を有するため、図 8 ( C ) に示した断面においては、パッド領域 3 3 の右端と左端とに導電膜が出現し、パッド領域 3 3 の内奥部には、導電膜が出現しない。

10

【 0 0 5 8 】

図 8 ( D ) は、ダイシング時におけるダイシングブレード 3 4 の回転速度または送り速度の一例を示す。なお図 8 ( D ) の横軸及び縦軸は、図 7 ( C ) の横軸及び縦軸に対応する。

【 0 0 5 9 】

図 8 ( D ) を参照するに、ダイシングブレード 3 4 ( 図 8 ( C ) ) が左方に向かって移動し、その先端がパッド領域 3 3 に達すると、ダイシングブレード 3 4 が、パッド 5 5 や導電パターン 5 0 を構成する金属の延性の影響を受けて、回転速度及び送り速度が設定値以下になってしまう。ただし、1 層目 ~ 4 層目の導電パターン 5 0 は、環状の平面形状を有するため、ダイシングブレード 3 4 に与える延性の影響が小さい。このため、回転速度及び送り速度の低下幅は、図 7 ( C ) に示した比較対照例の場合に比べて小さい。ダイシングブレード 3 4 の先端がパッド領域 3 3 を通り過ぎたときの、回転速度及び送り速度の回復幅も、図 7 ( C ) に示した比較対照例の場合に比べて小さい。このため、比較対照例に比べて、半導体ウエハ 3 0 にクラックが発生し難い。

20

【 0 0 6 0 】

ダイシングブレード 3 4 が、1 層目 ~ 4 層目の導電パターン 5 0 から延性の影響を受けにくくするために、導電パターン 5 0 の内周線で囲まれた領域の幅 ( スクライプライン 3 1 の幅方向の寸法 ) を、切除領域 3 4 の幅より大きくすることが好ましい。

【 0 0 6 1 】

次に、図 9 ( A ) 及び図 9 ( B ) を参照して、パッド領域 3 3 内の導電パターン 5 0 を環状パターンにしたことが、パターンレイアウト設計に与える影響について説明する。

30

【 0 0 6 2 】

図 9 ( A ) は、図 6 に示した比較対照例によるパッド領域 3 3 内の導電パターン 5 0 及び配線 4 1 のパターンデータで表されるパターンの平面図を示す。

【 0 0 6 3 】

図 9 ( A ) を参照するに、導電パターン 5 0 は、パッド領域 3 3 の全域にベタに配置された導電膜で構成されている。導電パターン 5 0 は、モニタ素子 4 0 ( 図 2 ( A ) ) と接続するための配線 4 1 等のレイアウトの設計とは別に、予めレイアウト設計されている。配線 4 1 等のレイアウト設計を行う際には、配線 4 1 の一部がパッド領域 3 3 と重なるように、配線 4 1 の形状及びレイアウトを決定する。配線 4 1 のパターンデータと、導電パターン 5 0 のパターンデータとを合成することにより、配線 4 1 及び導電パターン 5 0 が配置される配線層のパターンデータが得られる。

40

【 0 0 6 4 】

図 9 ( B ) は、実施形態 1 による半導体装置の導電パターン 5 0 及び配線 4 1 のパターンデータで表されるパターンの平面図を示す。

【 0 0 6 5 】

図 9 ( B ) を参照するに、導電パターン 5 0 は、パッド領域 3 3 の外周線に沿った環状の導電膜で構成される。配線 4 1 のレイアウトを設計する際には、図 9 ( A ) の場合と同様に、配線 4 1 の一部がパッド領域 3 3 と重なるように、配線 4 1 の形状及びレイアウトを決定する。配線 4 1 とパッド領域 3 3 とが重なるとき、配線 4 1 は、必ず環状の導電パ

50

ターン 50 にも重なる。従って、配線 41 のレイアウト設計には、導電パターン 50 がベタの導電膜で構成されている構造（図 6）と同様の手順を適用することができる。

【0066】

なお以上の説明では配線層数が 5 層の例を説明したが、本実施形態、および以下の他の実施形態でも、層数は 5 層あるいは特定の層数に限定されるものではなく、本実施形態は層数が 5 層よりも少ない、あるいは多い場合も含むものである。

【0067】

[実施形態 2]

次に、実施形態 2 について説明する。以下、実施形態 1 との相違点について説明し、同一の構成については説明を省略する。

10

【0068】

図 10 (A) は、実施形態 2 による半導体ウェハ 30、およびその上に形成された積層構造の断面図を示す。図 10 (A) に示した断面図は、実施形態 1 の図 4 に示した断面図に対応する。図 10 (A) の断面内の各構成要素には、図 4 の対応する構成要素に付した参照符号と同一の参照符号が付されている。

【0069】

実施形態 1 では、1 層目～4 層目までの導電パターン 50 が、すべて環状の平面形状を有していた。実施形態 2 においては、2 層目の配線層 58B の導電パターン 50 が、ベタの導電膜で構成されている。発明者らの実験によると、パッド領域 33 内に配置されたベタの導電膜が 3 層以下の場合には、ダイシング時にクラックが発生しないことがわかった。

20

【0070】

図 10 (B) は、2 層目の配線層 58B を形成した時点の断面図を示す。

【0071】

図 10 (B) に示したように、2 層目の配線層 58B を形成した時点で、導電パターン 50 とモニタ素子 40 との接続が完了している。2 層目の導電パターン 50 にプローブ針 62 を接触させることにより、モニタ素子 40 (図 2 (A)) の電気的特性を測定することができる。

【0072】

本実施形態によれば、最上層よりも下の配線層に配置される導電パターン 50 をベタの導電膜で形成することにより、最上層の配線層 58E を形成する前に、モニタ素子 40 の電気的特性を測定することができる。ただし、1 層目の配線層 58A が形成された時点では、図 2 (A) に示したように、導電パターン 50 とモニタ素子 40 との接続が完了していない。導電パターン 50 とモニタ素子 40 との接続が完了する工程で形成される配線層の導電パターン 50 を、ベタの導電膜で構成することが好ましい。

30

【0073】

なお、2 層目より上の配線層の導電パターン 50 を、ベタの導電膜で構成してもよい。クラックの発生を抑制するために、最上層のパッド 55 を含めて、ベタの導電膜の積層数を 3 層以下にすることが好ましい。

【0074】

半導体ウェハ処理工程が終了した時点で、モニタ素子 40 の電気的特性を測定するために、最上層のパッド領域 33 に、ベタの導電膜で構成されたパッド 55 を配置することが好ましい。

40

【0075】

なお以上の説明では配線層数が 5 層の例を説明したが、本実施形態、および以下の他の実施形態でも、層数は 5 層あるいは特定の層数に限定されるものではなく、本実施形態は層数が 5 層よりも少ない、あるいは多い場合も含むものである。

【0076】

本実施形態においてダイシング後に得られる半導体装置の平面図は、先に図 5 (A) ~ (C) で説明したものと同様であり、説明を省略する。

50

## 【 0 0 7 7 】

## [ 実施形態 3 ]

次に、実施形態 3 について説明する。以下、実施形態 1 による半導体装置との相違点について説明し、同一の構成については説明を省略する。

## 【 0 0 7 8 】

図 1 1 ( A ) は、実施形態 3 による半導体ウェハ 3 0 のダイシング前におけるパッド 5 5 の平面図を示す。

## 【 0 0 7 9 】

図 1 1 ( A ) を参照するに、実施形態 3 による半導体装置のパッド 5 5、及びその下のビアプラグ V 5 は、図 3 ( B ) に示した実施形態 1 のパッド 5 5 及びビアプラグ V 5 と同一の構成を有する。ビアプラグ V 5 の配置は、実施形態 1 のビアプラグ V 5 の配置と同一である必要はない。

10

## 【 0 0 8 0 】

図 1 1 ( B ) は、1 層目 ~ 4 層目の導電パターン 5 0 の平面図を示す。

## 【 0 0 8 1 】

図 1 1 ( B ) を参照するに、導電パターン 5 0 は、複数のドットパターン 5 0 A で構成されている。ドットパターン 5 0 A は、パッド領域 3 3 内に、その外周線に沿うように配置されている。1 つのドットパターン 5 0 A 内には、1 つのビアプラグ V 5 が配置されている。なお、1 つのドットパターン 5 0 A 内に配置されるビアプラグ V 5 の個数は 1 個である必要はなく、配置可能な範囲で複数個配置してもよい。

20

## 【 0 0 8 2 】

切除領域 3 5 でダイシングした後の半導体装置においては、パッド領域 3 3 の外周線のうち、ダイシング後の半導体基板の縁と一致しない部分に沿って、ドットパターン 5 0 A が配置される。このようにドットパターン 5 0 A を配置することにより、ダイシングブレード 3 4 が金属から受ける延性の影響を軽減することができる。

## 【 0 0 8 3 】

ドットパターン 5 0 A は、ダイシングブレード 3 4 の厚さよりも小さくすることが好ましい。ドットパターン 5 0 A の寸法を、ダイシングブレード 3 4 の厚さより小さくすることにより、金属の延性に起因するダイシングブレード 3 4 の回転速度や送り速度の低下が生じにくくなる。これにより、クラックの発生が抑制される。

30

## 【 0 0 8 4 】

また、酸化シリコン膜や窒化シリコン膜等の絶縁膜で、複数のドットパターン 5 0 A に分断されていれば、金属の延性がダイシングブレード 3 4 の回転速度や送り速度に与える影響が軽減される。スクライプライン 3 1 内に配置された金属が、ダイシングブレード 3 4 の厚さより小さな複数のドットパターン 5 0 A に分割されていることが、チップ分割の観点から好ましい。

## 【 0 0 8 5 】

図 1 1 ( C ) は、図 1 1 ( A ) 及び図 1 1 ( B ) の一点鎖線 1 1 C - 1 1 C に沿った断面図を示す。

## 【 0 0 8 6 】

図 1 1 ( C ) を参照するに、最上層のパッド 5 5 のみが、ベタの導電膜で構成されており、1 層目 ~ 4 層目の配線層の導電パターン 5 0 は、複数のドットパターン 5 0 A ( 図 1 1 ( B ) ) で構成される。

40

## 【 0 0 8 7 】

次に、図 1 2 ( A ) ~ 図 1 2 ( C ) を参照して、パッド領域 3 3 内の導電パターン 5 0 を、複数のドットパターン 5 0 A で構成したことが、パターンレイアウト設計に与える影響について説明する。

## 【 0 0 8 8 】

図 1 2 ( A ) は、配線 4 1 の一部がパッド領域 3 3 と重なるように、配線 4 1 をレイアウトした一例を示す。

50

## 【 0 0 8 9 】

図 1 2 ( A ) を参照するに、配線 4 1 が、ドットパターン 5 0 A の間を通過して、パッド領域 3 3 内に進入している。この例では、配線 4 1 が導電パターン 5 0 に接続されない。

## 【 0 0 9 0 】

図 1 2 ( B ) は、配線 4 1 の一部が、1つのドットパターン 5 0 A と重なるように、配線 4 1 をレイアウトした例を示す。この例では、配線 4 1 が導電パターン 5 0 に接続される。

## 【 0 0 9 1 】

図 1 2 ( B ) を参照するに、ドットパターン 5 0 A の間隔が配線 4 1 の幅よりも広い場合には、配線 4 1 のレイアウト設計時に、配線 4 1 の一部がパッド領域 3 3 と重なるという条件では十分ではない。配線 4 1 の一部が少なくとも1つのドットパターン 5 0 A と重なるという条件で、配線 4 1 のレイアウトを決定しなければならない。

## 【 0 0 9 2 】

図 1 2 ( C ) は、ドットパターン 5 0 A の間隔が配線 4 1 の幅よりも狭い場合のレイアウトの一例を示す。配線 4 1 の一部がパッド領域 3 3 と重なるように、配線 4 1 のレイアウト設計を行うと、配線 4 1 は、少なくとも1つのドットパターン 5 0 A と重なる。このため、配線 4 1 のレイアウト設計時には、配線 4 1 の一部がパッド領域 3 3 と重なるという条件で、配線 4 1 のレイアウトを決定すればよい。

## 【 0 0 9 3 】

図 1 3 は、実施形態 3 の変形例による半導体装置のダイシング前の 1 層目 ~ 4 層目の導電パターン 5 0 の平面図を示す。

## 【 0 0 9 4 】

図 1 1 ( B ) に示した例では、導電パターン 5 0 が、ドットパターン 5 0 A のみで構成されていた。図 1 3 に示した変形例では、導電パターン 5 0 が、ドットパターン 5 0 A 及び長方形パターン 5 0 B で構成される。長方形パターン 5 0 B は、その長い辺がパッド領域 3 3 の外周線に沿うように配置される。1つの長方形パターン 5 0 B 内には、複数、例えば2つのビアプラグ V 5 が配置される。

## 【 0 0 9 5 】

実施形態 3、及びその変形例においては、実施形態 1 と比較して、ダイシング時に、導電パターン 5 0 を構成する金属の延性の影響をさらに軽減することができる。これにより、半導体ウェハ 3 0 にクラックが発生し難くなる。

## 【 0 0 9 6 】

また、実施形態 3、及びその変形例においても、図 1 0 ( A ) に示した実施形態 2 のように、一部の配線層の導電パターン 5 0 を、ベタの導電膜で構成してもよい。

## 【 0 0 9 7 】

図 1 4 ( A ) は、ダイシングによって個片化された本実施形態による半導体装置の概略平面図を示す。本実施形態においても半導体装置は、図 4 に示した半導体ウェハ 3 0 から切り出された半導体基板 3 0 A、及びその上に積層された複数のビア層 5 7 A ~ 5 7 E ( 図 4 )、複数の配線層 5 8 A ~ 5 8 E ( 図 4 ) を含む。図 1 ( B ) に示したように、切除領域 3 5 がスクライブライン 3 1 よりも狭いため、チップ領域 3 2 の外側に、スクライブライン 3 1 の一部が残存している。残存したスクライブライン 3 1 内に、パッド 5 5 の一部も残存している。

## 【 0 0 9 8 】

図 1 4 ( B ) は、残存したパッド 5 5 の平面図を示す。ダイシング後のパッド領域 3 3 の外周線の一部 3 3 A が、半導体基板 3 0 A の縁に一致する。パッド領域 3 3 の全域に、パッド 5 5 が配置されている。パッド 5 5 は、パッド領域 3 3 内にベタに配置された導電膜で構成される。パッド 5 5 の外周線よりもやや内側に、半導体基板 3 0 A の縁と一致しない部分 3 3 B に沿って、複数のビアプラグ V 5 が配列している。

## 【 0 0 9 9 】

10

20

30

40

50

図14(C)は、2層目～4層目の配線層58B～58D(図4)の平断面図を示す。

【0100】

図14(C)を参照するに、パッド領域33の外周線のうち、半導体基板30Aの縁と一致しない部分33Bに沿うように、導電パターン50A, 50Bが残存している。導電パターン50Aには単一のビアプラグV5が、また導電パターン50Bには隣接する一対のビアプラグV5が配置されている。導電パターン50A, 50Bは前記パッド領域22の外周線33Bに沿って、一列に配列されている。

【0101】

[実施形態4]

次に、実施形態4について説明する。以下、実施形態1との相違点について説明し、同一の構成については説明を省略する。

【0102】

図15(A)は、実施形態4による半導体ウェハ30のダイシング前におけるパッド55の平面図を示す。

【0103】

図15(A)は、本実施形態における最上層のパッド55の平面形状が、図3Bに示した実施形態1のパッド55と同一であることを示している。

【0104】

図15(B)は、1層目、3層目～4層目の配線層の導電パターン50の平面図を示す。

【0105】

図15(B)を参照するに、パッド領域33内のうち、切除領域35によって分離される2つの領域の一方(図13(B)において切除領域35より上側の領域)にのみ導電パターン50が配置されていることがわかる。また導電パターン50は、パッド領域33の外周線のうち、切除領域35と平行な部分に沿って配置された長方形の導電膜で構成される。導電パターン50は、切除領域35から離れて配置される。ダイシング後は、導電パターン50は、個片化された半導体基板30Aの縁から離れて配置されることになる。

【0106】

図15(B)において切除領域35より下側の半導体基板30Aでは、ダイシング後に、パッド領域33内に導電パターンが残存しない。

【0107】

図15(C)は、図15(A)及び図15(B)の一点鎖線14C-14Cに沿った断面図を示す。

【0108】

図15(C)を参照するに、本実施形態では2層目の導電パターン50及び最上層のパッド55が、パッド領域33内の全域に配置されたベタの導電膜で構成されていることがわかる。1層目、3層目、4層目の導電パターン50は、切除領域35を基準として、片側にのみ配置されている。図13Cでは、1層目、3層目、4層目の導電パターン50を、すべて切除領域35の左側に配置したが、1層目の導電パターン50を切除領域35の右側に配置してもよいし、3層目及び4層目の導電パターン50を切除領域35の右側に配置してもよい。いずれの場合も、導電パターン50は、ダイシング後の半導体基板30Aの縁から離れた位置に配置される。

【0109】

実施形態4においては、2層目の導電パターン50及び最上層のパッド55の2層の導電膜の延性が、ダイシングブレードの回転に影響を及ぼし、1層目、3層目、4層目の導電パターン50は、ダイシングブレードの回転に影響を及ぼさない。このため、半導体ウェハ30へのクラックの発生を抑制することができる。また、2層目の導電パターン50が、パッド領域33の全域に配置されたベタの導電膜で構成されている。このため、図9Bに示した実施形態2と同様に、2層目の配線層58Bを形成した時点で、モニタ素子40(図2(A))の電気的特性を測定することができる。

10

20

30

40

50

## 【 0 1 1 0 】

図 1 6 ( A ) は、ダイシングによって個片化された本実施形態による半導体装置の概略平面図を示す。半導体装置は、図 4 に示した半導体ウェハ 3 0 から切り出された半導体基板 3 0 A、及びその上に積層された複数のビア層 5 7 A ~ 5 7 E ( 図 4 )、複数の配線層 5 8 A ~ 5 8 E ( 図 4 ) を含む。図 1 ( B ) に示したように、切除領域 3 5 がスクライブライン 3 1 よりも狭いため、チップ領域 3 2 の外側に、スクライブライン 3 1 の一部が残存している。残存したスクライブライン 3 1 内に、パッド 5 5 の一部も残存している。ただし本実施形態では残存しているパッド 5 5 のうち、対向する辺に互いに対応して形成された一对のパッドは後で説明するように同一ではないので、一方を符号 5 5 R で示し、他方を符号 5 5 L で示す。

10

## 【 0 1 1 1 】

図 1 6 ( B ) は、残存したパッド 5 5 R の平面図を示す。ダイシング後のパッド領域 3 3 の外周線の一部 3 3 A が、半導体基板 3 0 A の縁に一致する。パッド領域 3 3 の全域に、パッド 5 5 が配置されている。パッド 5 5 は、パッド領域 3 3 内にベタに配置された導電膜で構成される。パッド 5 5 の外周線よりもやや内側に、半導体基板 3 0 A の縁と一致しない部分 3 3 B に沿って、複数のビアプラグ V 5 が二列構成で配列している。

## 【 0 1 1 2 】

図 1 6 ( C ) は、2 層目 ~ 4 層目の配線層 5 8 B ~ 5 8 D ( 図 4 ) の平断面図を示す。

## 【 0 1 1 3 】

図 1 6 ( C ) を参照するに、パッド領域 3 3 の外周線のうち、半導体基板 3 0 A の縁と一致しない部分 3 3 B に沿うように、導電パターン 5 0 が延在している。導電パターン 5 0 と重なるように、複数のビアプラグ V 5 が二列構成で配置されている。

20

## 【 0 1 1 4 】

図 1 7 ( A ) は、残存したパッド 5 5 L の平面図を示す。パッド 5 5 L においても、ダイシング後のパッド領域 3 3 の外周線の一部 3 3 A が、半導体基板 3 0 A の縁に一致する。またパッド 5 5 は、パッド領域 3 3 内にベタに配置された導電膜で構成される。ただしパッド 5 5 L にはビアプラグ V 5 は配置されていないことに注意が必要である。

## 【 0 1 1 5 】

## [ 実施形態 5 ]

次に、実施形態 5 について説明する。以下、実施形態 1 との相違点について説明し、同一の構成については説明を省略する。

30

## 【 0 1 1 6 】

図 1 8 ( A ) は、実施形態 5 による半導体ウェハ 3 0 のダイシング前におけるパッド 5 5 の平面図を示す。

## 【 0 1 1 7 】

図 1 8 ( A ) において最上層のパッド 5 5 の平面形状は、図 3 ( B ) に示した実施形態 1 のパッド 5 5 と同一である。

## 【 0 1 1 8 】

図 1 8 ( B ) は、1 層目、3 層目及び 4 層目の配線層の導電パターン 5 0 の平面図を示す。

40

## 【 0 1 1 9 】

図 1 8 ( B ) を参照するに、パッド領域 3 3 内のうち、切除領域 3 5 によって分離される 2 つの領域の各々に導電パターン 5 0 が配置されている。導電パターン 5 0 は、パッド領域 3 3 の外周線のうち、切除領域 3 5 と平行な部分に沿って配置された長方形の導電膜で構成される。導電パターン 5 0 は、切除領域 3 5 から離れて配置される。ダイシング後は、導電パターン 5 0 は、個片化された半導体基板 3 0 A の縁から離れて配置されることになる。

## 【 0 1 2 0 】

図 1 8 ( C ) は、図 1 8 ( A ) 及び図 1 8 ( B ) の一点鎖線 1 5 C - 1 5 C に沿った断面図を示す。

50



## 【 0 1 2 1 】

図 1 8 ( C ) を参照するに、2 層目の導電パターン 5 0 及び最上層のパッド 5 5 が、パッド領域 3 3 内の全域に配置されたベタの導電膜で構成されている。1 層目、3 層目、4 層目の導電パターン 5 0 は、切除領域 3 5 から離れた位置に配置されている。

## 【 0 1 2 2 】

実施形態 5 においても、実施形態 4 と同様に、1 層目、3 層目、4 層目の導電パターン 5 0 は、ダイシングブレードの回転に影響を及ぼさない。このため、半導体ウェハ 3 0 へのクラックの発生を抑制することができる。また、2 層目の導電パターン 5 0 が、パッド領域 3 3 の全域に配置されたベタの導電膜で構成されている。このため、図 1 0 ( B ) に示した実施形態 2 と同様に、2 層目の配線層 5 8 B を形成した時点で、モニタ素子 4 0 ( 図 2 ( A ) ) の電気的特性を測定することができる。

10

## 【 0 1 2 3 】

図 1 9 ( A ) は、ダイシングによって個片化された本実施形態による半導体装置の概略平面図を示す。半導体装置は、図 4 に示した半導体ウェハ 3 0 から切り出された半導体基板 3 0 A、及びその上に積層された複数のビア層 5 7 A ~ 5 7 E ( 図 4 )、複数の配線層 5 8 A ~ 5 8 E ( 図 4 ) を含む。図 1 ( B ) に示したように、切除領域 3 5 がスクライプライン 3 1 よりも狭いため、チップ領域 3 2 の外側に、スクライプライン 3 1 の一部が残存している。残存したスクライプライン 3 1 内に、パッド 5 5 の一部も残存している。

## 【 0 1 2 4 】

図 1 9 ( B ) は、残存したパッド 5 5 の平面図を示す。ダイシング後のパッド領域 3 3 の外周線の一部 3 3 A が、半導体基板 3 0 A の縁に一致する。パッド領域 3 3 の全域に、パッド 5 5 が配置されている。パッド 5 5 は、パッド領域 3 3 内にベタに配置された導電膜で構成される。パッド 5 5 の外周線よりもやや内側に、半導体基板 3 0 A の縁と一致しない部分 3 3 B に沿って、複数のビアプラグ V 5 が配列している。

20

## 【 0 1 2 5 】

図 1 9 ( C ) は、2 層目 ~ 4 層目の配線層 5 8 B ~ 5 8 D ( 図 4 ) の平断面図を示す。

## 【 0 1 2 6 】

図 1 9 ( C ) を参照するに、パッド領域 3 3 の外周線のうち、半導体基板 3 0 A の縁と一致しない部分 3 3 B に沿うように、線状に、導電パターン 5 0 が残存している。導電パターン 5 0 と重なるように、複数のビアプラグ V 5 が配置されているのがわかる。

30

## 【 0 1 2 7 】

## [ 実施形態 6 ]

次に、実施形態 6 について説明する。以下、実施形態 1 との相違点について説明し、同一の構成については説明を省略する。

## 【 0 1 2 8 】

図 2 0 ( A ) は、実施形態 6 による半導体ウェハ 3 0 のダイシング前におけるパッド 5 5 の平面図を示す。

## 【 0 1 2 9 】

図 2 0 ( A ) において、最上層のパッド 5 5 の平面形状は、前記図 3 ( B ) に示した実施形態 1 のパッド 5 5 と同一である。

40

## 【 0 1 3 0 】

図 2 0 ( B ) は、最上層以外の配線層の導電パターン 5 0 の平断面図を示す。

## 【 0 1 3 1 】

図 2 0 ( B ) ではパッド領域 3 3 の四隅の近傍に配置されたドットパターン 5 0 A により、導電パターン 5 0 が構成される。1 つの隅に対応して、3 個のドットパターン 5 0 A が配置されている。3 個のドットパターン 5 0 A のうち 1 つは、パッド領域 3 3 の頂点に対応する位置に配置されている。他の 2 つのドットパターン 5 0 A は、それぞれ、頂点からパッド領域 3 3 の外周線が延びる 2 つの方向に離れた位置に配置されている。いずれのドットパターン 5 0 A も、切除領域 3 5 から離れている。ダイシング後には、1 層目 ~ 4 層目の導電パターン 5 0 は、パッド領域 3 3 の頂点のうち、個片化された半導体基板 3 0

50

Aの縁から離れた頂点に対応する位置に残存する。

【0132】

図20(C)は、前記図20(A)及び図20(B)の一点鎖線16C-16Cに沿った断面図を示す。

【0133】

図20(C)を参照するに、1層目～4層目の導電パターン50は、切除領域35から離れて、その両側に配置されていることがわかる。

【0134】

図21(A)は、ダイシングによって個片化された本実施形態による半導体装置の概略平面図を示す。半導体装置は、図4に示した半導体ウェハ30から切り出された半導体基板30A、及びその上に積層された複数のビア層57A～57E(図4)、複数の配線層58A～58E(図4)を含む。図1(B)に示したように、切除領域35がスクライブライン31よりも狭いため、チップ領域32の外側に、スクライブライン31の一部が残存している。残存したスクライブライン31内に、パッド55の一部も残存している。

10

【0135】

図21(B)は、残存したパッド55の平面図を示す。ダイシング後のパッド領域33の外周線の一部33Aが、半導体基板30Aの縁に一致する。パッド領域33の全域に、パッド55が配置されている。パッド55は、パッド領域33内にベタに配置された導電膜で構成される。前記外周線11Aよりも内側の前記パッド55の頂点对応して、半導体複数の、図示の例では3個のビアプラグV5が配列しているのがわかる。

20

【0136】

図21(C)は、2層目～4層目の配線層58B～58D(図4)の平断面図を示す。

【0137】

図21(C)を参照するに、パッド領域33の外周線のうち、半導体基板30Aの縁と一致しない部分角部、すなわちパッド領域の各頂点に対応して、3個の導電パターン50が残存している。さらに前記3個の導電パターン50と重なるように、前記3個のビアプラグV5が配置されている。

【0138】

図22は、実施形態6の変形例による半導体装置のダイシング前の導電パターン50の平断面図を示す。

30

【0139】

図22の変形例では、パッド領域33の四隅に、鉤型のパターンが配置されている。鉤型のパターンは、パッド領域33の頂点から2つの辺に沿って延びた平面形状を有する。ダイシング後には、パッド領域33の頂点のうち、個片化された半導体基板30Aの縁に接していない2つの頂点に、鉤型の導電パターン50が残存する。

【0140】

実施形態6及びその変形例においては、実施形態1と同様に、最上層58E以外の配線層58A～58Dの導電パターン50は、ダイシングブレードの回転に影響を及ぼさない。このため、半導体ウェハ30へのクラックの発生を抑制することができる。

【0141】

実施形態6及びその変形例において、最上層58E以外の配線層58A～58Dのうち1層または2層の配線層内の導電パターン50を、パッド領域33の全域に配置されたベタの導電膜で構成してもよい。ベタの導電膜で構成された導電パターン50を含む配線層を形成した時点で、モニタ素子40(図2(A))の電気的特性を測定することができる。

40

【0142】

変形例22による半導体装置の平面構成は、図21の説明より明らかであり、説明を省略する。

【0143】

[実施形態7]

50

次に、実施形態7について説明する。以下、実施形態1による半導体装置との相違点について説明し、同一の構成については説明を省略する。

【0144】

図23(A)は、実施形態7による半導体装置の最上層のパッド55の平面図を示す。図23(A)において最上層のパッド55の平面形状は、図3(B)に示した実施形態1のパッド55と同一である。

【0145】

図23(B)は、最上層以外の配線層に配置された導電パターン50の平断面図を示す。図23(B)において導電パターン50は、切除領域35内に配置された複数のドットパターン50Aで構成される。ドットパターン50Aは、切除領域35の中心線に沿って1列に配列している。ビアプラグV5は、1つのドットパターン50A内に1個配置してもよいし、複数個配置してもよい。

10

【0146】

図23(C)は、図23(A)及び図23(B)の一点鎖線18C-18Cに沿った断面図を示す。

【0147】

図23(C)を参照するに、1層目~4層目の導電パターン50、及び2層目~5層目のビアプラグV5が、切除領域35内に配置されていることがわかる。すなわち、ドットパターン50Aの寸法が、切除領域35の幅より小さい。ダイシング後の半導体装置には、最上層のパッド55の一部が残存するが、最上層以外の配線層58A~58D、及び1層目~5層目のビア層57A~57Eには、導電パターン及びビアプラグが残存しない。

20

【0148】

実施形態7においては、実施形態1と同様に、最上層58E以外の配線層58A~58Dの導電パターン50が、ダイシングブレード34に金属の延性の影響を伝達しにくいいため、ダイシングブレードの回転速度や送り速度にほとんど影響を及ぼさない。このため、半導体ウェハ30へのクラックの発生を抑制することができる。

【0149】

実施形態7においも、最上層58E以外の配線層58A~58Dのうち1層または2層の配線層内の導電パターン50を、パッド領域33の全域に配置されたベタの導電膜で構成してもよい。ベタの導電膜で構成された導電パターン50を含む配線層を形成した時点で、モニタ素子40(図2(A))の電気的特性を測定することができる。

30

【0150】

図24(A)は、ダイシングによって個片化された本実施形態による半導体装置の概略平面図を示す。半導体装置は、図4に示した半導体ウェハ30から切り出された半導体基板30A、及びその上に積層された複数のビア層57A~57E(図4)、複数の配線層58A~58E(図4)を含む。図1(B)に示したように、切除領域35がスクライブライン31よりも狭いため、チップ領域32の外側に、スクライブライン31の一部が残存している。残存したスクライブライン31内に、パッド55の一部も残存している。

【0151】

図24(B)は、残存したパッド55の平面図を示す。ダイシング後のパッド領域33の外周線の一部33Aが、半導体基板30Aの縁に一致する。パッド領域33の全域に、パッド55が配置されている。パッド55は、パッド領域33内にベタに配置された導電膜で構成される。本実施形態では残存したパッド55にはビアプラグV5は形成されない。

40

【0152】

図24(C)は、2層目~4層目の配線層58B~58D(図4)の平断面図を示す。

【0153】

図24(C)を参照するに、本実施形態ではパッド領域33に導電パターン50は残存せず、従って導電パターン50と重なるように複数のビアプラグV5が配置されることもない。

50

## 【 0 1 5 4 】

本実施形態において図 2 5 ( A ) に示すように、導電パターン 5 0 を構成するドットパターン 5 0 A を 2 列に配置してもよい。また図 2 5 ( B ) に示すように、導電パターン 5 0 を、複数のドットパターンではなく、切除領域 3 5 の中心線に沿った直線状のパターンで構成してもよい。また図 2 5 ( C ) に示すように、直線状のパターンを 2 列に配置してもよい。ダイシングブレード 3 4 の進行方向に関する導電パターン 5 0 の長さは、最上層のパッド 5 5 の寸法を上限として自由に設定することができる。

## 【 0 1 5 5 】

次に、図 2 6 ( A ) ~ 図 2 6 ( D ) を参照して、実施形態 7 の構成を採用することの効果について説明する。

10

## 【 0 1 5 6 】

図 2 6 ( A ) は、比較対照例による半導体装置のパッド領域 3 3 内の導電パターン 5 0 のレイアウトを示す。

## 【 0 1 5 7 】

図 2 6 ( A ) を参照するに、比較対照例では導電パターン 5 0 は、パッド領域 3 3 の四隅に、切除領域 3 5 から離れて配置されている。切除領域 3 5 が導電パターン 5 0 に接触しないため、ダイシング時におけるクラックの発生を抑制することができる。しかし、スクライプラインの幅が狭くなると、パッド領域 3 3 の寸法も小さくなる。

## 【 0 1 5 8 】

図 2 6 ( B ) は、パッド領域 3 3 の寸法が、図 2 6 ( A ) のパッド領域 3 3 よりも小さくなったときの、切除領域 3 5 と導電パターン 5 0 との位置関係を示す。

20

## 【 0 1 5 9 】

図 2 6 ( B ) を参照するに、パッド領域 3 3 が小さくなっているため、その四隅に配置された導電パターン 5 0 の間隔も狭くなることがわかる。これに対応して、本比較対照例では切除領域 3 5 を狭くしなければならない問題が生じる。

## 【 0 1 6 0 】

図 2 6 ( C ) に、実施形態 7 による半導体装置の導電パターン 5 0 と切除領域 3 5 との位置関係を再掲する。また図 2 6 ( D ) に、パッド領域 3 3 が図 2 6 ( C ) のパッド領域 3 3 よりも小さくなったときの、導電パターン 5 0 と切除領域 3 5 との位置関係を示す。

## 【 0 1 6 1 】

図 2 6 ( D ) を参照するに、実施形態 7 では導電パターン 5 0 が切除領域 3 5 の内部に配置されているため、図 2 6 ( C ) の場合に比べて切除領域 3 5 を必要以上に狭くする必要はないことがわかる。

30

## 【 0 1 6 2 】

上述のように、実施形態 7 の構成においては、スクライプラインの幅を狭くしても、切除領域 3 5 の幅を狭くする必要がない。

## 【 0 1 6 3 】

## [ 実施形態 8 ]

次に、実施形態 8 について説明する。以下、実施形態 1 との相違点について説明し、同一の構成については説明を省略する。

40

## 【 0 1 6 4 】

図 2 7 ( A ) は、実施形態 8 において半導体ウェハのスクライプライン 3 1 に形成される最上層のパッド 5 5 の平面図を示す。

## 【 0 1 6 5 】

図 2 7 ( A ) は、本実施形態における最上層のパッド 5 5 の平面形状が、前記図 3 ( B ) に示した実施形態 1 のパッド 5 5 と同一であることを示している。

## 【 0 1 6 6 】

図 2 7 ( B ) は、最上層以外の配線層に配置された導電パターン 5 0 の平断面図を示す。

## 【 0 1 6 7 】

50

図27(B)を参照するに、実施形態8では導電パターン50は、パッド領域33内に離散的に分布する複数のドットパターン50Aで構成される。一例として、ドットパターン50Aは、切除領域35の長手方向を行とし、幅方向を列とする行列状に、一様に配置されている。1つのドットパターン50A内に、1つのビアプラグV5が配置されている。なお、1つのドットパターン50A内に、複数のビアプラグV5を配置してもよい。

【0168】

図27(C)は、図27(A)及び図27(B)の一点鎖線20C-20Cに沿った断面図を示す。

【0169】

図27(C)を参照するに、厚さ方向に隣り合う導電パターン50が、両者の間のビアプラグV5によって相互に接続されていることがわかる。また4層目の導電パターン50と、最上層のパッド55とが、5層目のビアプラグV5により接続されていることがわかる。

10

【0170】

図28(A)は、ダイシングによって個片化された半導体装置の概略平面図を示す。半導体装置は、図4に示した半導体ウェハ30から切り出された半導体基板30A、及びその上に積層された複数のビア層57A~57E(図4)、複数の配線層58A~58E(図4)を含む。図1(B)に示したように、切除領域35がスクライプライン31よりも狭いため、チップ領域32の外側に、スクライプライン31の一部が残存している。残存したスクライプライン31内に、パッド55の一部も残存している。

20

【0171】

図28(B)は、残存したパッド55の平面図を示す。ダイシング後のパッド領域33の外周線の一部33Aが、半導体基板30Aの縁に一致する。パッド領域33の全域に、パッド55が配置されている。パッド55は、パッド領域33内にベタに配置された導電膜で構成される。パッド55の外周線部分33Aと外周線部分33Bの間の領域には、多数のビアプラグV5がマトリクス状に配列している。

【0172】

図28(C)は、2層目~4層目の配線層58B~58D(図4)の平断面図を示す。

【0173】

図5(C)を参照するに、パッド領域33の外周線のうち、外周線部分33Aと外周線部分33Bの間の領域にはマトリクス状に、多数の導電パターン50が、互いに孤立した状態で残存している。さらに前記多数の導電パターン50と重なるように、多数のビアプラグV5がそれぞれ配置されている。

30

【0174】

実施形態8においても、実施形態1と同様に、最上層58E以外の配線層58A~58Dの導電パターン50は、ダイシングブレードの回転速度や送り速度にほとんど影響を及ぼさない。このため、半導体ウェハ30へのクラックの発生を抑制することができる。

【0175】

実施形態8において、最上層58E以外の配線層58A~58Dのうち1層または2層の配線層内の導電パターン50を、パッド領域33の全域に配置されたベタの導電膜で構成してもよい。ベタの導電膜で構成された導電パターン50を含む配線層を形成した時点で、モニタ素子40(図2(A))の電気的特性を測定することができる。

40

【0176】

なお本実施形態において図29(A)に示すように、一部のドットパターン50Aを行方向(切除領域35の長手方向)に連続させて、直線状のパターン50Bとしてもよい。直線状のパターン50Bは、切除領域35に内包される位置に配置することが好ましい。切除領域35内に配置された直線状のパターン50Bは、ダイシング時にダイシングブレードの回転にほとんど影響を及ぼさない。

【0177】

一例として、図29(A)に示した導電パターン50を最上層の配線層のパッド領域3

50

3に配置し、直線状のパターン50Bを太くして、プローブ針接触用のパッドとして利用することも考えられる。ところが、スクライプラインが細くなり、パッド領域33も小さくなると、切除領域35の幅も狭くなる。そうすると、直線状のパターン50Bも細くしなければならなくなる。例えば、スクライプラインの幅が40 $\mu$ m程度まで細くされ、パッド領域33の一辺の長さが35 $\mu$ m程度まで短くなったとき、切除領域35の幅を10 $\mu$ m程度まで細くしなければならない。このとき、直線状のパターン50Bは10 $\mu$ mより細くしなければならない。しかし10 $\mu$ mより細い直線状パターンに再現性よくプローブ針を接触させることは困難である。従って、最上層のパッド領域33には、ベタの導電膜で形成されたパッド55を配置することが好ましい。

【0178】

10

なお本実施形態において図29(B)に示すように、ドットパターン50Aをパッド領域33の全域に一様に分布させる必要はない。例えば、パッド領域33のうち、切除領域35の長手方向に直交する縁の近傍にドットパターン50Aが配置されない領域を設けてもよい。

【0179】

なお本実施形態において図29(C)に示すように、図29(B)の一部のドットパターン50Aを、行方向に連続させて、直線状のパターン50Bとすることも可能である。

【0180】

[実施形態9]

次に、実施形態9について説明する。以下、実施形態1との相違点について説明し、同一の構成については説明を省略する。

20

【0181】

図30(A)は、実施形態9において半導体ウェハ30のスクライプライン31に形成される最上層のパッド55の平面図を示す。図30(A)において最上層のパッド55の平面形状は、図3(B)に示した実施形態1のパッド55と同一である。

【0182】

図30(B)は、最上層以外の配線層に配置された導電パターン50の平断面図を示す。

【0183】

図30(B)を参照するに、本実施形態では導電パターン50は、パッド領域33の外周線に沿って配列した複数のドットパターン50Aで構成される。パッド領域33の内奥部には、ドットパターン50Aに代えて、ダミーパターン66が配置されている。1つのドットパターン50A内に、1つのビアプラグV5が配置されている。ダミーパターン66内には、ビアプラグが配置されていない。

30

【0184】

図30(C)は、図30(A)及び図30(B)の一点鎖線23C-23Cに沿った断面図を示す。

【0185】

図30(C)を参照するに、各配線層58A~58E内の導電パターン50及びパッド55は、ビアプラグV5を介して相互に接続されている。一方ダミーパターン66に対応する位置には、ビアプラグV5が配置されていない。すなわち、ダミーパターン66は、電氣的に孤立している。ダミーパターン66は、例えばダマシン法により配線層を形成する際に、ディッシングやエロージョンの発生を抑制する。

40

【0186】

図31(A)は、ダイシングによって個片化された本実施形態による半導体装置の概略平面図を示す。半導体装置は、図4に示した半導体ウェハ30から切り出された半導体基板30A、及びその上に積層された複数のビア層57A~57E(図4)、複数の配線層58A~58E(図4)を含む。図1(B)に示したように、切除領域35がスクライプライン31よりも狭いため、チップ領域32の外側に、スクライプライン31の一部が残存している。残存したスクライプライン31内に、パッド55の一部も残存している。

50

## 【 0 1 8 7 】

図 3 1 ( B ) は、残存したパッド 5 5 の平面図を示す。ダイシング後のパッド領域 3 3 の外周線の一部 3 3 A が、半導体基板 3 0 A の縁に一致する。パッド領域 3 3 の全域に、パッド 5 5 が配置されている。パッド 5 5 には、前記外周線 3 3 B に沿って複数のビアプラグ V 5 が一列に形成されている。

## 【 0 1 8 8 】

図 3 1 ( C ) は、2 層目 ~ 4 層目の配線層 5 8 B ~ 5 8 D ( 図 4 ) の平断面図を示す。

## 【 0 1 8 9 】

図 3 1 ( C ) を参照するに、パッド領域 3 3 の外周線のうち、外周線部分 3 3 A と外周線部分 3 3 B の間の領域には、多数の導電パターン 5 0 が互いに孤立した状態でマトリクス状に残存している。さらにそれぞれの導電パターン 5 0 のうち、前記外周線部分 3 3 B に沿っては、複数のビアプラグ V 5 が一列に配置されている。また前記外周線 3 3 B に沿って複数のビアプラグ V 5 が一列に形成されており、その内側、すなわち前記パッド領域 3 3 のうち一方を外周線部分 3 3 A で、他方を前記複数のビアプラグ V 5 の配列で囲まれた領域には、前記ダミーパターン 6 6 がマトリクス状に形成されている。

## 【 0 1 9 0 】

実施形態 9 においても、図 2 7 ( A ) ~ 図 2 7 ( C ) に示した実施形態 8 と同様に、半導体ウェハ 3 0 へのクラックの発生を抑制することができる。

## 【 0 1 9 1 】

## [ 実施形態 1 0 ]

次に、実施形態 1 0 について図 3 2 ( A ) ~ 図 3 2 ( C ) を参照しながら説明する。以下、実施形態 7 による半導体装置との相違点について説明し、同一の構成については説明を省略する。

## 【 0 1 9 2 】

図 3 2 ( A ) は、実施形態 1 0 において半導体ウェハ 3 0 のスクライプライン 3 1 に形成される最上層のパッド 5 5 の平面図を示す。図 3 2 ( A ) において最上層のパッド 5 5 の平面形状は、図 1 8 ( A ) に示した実施形態 7 のパッド 5 5 と同一である。

## 【 0 1 9 3 】

図 3 2 ( B ) は、最上層以外の配線層に配置された導電パターン 5 0 の平断面図を示す。

## 【 0 1 9 4 】

図 3 2 ( B ) を参照するに、本実施形態では導電パターン 5 0 は、実施形態 7 と異なり、切除領域 3 5 内を前記切除領域に沿って連続して延在する細長い導体ストリップにより構成される。ただし本実施形態において前記導電パターン 5 0 は前記実施形態 7 の図示の例では前記導電パターン 5 0 は、切除領域 3 5 の中心線に沿って 1 列に配列している。さらに前記導電パターン 5 0 には多数のビアプラグ V 5 が、前記導電パターン 5 0 の延在方向に整列して形成されている。

## 【 0 1 9 5 】

さらに本実施形態では、図 3 2 ( B ) に示すように、前記最上層の配線層 5 8 E よりも下位の配線層 5 8 A , 5 8 B , 5 8 C , 5 8 D において、平面視において前記切除領域 3 5 内に含まれるように前記導電パターン 5 0 に沿って、例えば図 2 ( A ) の実施形態におけるソース配線 4 2、ゲート配線 4 1、ドレイン配線 4 3、あるいはウェル配線 4 4 などのスクライブモニタへの配線を構成する導電パターン 5 0 C , 5 0 D が、前記図 3 2 ( A ) のパッド 5 5 の下方において、スクライプライン 3 1 の長さ方向に延在する細長い導体ストリップの形で形成される。図示の例では、これらの導電パターン 5 0 C , 5 0 D は前記パッド 5 5 の下方を通過しているが、これら導電パターン 5 0 C , 5 0 D は、その先端が、図示されていない他のパッド 5 5 に電気的に接続されている。

## 【 0 1 9 6 】

図 3 2 ( C ) は、前記図 3 2 ( A ) 及び図 3 2 ( B ) の一点鎖線 2 4 C - 2 4 C に沿った断面図を示す。

10

20

30

40

50

## 【 0 1 9 7 】

図 3 2 ( C ) を参照するに、1 層目 ~ 4 層目の導電パターン 5 0、及び 2 層目 ~ 5 層目のビアプラグ V 5 が、切除領域 3 5 内に配置されていることがわかる。すなわち、導電パターン 5 0 は、前記切除領域 3 5 の幅より小さい、従って前記パッド 5 5 の幅よりも小さい幅を有する細長い導体ストリップよりなり、前記切除領域 3 5 に沿って連続的に延在する。また前記ビアプラグ V 5 は前記導電パターン 5 0 の幅よりもさらに小さな寸法の径を有する。さらに前記最上層パッド 5 5 の下方には、前記導電パターン 5 0 を含む配線層 5 8 A ~ 5 8 D の一部として、前記導電パターン 5 0 C、5 0 D が、前記切除領域 3 5 内に形成されているのがわかる。これらの導電パターン 5 0 C、5 0 D は前記切除領域 3 5 に沿って延在する細い導体ストリップより構成され、前記導電パターン 5 0 に必要に応じて接続される。その際、本実施形態では、前記導電パターン 5 0 C、5 0 D は、パッド領域においては、平面視で前記切断領域 3 5 の幅を超えて側方にはみ出さないように、幅および位置が選択される。

10

## 【 0 1 9 8 】

このように導電パターン 5 0 C、5 0 D が切断領域 3 5 内に含まれ、その外側に形成されないことから、本実施形態では仮にダイシングブレード 3 4 の位置がダイシングの際に変動しても、外側の導電パターンを引っかけることがなく、安定したダイシングが可能となる。

## 【 0 1 9 9 】

図 3 2 ( A ) ~ 図 3 2 ( C ) の実施形態においても、ダイシング後の半導体装置には、最上層のパッド 5 5 の一部は残存するが、最上層以外の配線層 5 8 A ~ 5 8 D、及び 1 層目 ~ 5 層目のビア層 5 7 A ~ 5 7 E には、前記導電パターン 5 0 及びビアプラグ V 5 のみならず、導電パターン 5 0 C、5 0 D も残存しない。ここで切除領域 3 5 の幅は、先にも説明したように  $15 \mu\text{m}$  ~  $50 \mu\text{m}$  の範囲内であり、従って前記導電パターン 5 0 および導電パターン 5 0 C、5 0 D は前記スクライプライン 3 1 の中心線上で幅が  $15 \mu\text{m}$  ~  $50 \mu\text{m}$  の範囲の領域に形成される。

20

## 【 0 2 0 0 】

図 3 3 ( A ) は、ダイシングによって個片化された本実施形態による半導体装置の概略平面図を示す。半導体装置は、図 4 に示した半導体ウェハ 3 0 から切り出された半導体基板 3 0 A、及びその上に積層された複数のビア層 5 7 A ~ 5 7 E ( 図 4 )、複数の配線層 5 8 A ~ 5 8 E ( 図 4 ) を含む。図 1 ( B ) に示したように、切除領域 3 5 がスクライプライン 3 1 よりも狭いため、チップ領域 3 2 の外側に、スクライプライン 3 1 の一部が残存している。残存したスクライプライン 3 1 内に、パッド 5 5 の一部も残存している。

30

## 【 0 2 0 1 】

図 3 3 ( B ) は、残存したパッド 5 5 の平面図を示す。ダイシング後のパッド領域 3 3 の外周線の一部 3 3 A が、半導体基板 3 0 A の縁に一致する。パッド領域 3 3 の全域に、パッド 5 5 が配置されている。本実施形態では、残存パッド 5 5 にビアプラグ V 5 が含まれないことに注意すべきである。

## 【 0 2 0 2 】

図 3 3 ( C ) は、2 層目 ~ 4 層目の配線層 5 8 B ~ 5 8 D ( 図 4 ) の平断面図を示す。

40

## 【 0 2 0 3 】

図 3 3 ( C ) を参照するに、本実施形態ではパッド領域 3 3 の外周線のうち、外周線部分 3 3 A と外周線部分 3 3 B の間の領域には、ビアプラグ V 5 が含まれないことから、これに対応して、導電パターン 5 0 も含まれていないことに注意すべきである。

## 【 0 2 0 4 】

実施形態 1 0 においても、最上層 5 8 E 以外の配線層 5 8 A ~ 5 8 D において、導電パターン 5 0 が切除領域 3 5 に沿って延在する細い導体ストリップよりなり、また同様な細い導体ストリップよりなる導電パターン 5 0 C、5 0 D が離間して形成されているため、ダイシングブレード 3 4 への金属の延性の影響は例えば図 6 の比較対照例に比べて及びにくく、ダイシングブレード 3 4 の回転速度や送り速度にほとんど影響を及ぼさない。この

50



ため、本実施形態においてもダイシングの際に半導体ウェハ30へのクラックの発生を抑制し、またダイシングブレード34の寿命を延長することができる。なお、後の実例で説明するように、前記導電パターン50C、50Dは、全ての配線層に設ける必要はない。このように前記導電パターン50C、50Dを全ての配線層に設けない構成では、切除領域35における導電パターン50C、50Dの形成密度が低くなり、ダイシングブレード34を使ったダイシングをさらに安定して実行することが可能となる。

#### 【0205】

さらに実施形態10においては、スクライブモニタへの配線を構成する導電パターン50C、50Dが最上層パッド55の直下に形成されるため、このような導電パターンが、平面視で前記最小層パッド55の外側に形成される例えば実施形態1の構成に比べて、スクライブ領域の幅を縮小することが可能で、これに伴い、一つの半導体基板からダイシングされる個々の半導体チップの個数を増加させることが可能となる。

10

#### 【0206】

このような導電パターン50C、50Dは、パッド55の下を通過して他のパッド55に電氣的に接続されるように構成することができ、これにより、平面視でスクライブラインに重なるスクライブライン31直下の領域を無駄なく、様々なモニタ素子への配線につかうことができる。

#### 【0207】

次に実施形態10の一変形例について、図34(A)～図34(C)を参照しながら説明する。図中、先に説明した部分には同一の参照符号を付し、説明を省略する。図34(A)は、本変形例における最上層のパッド55の平面図を、図34(B)は、最上層以外の配線層に配置された導電パターン50の平断面図を、さらに図34(C)は前記図34(A)及び図34(B)の一点鎖線25C-25Cに沿った断面図を示す。

20

#### 【0208】

実施形態10においても、図34(A)～図34(C)の変形例に示すように、最上層58E以外の配線層58A～58Dのうち1層または2層の配線層内の導電パターン50を、パッド領域33の全域に配置されたベタの導電膜で構成してもよい。ベタの導電膜で構成された導電パターン50を含む配線層を形成した時点で、先の図10(B)の例と同様に、モニタ素子40(図2(A))の電氣的特性を測定することができる。ただし図25(C)は、前記図34(A)及び図34(B)の一点鎖線25C-25Cに沿った断面図を示す。図34(C)の例では、前記図10(B)の例と同様に、配線層58Bに前記最上層のパッド55と同一形状および同一サイズのパッドが、前記配線層50により形成されている。この場合、配線層58Bにおける導電パターン50C、50Dの形成はなされず、その機能は、他の配線層中の導電パターンにより実現される。

30

#### 【0209】

図35(A)は、本実施形態によるパッド構造をスクライブライン31に有する半導体ウェハの例を示す平面図、図35(B)は、かかるスクライブライン31に形成されたモニタ素子40の例を示す平面図、さらに図36(A)、図36(B)はそれぞれ、前記図35(A)の平面図中、線27A-27Aおよび27B-27Bに沿った半導体ウェハの断面図を示す。図35(A)は最上層のパッド55を示している。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

40

#### 【0210】

最初に図36(A)の断面図を参照するに、本実施形態では先の例えば図32(C)の構造において、ビア層57Eの上に次の配線層58Eが他の配線層58A～58Dと同様にして形成され、前記配線層58E上に次のビア層57Fが他のビア層57B～57Eと同様にして形成され、前記ビア層57F上に次の配線層58Fが他の配線層58A～58Dと同様にして形成され、前記配線層58F上に次のビア層57Gが他のビア層57B～57Fと同様にして形成され、前記ビア層57G上に最上層のパッド55を含む配線層58Gが、図32(A)の配線層58Eと同様にして形成されている。

#### 【0211】

50

図35(A), 図35(B)および図36(A), 図36(B)を参照するに、前記スクライプライン31には図32(A)~図32(C)および図34(A)~図34(C)のいずれかに記載の最上層のパッド55が前記スクライプライン31に沿って順次配設されており、半導体基板30上に形成されたモニタ素子40から延在する導体パターン50C, 50Dが前記半導体基板30上を、平面視で前記パッド55に重なるように前記スクライプライン31に沿って延在し、図27(A)の断面図で説明するように、ビアプラグV5および導体パターン50Cのスタックを介して、前記パッド55に電氣的に接続される。

【0212】

図35(B)の例では、モニタ素子40は前記半導体基板30中に素子分離領域40Iにより画成された活性領域40Aおよびウェルコンタクト領域40Bを含み、前記活性領域40Aにはゲート電極40Gおよびソース領域40S, ドレイン領域40Dを有するトランジスタTrが形成されている。前記トランジスタのソース領域40Sはビアプラグ42Vを介してソース配線42に接続され、ドレイン領域40Dはビアプラグ43Vを介してドレイン配線43に接続され、ゲート電極40Gはビアプラグ41Vを介してゲート配線41に接続され、さらにウェル40Bはビアプラグ44Vを介してウェル配線44に接続される。

10

【0213】

さらに前記ソース配線42およびドレイン配線43は前記半導体基板30上を前記導体パターン50Cとして延在し、ゲート配線41およびウェル配線43は前記半導体基板30上を前記導体パターン50Dとして延在している。

20

【0214】

かかる構成によれば、図35(A)の平面図よりわかるように前記パッド55の側方に配線のための導体パターン50Cや50Dが形成されることがなく、このためスクライプライン31の幅を前記パッド55の寸法に合わせて縮小することが可能となる。

【0215】

さらにかかる構成によれば、図36(A), 図36(B)の断面図よりわかるようにダイシングブレード34により切除される切除領域35のうち、導体パターン50が高密度に存在しているのは平面視で重なっている導体パターン50およびビアプラグV5の形成領域に限られ、同じ切除領域35でも、前記導体パターン50を含まない図36(B)の断面では導体パターンの密度は低いため、このような構造の切除領域35をダイシングブレード34で切除しても、先に図7の比較例で説明したような、ダイシングブレード34の回転速度が金属パターンの粘性により大きく変化して分離される半導体チップにクラックが入る問題を効果的に回避することができる。

30

【0216】

以上実施形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。

例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0217】

以上の実施形態1~実施形態9を含む実施形態に関し、更に以下の付記を開示する。

40

(付記1)

スクライプ領域とチップ領域とを有する半導体基板と、  
前記半導体基板の上に形成された複数の配線層と、  
前記複数の配線層の間に配置されたビア層と、  
前記複数の配線層に形成された導電膜と、  
前記ビア層に形成され、当該ビア層の上下の前記配線層の前記導電膜と接続するビアプラグと  
を有し、

前記スクライプ領域は、前記チップ領域の外周であって前記半導体基板の縁に接して位置し、

50

前記スクライブ領域は前記縁に接するパッド領域を有し、  
前記パッド領域は、前記複数の配線層の各々に、平面視において相互に重なって配置され、

前記複数の配線層は、第1の配線層と第2の配線層を有し、  
前記第1の配線層の前記導電膜は、前記パッド領域の全面に形成された第1の導電パターンを有し、  
前記第2の配線層の前記導電膜は、前記パッド領域の一部に形成された第2の導電パターンを有する半導体装置。

(付記2)

前記第2の配線層の前記導電膜は、前記第2の導電パターンを複数有し、  
前記複数の第2の導電パターンは、前記パッド領域の内部に離散的に配置されている付記1に記載の半導体装置。

10

(付記3)

前記第2の導電パターンは、少なくとも前記縁から離れた位置に配置されている付記1または2に記載の半導体装置。

(付記4)

前記第2の導電パターンは、少なくとも前記パッド領域の外周線のうち前記縁に重ならない部分に沿って配置されている付記1または2に記載の半導体装置。

(付記5)

前記パッド領域は、前記縁と対向する第1の外周線と、前記縁及び前記第1の外周線に達する第2の外周線及び第3の外周線に囲まれてなり、前記第1の外周線及び前記第2の外周線からなる第1の頂点と、前記第1の外周線及び前記第3の外周線からなる第2の頂点を有し、

20

前記第2の導電パターンは、前記第1の頂点または第2の頂点に接して配置されている付記1または2に記載の半導体装置。

(付記6)

前記第2の導電パターンは、前記第1の頂点又は第2の頂点に接して鉤型に配置された付記5に記載の半導体装置。

(付記7)

スクライブ領域と、前記スクライブ領域により画成されたチップ領域とを有する半導体基板と、

30

前記半導体基板上に形成された配線層と、

前記スクライブ領域の中心線に沿って形成された金属よりなるパッドと、

前記配線層に形成された第1の導電パターン及び第2の導電パターンと

を含み、

前記第1の導電パターンは、前記パッドに電氣的に接続され、少なくとも平面視で前記パッドに重なって配置され、

前記第2の導電パターンは、少なくとも平面視で前記パッドに重なって、前記第1の導電パターンとは別に配置されることを特徴とするウェハ。

(付記8)

40

前記パッドの下方の前記第1および第2の導電パターンは、前記スクライブラインのうち、ダイシングの際、ダイシングブレードにより切断される範囲に形成されることを特徴とする付記7記載のウェハ。

(付記9)

前記範囲は、15  $\mu\text{m}$  ~ 50  $\mu\text{m}$ の幅を有することを特徴とする付記8記載のウェハ。

(付記10)

前記第2の導電パターンは、前記パッドと電氣的に独立することを特徴とする付記7~9のうちいずれかに記載のウェハ。

(付記11)

表面上、スクライブ領域、及び前記スクライブ領域で区分された複数のチップ領域が画

50

定された半導体ウェハの上にモニタ素子を形成する工程と、

前記モニタ素子を形成した後、前記半導体ウェハの上に、ビア層と配線層とが交互に積層された多層配線層を形成する工程と、

前記スクライブラインに沿って前記半導体ウェハを切断し、複数のチップに分離する工程と

を有し、

前記ビア層は、前記ビア層の上下の前記配線層の前記導電膜と接続するビアプラグを有し、

前記スクライブ領域は切除領域及びパッド領域を有し、

前記切除領域は、前記スクライブ領域の幅方向に関して前記パッド領域よりも小さな寸法を有し、

前記パッド領域は、前記複数の配線層の各々に、平面視において相互に重なって配置され、

前記複数の配線層は、第1の配線層と第2の配線層を有し、

前記第1の配線層の前記導電膜は、前記パッド領域の全面に形成された第1の導電パターンを有し、

前記第2の配線層の前記導電膜は、前記パッド領域の一部に形成された第2の導電パターンを有し、

前記半導体ウェハを切断する工程において、前記切除領域をダイシングブレードによって切除し、前記パッド領域の一部は残す半導体装置の製造方法。

【符号の説明】

【0218】

30 半導体ウェハ

31 スクライブライン

32 チップ領域

33 パッド領域

34 ダイシングブレード

35 切除領域

36 耐湿リング

40 モニタ素子

41 ゲート配線

42 ソース配線

43 ドレイン配線

44 ウェル配線

50 導電パターン

50A ドットパターン

50B 直線状のパターン

50C, 50D 導体パターン

51, 52 2層目の配線

55 パッド

57A ~ 57E ビア層

58A ~ 58E 配線層

59 保護膜

60 開口

62 プロブ針

65 多層配線層

66 ダミーパターン

V1 ~ V5 ビアプラグ

10

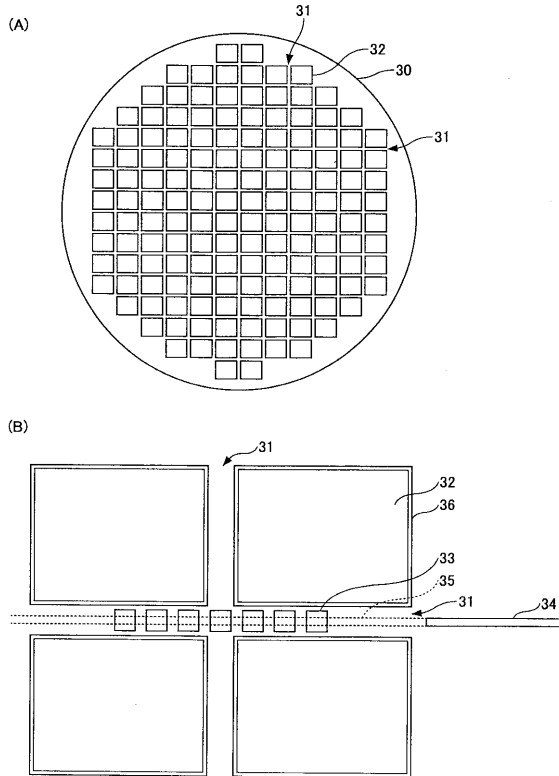
20

30

40

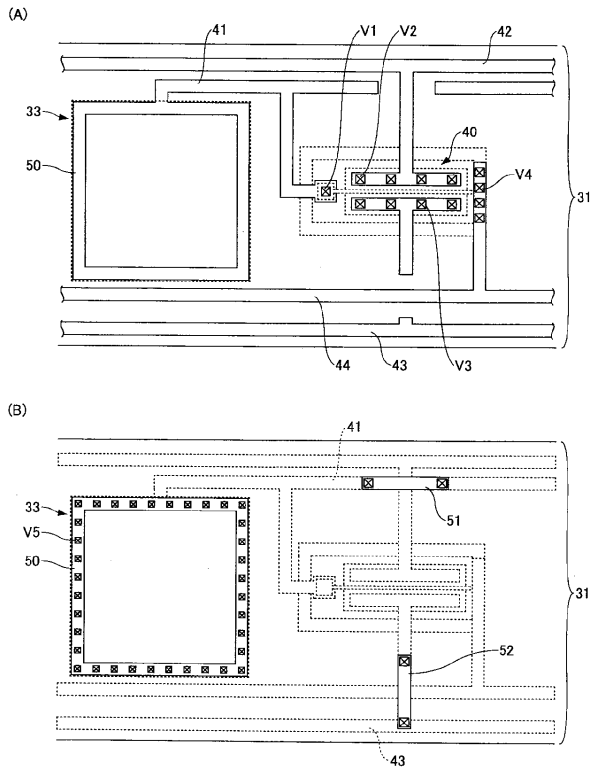
【図1】

(A)は実施形態1による半導体装置のダイシング前の半導体ウェハの平面図  
(B)はチップ領域及びスクライプラインの拡大平面図



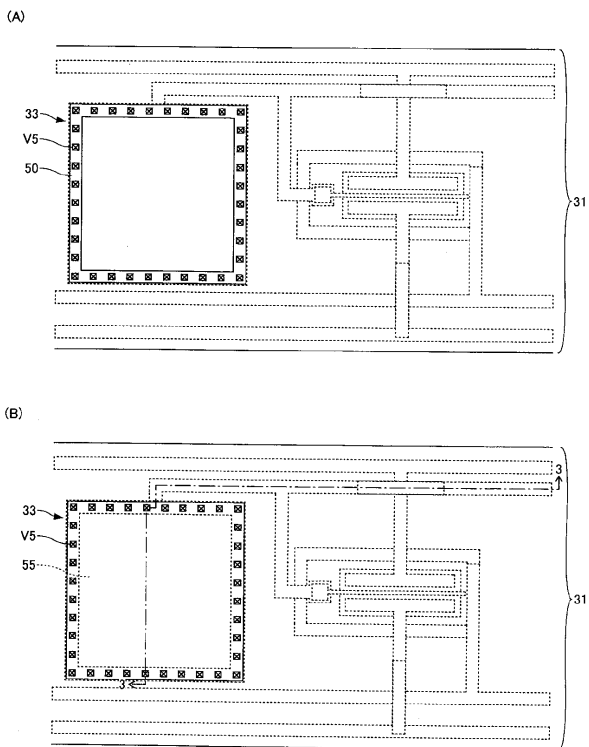
【図2】

(A)及び(B)はそれぞれ実施形態1による半導体装置のダイシング前のスクライプライン内の1層目及び2層目の配線パターンを示す平面図



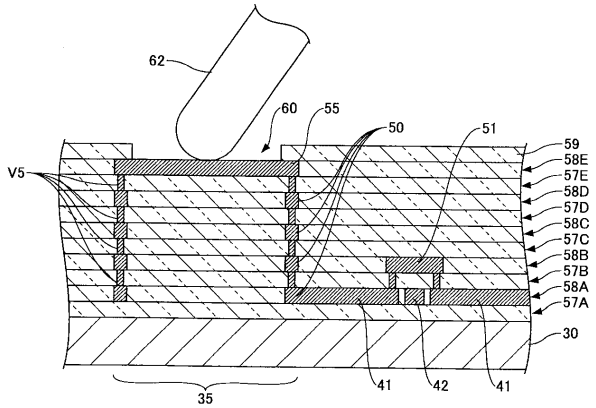
【図3】

(A)は実施形態1による半導体装置のダイシング前のスクライプライン内の3層目及び4層目の配線パターンを示す平面図  
(B)は実施形態1による半導体装置のダイシング前のスクライプライン内の5層目の配線パターンを示す平面図



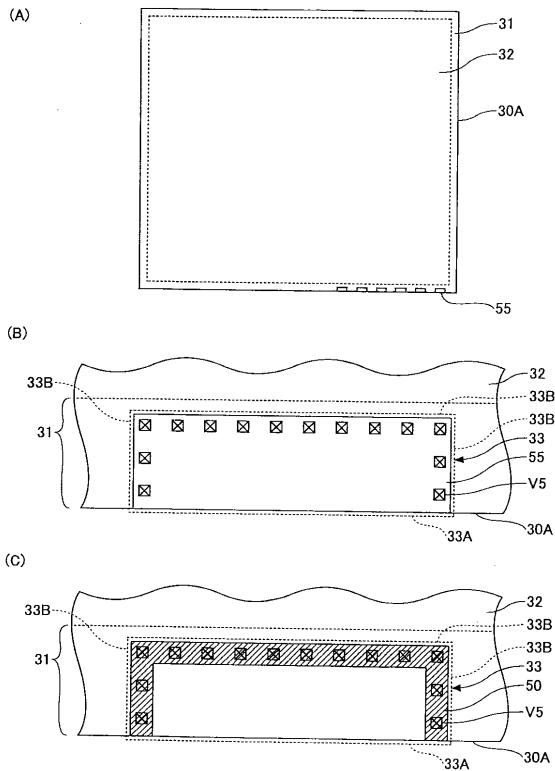
【図4】

実施形態1による半導体装置のダイシング前のパッド近傍の断面図



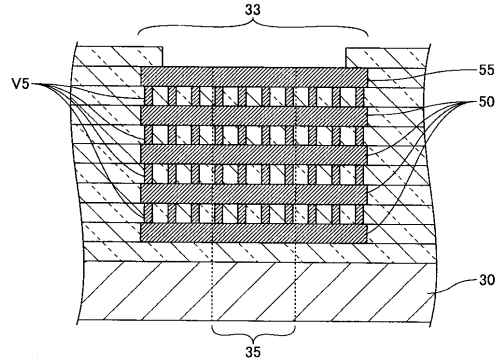
【図5】

(A)は実施形態1による半導体装置の平面図  
 (B)は実施形態1による半導体装置のパッド領域の平面図  
 (C)は最上層よりも下の配線層のパッド領域の平断面図



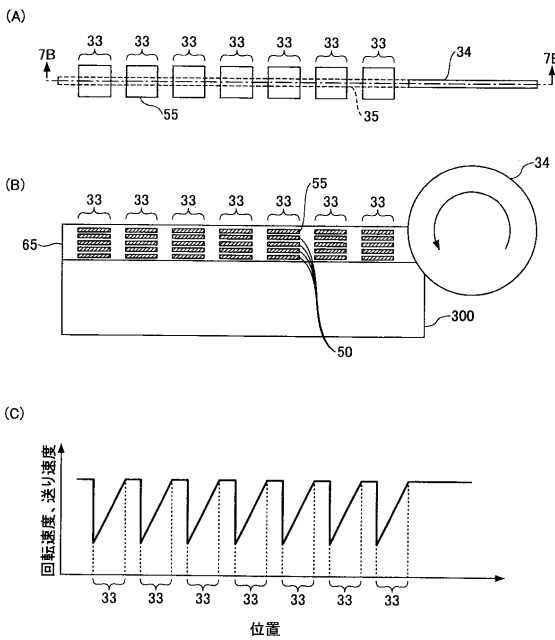
【図6】

比較対照例による半導体装置のパッド領域の断面図



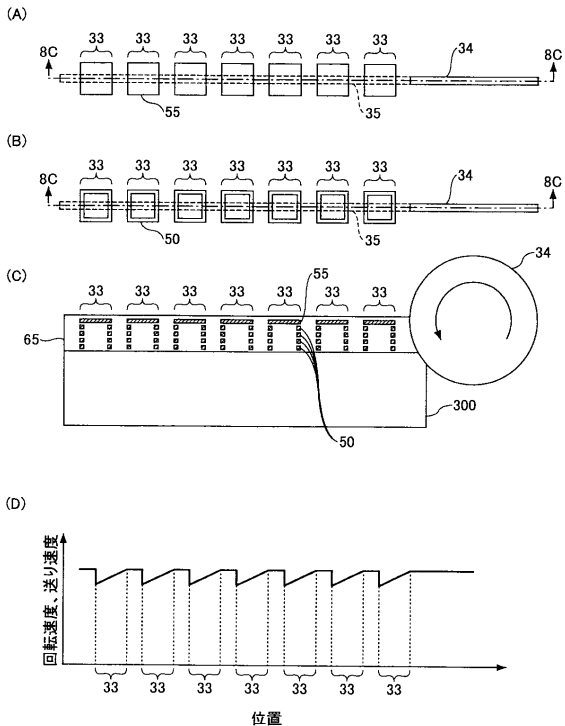
【図7】

(A)は比較対照例による半導体装置のダイシング前のスクライプライン及びダイシングブレードの平面図  
 (B)は(A)中の平面図、一点鎖線7B-7Bに沿った断面図  
 (C)はダイシングブレードの回転速度または送り速度と位置との関係を示すグラフ



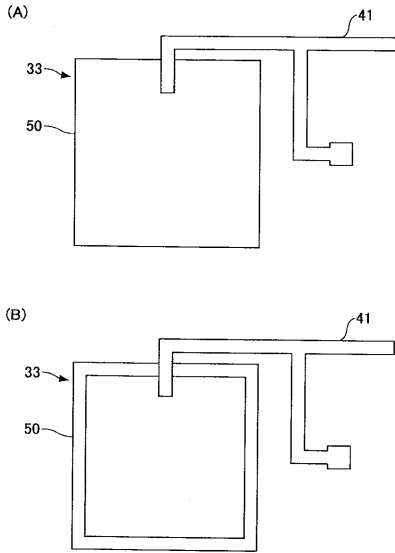
【図8】

(A)は実施形態1による半導体装置のダイシング前のスクライプライン及びダイシングブレードの平面図  
 (B)は実施形態1による半導体装置のダイシング前のスクライプライン及びダイシングブレードの最上層よりも下の配線層の平断面図  
 (C)は(A)及び(B)に示す一点鎖線8C-8Cに沿った断面図  
 (D)はダイシングブレードの回転速度または送り速度と位置との関係を示すグラフ



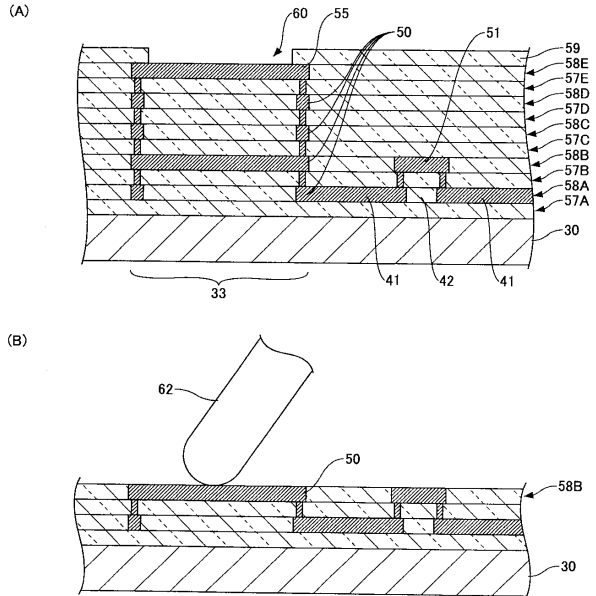
【図9】

(A)は比較対照例による半導体装置のパッド領域内の導電パターン及び配線のパターンデータに対応するパターンの平面図  
 (B)は実施形態1による半導体装置のパッド領域内の導電パターン及び配線のパターンデータに対応するパターンの平面図



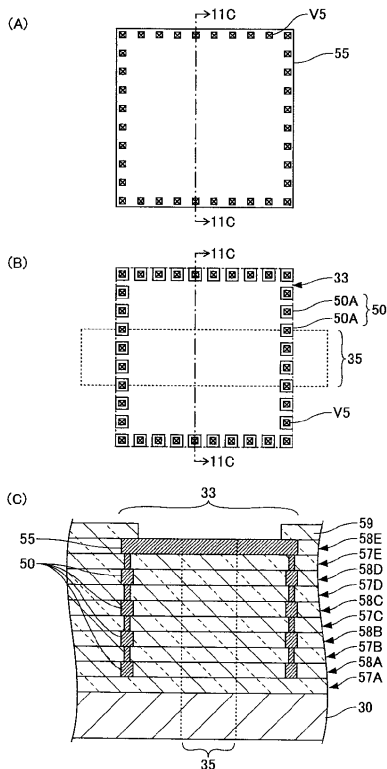
【図10】

(A)は実施形態2による半導体装置のダイシング前のパッド近傍の断面図  
 (B)は実施形態2による半導体装置の2層目の配線層まで形成した段階の断面図



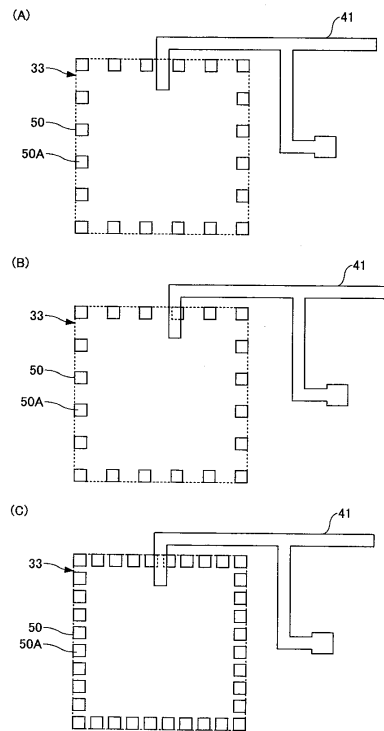
【図11】

(A)は実施形態3による半導体装置のダイシング前の最上層のパッドの平面図  
 (B)は実施形態3による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平面図  
 (C)は(A)及び(B)に示す一点鎖線11C-11Cに沿った半導体装置の断面図



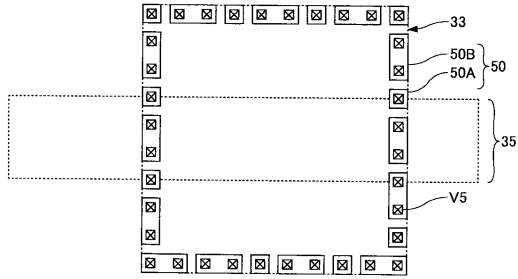
【図12】

(A)は参考例による半導体装置のダイシング前のパッド領域のレイアウトを示す平面図  
 (B)及び(C)は実施形態3による半導体装置のダイシング前のパッド領域のレイアウトを示す平面図



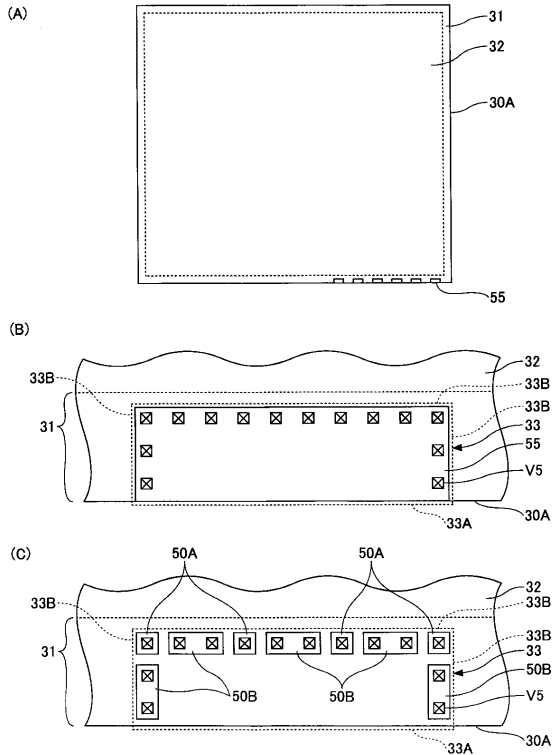
【図13】

実施形態3の変形例による半導体装置のダイシング前の最上層より下の配線層の  
パッド領域内の導電パターンの平断面図



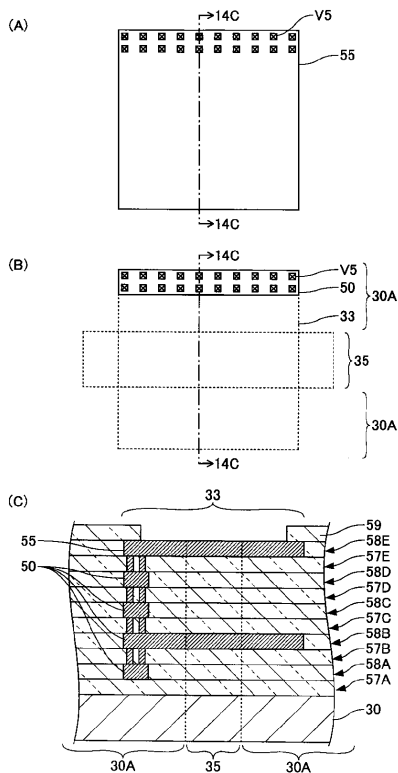
【図14】

(A)は図13の変形例による半導体装置の平面図  
(B)は同変形例による半導体装置のパッド領域の平面図  
(C)は最上層より下の配線層のパッド領域の平断面図



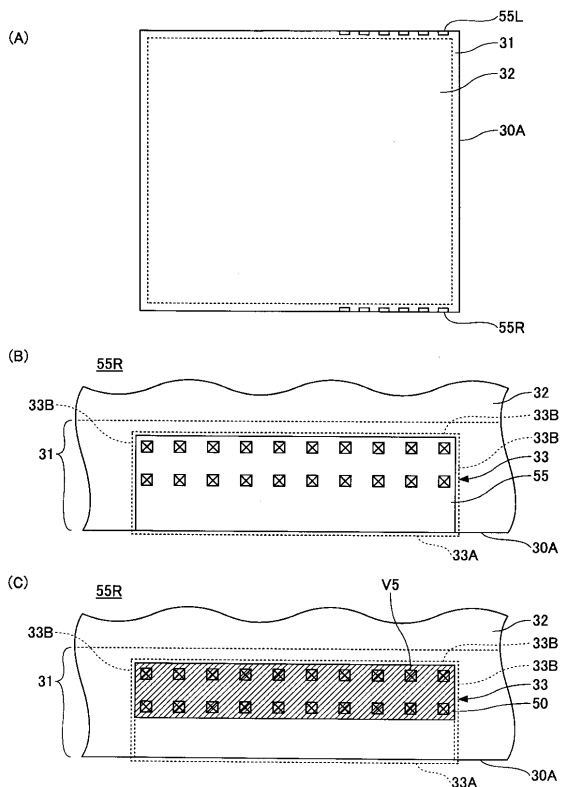
【図15】

(A)は実施形態4による半導体装置のダイシング前の最上層のパッドの平面図  
(B)は実施形態4による半導体装置のダイシング前の最上層より下の配線層の  
パッド領域内の導電パターンの平断面図  
(C)は(A)及び(B)に示す一点鎖線14C-14Cに沿った半導体装置の断面図



【図16】

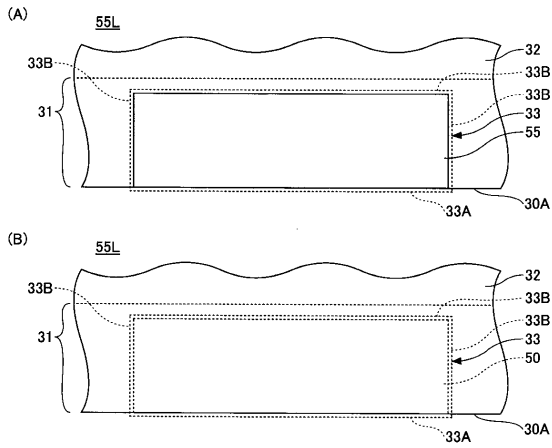
(A)は実施形態4による半導体装置の平面図  
(B)は実施形態4による半導体装置のパッド領域の平面図  
(C)は最上層より下の配線層のパッド領域の平断面図





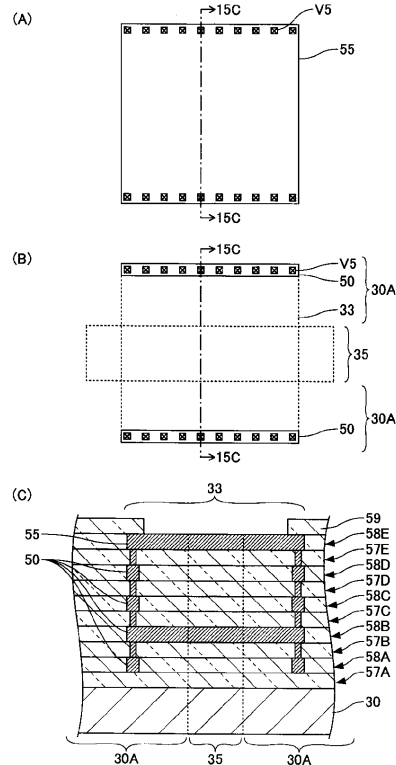
【図17】

(A)は実施形態1による半導体装置の他のパッド領域の平面図  
(B)は最上層よりも下の配線層のパッド領域の平断面図



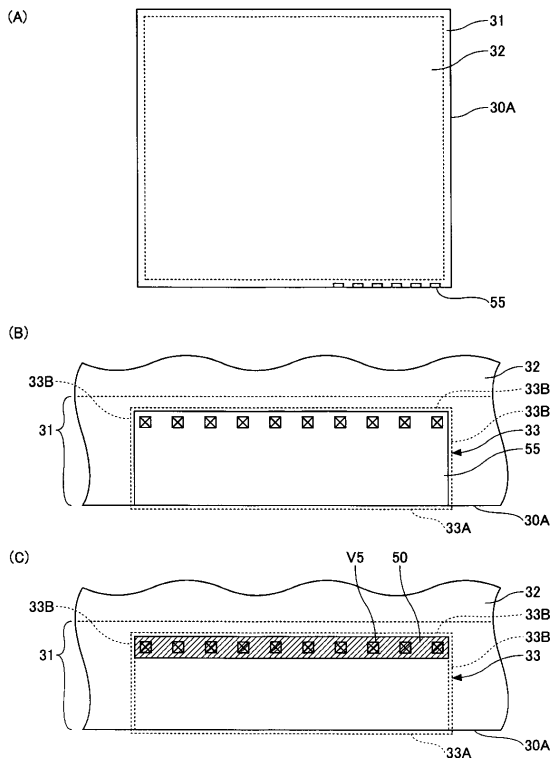
【図18】

(A)は実施形態5による半導体装置のダイシング前の最上層のパッドの平面図  
(B)は実施形態5による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図  
(C)は(A)及び(B)に示す一点鎖線15C-15Cに沿った半導体装置の断面図



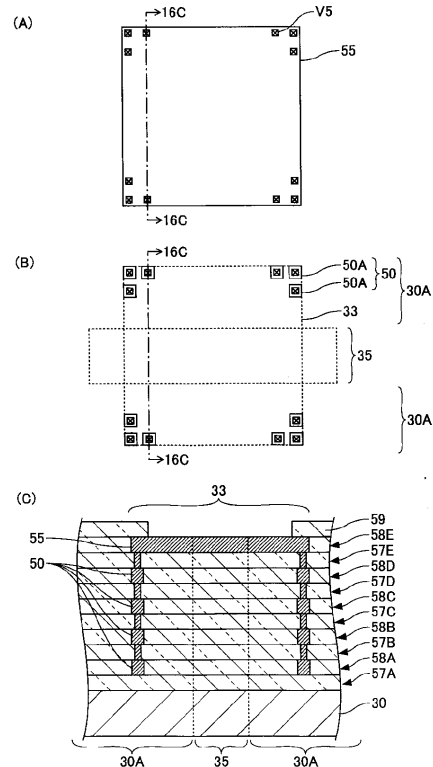
【図19】

(A)は実施形態5による半導体装置の平面図  
(B)は実施形態5による半導体装置のパッド領域の平面図  
(C)は最上層よりも下の配線層のパッド領域の平断面図



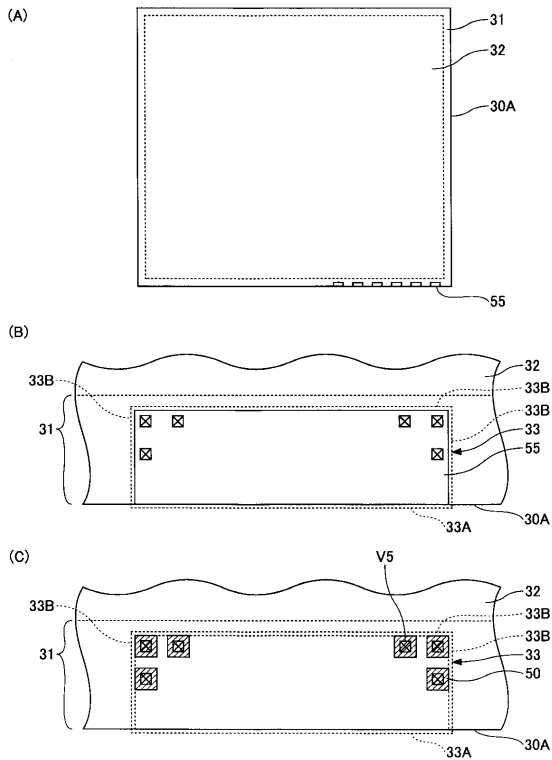
【図20】

(A)は実施形態6による半導体装置のダイシング前の最上層のパッドの平面図  
(B)は実施形態6による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図  
(C)は(A)及び(B)に示す一点鎖線16C-16Cに沿った半導体装置の断面図



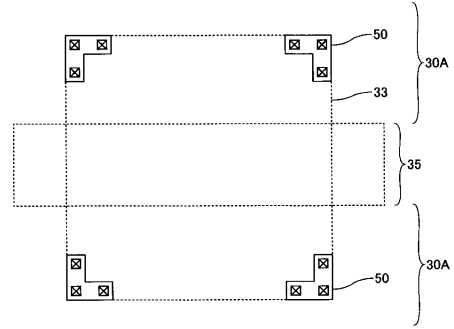
【図 2 1】

(A)は実施形態6による半導体装置の平面図  
(B)は実施形態6による半導体装置のパッド領域の平面図  
(C)は最上層よりも下の配線層のパッド領域の平断面図



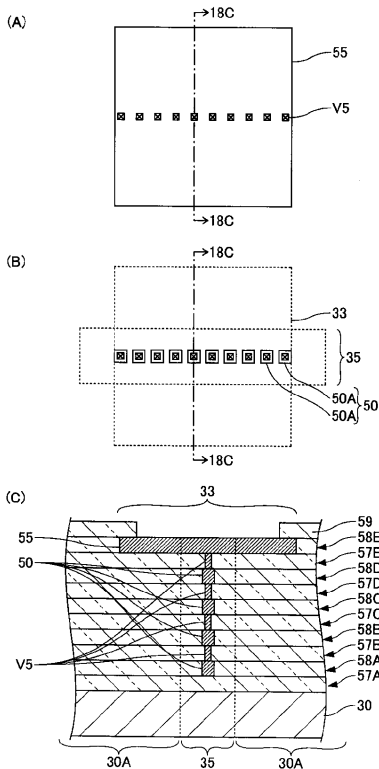
【図 2 2】

実施形態6の変形例による半導体装置のダイシング前の最上層より下の配線層の  
パッド領域内の導電パターンの平断面図



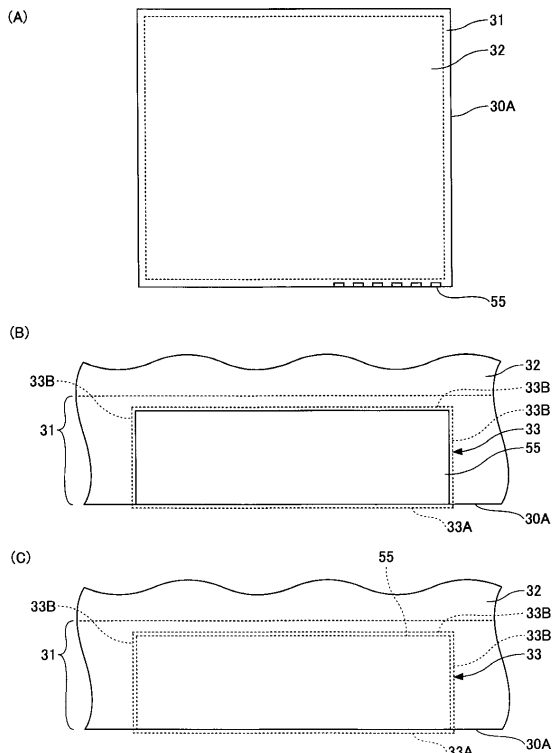
【図 2 3】

(A) 実施形態7による半導体装置のダイシング前の最上層のパッドの平面図  
(B) 実施形態7による半導体装置のダイシング前の最上層より下の配線層の  
パッド領域内の導電パターンの平断面図  
(C) (A)及び(B)に示す一点鎖線18C-18Cに沿った半導体装置の断面図



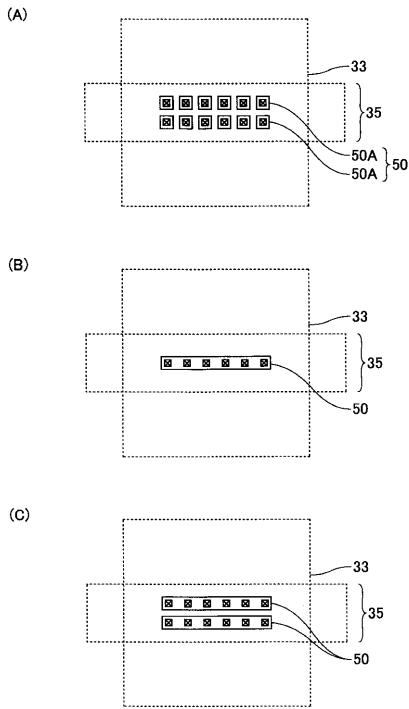
【図 2 4】

(A)は実施形態7による半導体装置の平面図  
(B)は実施形態7による半導体装置のパッド領域の平面図  
(C)は最上層よりも下の配線層のパッド領域の平断面図



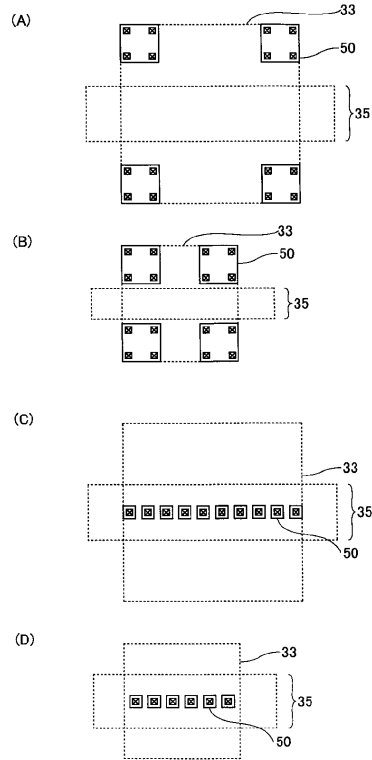
【図 25】

(A)~(C)は実施形態7の変形例による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図



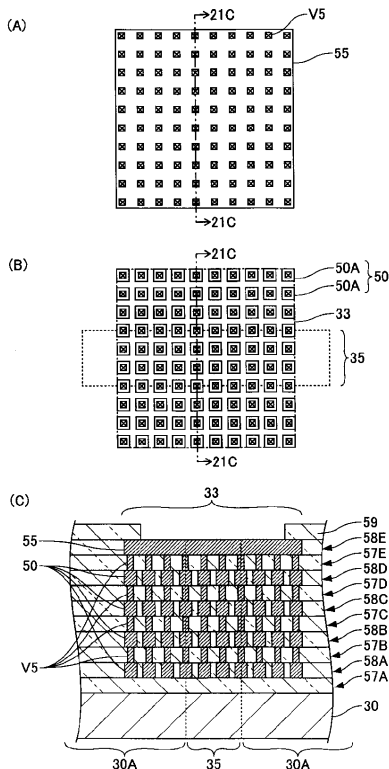
【図 26】

(A)及び(B)は比較対照例による半導体装置の最上層より下の配線層のパッド領域内の導電パターンの平断面図 (C)及び(D)は実施形態7による半導体装置の最上層より下の配線層のパッド領域内の導電パターンの平断面図



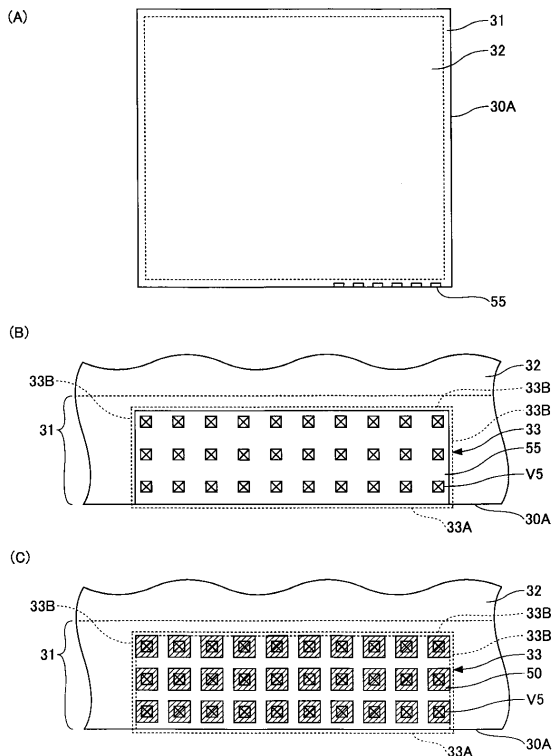
【図 27】

(A)は実施形態8による半導体装置のダイシング前の最上層のパッドの平面図 (B)は実施形態8による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平断面図 (C)は(A)及び(B)に示す一点鎖線21C-21Cに沿った半導体装置の断面図



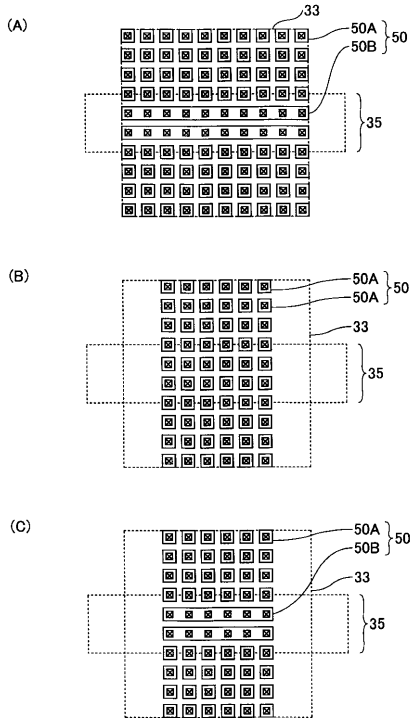
【図 28】

(A)は実施形態8による半導体装置の平面図 (B)は実施形態8による半導体装置のパッド領域の平面図 (C)は最上層より下の配線層のパッド領域の平断面図



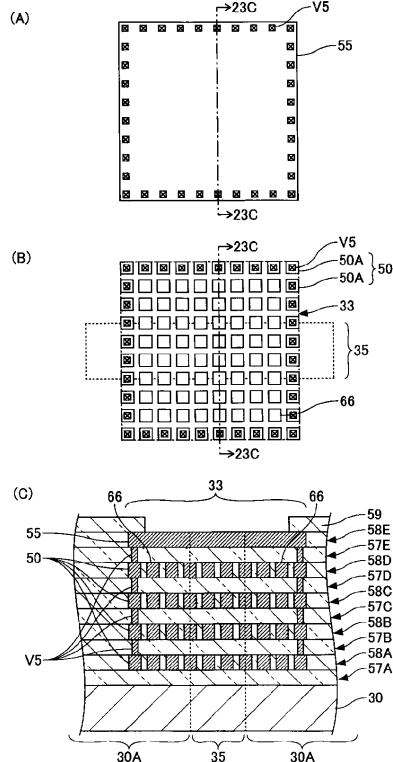
【図 29】

(A)~(C)は実施形態8の変形例による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平面断面図



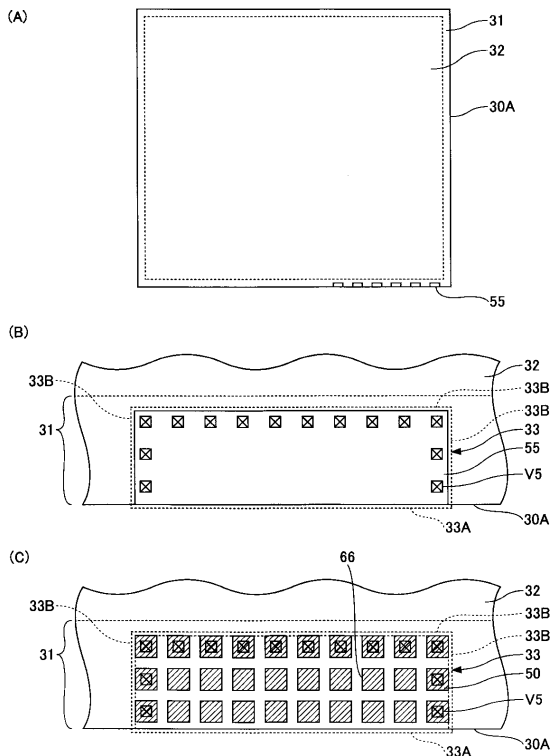
【図 30】

(A)は実施形態9による半導体装置のダイシング前の最上層のパッドの平面図 (B)は実施形態9による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平面断面図 (C)は(A)及び(B)に示す一点鎖線23C-23Cに沿った半導体装置の断面図



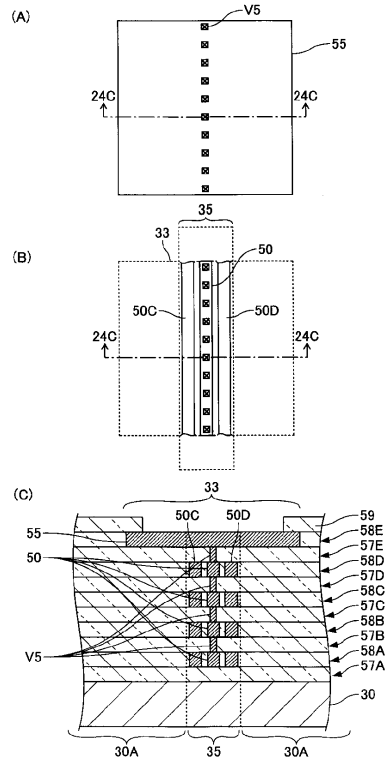
【図 31】

(A)は実施形態9による半導体装置の平面図 (B)は実施形態9による半導体装置のパッド領域の平面図 (C)は最上層より下の配線層のパッド領域の平面断面図



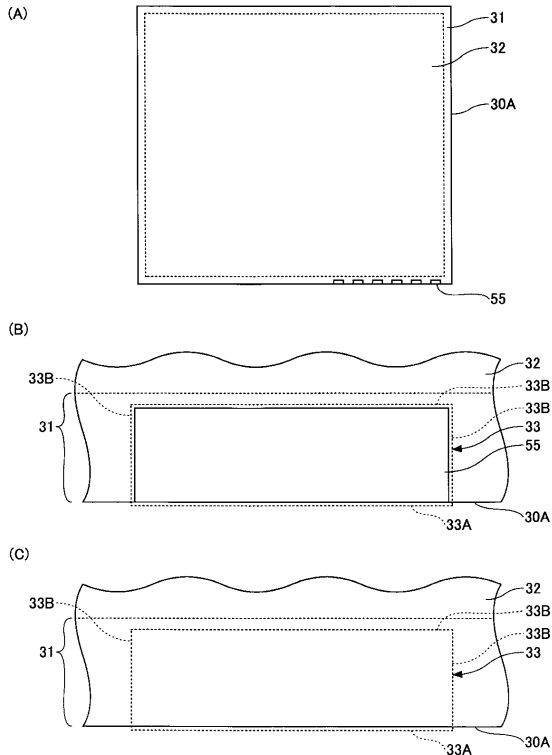
【図 32】

(A)は実施形態10による半導体装置のダイシング前の最上層のパッドの平面図 (B)は実施形態10による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンの平面断面図 (C)は図24(A)及び図24(B)に示す一点鎖線24C-24Cに沿った半導体装置の断面図



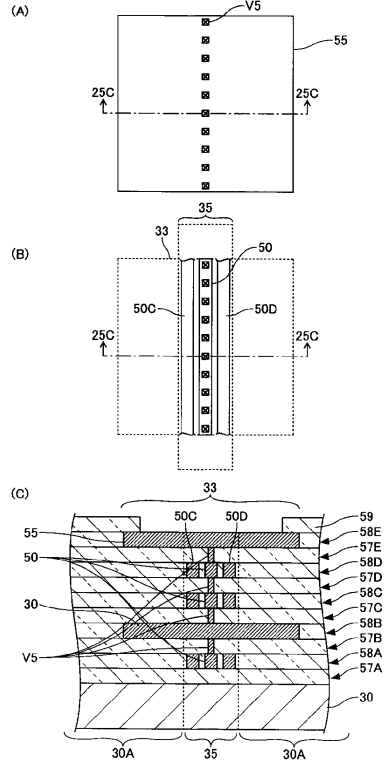
【図33】

(A)は実施形態10による半導体装置の平面図  
(B)は実施形態10による半導体装置のパッド領域の平面図  
(C)は最上層よりも下の配線層のパッド領域の平面図



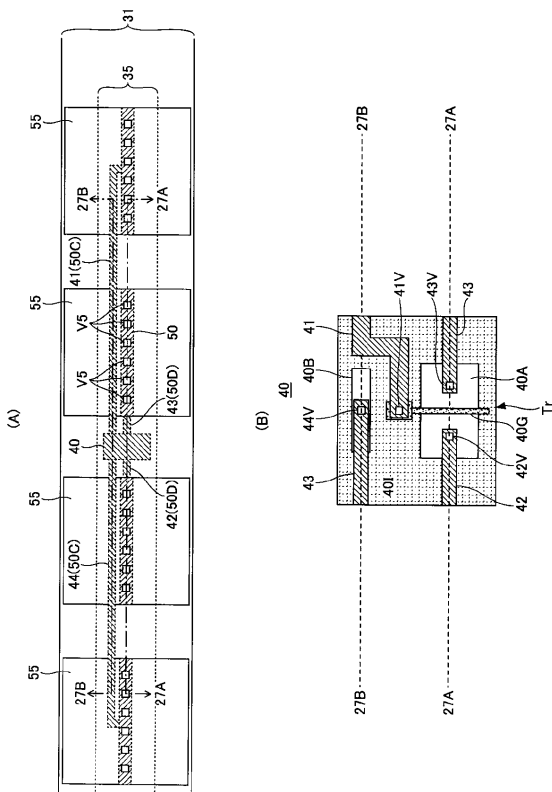
【図34】

(A)は実施形態10の一変形例による半導体装置のダイシング前の最上層のパッドの平面図  
(B)は実施形態10前記変形例による半導体装置のダイシング前の最上層より下の配線層のパッド領域内の導電パターンを平断面図  
(C)は(A)及び(B)に示す一点鎖線25C-25Cに沿った半導体装置の断面図



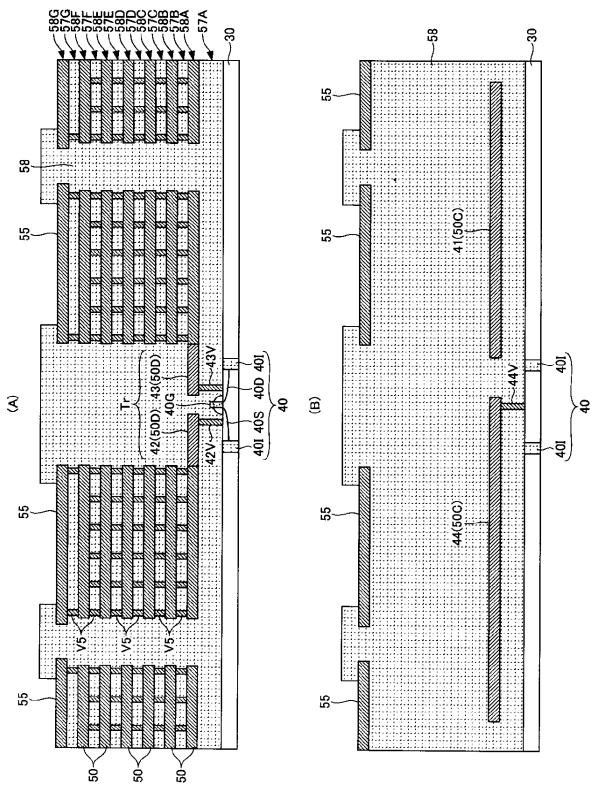
【図35】

(A)は実施形態10に係る半導体ウェハの一例を示す平面図  
(B)は前記半導体ウェハで使われるモータ素子の例を示す平面図



【図36】

(A)は図26(A)による半導体ウェハの線27A-27Aに沿った断面図  
(B)は図26(A)による半導体ウェハの線27B-27Bに沿った断面図



---

フロントページの続き

- (72)発明者 江間 泰示  
神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内
- (72)発明者 森木 拓也  
神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内

審査官 堀江 義隆

- (56)参考文献 特開2008-034783(JP,A)  
特開2007-173752(JP,A)  
特開2002-190456(JP,A)  
特開2005-158832(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/66  
H01L 21/3205  
H01L 21/768  
H01L 23/522