



# (12) 发明专利申请

(10) 申请公布号 CN 116705604 A

(43) 申请公布日 2023. 09. 05

(21) 申请号 202310613457.9

H01L 29/06 (2006.01)

(22) 申请日 2023.05.26

H01L 29/16 (2006.01)

(71) 申请人 深圳天狼芯半导体有限公司

H01L 29/08 (2006.01)

地址 518000 广东省深圳市南山区粤海街道高新区社区科技南路18号深圳湾科技生态园12栋裙楼904-905

H01L 29/417 (2006.01)

(72) 发明人 吴龙江

(74) 专利代理机构 深圳中创智财知识产权代理有限公司 44553

专利代理师 吴英

(51) Int. Cl.

H01L 21/335 (2006.01)

H01L 21/336 (2006.01)

H01L 29/772 (2006.01)

H01L 29/78 (2006.01)

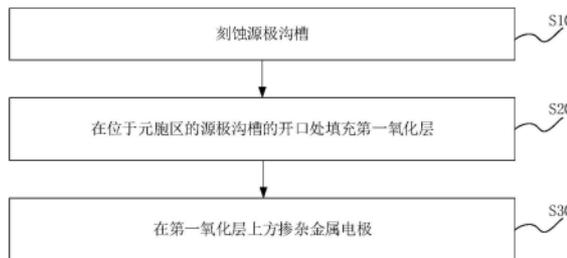
权利要求书1页 说明书11页 附图5页

## (54) 发明名称

双沟槽MOSFET器件及其提高耐压能力的制备方法

## (57) 摘要

本发明公开了一种双沟槽MOSFET器件及其提高耐压能力的制备方法,所述方法包括:刻蚀源极沟槽;在位于元胞区的源极沟槽的开口处填充第一氧化层;在所述第一氧化层上方掺杂金属电极。所制备出的双沟槽MOSFET器件包括:源极沟槽;第一氧化层,位于元胞区的源极沟槽的开口处上方;金属电极,位于所述第一氧化层上方。本发明通过在元胞区的源极沟槽的开口处上方掺杂氧化物形成第一氧化层,使得源极沟槽与金属电极不会直接接触,在不需要额外增加成本的情况下,提高了双沟槽MOSFET器件的耐压能力。



1. 一种提高耐压能力的双沟槽MOSFET器件的制备方法,其特征在于,所述方法包括:  
刻蚀源极沟槽;  
在位于元胞区的源极沟槽的开口处填充第一氧化层;  
在所述第一氧化层上方掺杂金属电极。
2. 根据权利要求1所述的提高耐压能力的双沟槽MOSFET器件的制备方法,其特征在于,还包括:  
在位于终端边缘区的源极沟槽的开口处填充第二氧化层;  
在所述第二氧化层上方掺杂所述金属电极。
3. 根据权利要求1所述的提高耐压能力的双沟槽MOSFET器件的制备方法,其特征在于,所述在位于元胞区的源极沟槽的开口处填充第一氧化层,包括:  
对所述源极沟槽进行回蚀,形成缺口;  
在所述缺口处填充所述第一氧化层。
4. 根据权利要求1所述的提高耐压能力的双沟槽MOSFET器件的制备方法,其特征在于,在所述刻蚀源极沟槽之后;  
进行氧化物沉积,并在沉积后的源极沟槽内刻蚀出第一沟槽;  
在所述第一沟槽中填充介电层。
5. 根据权利要求1所述的提高耐压能力的双沟槽MOSFET器件的制备方法,其特征在于,在所述刻蚀源极沟槽之前,还包括:  
提供衬底,以及所述衬底上的外延层;其中,所述外延层包括漂移层;  
在所述漂移层上进行P型掺杂,形成P阱区。
6. 根据权利要求5所述的提高耐压能力的双沟槽MOSFET器件的制备方法,其特征在于,在所述形成P阱区之后,还包括:  
在所述P阱区内刻蚀栅极沟槽;  
在所述P阱区进行P<sup>+</sup>离子注入和N<sup>+</sup>离子注入。
7. 一种双沟槽MOSFET器件,其特征在于,包括:  
源极沟槽;  
第一氧化层,位于元胞区的源极沟槽的开口处上方;  
金属电极,位于所述第一氧化层上方。
8. 根据权利要求7所述的双沟槽MOSFET器件,其特征在于,还包括:  
第二氧化层,位于终端边缘区的源极沟槽的开口处上方;  
其中,所述金属电极还位于所述第二氧化层上方。
9. 根据权利要求7所述的双沟槽MOSFET器件,其特征在于,还包括:  
第一沟槽和介电层;  
所述第一沟槽刻蚀在所述源极沟槽内;  
所述介电层填充在所述第一沟槽内。
10. 根据权利要求7所述的双沟槽MOSFET器件,其特征在于,还包括:衬底;  
外延层,在衬底上经外延后得到,所述外延层包括漂移层;  
P阱区,在漂移层进行P型掺杂后得到;  
栅极沟槽,刻蚀在P阱区内。

## 双沟槽MOSFET器件及其提高耐压能力的制备方法

### 技术领域

[0001] 本发明涉及半导体器件技术领域,尤其涉及一种双沟槽MOSFET器件及其提高耐压能力的制备方法。

### 背景技术

[0002] 在沟槽型MOSFET中,晶体管的栅极与通道之间有一个或多个垂直沟槽,称为沟槽结构。这些沟槽被填充了一些绝缘材料,并且与源极和漏极之间连通。透过变化栅极电压,MOSFET的信道电阻可以被控制,以实现电流的控制。

[0003] 双沟槽MOSFET器件是一种常见的功率MOSFET,其特点是结构简单、灵活,具有低导通电阻和高开关速度等优点。然而,在现有的双沟槽MOSFET器件的结构中,源级沟槽与金属通常会直接接触,而这样的结构通常会引发以下问题:第一,在源极沟槽的介电层与金属接触面会有大电流产生高热,致使热膨胀系数变化,因此在该接触面的短路测试容易失效;第二,器件的耐压测试也容易因为缺陷发生击穿。

### 发明内容

[0004] 为了解决上述提出的至少一个技术问题,本发明提供一种双沟槽MOSFET器件及其提高耐压能力的制备方法,能够提高元胞的耐压能力。

[0005] 第一方面,本发明提供了一种提高耐压能力的双沟槽MOSFET器件的制备方法,所述方法包括:

[0006] 刻蚀源极沟槽;

[0007] 在位于元胞区的源极沟槽的开口处填充第一氧化层;

[0008] 在所述第一氧化层上方掺杂金属电极。

[0009] 在一种可能的实施方式中,所述的提高耐压能力的双沟槽MOSFET器件的制备方法,还包括:

[0010] 在位于终端边缘区的源极沟槽的开口处填充第二氧化层;

[0011] 在所述第二氧化层上方掺杂所述金属电极。

[0012] 在一种可能的实施方式中,所述在位于元胞区的源极沟槽的开口处填充第一氧化层,包括:

[0013] 对所述源极沟槽进行回蚀,形成缺口;

[0014] 在所述缺口处填充所述第一氧化层。

[0015] 在一种可能的实施方式中,在所述刻蚀源极沟槽之后;

[0016] 进行氧化物沉积,并在沉积后的源极沟槽内刻蚀出第一沟槽;

[0017] 在所述第一沟槽中填充介电层。

[0018] 在一种可能的实施方式中,在所述刻蚀源极沟槽之前,还包括:

[0019] 提供衬底,以及所述衬底上的外延层;其中,所述外延层包括漂移层;

[0020] 在所述漂移层上进行P型掺杂,形成P阱区。

- [0021] 在一种可能的实施方式中,在所述形成P阱区之后,还包括:
- [0022] 在所述P阱区内刻蚀栅极沟槽;
- [0023] 在所述P阱区进行P<sup>+</sup>离子注入和N<sup>+</sup>离子注入。
- [0024] 第二方面,本发明还提供了一种双沟槽MOSFET器件,包括:
- [0025] 源极沟槽;
- [0026] 第一氧化层,位于元胞区的源极沟槽的开口处上方;
- [0027] 金属电极,位于所述第一氧化层上方。
- [0028] 在一种可能的实施方式中,所述的双沟槽MOSFET器件,还包括:
- [0029] 第二氧化层,位于终端边缘区的源极沟槽的开口处上方;
- [0030] 其中,所述金属电极还位于所述第二氧化层上方。
- [0031] 在一种可能的实施方式中,所述的双沟槽MOSFET器件,还包括:
- [0032] 第一沟槽和介电层;
- [0033] 所述第一沟槽刻蚀在所述源极沟槽内;
- [0034] 所述介电层填充在所述第一沟槽内。
- [0035] 在一种可能的实施方式中,所述的双沟槽MOSFET器件,还包括:
- [0036] 衬底;
- [0037] 外延层,在衬底上经外延后得到,所述外延层包括漂移层;
- [0038] P阱区,在漂移层进行P型掺杂后得到;
- [0039] 栅极沟槽,刻蚀在P阱区内
- [0040] 与现有技术相比,本发明的有益效果在于:
- [0041] 本发明公开了一种双沟槽MOSFET器件及其提高耐压能力的制备方法,所述方法包括:刻蚀源极沟槽;在位于元胞区的源极沟槽的开口处填充第一氧化层;在所述第一氧化层上方掺杂金属电极。所制备出的双沟槽MOSFET器件包括:源极沟槽;第一氧化层,位于元胞区的源极沟槽的开口处上方;金属电极,位于所述第一氧化层上方。
- [0042] 本发明通过在元胞区的源极沟槽的开口处上方掺杂氧化物形成第一氧化层,使得源极沟槽与金属电极不会直接接触,在不需要额外增加成本的情况下,提高了双沟槽MOSFET器件的耐压能力。
- [0043] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性和解释性的,而非限制本公开。

## 附图说明

- [0044] 为了更清楚地说明本发明实施例或背景技术中的技术方案,下面将对本发明实施例或背景技术中所需要使用的附图进行说明。
- [0045] 此处的附图被并入说明书中并构成本说明书的一部分,这些附图示出了符合本公开的实施例,并与说明书一起用于说明本公开的技术方案。
- [0046] 图1为本发明实施例提供的现有的双沟槽MOSFET器件的结构示意图;
- [0047] 图2为图1的俯视图;
- [0048] 图3为本发明实施例提供的一种提高耐压能力的双沟槽MOSFET器件的制备方法的流程示意图;

- [0049] 图4为本发明实施例提供的一种双沟槽MOSFET器件的结构示意图；
- [0050] 图5为本发明另一实施例提供的一种提高耐压能力的双沟槽MOSFET器件的制备方法的流程示意图；
- [0051] 图6为本发明实施例提供的现有的双沟槽MOSFET器件终端结构的示意图；
- [0052] 图7为图6的俯视图；
- [0053] 图8为本发明实施例提供的一种双沟槽MOSFET器件终端结构的示意图；
- [0054] 图9(a)为本发明实施例提供的在元胞区制备P-well区的原理示意图；
- [0055] 图9(b)为本发明实施例提供的在终端边缘区制备P-well区的原理示意图；
- [0056] 图10(a)为本发明实施例提供的在元胞区刻蚀沟槽的原理示意图；
- [0057] 图10(b)为本发明实施例提供的在终端边缘区刻蚀沟槽的原理示意图；
- [0058] 图11(a)为本发明实施例提供的在元胞区对源极沟槽和栅极沟槽进行回蚀的原理示意图；
- [0059] 图11(b)为本发明实施例提供的在终端边缘区对源极沟槽进行回蚀的原理示意图；
- [0060] 图12(a)为本发明实施例提供的在元胞区对源极沟槽和栅极沟槽填充氧化层的原理示意图；
- [0061] 图12(b)为本发明实施例提供的在终端边缘区对源极沟槽填充氧化层的原理示意图；
- [0062] 图13(a)为本发明实施例提供的制备工艺下的双沟槽MOSFET器件元胞区的结构示意图；
- [0063] 图13(b)为本发明实施例提供的制备工艺下的双沟槽MOSFET器件终端结构的结构示意图。

### 具体实施方式

[0064] 为了使本技术领域的人员更好地理解本发明方案，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0065] 本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别不同对象，而不是用于描述特定顺序。此外，术语“包括”和“具有”以及它们任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元，而是可选地还包括没有列出的步骤或单元，或可选地还包括对于这些过程、方法、产品或设备固有的其他步骤或单元。

[0066] 本文中术语“和/或”，仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A和/或B，可以表示：单独存在A，同时存在A和B，单独存在B这三种情况。另外，本文中术语“至少一种”表示多种中的任意一种或多种中的至少两种的任意组合，例如，包括A、B、C中的至少一种，可以表示包括从A、B和C构成的集合中选择的任意一个或多个元素。

[0067] 需要说明，本发明实施例中所有方向性指示(诸如上、下、左、右、前、后……)仅用于解释在某一特定姿态(如附图所示)下各部件之间的相对位置关系、运动情况等，如果该

特定姿态发生改变时,则该方向性指示也相应地随之改变。

[0068] 在本文中提及“实施例”意味着,结合实施例描述的特定特征、结构或特性可以包含在本发明的至少一个实施例中。在说明书中的各个位置出现该短语并不一定均是指相同的实施例,也不是与其它实施例互斥的独立的或备选的实施例。本领域技术人员显式地和隐式地理解的是,本文所描述的实施例可以与其它实施例相结合。

[0069] 另外,为了更好地说明本发明,在下文的具体实施方式中给出了众多的具体细节。本领域技术人员应当理解,没有某些具体细节,本发明同样能够实施。在一些实例中,对于本领域技术人员熟知的方法、手段、元件和电路未作详细描述,以便于凸显本发明的主旨。

[0070] 目前,在双沟槽MOSFET器件的结构中,源极沟槽与金属通常会直接接触,而这样的结构容易引发一些问题,一是在源极沟槽的介电层与金属接触面会有大电流产生高热,致使热膨胀系数变化,因此在该接触面的短路测试容易失效;二是器件的耐压测试也容易因为缺陷发生击穿。为了解决该问题,本发明旨在提供一种提高耐压能力的双沟槽MOSFET器件的制备方法及其双沟槽MOSFET器件的结构,该方法在刻蚀源极沟槽时,通过在位于元胞区的源极沟槽的开口处填充氧化物,形成第一氧化层,进而使得源极沟槽可以与金属电极不会直接接触,从而提高器件元胞区的耐压能力。

[0071] 参阅图1-2,图1提供了一种现有的双沟槽MOSFET器件的结构示意图,图2为图1的俯视图。根据图1-2可以看出,源极沟槽是直接和金属电极(Sourcemetall)接触的。因此本发明的核心在于,在制备双沟槽MOSFET器件时,使源极沟槽和金属电极不会直接接触。

[0072] 请参阅图3,图3提供了一种提高耐压能力的双沟槽MOSFET器件的制备方法的流程示意图。根据图3可知,该方法包括以下步骤:

[0073] S10、刻蚀源极沟槽;

[0074] S20、在位于元胞区的源极沟槽的开口处填充第一氧化层;

[0075] S30、在第一氧化层上方掺杂金属电极。

[0076] 沟槽型功率器件是一种特殊的金属氧化物半导体场效应晶体管(MOSFET)。它具有一个或多个沟槽或凹槽,可以在其中存储电荷。这些沟槽形成了一个扩散区,当施加正向电压时,扩散区就会被注入。这个注入过程使得器件的导通电阻变得非常小,从而提高了其开关速度和效率。其中,垂直的栅极结构它是由N型材料和P型材料交替组成的堆叠结构。栅极与源/漏极垂直于芯片表面,因此可以更好地控制电流流动。

[0077] 双沟槽MOSFET器件是属于沟槽型功率器件的一种,该结构中,栅极和源极都为垂直的沟槽状,当栅极施加足够的正电压时,沟槽中的电荷可以形成通道,电流就可以从源极流向漏极。相对于平面栅结构的MOSFET器件,双沟槽MOSFET器件通常具有更低导通电阻,其击穿电压能力也会进一步的提高,因此广泛用于功率电子应用,如DC-DC转换器,逆变器,电机驱动器等。

[0078] 本实施例中,在步骤S10中首先刻蚀源极沟槽。

[0079] 在一个实施例中,为了刻蚀源极沟槽,通常需要使用光刻和等离子刻蚀技术,包括以下步骤:

[0080] 步骤1) 提供一个半导体衬底,在所述半导体衬底表面形成第一外延层;

[0081] 步骤2) 在所述第一外延层表面形成介质膜的图形,所述介质膜覆盖区域设置在沟槽的形成区域;其中,所述介质膜覆盖区域大于后续步骤四中定义的所述沟槽的形成区域,

以提高刻蚀形成的所述沟槽和所述介质膜之间的对准冗余。

[0082] 在一个实施例中,步骤1)又包括以下子步骤:

[0083] 步骤2.1)在所述半导体衬底表面形成第一氮化硅层,对所述第一氮化硅层进行光刻刻蚀,所述第一氮化硅层的开口区域暴露出需要形成所述介质膜的所述第一外延层的表面;

[0084] 步骤2.2)进行局部场氧化在所述第一氮化硅层的开口区域中形成氧化硅并由该氧化硅组成所述介质膜;

[0085] 步骤2.3)去除所述第一氮化硅层。

[0086] 步骤3)在形成有所述介质膜图形的所述第一外延层表面进行外延生长形成第二外延层;

[0087] 步骤4)采用光刻工艺在所述第二外延层表面定义出所述沟槽的形成区域并对所述沟槽的形成区域中的所述第二外延层进行第一次刻蚀形成所述沟槽,所述第一刻蚀为各向异性刻蚀,以所述介质膜作为所述第一刻蚀的阻挡层并使所述第一刻蚀停止在所述介质膜上,同一所述半导体衬底上不同位置处的不同宽度或相同宽度的所述沟槽的深度都相同;

[0088] 在一个实施例中,步骤4)又包括以下子步骤:

[0089] 步骤4.1)在所述第二外延层表面形成硬质掩模层;

[0090] 步骤4.2)采用光刻工艺定义出所述沟槽的形成区域;

[0091] 步骤4.3)对所述硬质掩模层进行刻蚀,所述硬质掩模层的开口区域将所述沟槽的形成区域打开;

[0092] 步骤4.4)以所述硬质掩模层为掩模对所述第二外延层进行所述第一刻蚀。

[0093] 所述硬质掩模层需要在后续步骤五去除所述介质膜之后去除。

[0094] 步骤5)去除所述介质膜。

[0095] 进一步地,在刻蚀得到源极沟槽后,在位于元胞区的源极沟槽的开口处填充第一氧化层,最后在氧化层上掺杂金属电极。

[0096] 目前双沟槽MOSFET器件的结构中,源极沟槽通常是和金属电极直接接触的。本实施例中,为了不让源极沟槽与金属电极直接接触,主要在沟槽开口处填充氧化物,即氧化层,最后可以使得源极沟槽(Source trench)与栅极沟槽(Gate trench)一样在沟槽开口处具有介电层,如图4所示。

[0097] 通过在源极沟槽中填充氧化物,以隔离源极沟槽和金属电极之间的直接接触。填充材料可以是二氧化硅、氮化硅或其他绝缘材料,具体选择取决于其加工性能和可靠性等因素。

[0098] 在一个实施例中,填充的氧化物优选为包覆型氧化物。

[0099] 包覆型氧化物(Encapsulated Oxide)是一种用于封装集成电路的绝缘材料。它通常由硅酸盐玻璃、二氧化硅或氮化硅等材料制成,可以保护电路中的金属线路和晶体管等元件,以提高电路的可靠性和寿命。

[0100] 包覆型氧化物通常具有较高的绝缘强度、较低的介电损耗和良好的化学稳定性。此外,它还能够抵御潮湿和污染等环境影响,从而提高电路的可靠性和寿命。包覆型氧化物主要用于半导体工业中的封装和保护。在集成电路制造过程中,电路芯片需要被封装成不

同类型的封装,以便用于不同类型的应用。在这个过程中,包覆型氧化物会被用作芯片表面的封装材料,形成一个保护层来保护芯片中的元器件免受机械、电气和热力破坏。

[0101] 本实施例中,通过在源极沟槽的开口处填充包覆型氧化物,以形成第一氧化层,如此相较于一般的介电层来说,本实施例得到的器件结构的绝缘强度更优,在提高器件耐压能力的同时,也能保证耐压性能更加稳定。

[0102] 最后,当填充好第一氧化层后,还需要在第一氧化层上方掺杂金属电极。

[0103] 需要说明的是,在双沟槽MOSFET中,通常源极沟槽、漏极会有对应的金属电极,本实施例主要针对源极沟槽上方的金属电极。在双沟槽MOSFET中,金属电极需要具有较低的接触电阻、较高的导电性能和优异的热稳定性。此外,金属电极还应具有良好的附着力和耐腐蚀性,以保证其在长时间使用中不会脱落或损坏。

[0104] 双沟槽MOSFET广泛应用于半导体行业中的功率电子器件领域,如DC-DC转换器、交流变频器和逆变器等。金属电极作为双沟槽MOSFET的重要组成部分,在这些应用中发挥着至关重要的作用。例如,在DC-DC转换器中,金属电极可以帮助调节输出电压和电流,从而实现高效的能量转换。

[0105] 本实施例的金属电极需要具有优异的导电性能、热稳定性和耐腐蚀性,例如选用铜、钨或钼等材料作为金属电极。可以理解,这些材料的选择主要取决于其在半导体器件制造中的加工性能和可靠性。而本实施例只是提供一种示例性的选择方式,在其他实施例中还可以考虑选择其他材料的金属电极,本发明实施例不做任何限定。

[0106] 最后,还要沉积金属电极(如铜、钨或钼)之后,并进行制备和封装等后续步骤,以形成完整的双沟槽MOSFET器件。

[0107] 综上,上述实施例通过在元胞区的源极沟槽的开口处上方掺杂氧化物形成第一氧化层,使得源极沟槽与金属电极不会直接接触,在不需要额外增加成本的情况下,提高了双沟槽MOSFET器件的耐压能力。

[0108] 请参阅图5,图5为另一实施例提供的提高耐压能力的双沟槽MOSFET器件的制备方法的流程示意图。根据图5可知,该方法还包括以下步骤:

[0109] S40、在位于终端边缘区的源极沟槽的开口处填充第二氧化层;

[0110] S50、在第二氧化层上方掺杂金属电极。

[0111] 首先对元胞区和终端边缘区的含义作出如下解释:

[0112] 元胞区:是指晶体管的主体部分,包括源极、漏极和栅极等。在工作时,源极和漏极之间形成电流通路,而栅极则通过改变电场强度来控制电流的流动。

[0113] 终端边缘区:也称为漏结区,是指晶体管的漏极与衬底之间的结构。漏结区具有高电场强度,可以在一定程度上控制漏极区域的电流。

[0114] 在上述实施例中,为了提高器件的耐压能力,主要对位于元胞区的结构进行了改进,最后使得位于元胞区的源极沟槽与金属电极不会直接接触,即提高了元胞区的耐压能力。

[0115] 参阅图6-7,图6为现有的双沟槽MOSFET器件结构的终端结构示意图,图7为图6的俯视图。根据图6-7可知,现有的器件在终端边缘区的源极沟槽也是与金属电极直接接触的。因此,为了进一步提高器件的耐压能力,本实施例中考虑了终端边缘区的源极沟槽与金属电极所导致的耐压偏低的问题。

[0116] 具体地,本实施例中,在步骤S40中,在位于终端边缘区的源极沟槽的开口处填充第二氧化层;最后在步骤S50中,在第二氧化层上方掺杂金属电极。最终形成了如图8所示的终端结构。由图8可知,由于本实施例中终端边缘区的源极沟槽的开口处也填充氧化物,即第二氧化层,最终使得终端边缘区的源极沟槽与金属电极不会直接接触,进一步的提高了器件终端边缘区的耐压能力。

[0117] 可以理解的是,本实施例中所填充的第二氧化层可以参照上述实施例所述的第一氧化层的材料和填充方法,而金属电极的掺杂和材料的选择也可以参照上述实施例的描述内容部分,此处不再进一步赘述。

[0118] 在一种可能的实施方式中,所述在位于元胞区的源极沟槽的开口处填充第一氧化层,包括:

[0119] 对所述源极沟槽进行回蚀,形成缺口;

[0120] 在所述缺口处填充所述第一氧化层。

[0121] 在双沟槽MOSFET中,源极和漏极两侧都有沟道区域,通过对沟道区域施加电压控制电流,从而实现开关功能。为了提高器件的性能和稳定性,在源极沟槽填充介电层以隔离金属电极直接接触后,需要对源极沟槽进行回蚀的目的是形成缺口,然后在缺口处填充第一氧化层,使金属电极与源极沟槽不会直接接触,但是能够与源极沟槽连通。

[0122] 具体来说,源极沟槽被填充介电层后,由于介电层具有良好的绝缘性能,金属电极无法与源极沟槽相连。如果不对源极沟槽进行回蚀,则源极沟槽和金属电极之间存在断路,无法正常工作。因此,需要对源极沟槽进行回蚀,形成缺口,使金属电极可以与源极沟槽相连,并通过控制沟道区域的电势来控制电流。

[0123] 在一种可能的实施方式中,在所述刻蚀源极沟槽之后;

[0124] 进行氧化物沉积,并在沉积后的源极沟槽内刻蚀出第一沟槽;

[0125] 在所述第一沟槽中填充介电层。

[0126] 在源极沟槽已经形成之后,需要在源极沟槽中沉积氧化物,例如二氧化硅( $\text{SiO}_2$ ),并进行退火处理以提高其稳定性。

[0127] 进一步地,在沉积后的氧化物上使用光刻技术,刻蚀出第一沟槽,使第一沟槽位于源极沟槽上方。第一沟槽具有控制沟道区域电势的作用。

[0128] 在第一沟槽中填充介电层,例如氮化硅( $\text{Si}_3\text{N}_4$ )或聚酰亚胺(PI),以隔离源极沟槽和P阱区的沟槽壁之间的直接接触。通常,介电层具有良好的绝缘性能和热稳定性。

[0129] 在一种可能的实施方式中,在所述刻蚀源极沟槽之前,还包括:

[0130] 提供衬底,以及所述衬底上的外延层;其中,所述外延层包括漂移层;

[0131] 在所述漂移层上进行P型掺杂,形成P阱区。

[0132] 需要说明的是,提供衬底是指在制备半导体器件时,需要将所需的材料沉积在一个基础材料上,这个基础材料就是衬底。衬底的选择对于半导体器件的性能和制备工艺都有很大的影响。在衬底上沉积外延层是制备半导体器件的重要步骤之一。外延层是指在衬底上沉积一层与衬底材料不同的材料,通常是半导体材料。外延层的制备需要使用化学气相沉积、物理气相沉积等技术。外延层的厚度、材料、掺杂等参数都对半导体器件的性能有很大的影响。例如,在制备光电器件时,需要在衬底上沉积一层p型或n型的外延层,以形成p-n结,从而实现光电转换。在制备晶体管时,需要在衬底上沉积一层n型或p型的外延层,以

形成源、漏、栅极等结构。总之,提供衬底和制备外延层是半导体器件制备过程中不可或缺的步骤,对于半导体器件的性能和制备工艺都有很大的影响。本实施例中可以基于碳化硅衬底制备材料。

[0133] 漂移层位于源极和漏极之间,具有承载电场和控制电流的作用,是保证器件性能和可靠性的关键。在漂移层双沟槽SIC MOSFET中,漂移层一般由n型或p型掺杂的碳化硅材料构成。

[0134] 具体来说,在n型漂移层双沟槽SIC MOSFET中,漂移层是由n型掺杂的碳化硅材料构成的,其厚度决定了漂移区域的电阻和电场强度;而在p型漂移层双沟槽SIC MOSFET中,则相应地采用p型掺杂的碳化硅材料作为漂移层。漂移层的主要作用是在衬底上形成一个n型区域,从而形成PN结,实现电子的注入和排出。漂移层的厚度通常在几微米到数十微米之间,具体厚度取决于所需的电学性能和热学性能。

[0135] 进一步的,漂移层还负责承载电子的漂移运动,从而实现电流的传输。在SIC材料中,电子的迁移率非常高,因此漂移层可以承载高电流密度,同时具有较低的电阻和较高的热导率,从而可以有效地降低器件的热效应。此外,漂移层还可以提高器件的开关速度和功率密度,从而实现高效率的功率转换。

[0136] 在该实施例中,在SIC衬底上的外延层的生长过程大致如下。

[0137] 衬底准备:首先需要准备好SIC衬底,将其放置在外延生长设备中,并进行表面处理,以确保表面平整、干净、无杂质。

[0138] 气相输送:在外延生长设备中,将气相输送的材料(如氨气、三甲基铝等)加热至高温,使其分解成原子或分子,然后通过气相输送的方式将其输送到衬底表面。

[0139] 外延生长:在衬底表面,气相输送的材料会与衬底表面的原子结合,形成新的晶体结构。这个过程称为外延生长。在外延生长过程中,需要控制温度、气压、流量等参数,以确保外延层的质量和厚度。

[0140] 外延层生长:在第一层外延层生长完成后,可以继续生长下一层外延层。每一层外延层的生长条件都需要根据前一层的生长情况进行调整,以确保每一层外延层的质量和厚度。

[0141] 结晶质量检测:在外延生长过程中,需要对外延层的结晶质量进行检测。常用的检测方法包括X射线衍射、拉曼光谱、扫描电子显微镜等。

[0142] 外延层去除:在所有外延层生长完成后,需要将外延层从衬底上去除。这个过程称为外延层去除。常用的去除方法包括化学腐蚀、机械剥离等。

[0143] 制备器件:最后,可以将外延层制备成各种器件,如LED、激光器、功率器件等。制备过程包括光刻、蚀刻、金属化等步骤。

[0144] 在一种可能的实施方式中,在所述形成P阱区之后,还包括:

[0145] 在所述P阱区内刻蚀栅极沟槽;

[0146] 在所述P阱区进行P<sup>+</sup>离子注入和N<sup>+</sup>离子注入。

[0147] 本实施例中,通过P型掺杂结果,在P阱区内刻蚀栅极沟槽使用干法蚀刻来去除所述外延层的表面边缘的部分材料来形成对应形状的台面。

[0148] 在该种可能实现的方式中,通过刻蚀等方法,改变主结边缘的形状,通常蚀刻成台面、直角、曲面等形状,从而有效改善表面电场分布和击穿电压。

[0149] 台面终端是SiC垂直结构功率器件比较常用的边缘终端技术之一。一般使用干法蚀刻来选择性地去除器件边缘的部分材料来形成不同形状的面。台面终端可以分为斜台面终端(正倾角斜台面、负倾角斜台面)和直角台面终端两种。定义从掺杂浓度高的一侧到掺杂浓度低的一侧结面积减小则称为正台面,反之为负台面。

[0150] 通常来说,对于垂直型的PN结构而言,形成一个正倾角斜台面(低掺杂区移除的材料比高掺杂区移除的材料更多)对于改善器件的性能而言更有意义。这是因为在低掺杂区移除了更多的材料,将会导致沿刻蚀侧壁的耗尽层宽度增加;p型侧为重掺杂,所以耗尽区收缩得小。因此正斜角台面边缘处的表面耗尽宽度比体内的耗尽宽度要宽,器件的表面电场更低,可以避免表面击穿。经过普通的刻蚀工艺后,从p型半导体侧去除的面积比n型半导体侧多,难以实现正倾角斜台面终端。

[0151] 在对PN结进行刻蚀时由于去除了更多的重掺杂p型区域,最终得到负倾角斜台面。p型区中的耗尽区宽度扩大,n型侧表面则缩小。由于p型一侧为重掺杂,耗尽区扩大得有限,因此负斜角台面边缘处的表面耗尽宽度 $W_s$ 比体内的耗尽宽度 $W_B$ 小。这就表明,该结构的边缘电场比内部电场要大,因而更易产生击穿。通常认为,负倾角斜台面不适合作为功率器件的终端结构。

[0152] 但是,在极小的倾斜角度和p型SiC低掺杂相结合的情况下,负台面也可以起到减少表面电场尖峰的作用。当倾角减小时,n型侧表面的耗尽区宽度逐渐减小,因此耗尽区的边界逐渐向PN结的界面靠近。当倾角很小时,n型侧耗尽区的边界钉扎在PN结的界面处,此时沿着刻蚀斜面的耗尽区主要在p型侧。

[0153] 一个正倾角斜台面(低掺杂区移除的材料比高掺杂区移除的材料更多)对于改善器件的性能而言更有意义。这是因为在低掺杂区移除了更多的材料,将会导致沿刻蚀侧壁的耗尽层宽度增加;p型侧为重掺杂,所以耗尽区收缩得小。因此正斜角台面边缘处的表面耗尽宽度比体内的耗尽宽度要宽,器件的表面电场更低,可以避免表面击穿。

[0154] 进一步的,在P阱区进行P<sup>+</sup>离子注入和N<sup>+</sup>离子注入。

[0155] P阱区是MOSFET器件中的一部分,它由p型半导体材料构成,用于控制沟道和源漏之间的电流。

[0156] 在p阱区进行离子掺杂是一种常见的工艺方法,用于调节半导体器件中的电学特性。以下是一些通常使用的方法:

[0157] 离子注入:这是最常用的掺杂方法之一,可以将离子束定向轰击到p阱区表面,以改变半导体器件的电学性质。

[0158] 原子层沉积(ALD):这是一种基于气相反应的技术,可以按照预定的时序和温度将单原子层沉积在半导体表面上,使其具有所需的电学特性。

[0159] 分子束外延(MBE):这是一种高分辨率的薄膜生长技术,在它上面可以通过化学反应或物理沉积将离子掺杂到p阱区域中。

[0160] 离子交换:这涉及将已经存在于p阱区的原子通过化学反应或其他方法取代为所需的离子。

[0161] 激光掺杂:这是一种使用激光束来加热半导体表面,并将离子从固态源中释放的技术,以实现所需的电学特性。

[0162] 为了优化器件性能或实现特定的功能,本实施例优选为在P阱区进行P<sup>+</sup>离子注入

和N<sup>+</sup>离子注入。

[0163] P<sup>+</sup>离子注入是将高浓度的正离子注入到P阱区的表面形成浅P<sup>+</sup>区域,以增加接触电阻和防止PN结反向击穿。具体来说,P<sup>+</sup>离子注入可以调节接触电阻,提高器件的开关速度和工作稳定性。

[0164] 而N<sup>+</sup>离子注入则是将高浓度的负离子注入到P阱区中心的位置,形成深N<sup>+</sup>区域。深N<sup>+</sup>区域的作用是增加沟道区域电荷密度,改善反向漏电流,从而提高器件的击穿电压和可靠性。

[0165] 在一个示例性的实施例中,本发明还提供了在上述工艺制备下得到的双沟槽MOSFET器件,具体地为双沟槽SiCMOSFET。为了帮助理解该器件的结构,下面将对该器件的一种制备工艺流程进行说明,包括以下步骤:

[0166] 1) 在N<sup>++</sup>型SiC衬底上生长掺杂浓度为 $5e13\sim 3e17\text{cm}^{-3}$ 的第一层N-型外延层;

[0167] 2) 采用局部离子注入法在所述第一层N-外延层上制备出N型电流扩展区;

[0168] 3) 采用所述局部离子注入法通过改变注入离子的种类、剂量与能量在所述N型电流扩展区内制备出P<sup>+</sup>屏蔽区;

[0169] 4) 在所述第一层N-外延层上方外延生长掺杂浓度为 $5e13\sim 3e17\text{cm}^{-3}$ 的第二层N-型外延层;

[0170] 5) 在外延层上进行p型掺杂,得到p-well区,如图8所示,其中(a)为元胞区的示意图,(b)为终端边缘区的示意图。

[0171] 6) 采用局部刻蚀法在p-well区刻蚀出源极沟槽和栅极沟槽,分别挖出源极沟槽与栅极沟槽后进行氧化物沉积后,再挖出介电层需要的沟槽,以填充介电层,如图10所示。其中(a)为元胞区的示意图,(b)为终端边缘区的示意图;

[0172] 7) 对源极沟槽和栅极沟槽同时进行回蚀,形成缺口,如图11所示,其中(a)为元胞区的示意图,(b)为终端边缘区的示意图;

[0173] 8) 在源极沟槽和栅极沟槽的缺口处填充氧化物,形成具有包覆型结构的氧化层,如图12所示,其中(a)为元胞区的示意图,(b)为终端边缘区的示意图;

[0174] 9) 采用所述局部离子注入法通过改变注入离子的种类、剂量与能量在p-well区中制备出N<sup>+</sup>源区和P<sup>+</sup>源区;

[0175] 10) 通过热氧化或介质层淀积工艺形成栅介质层,采用金属或多晶硅淀积工艺形成栅电极;

[0176] 11) 在器件上方淀积层间隔离介质并将其图形化;

[0177] 12) 在源极沟槽的氧化层上方掺杂金属电极。

[0178] 因此,通过上述制备工艺可以使得源极沟槽与金属电极不会直接接触,进而提高器件的耐压能力。

[0179] 其中,若只需要提高元胞区的耐压能力,就对元胞区的源极沟槽的开口处填充氧化层,使其不会与金属电极直接接触;若只需要提高终端边缘区的耐压能力,就对终端边缘区的源极沟槽的开口处填充氧化层,使其不会与金属电极直接接触,具体实现时可根据工艺要求进行,此处不进行任何限定。

[0180] 请参阅图13,图13为本发明提供的一种双沟槽MOSFET器件的结构示意图,其中(a)为元胞区的结构示意,(b)为终端边缘区的结构示意。

[0181] 本实施例中,双沟槽MOSFET器件,包括:

[0182] 源极沟槽;

[0183] 第一氧化层,位于元胞区的源极沟槽的开口处上方;

[0184] 金属电极,位于所述第一氧化层上方。

[0185] 通过上述实施例所提供的制备工艺,可以得到如图13所示的双沟槽MOSFET器件,由图13(a)可知,漏极在衬底上,衬底上形成外延层,在外延层进行离子掺杂得到P-well区,然后在P-well区上刻蚀栅极沟槽和源极沟槽,并通过离子注入N+源区和P+源区,然后在栅极沟槽和源极沟槽中挖出沟槽以填充介电层,并在栅极沟槽和源极沟槽的开口处填充氧化层,最后在源极沟槽的氧化层上方掺杂金属电极。根据图13(b)可知,源极沟槽与金属电极不会直接接触,因此可以提高器件的耐压能力。

[0186] 在一种可能的实施方式中,所述的双沟槽MOSFET器件,还包括:

[0187] 第二氧化层,位于终端边缘区的源极沟槽的开口处上方;

[0188] 其中,所述金属电极还位于所述第二氧化层上方。

[0189] 本实施例中,通过该结构,可以使得终端边缘区的源极沟槽不会与金属电极直接接触,在提高了元胞区的耐压的同时,也提高了终端边缘区的耐压。

[0190] 在一种可能的实施方式中,所述的双沟槽MOSFET器件,还包括:

[0191] 第一沟槽和介电层;

[0192] 所述第一沟槽刻蚀在所述源极沟槽内;

[0193] 所述介电层填充在所述第一沟槽内。

[0194] 可以理解的是,栅极沟槽内也具有可以填充的介质的沟槽,最终形成具有包覆型氧化层结构的栅极沟槽,提高器件的稳定性。

[0195] 在一种可能的实施方式中,所述的双沟槽MOSFET器件,还包括:

[0196] 衬底;

[0197] 外延层,在衬底上经外延后得到,所述外延层包括漂移层;

[0198] P阱区,在漂移层进行P型掺杂后得到;

[0199] 栅极沟槽,刻蚀在P阱区内。

[0200] 由图13(a)可知,漏极在衬底上,衬底上形成外延层,在外延层进行离子掺杂得到P-well区,然后在P-well区上刻蚀栅极沟槽和源极沟槽,并通过离子注入N+源区和P+源区,然后在栅极沟槽和源极沟槽中挖出沟槽以填充介电层,并在栅极沟槽和源极沟槽的开口处填充氧化层,最后在源极沟槽的氧化层上方掺杂金属电极。

[0201] 综上所述,通过本实施例提供的双沟槽MOSFET器件结构,可以使得元胞区和/或终端边缘区的源极沟槽与金属电极之间不会直接接触,在保证无需额外成本的情况下,最终提高了元胞区和/或终端边缘区的耐压能力。

[0202] 对于本领域技术人员而言,显然本发明不限于上述示范性实施例的细节,而且在不背离本发明的精神或基本特征的情况下,能够以其他的具体形式实现本发明。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本发明的范围由所附权利要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。

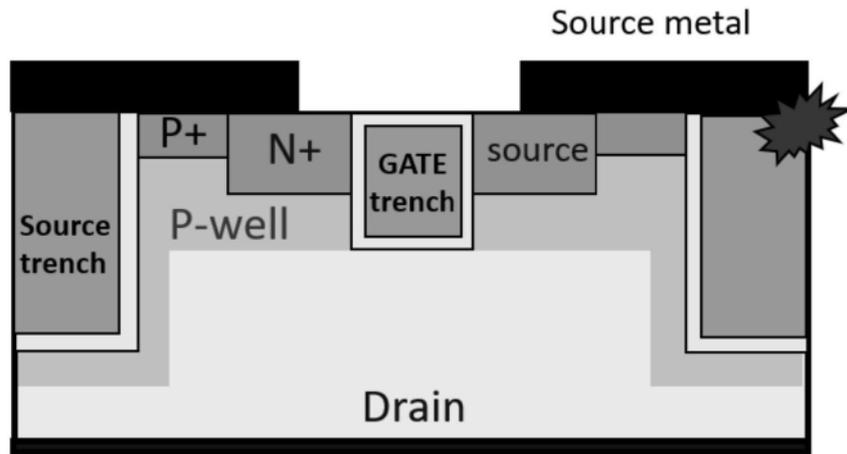


图1

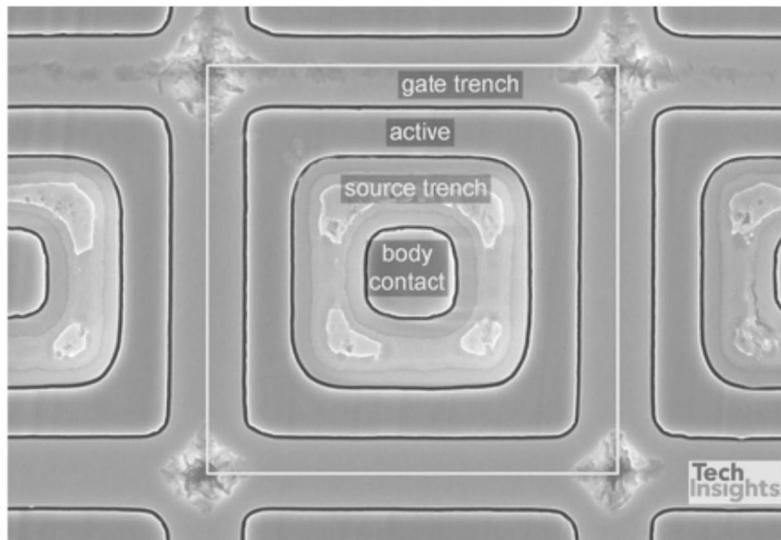


图2

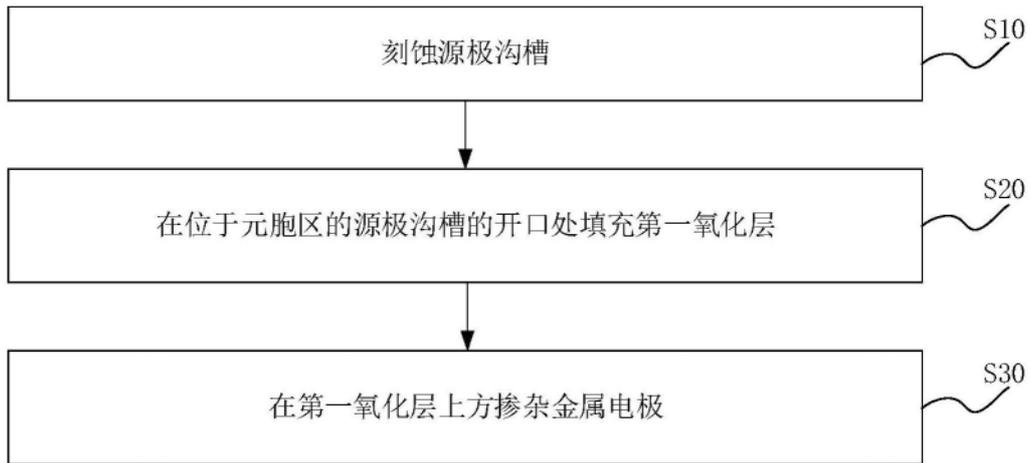


图3

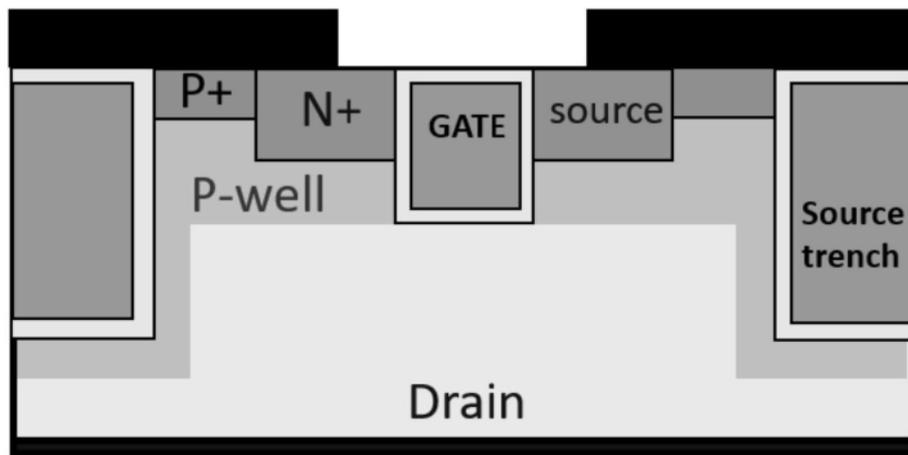


图4

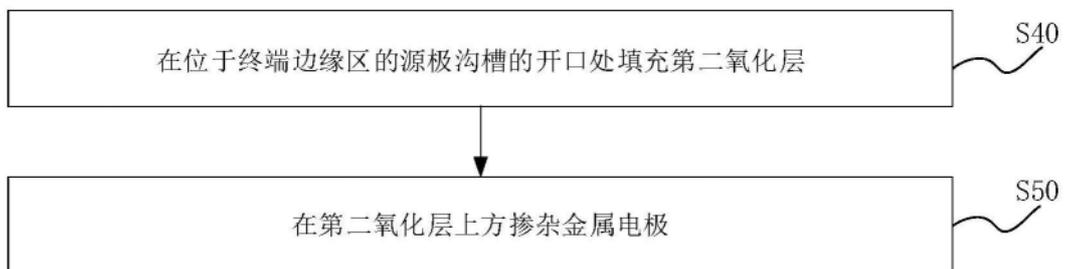


图5

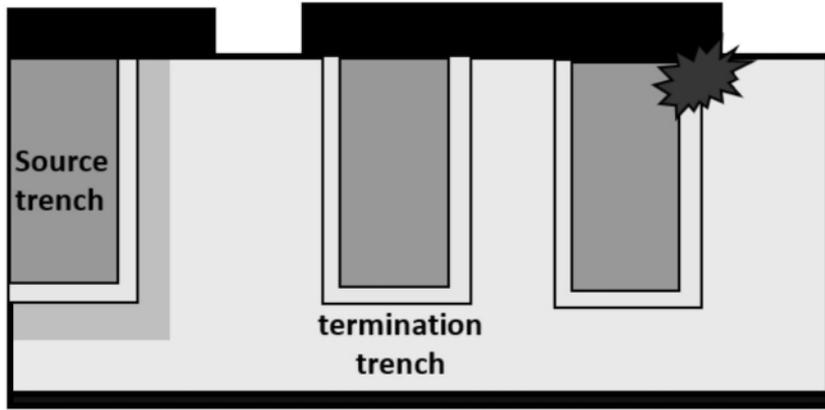


图6

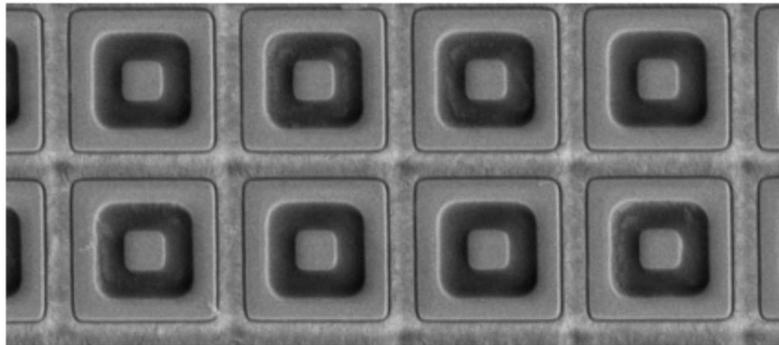


图7

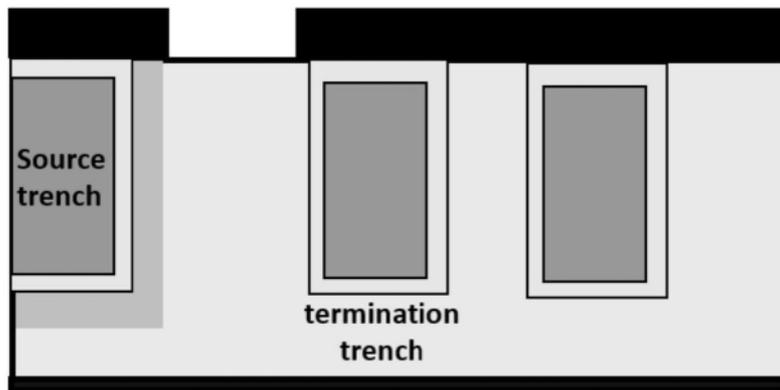


图8

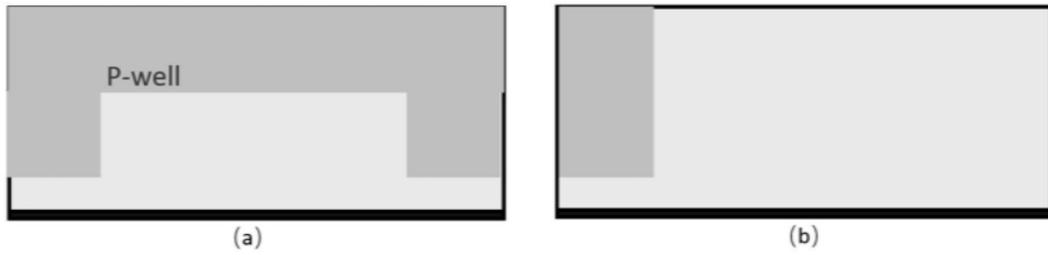


图9

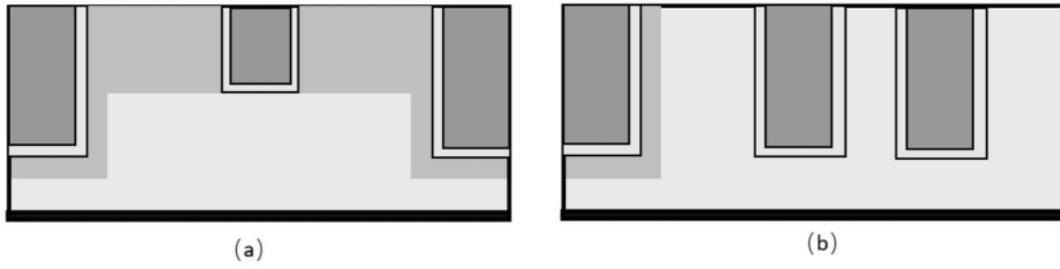


图10

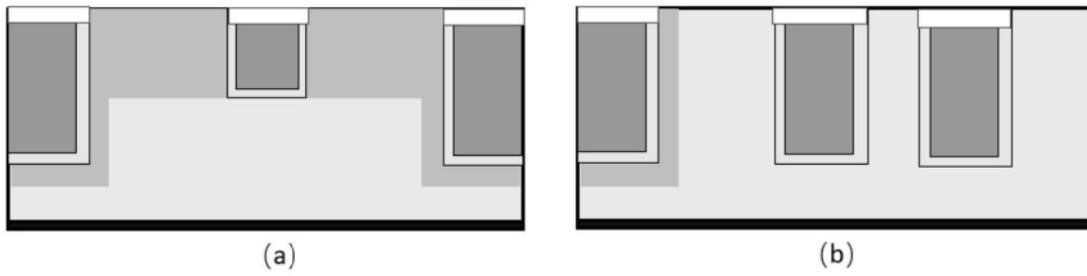


图11

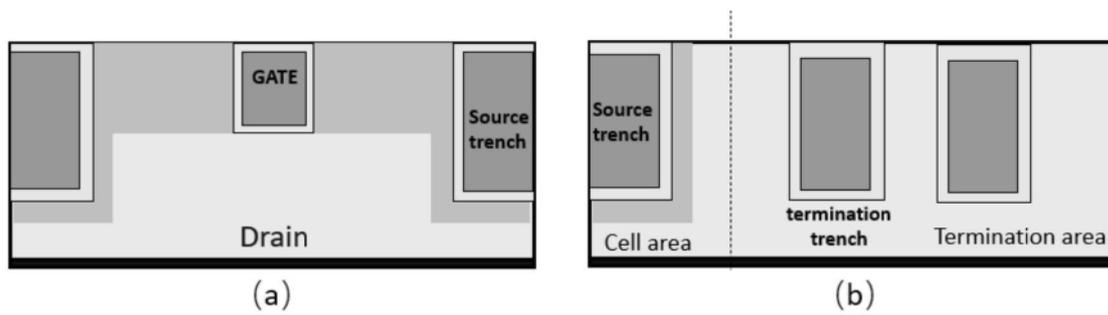


图12

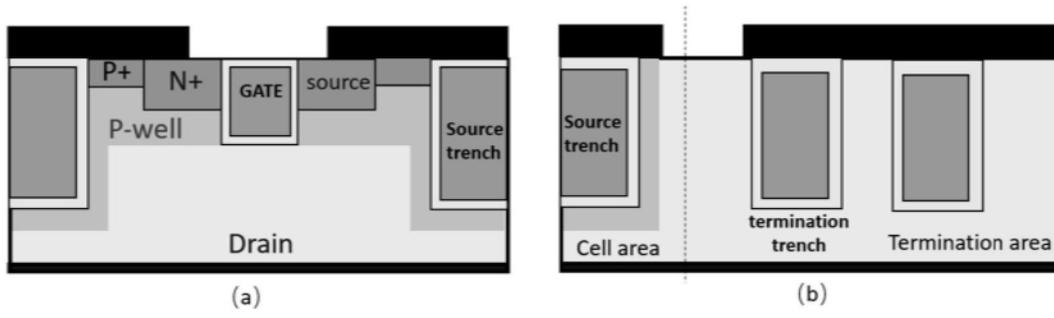


图13