



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월30일
(11) 등록번호 10-2294507
(24) 등록일자 2021년08월23일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2014-0113786
(22) 출원일자 2014년08월29일
심사청구일자 2019년08월28일
(65) 공개번호 10-2015-0028721
(43) 공개일자 2015년03월16일
(30) 우선권주장
JP-P-2013-184560 2013년09월06일 일본(JP)
(56) 선행기술조사문헌
JP2011091110 A*
JP2011124360 A*
JP2012191025 A*
WO2012144165 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
스즈키 야스타카
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
하타 유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
이에다 요시노리
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

전체 청구항 수 : 총 9 항

심사관 : 임창연

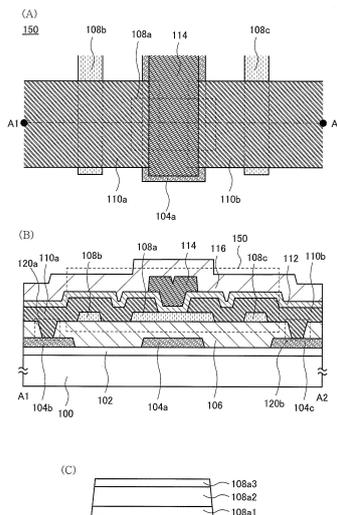
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 산화물 반도체를 사용한 반도체 장치이며, 양호한 전기 특성을 유지하면서, 미세화를 달성한 반도체 장치를 제공한다.

산화물 반도체막 및 블로킹막과, 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극과, 산화물 반도체막, 소스 전극, 및 드레인 전극에 접하는 게이트 절연막과, 게이트 절연막에 접하는 게이트 전극을 갖고, 블로킹막은 산화물 반도체막과 동일 재료가 사용되고 동일 표면 위에 형성되며 산화물 반도체막보다 도전성이 높은 구성으로 한다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치에 있어서,

산화물 반도체막 및 블로킹막과;

상기 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극과;

게이트 절연막을 개재(介在)하여 상기 산화물 반도체막과 중첩되는 게이트 전극을 포함하고,

상기 블로킹막은 상기 산화물 반도체막과 동일 재료를 포함하고, 상기 산화물 반도체막과 동일 표면 위에 있고,

상기 블로킹막은 상기 소스 전극 및 상기 드레인 전극 중 하나의 측면 및 상면과 접하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

개구부를 갖고, 상기 산화물 반도체막, 상기 블로킹막, 상기 소스 전극 및 상기 드레인 전극 위의 절연막과;

상기 절연막의 상기 개구부를 통하여 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속되는, 상기 절연막 위의 도전막을 더 포함하고,

상기 블로킹막은 상기 산화물 반도체막과 상기 절연막의 상기 개구부 사이에 있는, 반도체 장치.

청구항 3

반도체 장치에 있어서,

개구부를 갖는, 도전막 위의 절연막과;

상기 절연막 위의 산화물 반도체막과;

상기 산화물 반도체막과 동일 표면 위의 블로킹막과;

상기 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하고,

상기 소스 전극 및 상기 드레인 전극 중 하나는 상기 절연막의 상기 개구부를 통하여 상기 도전막에 전기적으로 접속되고,

상기 블로킹막은 상기 산화물 반도체막과 상기 절연막의 상기 개구부 사이에 있는, 반도체 장치.

청구항 4

반도체 장치에 있어서,

반도체 재료를 포함하는 트랜지스터와;

상기 트랜지스터 위의 층간 절연막과;

상기 트랜지스터에 전기적으로 접속되는, 상기 층간 절연막 위의 도전막과;

개구부를 갖는, 상기 도전막 위의 절연막과;

상기 절연막 위의 산화물 반도체막과;

상기 산화물 반도체막과 동일 표면 위의 블로킹막과;

상기 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극을 포함하고,

상기 소스 전극 및 상기 드레인 전극 중 하나는 상기 절연막의 상기 개구부를 통하여 상기 도전막에 전기적으로

접속되고,

상기 블로킹막은 상기 산화물 반도체막과 상기 절연막의 상기 개구부 사이에 있는, 반도체 장치.

청구항 5

제 1 항, 제 3 항 및 제 4 항 중 어느 한 항에 있어서,

상기 산화물 반도체막은 적층 구조를 갖는, 반도체 장치.

청구항 6

제 1 항, 제 3 항 및 제 4 항 중 어느 한 항에 있어서,

상기 블로킹막은 상기 산화물 반도체막을 둘러싸는, 반도체 장치.

청구항 7

제 1 항, 제 3 항 및 제 4 항 중 어느 한 항에 있어서,

상기 블로킹막은 상기 산화물 반도체막보다 수소 농도가 높은, 반도체 장치.

청구항 8

제 3 항 또는 제 4 항에 있어서,

상기 블로킹막은 상기 산화물 반도체막과 동일 재료를 포함하고,

상기 블로킹막은 상기 산화물 반도체막보다 도전성이 높은, 반도체 장치.

청구항 9

제 3 항 또는 제 4 항에 있어서,

게이트 절연막을 개재하여 상기 산화물 반도체막과 중첩되는 게이트 전극을 더 포함하는, 반도체 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 프로세스(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법에 관한 것이다.

[0002] 또한, 본 명세서에서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 표시 장치, 전기 광학 장치, 반도체 회로, 및 전기 기기는 반도체 장치를 갖는 경우가 있다.

배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여, 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치) 등의 전자 디바이스에 폭넓게 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서는 실리콘계 반도체 재료가 잘 알려져 있지만, 그 이외의 재료로서는 산화물 반도체가 주목을 받고 있다.

[0004] 예를 들어, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 비정질 산화물 반도체막을 사용한 트랜지스터가 특허문헌 1에 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개2006-165528호 공보

발명의 내용

해결하려는 과제

[0006] 회로의 고집적화에 따라, 소자들간의 층간 절연막에 개구부를 제공하고 상기 개구부에 전극이나 배선 등을 제공하여 소자들간을 전기적으로 접속시키는 경우가 있다. 소자가 산화물 반도체막을 사용한 트랜지스터인 경우, 개구부를 통하여 수소 등의 불순물이 산화물 반도체막으로 침입함으로써, 산화물 반도체막 내의 산소 결손과 수소에 의하여 저저항화하여 트랜지스터의 전기 특성 불량을 초래한다.

[0007] 이러한 문제를 감안하여, 본 발명의 일 형태는 산화물 반도체를 사용한 반도체 장치이며, 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0008] 또한, 트랜지스터의 동작 고속화, 트랜지스터의 저소비 전력화, 저렴화, 고집적화 등을 달성하기 위해서는 트랜지스터의 미세화가 필수적이다.

[0009] 따라서, 본 발명의 일 형태는 산화물 반도체를 사용한 반도체 장치이며, 양호한 전기 특성을 유지하면서, 미세화를 달성한 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0010] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 과제 전부를 해결할 필요는 없는 것으로 한다. 또한, 상기 이외의 과제는 명세서 등의 내용으로부터 저절로 명확해지는 것이며, 명세서 등의 내용으로부터 상기 이외의 과제가 나올 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 형태는, 산화물 반도체막 및 블로킹막과, 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극과, 산화물 반도체막, 소스 전극, 및 드레인 전극에 접하는 게이트 절연막과, 게이트 절연막에 접하는 게이트 전극을 갖고, 블로킹막은 산화물 반도체막과 동일 재료가 사용되고 동일 표면 위에 형성되며 산화물 반

도체막보다 도전성이 높은 것을 특징으로 하는, 반도체 장치이다.

[0012] 또한, 본 발명의 다른 일 형태는, 산화물 반도체막 및 블로킹막과, 산화물 반도체막에 전기적으로 접속된 소스 전극 및 드레인 전극과, 산화물 반도체막, 소스 전극, 및 드레인 전극에 접하는 게이트 절연막과, 게이트 절연막에 접하는 게이트 전극을 갖고, 블로킹막은 산화물 반도체막, 소스 전극, 및 드레인 전극과 다른 재료가 사용되고 산화물 반도체막과 동일 표면 위에 형성되며 산화물 반도체막보다 도전성이 높은 것을 특징으로 하는, 반도체 장치이다.

[0013] 또한, 상기 구성에서 산화물 반도체막 및 블로킹막 아래에 절연막이 있고, 절연막에 개구부가 제공되고, 블로킹막과 산화물 반도체막의 거리는 개구부와 산화물 반도체막의 거리보다 짧다.

[0014] 또한, 상기 구성에서, 절연막 아래에 제 1 트랜지스터를 갖고, 제 1 트랜지스터는 반도체 재료를 포함하는 기판을 포함하고, 개구부를 통하여 소스 전극 또는 드레인 전극에 전기적으로 접속된다.

발명의 효과

[0015] 본 발명의 일 형태를 사용함으로써, 블로킹막은 다른 층으로부터 산화물 반도체막 내에 수소 등의 불순물이 침입하는 것을 억제하는 기능을 갖기 때문에 반도체 장치의 전기 특성 불량을 억제할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 본 발명의 일 형태는 이들 효과에 한정되는 것은 아니다. 예를 들어, 본 발명의 일 형태는, 경우에 따라 또는 상황에 따라, 이들 이외의 효과를 갖는 경우도 있다. 또는, 예를 들어 본 발명의 일 형태는, 경우에 따라 또는 상황에 따라, 이들 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

- [0016] 도 1은 트랜지스터를 설명한 상면도 및 단면도.
- 도 2는 트랜지스터의 제작 방법을 설명한 도면.
- 도 3은 트랜지스터의 제작 방법을 설명한 도면.
- 도 4는 트랜지스터의 제작 방법을 설명한 도면.
- 도 5는 트랜지스터를 설명한 단면도.
- 도 6은 트랜지스터를 설명한 상면도 및 단면도.
- 도 7은 트랜지스터의 제작 방법을 설명한 도면.
- 도 8은 트랜지스터의 제작 방법을 설명한 도면.
- 도 9는 트랜지스터의 제작 방법을 설명한 도면.
- 도 10은 트랜지스터를 설명한 단면도.
- 도 11은 실시형태에 따른, 반도체 장치의 단면도 및 회로도.
- 도 12는 실시형태에 따른, 기억 장치의 구성예.
- 도 13은 실시형태에 따른, RFID 태그의 구성예.
- 도 14는 실시형태에 따른, CPU의 구성예.
- 도 15는 실시형태에 따른, 기억 소자의 회로도.
- 도 16은 실시형태에 따른, 전자 기기.
- 도 17은 실시형태에 따른, RFID의 사용예.
- 도 18은 실시예의 트랜지스터의 특성을 설명한 도면.
- 도 19는 실시형태에 따른, 표시 장치를 설명한 도면.
- 도 20은 트랜지스터를 설명한 상면도.
- 도 21은 트랜지스터를 설명한 상면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

- [0017] 실시형태에 대하여 도면을 사용하여 자세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않으며 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에서 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 다른 도면들에서 공통적으로 사용하며, 그 반복 설명은 생략하는 경우가 있다.
- [0018] 또한, 트랜지스터의 "소스"나 "드레인"의 기능은 상이한 극성을 갖는 트랜지스터가 채용되는 경우나, 또는 회로 동작에서 전류 방향이 변화하는 경우 등에 서로 교대할 수 있다. 따라서, 본 명세서에서 "소스" 및 "드레인"이란 용어는 교대하여 사용할 수 있다.
- [0019] 또한, 본 명세서 등에서 "제 1", "제 2" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정되는 것이 아님을 부기한다.
- [0020] (실시형태 1)
- [0021] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치에 대하여 도면을 사용하여 설명한다.
- [0022] 도 1의 (A) 및 (B)는 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도이다. 도 1의 (A)는 상면도이고, 도 1의 (B)는 도 1의 (A) 중 일점 쇄선 A1-A2 부분의 단면도이다. 또한, 도 1의 (A)의 상면도는 도면을 명료화하기 위하여 요소를 일부 생략하여 도시되어 있다. 또한, 일점 쇄선 A1-A2 방향을 채널 길이 방향, 일점 쇄선 A1-A2 방향에 대하여 수직인 방향을 채널 폭 방향이라고 부르는 경우가 있다. 또한, 상면도의 예는 도 1의 (A)에 한정되지 않는다. 예를 들어, 도 20에 도시된 바와 같은 상면도이어도 좋다.
- [0023] 도 1의 (A) 및 (B)에 도시된 트랜지스터(150)는, 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 도전막(104a), 도전막(104b), 및 도전막(104c)과, 하지 절연막(102), 도전막(104a), 도전막(104b), 및 도전막(104c) 위의 층간 절연막(106)과, 층간 절연막(106) 위의 산화물 반도체막(108a), 블로킹막(108b), 및 블로킹막(108c)과, 층간 절연막(106)에 제공된 개구부(120a)를 통하여 도전막(104b)에 전기적으로 접속되며 산화물 반도체막(108a) 및 블로킹막(108b) 위의 소스 전극(110a)과, 층간 절연막(106)에 제공된 개구부(120b)를 통하여 도전막(104c)에 전기적으로 접속되며 산화물 반도체막(108a) 및 블로킹막(108c) 위의 드레인 전극(110b)과, 산화물 반도체막(108a), 소스 전극(110a), 및 드레인 전극(110b) 위의 게이트 절연막(112)과, 게이트 절연막(112) 위에 있고 산화물 반도체막(108a)과 중첩되는 게이트 전극(114)과, 게이트 절연막(112) 및 게이트 전극(114) 위의 산화물 절연막(116)을 갖는다.
- [0024] 또한, 채널 길이란, 상면도에서, 반도체막과 게이트 전극이 중첩되는 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 즉, 도 1의 (A)에서 채널 길이는 산화물 반도체막(108a)과 게이트 전극(114)이 중첩되는 영역에서의, 소스 전극(110a)과 드레인 전극(110b)의 거리를 말한다. 채널 폭이란, 반도체막과 게이트 전극이 중첩되는 영역에서의 소스 또는 드레인의 폭을 말한다. 즉, 도 1의 (A)에서 채널 폭은 산화물 반도체막(108a)과 게이트 전극(114)이 중첩되는 영역에서의, 소스 전극(110a) 또는 드레인 전극(110b)의 폭을 말한다.
- [0025] 트랜지스터의 채널 길이 및 채널 폭을 미세화할 때, 레지스트 마스크를 후퇴시키면서 전극이나 반도체막 등을 가공하면 전극이나 반도체막 등의 상단부가 둥그스름하게 되는(곡면을 갖는) 경우가 있다. 이와 같은 구성으로 함으로써 산화물 반도체막(108a) 위에 형성되는 게이트 절연막(112), 게이트 전극(114), 및 산화물 절연막(116)의 피복성을 향상시킬 수 있다. 또한, 소스 전극(110a) 및 드레인 전극(110b)의 단부에 발생할 우려가 있는 전계 집중을 완화시킬 수 있어 트랜지스터의 열화를 억제할 수 있다.
- [0026] 또한, 개구부(120a)보다 블로킹막(108b)이 산화물 반도체막(108a)에 가깝다, 즉, 블로킹막(108b)과 산화물 반도체막(108a) 사이의 거리는 개구부(120a)와 산화물 반도체막(108a) 사이의 거리보다 짧다. 이와 마찬가지로, 블로킹막(108c)은 개구부(120b)보다 산화물 반도체막(108a)에 가깝다, 즉, 블로킹막(108c)과 산화물 반도체막(108a) 사이의 거리는 개구부(120b)와 산화물 반도체막(108a) 사이의 거리보다 짧다.
- [0027] 블로킹막을 상술한 바와 같이 제공함으로써, 다른 층(예를 들어 실리콘 트랜지스터와 트랜지스터(150) 사이의 층)으로부터 개구부를 통하여 침입하는 수소 등의 불순물을 블로킹막에서 흡착시킴으로써 산화물 반도체막 내로의 불순물 침입을 억제할 수 있기 때문에, 반도체 장치의 전기 특성 불량을 억제할 수 있다.

- [0028] 또한, 블로킹막은 산화물 반도체막과 동일 재료를 사용하여 동일 표면 위에 형성할 수 있다. 따라서, 공정 수가 증가하는 일이 없이 블로킹막을 형성할 수 있다. 이에 한정되지 않고 블로킹막은 산화물 반도체막, 소스 전극(또는 드레인 전극)과 다른 재료를 사용하여 형성될 수 있다.
- [0029] 블로킹막은 수소 등의 불순물을 흡착시키기 때문에 산화물 반도체막보다 불순물 농도가 높다. 그러므로, 블로킹막은 산화물 반도체막보다 도전성이 높다.
- [0030] 또한, 게이트 전극(114)의 전계에 의하여 산화물 반도체막(108a)을 전기적으로 둘러쌀 수 있다(게이트 전극의 전계에 의하여 산화물 반도체막을 전기적으로 둘러싸는 트랜지스터 구조를 surrounded channel(s-channel) 구조라고 부름). 따라서, 산화물 반도체막(108a) 전체(벌크)에 채널이 형성된다. s-channel 구조에서는 트랜지스터의 소스-드레인간에 대전류를 흘릴 수 있어 높은 온 전류를 얻을 수 있다.
- [0031] 높은 온 전류를 얻을 수 있기 때문에 s-channel 구조는 미세화된 트랜지스터에 적합한 구조라고 할 수 있다. 트랜지스터를 미세화할 수 있기 때문에, 상기 트랜지스터를 갖는 반도체 장치는 집적도가 높으며 고밀도화된 반도체 장치로 하는 것이 가능하게 된다. 예를 들어, 트랜지스터의 채널 길이를 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하로 하고, 또한 트랜지스터의 채널 폭을 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하로 한다.
- [0032] 기판(100)은 단순히 지지체(support)에 한정되지 않으며, 트랜지스터나 용량 소자(capacitor) 등 다른 소자가 형성된 기판이라도 좋다. 이 경우에는 트랜지스터의 게이트 전극, 소스 전극, 및 드레인 전극 중 적어도 하나가 상기 다른 소자에 전기적으로 접속되어도 좋다.
- [0033] 하지 절연막(102)은 기판(100)으로부터의 불순물 확산을 방지하는 역할뿐만 아니라, 산화물 반도체막(108a)에 산소를 공급하는 역할도 가질 수 있다. 따라서, 하지 절연막(102)은 산소를 포함하는 절연막인 것이 바람직하다. 예를 들어 화학량론적 조성보다 많은 산소를 포함하는 절연막인 것이 바람직하다. 또한, 상술한 바와 같이 기판(100)을 다른 소자가 형성된 기판으로 하는 경우, 하지 절연막(102)은 층간 절연막으로서도 기능한다. 이 경우, 하지 절연막(102)의 표면이 평탄화되어도 좋다. 예를 들어, 하지 절연막(102)에 CMP(Chemical Mechanical Polishing)법 등으로 평탄화 처리를 실시하면 좋다.
- [0034] 도전막(104a)은 제 2 게이트 전극으로서 사용될 수 있고, 온 전류를 더 증가시킬 수 있거나 문턱 전압을 제어할 수 있다. 온 전류를 증가시키려면, 도전막(104a)과 게이트 전극(114)을 전기적으로 접속시켜 동전위로 하고, 듀얼 게이트 트랜지스터로서 구동시키면 좋다. 또한, 문턱 전압을 제어하기 위해서는 도전막(104a)과 게이트 전극(114)이 전기적으로 접속되지 않도록 게이트 전극(114)과 다른 정(定)전위를 도전막(104a)에 공급하면 좋다.
- [0035] 또한, 도전막(104b)은 소스 전극(110a)에 전기적으로 접속되는 배선으로서 기능하고, 도전막(104c)은 드레인 전극(110b)에 전기적으로 접속되는 배선으로서 기능한다. 도전막(104b) 및 도전막(104c)은 트랜지스터나 용량 소자 등 다른 소자에 전기적으로 접속되어도 좋다.
- [0036] 다만, 본 발명의 실시형태의 일 형태는 이에 한정되지 않는다. 도전막(104a)은 반드시 제공되지 않아도 된다. 또한, 도전막(104b)이나 도전막(104c)도 반드시 제공될 필요는 없다. 도전막(104a), 도전막(104b), 및 도전막(104c)이 제공되지 않는 경우의 상면도와 단면도를 도 21의 (A) 및 (B)에 도시하였다.
- [0037] 층간 절연막(106)은 하지 절연막(102)과 마찬가지로 불순물 확산을 방지하는 역할을 가질 뿐만 아니라, 산화물 반도체막(108a)에 산소를 공급하는 역할을 가질 수 있다. 따라서, 층간 절연막(106)은 산소를 포함하는 절연막인 것이 바람직하다.
- [0038] 이하에서는 산화물 반도체막(108a)에 대하여 자세히 설명한다.
- [0039] 산화물 반도체막(108a)은 인듐을 포함하는 산화물이다. 산화물은 예를 들어 인듐을 포함하면 캐리어 이동도(전자 이동도)가 높아진다. 또한, 산화물 반도체막(108a)은 원소 M을 포함하는 것이 바람직하다. 원소 M으로서는, 예를 들어 알루미늄, 갈륨, 이트륨, 또는 주석 등이 있다. 원소 M은, 예를 들어 산소와의 결합 에너지가 높은 원소이다. 또한, 원소 M은 예를 들어 산화물의 에너지 갭을 크게 하는 기능을 갖는 원소이다. 또한, 산화물 반도체막(108a)은 아연을 포함하는 것이 바람직하다. 산화물이 아연을 포함하면, 예를 들어 산화물을 결정화시키기 쉬워진다. 산화물의 가전자대 상단의 에너지는, 예를 들어 아연의 원자수비에 의하여 제어할 수 있다.
- [0040] 다만, 산화물 반도체막(108a)은 인듐을 포함하는 산화물에 한정되지 않는다. 산화물 반도체막(108a)은, 예를

들어 Zn-Sn산화물, Ga-Sn산화물이라도 좋다.

- [0041] 또한, 산화물 반도체막(108a)에는 에너지 갭이 큰 산화물을 사용한다. 산화물 반도체막(108a)의 에너지 갭은 예를 들어, 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다.
- [0042] 또한, 산화물 반도체막(108a)을 스퍼터링법으로 형성하는 경우, 파티클 수를 줄이기 위하여 인듐을 포함한 타깃을 사용하는 것이 바람직하다. 또한, 원소 M의 원자수비가 높은 산화물 타깃을 사용한 경우, 타깃의 도전성이 낮게 되는 경우가 있다. 인듐을 포함한 타깃을 사용하는 경우, 타깃의 도전율을 높일 수 있으며 DC방전 및 AC방전이 용이하게 되므로 대면적 기판에 대응하기 쉽다. 따라서, 반도체 장치의 생산성을 높일 수 있다.
- [0043] 산화물 반도체막(108a)을 스퍼터링법으로 형성하는 경우, 타깃의 원자수비는 In:M:Zn이 3:1:1, 3:1:2, 3:1:4, 1:1:0.5, 1:1:1, 1:1:2 등으로 하면 좋다.
- [0044] 산화물 반도체막(108a)을 스퍼터링법으로 형성하는 경우, 타깃의 원자수비와 상이한 원자수비를 갖는 막이 형성되는 경우가 있다. 특히, 아연의 경우, 타깃의 원자수비보다 막의 원자수비가 작게 되는 경우가 있다. 구체적으로는, 타깃에 포함되는 아연의 원자수비의 40atomic% 이상 90atomic% 이하 정도가 되는 경우가 있다.
- [0045] 이하에서는 산화물 반도체막(108a) 내의 불순물의 영향에 대하여 설명한다. 또한, 트랜지스터의 전기 특성을 안정적으로 하기 위해서는 산화물 반도체막(108a) 내의 불순물 농도를 저감시켜, 캐리어 밀도를 낮게 하고 고순도화시키는 것이 효과적이다. 또한, 산화물 반도체막(108a)의 캐리어 밀도는 1×10^{17} 개/cm³ 미만, 1×10^{15} 개/cm³ 미만, 또는 1×10^{13} 개/cm³ 미만으로 한다. 산화물 반도체막(108a) 내의 불순물 농도를 저감시키기 위해서는, 근접하는 막 내의 불순물 농도도 저감시키는 것이 바람직하다.
- [0046] 예를 들어, 산화물 반도체막(108a) 내의 실리콘은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다. 그러므로, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정하였을 때의 산화물 반도체막(108a)과 층간 절연막(106) 사이의 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다. 또한, SIMS로 측정하였을 때의 산화물 반도체막(108a)과 게이트 절연막(112) 사이의 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다.
- [0047] 또한, 산화물 반도체막(108a) 내에 수소가 포함되면 캐리어 밀도를 증대시키는 경우가 있다. SIMS로 측정하였을 때의 산화물 반도체막(108a)의 수소 농도를 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(108a) 내에 질소가 포함되면 캐리어 밀도를 증대시키는 경우가 있다. SIMS로 측정하였을 때의 산화물 반도체막(108a)의 질소 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0048] 또한, 산화물 반도체막(108a)의 수소 농도를 저감시키기 위하여 하지 절연막(102) 및 층간 절연막(106)의 수소 농도를 저감시키는 것이 바람직하다. SIMS로 측정하였을 때의 하지 절연막(102) 및 층간 절연막(106)의 수소 농도는 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(108a)의 질소 농도를 저감시키기 위하여 하지 절연막(102) 및 층간 절연막(106)의 질소 농도를 저감시키는 것이 바람직하다. SIMS로 측정하였을 때의 하지 절연막(102) 및 층간 절연막(106)의 질소 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0049] 또한, 산화물 반도체막(108a)의 수소 농도를 저감시키기 위하여 게이트 절연막(112)의 수소 농도를 저감시키는 것이 바람직하다. SIMS로 측정하였을 때의 게이트 절연막(112)의 수소 농도를 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(108a)의 질소 농도를 저감시키기 위하여 게이트 절연막(112)의 질소 농도를

저감시키는 것이 바람직하다. SIMS로 측정하였을 때의 게이트 절연막(112)의 질소 농도를 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.

- [0050] 이하에서는 산화물 반도체막(108a)에 적용 가능한 산화물 반도체막의 구조에 대하여 설명한다.
- [0051] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.
- [0052] 우선, CAAC-OS막에 대하여 설명한다.
- [0053] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막 중 하나이며, 결정부의 대부분은 한 번이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 번이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기일 수도 있다.
- [0054] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)으로 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막에서는 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0055] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM으로 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이고, CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0056] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM으로 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0057] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0058] X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 CAAC-OS막의 구조를 해석하면, 예를 들어 out-of-plane법에 의한 InGaZnO₄의 결정을 갖는 CAAC-OS막의 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.
- [0059] 또한, 본 명세서에서, 삼방정 또는 능면체정은 육방정계에 포함된다.
- [0060] 한편, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 CAAC-OS막의 해석에서는, 2θ가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우에는, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(φ 축)으로 하여 시료를 회전시키면서 분석(φ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ를 56° 근방에 고정하고 φ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0061] 상술한 것으로부터 CAAC-OS막에서는, 상이한 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 가지며 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은 결정의 a-b면에 평행한 면이다.
- [0062] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 실시하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않을 수도 있다.
- [0063] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.

- [0064] 또한, InGaZnO₄의 결정성을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방일 때 나타나는 피크에 더하여, 2θ가 36° 근방일 때 피크가 나타나는 경우도 있다. 2θ가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막에서는, 2θ가 31° 근방일 때 피크가 나타나고, 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0065] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 실리콘 등의 원소는 산화물 반도체막에서 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0066] 또한 CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 또는 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0067] 불순물 농도가 낮으며 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출할 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.
- [0068] 또한, CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.
- [0069] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.
- [0070] 미결정 산화물 반도체막은 TEM에 의한 관찰상에서는 결정부를 명확히 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어 TEM에 의한 관찰상에서는 결정 입계를 명확히 확인할 수 없는 경우가 있다.
- [0071] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, 분석 방법에 따라서는 nc-OS막을 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 nc-OS막의 구조를 해석하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 프로브 직경이 큰(예를 들어 50nm 이상) 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, 결정부의 크기와 프로브 직경이 가깝거나 결정부보다 프로브 직경이 작은(예를 들어 1nm 이상 30nm 이하) 전자선을 사용하는 전자선 회절(나노 빔 전자선 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 스폿이 관측된다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 수행하면, 휘도가 높은 원 형(환 형)의 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 수행하면, 환 형의 영역 내에 복수의 스폿이 관측되는 경우가 있다.
- [0072] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결합 준위 밀도가 높다.
- [0073] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 막이라도 좋다.
- [0074] 산화물 반도체막(108a)은 산화물 반도체막의 적층막이라도 좋다. 예를 들어 산화물 반도체막(108a)은 2층

구조, 3층 구조라도 좋다.

- [0075] 예를 들어, 산화물 반도체막(108a)이 3층 구조인 경우에 대하여 설명한다. 도 1의 (C)에 산화물 반도체막(108a)이, 산화물 반도체막(108a1), 산화물 반도체막(108a2), 및 산화물 반도체막(108a3)을 이 차례로 제공한 적층막인 경우를 도시하였다.
- [0076] 산화물 반도체막(108a2)(중간층)에 대해서는 앞에서 설명된 산화물 반도체막(108a)의 기재를 참조하기 바란다. 산화물 반도체막(108a1)(하층) 및 산화물 반도체막(108a3)(상층)은 산화물 반도체막(108a2)을 구성하는 산소 외의 원소 1종류 이상, 또는 2종류 이상으로 구성되는 산화물 반도체막이다. 산화물 반도체막(108a2)을 구성하는 산소 외의 원소 1종류 이상, 또는 2종류 이상으로 산화물 반도체막(108a1) 및 산화물 반도체막(108a3)이 구성되므로 산화물 반도체막(108a1)과 산화물 반도체막(108a2)의 계면, 및 산화물 반도체막(108a2)과 산화물 반도체막(108a3)의 계면에서 계면 준위가 형성되기 어렵다.
- [0077] 또한, 산화물 반도체막(108a1)이 In-M-Zn산화물일 때, Zn 및 O를 제외한 In과 M의 원자수비는, 바람직하게는 In을 50atomic% 미만, M을 50atomic% 이상, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic% 이상으로 한다. 또한, 산화물 반도체막(108a2)이 In-M-Zn산화물일 때, Zn 및 O를 제외한 In과 M의 원자수비는 바람직하게는 In을 25atomic% 이상, M을 75atomic% 미만, 더 바람직하게는 In을 34atomic% 이상, M을 66atomic% 미만으로 한다. 또한, 산화물 반도체막(108a3)이 In-M-Zn산화물일 때, Zn 및 O를 제외한 In과 M의 원자수비는, 바람직하게는 In을 50atomic% 미만, M을 50atomic% 이상, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic% 이상으로 한다. 또한, 산화물 반도체막(108a3)에는 산화물 반도체막(108a1)과 같은 종류의 산화물을 사용하여도 좋다.
- [0078] 여기서 산화물 반도체막(108a1)과 산화물 반도체막(108a2) 사이에는 산화물 반도체막(108a1)과 산화물 반도체막(108a2)의 혼합 영역을 갖는 경우가 있다. 또한, 산화물 반도체막(108a2)과 산화물 반도체막(108a3) 사이에는 산화물 반도체막(108a2)과 산화물 반도체막(108a3)의 혼합 영역을 갖는 경우가 있다. 혼합 영역에서는 계면 준위 밀도가 낮게 된다. 따라서, 산화물 반도체막(108a1), 산화물 반도체막(108a2), 및 산화물 반도체막(108a3)의 적층체는 각각의 계면 근방에서 에너지가 연속적으로 변화하는(연속 접합이라고도 함) 밴드 구조가 된다.
- [0079] 산화물 반도체막(108a2)에는 산화물 반도체막(108a1) 및 산화물 반도체막(108a3)보다 전자 친화력이 큰 산화물을 사용한다. 예를 들어, 산화물 반도체막(108a2)에는, 산화물 반도체막(108a1) 및 산화물 반도체막(108a3)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물을 사용한다. 또한, 전자 친화력은 진공 준위와 전도대 하단의 에너지 차이이다.
- [0080] 이 때 게이트 전극(114)에 전계를 인가하면 산화물 반도체막(108a1), 산화물 반도체막(108a2), 및 산화물 반도체막(108a3) 중 전자 친화력이 큰 산화물 반도체막(108a2)에 채널이 형성된다.
- [0081] 또한, 트랜지스터의 온 전류를 증대시키기 위해서는 산화물 반도체막(108a3)의 두께가 얇을수록 바람직하다. 예를 들어, 산화물 반도체막(108a3)은 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하로 한다. 한편, 산화물 반도체막(108a3)은, 게이트 절연막(112)을 구성하는 산소 이외의 원소(실리콘 등)가 채널이 형성되는 산화물 반도체막(108a2)에 들어가지 않도록 블록하는 기능을 갖는다. 그러므로, 산화물 반도체막(108a3)은 어느 정도 두꺼운 것이 바람직하다. 예를 들어, 산화물 반도체막(108a3)의 두께는 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상으로 한다.
- [0082] 또한, 신뢰성을 높이기 위해서는 산화물 반도체막(108a1)은 두껍게, 산화물 반도체막(108a3)은 얇게 하는 것이 바람직하다. 구체적으로 산화물 반도체막(108a1)의 두께는 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 한다. 산화물 반도체막(108a1)의 두께를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상으로 함으로써, 층간 절연막(106)과 산화물 반도체막(108a1)과의 계면으로부터, 채널이 형성되는 산화물 반도체막(108a2)까지를 20nm 이상, 바람직하게는 30nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상 떼어 놓을 수 있다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에 산화물 반도체막(108a1)의 두께는 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하로 한다.
- [0083] 예를 들어, SIMS로 측정하였을 때의 산화물 반도체막(108a2)과 산화물 반도체막(108a1) 사이에서의 실리콘 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다. 또한, SIMS로 측정하였을 때의 산화물 반도체막(108a2)과 산화물 반도체막(108a3) 사이에서의 실리콘 농도

를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다.

[0084] 또한, 산화물 반도체막(108a2)의 수소 농도를 저감시키기 위해서는 산화물 반도체막(108a1) 및 산화물 반도체막(108a3)의 수소 농도를 저감시키는 것이 바람직하다. SIMS로 측정하였을 때의 산화물 반도체막(108a1) 및 산화물 반도체막(108a3)의 수소 농도를 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(108a2)의 질소 농도를 저감시키기 위해서는 산화물 반도체막(108a1) 및 산화물 반도체막(108a3)의 질소 농도를 저감시키는 것이 바람직하다. SIMS로 측정하였을 때의 산화물 반도체막(108a1) 및 산화물 반도체막(108a3)의 질소 농도를 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.

[0085] 상술한 3층 구조는 일례이다. 예를 들어, 산화물 반도체막(108a1) 또는 산화물 반도체막(108a3)을 제공하지 않는 2층 구조로 하여도 좋다.

[0086] 소스 전극(110a) 및 드레인 전극(110b)에는, 산화물 반도체막으로부터 산소를 뽑아내는 성질을 갖는 도전막을 사용하는 것이 바람직하다. 예를 들어, 산화물 반도체막으로부터 산소를 뽑아내는 성질을 갖는 도전막으로서 알루미늄, 타이타늄, 크로뮴, 니켈, 몰리브데넘, 탄탈럼, 텅스텐 등을 포함하는 도전막을 들 수 있다.

[0087] 산화물 반도체막으로부터 산소를 뽑아내는 성질을 갖는 도전막의 작용에 의하여, 산화물 반도체막 내의 산소가 이탈되어 산화물 반도체막 내에 산소 결손이 형성되는 경우가 있다. 산소 뽑아내기는 높은 온도로 가열할수록 일어나기 쉽다. 트랜지스터의 제작 공정 중에는 가열 공정이 몇 가지 있으니, 산화물 반도체막의 소스 전극 또는 드레인 전극에 접촉한 근방 영역에는 산소 결손이 형성될 가능성이 높다. 또한, 가열함으로써 상기 산소 결손의 사이트에 수소가 들어가 산화물 반도체막이 n형화되는 경우가 있다. 따라서, 소스 전극 및 드레인 전극의 작용에 의하여, 산화물 반도체막과, 소스 전극 또는 드레인 전극이 접하는 영역을 저저항화시켜 트랜지스터의 온 저항을 낮출 수 있다.

[0088] 또한, 채널 길이가 작은(예를 들어 200nm 이하, 또는 100nm 이하) 트랜지스터를 제작하는 경우, n형화 영역이 형성됨으로 인하여 소스-드레인간이 단락할 수 있다. 따라서, 채널 길이가 작은 트랜지스터를 형성하는 경우, 소스 전극 및 드레인 전극에는 산화물 반도체막으로부터 산소를 적당히 뽑아내는 성질을 갖는 도전막을 사용하면 좋다. 산소를 적당히 뽑아내는 성질을 갖는 도전막으로서는 예를 들어 니켈, 몰리브데넘, 또는 텅스텐을 포함한 도전막 등을 들 수 있다.

[0089] 또한, 채널 길이가 매우 작은(예를 들어 40nm 이하, 또는 30nm 이하) 트랜지스터를 제작하는 경우, 소스 전극 및 드레인 전극으로서 산화물 반도체막으로부터 산소를 거의 뽑아내지 않는 도전막을 사용하면 좋다. 산화물 반도체막으로부터 산소를 거의 뽑아내지 않는 도전막으로서는 예를 들어 질화 탄탈럼, 질화 타이타늄, 또는 루테튬을 포함한 도전막 등이 있다. 또한, 복수 종류의 도전막을 적층하여도 좋다.

[0090] 게이트 절연막(112)으로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼을 1종류 이상 포함한 절연막을 사용하면 좋다. 또한, 게이트 절연막(112)을 상술한 재료의 적층으로 하여도 좋다. 또한, 게이트 절연막(112)은 란타넘, 질소, 지르코늄 등을 불순물로서 포함하여도 좋다.

[0091] 게이트 전극(114)으로서는 알루미늄, 타이타늄, 크로뮴, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 루테튬, 은, 탄탈럼, 텅스텐 등으로부터 선택된 1종류 이상을 포함한 도전막을 사용하면 좋다.

[0092] 산화물 절연막(116)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼 등으로부터 선택된 1종류 이상을 포함한 절연막을 사용할 수 있다.

[0093] 다음은, 트랜지스터의 제작 방법에 대하여, 도 2~도 4를 사용하여 설명한다.

[0094] 우선, 기판(100) 위에 하지 절연막(102)을 형성한다(도 2의 (A) 참조).

[0095] 하지 절연막(102)은 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 유기 금속 화학 퇴적

(MOCVD: Metal Organic CVD)법, 플라즈마 화학 기상 퇴적(PECVD: Plasma-Enhanced CVD)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 원자층 퇴적(ALD: Atomic Layer Deposition)법, 또는 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법을 이용하여 형성하면 좋다. 플라즈마로 인한 대미지를 줄이기 위해서는 MOCVD법 또는 ALD법이 바람직하다.

- [0096] 다음에 하지 절연막(102)의 표면을 평탄화하기 위하여 CMP 처리를 실시하여도 좋다. CMP 처리를 실시함으로써 하지 절연막(102)의 평균 면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 한다. 상술한 수치 이하의 Ra로 함으로써, 산화물 반도체막(108a)의 결정성이 높아지는 경우가 있다. Ra는 원자간력 현미경(AFM: Atomic Force Microscope)으로 측정 가능하다.
- [0097] 다음에, 하지 절연막(102)에 산소를 첨가함으로써 과잉 산소를 포함한 절연막을 형성하여도 좋다. 산소는 플라즈마 처리 또는 이온 주입법 등으로 첨가하면 좋다. 산소를 이온 주입법으로 첨가하는 경우 예를 들어 가속 전압을 2kV 이상 100kV 이하로 하고, 도즈량을 5×10^{14} ions/cm² 이상 5×10^{16} ions/cm² 이하로 하면 좋다.
- [0098] 다음은 하지 절연막(102) 위에 도전막(104a), 도전막(104b), 및 도전막(104c)을 형성한다(도 2의 (B) 참조). 도전막(104a), 도전막(104b), 및 도전막(104c)은 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋고 게이트 전극(114)과 같은 재료를 사용할 수 있다. 플라즈마로 인한 대미지를 줄이기 위해서는 MOCVD법 또는 ALD법이 바람직하다.
- [0099] 다음에, 하지 절연막(102), 도전막(104a), 도전막(104b), 및 도전막(104c) 위에 층간 절연막(105)을 형성한다(도 2의 (C) 참조). 층간 절연막(105)은 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다. 플라즈마로 인한 대미지를 줄이기 위해서는 MOCVD법 또는 ALD법이 바람직하다. 층간 절연막(105)의 표면을 평탄화하기 위하여 CMP처리를 실시하여도 좋다. CMP처리를 실시함으로써 층간 절연막(105)의 평균 면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 한다. Ra를 상술한 수치 이하로 함으로써 산화물 반도체막(108a)의 결정성이 높게 되는 경우가 있다.
- [0100] 다음에, 층간 절연막(105)에, 도전막(104b)에 달하는 개구부(120a) 및 도전막(104c)에 달하는 개구부(120b)를 형성하고, 층간 절연막(106)을 형성한다(도 3의 (A) 참조).
- [0101] 다음에, 층간 절연막(106) 위에 산화물 반도체막(108a), 블로킹막(108b), 및 블로킹막(108c)을 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성한다(도 3의 (B) 참조). 플라즈마로 인한 대미지를 줄이기 위해서는 MOCVD법 또는 ALD법이 바람직하다. 이 때, 층간 절연막(106)을 적당히 에칭하여도 좋다. 층간 절연막(106)을 적당히 에칭함으로써, 나중에 형성하는 게이트 전극(114)으로 산화물 반도체막(108a)을 덮기 쉽게 할 수 있다. 또한, 트랜지스터를 미세화하기 위하여, 산화물 반도체막(108a), 블로킹막(108b), 및 블로킹막(108c)을 가공할 때에 하드 마스크를 사용하여도 좋다.
- [0102] 또한, 산화물 반도체막(108a)으로서, 산화물 반도체막(108a1), 산화물 반도체막(108a2), 및 산화물 반도체막(108a3)을 포함한 적층막을 형성하는 경우 각 층을 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다.
- [0103] 불순물 혼입을 저감시켜 결정성이 높은 산화물 반도체막을 형성하기 위하여, 기판 온도를 100℃ 이상, 바람직하게는 150℃ 이상, 더 바람직하게는 200℃ 이상으로 하여 산화물 반도체막(108a)을 형성한다. 또한, 성막 가스로서 사용하는 산소 가스나 아르곤 가스는 이슬점이 -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하까지 고순도화시킨 가스를 사용한다. 또한, 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다.
- [0104] 산화물 반도체막(108a), 블로킹막(108b), 및 블로킹막(108c) 형성 후에, 제 1 가열 처리를 실시하여도 좋다. 제 1 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도에서 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 실시하면 좋다. 또한, 제 1 가열 처리의 분위기는, 불활성 가스 분위기에서 가열 처리를 실시한 후에, 이탈된 산소를 보전하기 위해서 산화성 가스를 10ppm 이상 포함하는 분위기로 실시하여도 좋다. 제 1 가열 처리에 의하여, 산화물 반도체막(108a)의 결정성을 높이고, 또한 산화물 반도체막(108a), 하지 절연막(102), 및 층간 절연막(106)으로부터 수소나 물 등 불순물을 제거할 수 있다.
- [0105] 또한, 층간 절연막에 개구부를 형성하고 나서 산화물 반도체막, 블로킹막을 형성하였으나 이에 한정되지 않고, 산화물 반도체막, 블로킹막을 형성하고 나서 층간 절연막에 개구부를 형성하여도 좋다.

- [0106] 다음은, 층간 절연막(106)에 제공된 개구부(120a)를 통하여 도전막(104b)에 전기적으로 접속되며 산화물 반도체막(108a) 및 블로킹막(108b) 위의 소스 전극(110a), 및 층간 절연막(106)에 제공된 개구부(120b)를 통하여 도전막(104c)에 전기적으로 접속되며 산화물 반도체막(108a) 및 블로킹막(108c) 위의 드레인 전극(110b)을 형성한다(도 3의 (C) 참조). 소스 전극(110a) 및 드레인 전극(110b)은 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다. 플라즈마로 인한 대미지를 줄이기 위해서는 MOCVD법 또는 ALD법이 바람직하다. 또한, 소스 전극(110a) 및 드레인 전극(110b)이 되는 도전막을 에칭할 때 소스 전극(110a) 및 드레인 전극(110b)의 상단부가 둥그스름하게 되는(곡면을 갖는) 경우가 있다. 또한, 소스 전극(110a) 및 드레인 전극(110b)이 되는 도전막을 에칭할 때 층간 절연막(106)이 적당히 에칭되어도 좋다.
- [0107] 다음에, 산화물 반도체막(108a) 위, 소스 전극(110a) 위, 및 드레인 전극(110b) 위에 게이트 절연막(112)을 형성한다(도 4의 (A) 참조). 게이트 절연막(112)은 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다. 플라즈마로 인한 대미지를 줄이기 위해서는 MOCVD법 또는 ALD법이 바람직하다.
- [0108] 다음에 게이트 절연막(112) 위에 게이트 전극(114)을 형성한다(도 4의 (B) 참조).
- [0109] 다음에, 게이트 절연막(112) 및 게이트 전극(114) 위에 산화물 절연막(116)을 형성한다(도 4의 (C) 참조). 산화물 절연막(116)은 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 형성하면 좋다.
- [0110] 다음에, 제 2 가열 처리를 실시하여도 좋다. 제 2 가열 처리는 제 1 가열 처리와 같은 조건에 따라 실시할 수 있다. 제 2 가열 처리에 의하여, 산화물 반도체막(108a)의 산소 결손을 저감할 수 있는 경우가 있다.
- [0111] 상술한 공정을 거쳐 도 1의 (A) 및 (B)에 도시된 트랜지스터를 제작할 수 있다.
- [0112] <트랜지스터 구조의 변형예>
- [0113] 또한, 도 5의 (A)에 도시된 트랜지스터와 같이 소스 전극(110a) 및 드레인 전극(110b)에 전기적으로 접속되고 배선으로서 기능하는 도전막(118a) 및 도전막(118b)을 산화물 절연막(116) 위에 제공하여도 좋다. 도전막(118a) 및 도전막(118b)은 트랜지스터나 용량 소자 등 다른 소자에 전기적으로 접속되어도 좋다.
- [0114] 또한, 도 5의 (B)에 도시된 트랜지스터와 같이, 층간 절연막 위에 산화물 반도체막(108a1), 산화물 반도체막(108a2), 블로킹막(108b1), 블로킹막(108b2), 블로킹막(108c1), 및 블로킹막(108c2)을 제공하고, 소스 전극 및 드레인 전극 위에 산화물 반도체막(108a3)을 제공하는, 3층 구조의 산화물 반도체막(108a)으로 하여도 좋다. 또한, 산화물 반도체막(108a3) 및 게이트 절연막은, 게이트 전극을 마스크로 하여 에칭하여도 좋다.
- [0115] <트랜지스터 구조의 변형예>
- [0116] 또한, 도 10에 도시된 트랜지스터와 같이 산화물 반도체막(108a) 위에 채널 보호막(128)을 제공하여도 좋다. 채널 보호막(128)을 제공함으로써 산화물 반도체막(108a)이 에칭 가스에 노출되지 않고 산화물 반도체막(108a)과 채널 보호막(128) 사이의 불순물을 저감시킬 수 있다. 이 결과, 트랜지스터의 소스 전극과 드레인 전극 사이에 흐르는 누설 전류를 저감시킬 수 있다.
- [0117] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0118] (실시형태 2)
- [0119] 본 실시형태에서는, 실시형태 1과는 다른 반도체 장치에 대하여 도면을 사용하여 설명한다.
- [0120] 도 6의 (A) 및 (B)는 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도이다. 도 6의 (A)는 상면도이고, 도 6의 (B)는 도 6의 (A) 중 일점 쇄선 B1-B2 부분의 단면도이다. 또한, 도 6의 (A)의 상면도는, 도면을 명료화하기 위하여 요소를 일부 생략하여 도시하였다. 또한, 일점 쇄선 B1-B2 방향을 채널 길이 방향, 일점 쇄선 B1-B2 방향에 대하여 수직인 방향을 채널 폭 방향이라고 부르는 경우가 있다.
- [0121] 도 6의 (A) 및 (B)에 도시된 트랜지스터(250)는, 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 게이트 전극(114)과, 하지 절연막(102) 및 게이트 전극(114) 위의 게이트 절연막(112)과, 게이트 절연막(112) 위의 소스 전극(110a) 및 드레인 전극(110b)과, 게이트 절연막(112), 소스 전극(110a), 및 드레인 전극(110b) 위의 산화물 반도체막(108a)과, 소스 전극(110a) 위의 블로킹막(108b)과, 드레인 전극(110b) 위의 블로킹막(108c)과, 소스 전극(110a), 드레인 전극(110b), 산화물 반도체막(108a), 블로킹막(108b), 및 블로킹막(108c) 위의 층간 절연막(106)과, 층간 절연막(106) 위의 도전막(104a)과, 층간 절연막(106)에 제공된 개구부(120a)를

통하여 소스 전극(110a)에 전기적으로 접속되며 층간 절연막(106) 위에 있는 도전막(104b)과, 층간 절연막(106)에 제공된 개구부(120b)를 통하여 드레인 전극(110b)에 전기적으로 접속되며 층간 절연막(106) 위에 있는 도전막(104c)을 갖는다.

- [0122] 개구부(120a)보다 블로킹막(108b)이 산화물 반도체막(108a)에 가깝다, 즉, 블로킹막(108b)과 산화물 반도체막(108a)의 거리는 개구부(120a)와 산화물 반도체막(108a)의 거리보다 짧다. 이와 마찬가지로, 블로킹막(108c)은 개구부(120b)보다 산화물 반도체막(108a)에 가깝다, 즉, 블로킹막(108c)과 산화물 반도체막(108a)의 거리는 개구부(120b)와 산화물 반도체막(108a)의 거리보다 짧다.
- [0123] 블로킹막을 상술한 바와 같이 제공함으로써, 다른 층으로부터 개구부를 통하여 침입하는 수소 등의 불순물을 블로킹막에서 흡착시킴으로써 산화물 반도체막 내로의 불순물 침입을 억제할 수 있기 때문에, 반도체 장치의 전기 특성 불량을 억제할 수 있다.
- [0124] 또한, 블로킹막은 산화물 반도체막과 동일 재료를 사용하여 동일 표면 위에 형성할 수 있다. 따라서, 공정 수가 증가하는 일이 없이 블로킹막을 형성할 수 있다. 이에 한정되지 않고 블로킹막은 산화물 반도체막, 소스 전극(또는 드레인 전극)과 다른 재료를 사용하여 형성되어도 좋다.
- [0125] 블로킹막은 수소 등의 불순물을 흡착시키기 때문에 산화물 반도체막보다 불순물 농도가 높다. 그러므로, 블로킹막은 산화물 반도체막보다 도전성이 높다.
- [0126] 다음에, 트랜지스터의 제작 방법에 대하여 도 7~도 9를 사용하여 설명한다.
- [0127] 우선, 기판(100) 위에 하지 절연막(102)을 형성한다(도 7의 (A) 참조). 하지 절연막(102)의 재료 및 제작 방법은 실시형태 1을 참조할 수 있다.
- [0128] 다음에, 하지 절연막(102) 위에 게이트 전극(114)을 형성한다(도 7의 (B) 참조). 게이트 전극(114)의 재료 및 제작 방법에 대해서는 실시형태 1을 참조할 수 있다.
- [0129] 다음에, 하지 절연막(102) 및 게이트 전극(114) 위에 게이트 절연막(112)을 형성한다(도 7의 (C) 참조). 게이트 절연막(112)의 재료 및 제작 방법에 대해서는 실시형태 1을 참조할 수 있다.
- [0130] 다음에, 게이트 절연막(112) 위에 소스 전극(110a) 및 드레인 전극(110b)을 형성한다(도 8의 (A) 참조). 소스 전극(110a) 및 드레인 전극(110b)의 재료 및 제작 방법에 대해서는 실시형태 1을 참조할 수 있다.
- [0131] 다음에, 게이트 절연막(112), 소스 전극(110a), 및 드레인 전극(110b) 위에 산화물 반도체막(108a), 블로킹막(108b), 및 블로킹막(108c)을 형성한다(도 8의 (B) 참조). 산화물 반도체막(108a), 블로킹막(108b), 및 블로킹막(108c)의 재료 및 제작 방법에 대해서는 실시형태 1을 참조할 수 있다.
- [0132] 또한, 산화물 반도체막(108a)으로서, 산화물 반도체막(108a1), 산화물 반도체막(108a2), 및 산화물 반도체막(108a3)을 포함한 적층막을 형성하는 경우, 각 층을 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다.
- [0133] 산화물 반도체막(108a), 블로킹막(108b), 및 블로킹막(108c) 형성 후에 제 1 가열 처리를 실시하여도 좋다. 제 1 가열 처리에 대한 자세한 사항은 실시형태 1을 참조할 수 있다.
- [0134] 다음에, 산화물 반도체막(108a), 블로킹막(108b), 블로킹막(108c), 소스 전극(110a), 및 드레인 전극(110b) 위에 층간 절연막(105)을 형성한다(도 8의 (C) 참조). 층간 절연막(105)의 재료 및 제작 방법에 대해서는 실시형태 1을 참조할 수 있다.
- [0135] 다음에, 층간 절연막(105)에, 소스 전극(110a)에 달하는 개구부(120a)와 드레인 전극(110b)에 달하는 개구부(120b)를 형성하고, 층간 절연막(106)을 형성한다(도 9의 (A) 참조).
- [0136] 다음에, 층간 절연막(106) 위의 도전막(104a)과, 층간 절연막(106)에 제공된 개구부(120a)를 통하여 소스 전극(110a)에 전기적으로 접속되며 층간 절연막(106) 위에 있는 도전막(104b)과, 층간 절연막(106)에 제공된 개구부(120b)를 통하여 드레인 전극(110b)에 전기적으로 접속되며 층간 절연막(106) 위에 있는 도전막(104c)을 형성한다(도 9의 (B) 참조). 도전막(104a), 도전막(104b), 및 도전막(104c)은 실시형태 1을 참조할 수 있다.
- [0137] 다음에, 제 2 가열 처리를 실시하여도 좋다. 제 2 가열 처리는 제 1 가열 처리와 같은 조건에 따라 실시할 수 있다. 제 2 가열 처리에 의하여, 산화물 반도체막(108a)의 산소 결손을 저감시킬 수 있는 경우가 있다.

- [0138] 상술한 공정을 거쳐 도 6에 도시된 트랜지스터를 제작할 수 있다.
- [0139] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0140] (실시형태 3)
- [0141] 본 실시형태에서는, 본 발명의 일 형태에 따른 트랜지스터를 사용한 회로의 일례에 대하여, 도면을 참조하여 설명한다.
- [0142] [단면 구조]
- [0143] 도 11의 (A)는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다. 도 11의 (A)에 도시된 반도체 장치는, 하부에 제 1 반도체 재료를 사용한 트랜지스터(2200)를 갖고, 상부에 제 2 반도체 재료를 사용한 트랜지스터(2100)를 갖는다. 도 11의 (A)에서는, 제 2 반도체 재료를 사용한 트랜지스터(2100)로서 실시형태 1에서 예시한 트랜지스터가 적용된 예를 도시하였다.
- [0144] 제 1 반도체 재료와 제 2 반도체 재료는 서로 다른 밴드 갭을 갖는 재료로 하는 것이 바람직하다. 예를 들어, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘, 게르마늄, 실리콘 게르마늄, 탄소화 실리콘, 또는 갈륨 비소 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료로서 단결정 실리콘 등을 사용한 트랜지스터는, 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 낮다.
- [0145] 트랜지스터(2200)는 n채널형 트랜지스터 또는 p채널형 트랜지스터의 어느 것이라도 좋고, 회로에 따라서 적절한 트랜지스터를 사용하면 좋다. 또한, 산화물 반도체를 사용한 본 발명의 일 형태에 따른 트랜지스터를 사용하면, 사용하는 재료나 구조 등 반도체 장치의 구체적인 구성은 여기서 제시하는 것에 한정될 필요는 없다.
- [0146] 도 11의 (A)에 도시된 구성에서는 트랜지스터(2200)의 상부에 절연막(2201) 및 절연막(2207)을 개재(介在)하여 트랜지스터(2100)가 제공되어 있다. 또한, 트랜지스터(2200)와 트랜지스터(2100) 사이에는 복수의 배선(2202)이 제공되어 있다. 또한, 각종 절연막에 매립된 복수의 플러그(2203)에 의하여, 절연막의 상층과 하층에 각각 제공된 배선이나 전극이 전기적으로 접속된다. 또한, 트랜지스터(2100)를 덮는 절연막(2204)과, 절연막(2204) 위의 배선(2205)과, 트랜지스터(2100)의 한 쌍의 전극과 동일한 도전막을 가공하여 형성된 배선(2206)이 제공되어 있다.
- [0147] 이와 같이, 2개의 트랜지스터를 적층함으로써, 회로의 점유 면적이 저감되어, 복수의 회로를 보다 고밀도로 배치할 수 있다.
- [0148] 여기서, 하부에 제공되는 트랜지스터(2200)에 실리콘계 반도체 재료가 사용된 경우, 트랜지스터(2200)의 반도체막 근방에 제공되는 절연막 내의 수소는 실리콘의 덩글링 본드를 중단하고, 트랜지스터(2200)의 신뢰성을 향상시키는 효과가 있다. 한편, 상부에 제공되는 트랜지스터(2100)에 산화물 반도체가 사용된 경우, 트랜지스터(2100)의 반도체막 근방에 제공되는 절연막 내의 수소는 산화물 반도체막 내에 캐리어를 생성하는 요인 중 하나가 되기 때문에, 트랜지스터(2100)의 신뢰성을 저하시키는 요인이 될 수 있다. 따라서, 산화물 반도체를 사용한 트랜지스터(2100)를 실리콘계 반도체 재료를 사용한 트랜지스터(2200) 위에 적층하여 제공하는 경우, 이들 사이에 수소 확산을 방지하는 기능을 갖는 절연막(2207)을 제공하는 것이 특히 효과적이다. 절연막(2207)에 의하여, 하부에 수소를 가둠으로써 트랜지스터(2200)의 신뢰성을 향상시킬 수 있으며, 하부로부터 상부로 수소가 확산되는 것이 억제됨으로써 트랜지스터(2100)의 신뢰성도 동시에 향상시킬 수 있다.
- [0149] 절연막(2207)으로서는, 예를 들어 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄, 이트리아 안정화 지르코니아(YSZ) 등을 사용할 수 있다.
- [0150] 또한, 산화물 반도체막을 포함하여 구성되는 트랜지스터(2100)를 덮도록, 트랜지스터(2100) 위에 수소의 확산을 방지하는 기능을 갖는 절연막(2208)을 형성하는 것이 바람직하다. 절연막(2208)으로서는, 절연막(2207)과 같은 재료를 사용할 수 있고, 특히 산화 알루미늄을 적용하는 것이 바람직하다. 산화 알루미늄막은 수소나 수분 등의 불순물 및 산소 양쪽에 대하여 막을 투과시키지 않는 차단(블로킹) 효과가 높다. 따라서, 트랜지스터(2100)를 덮는 절연막(2208)으로서 산화 알루미늄막을 사용함으로써, 트랜지스터(2100)에 포함되는 산화물 반도체막으로부터의 산소 이탈을 방지하며 산화물 반도체막으로의 물 및 수소의 혼입을 방지할 수 있다.
- [0151] [회로 구성예]

- [0152] 상기 구성에서 트랜지스터(2100)나 트랜지스터(2200)의 전극의 접속 구성을 다르게 함으로써 다양한 회로를 구성할 수 있다. 이하에서는 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써 실현할 수 있는 회로 구성의 예에 대하여 설명한다.
- [0153] [CMOS 회로]
- [0154] 도 11의 (B)의 회로도는, p채널형 트랜지스터(2200)와 n채널형 트랜지스터(2100)를 직렬로 접속시키며 각각의 게이트를 접속시킨, 소위 CMOS 회로의 구성을 도시한 것이다.
- [0155] [아날로그 스위치]
- [0156] 또한, 도 11의 (C)의 회로도는, 트랜지스터(2100)와 트랜지스터(2200) 각각의 소스와 드레인을 접속시킨 구성을 도시한 것이다. 이와 같은 구성으로 함으로써, 소위, 아날로그 스위치로서 기능시킬 수 있다.
- [0157] [기억 장치의 예]
- [0158] 본 발명의 일 형태에 따른 트랜지스터가 사용되고, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있으며, 기록 횟수에 대한 제한도 없는 반도체 장치(기억 장치)의 일례를 도 12에 도시하였다.
- [0159] 도 12의 (A)에 도시된 반도체 장치는, 제 1 반도체 재료를 사용한 트랜지스터(3200)와, 제 2 반도체 재료를 사용한 트랜지스터(3300)와, 용량 소자(3400)를 갖는다. 또한, 트랜지스터(3300)로서는 상기 실시형태에서 설명한 트랜지스터를 사용할 수 있다.
- [0160] 트랜지스터(3300)는, 산화물 반도체를 갖는 반도체막에 채널이 형성되는 트랜지스터이다. 트랜지스터(3300)는 오프 전류가 낮기 때문에, 이것을 사용하면 오랫동안 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작이 불필요하거나, 또는 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치로 할 수 있어 소비 전력을 충분히 저감시킬 수 있다.
- [0161] 도 12의 (A)에서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극에 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극에 전기적으로 접속된다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 하나에 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극에 전기적으로 접속된다. 그리고, 트랜지스터(3200)의 게이트 전극, 및 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 다른 하나는, 용량 소자(3400)의 전극 중 하나에 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 전극 중 다른 하나에 전기적으로 접속된다.
- [0162] 도 12의 (A)에 도시된 반도체 장치에서는, 트랜지스터(3200)의 게이트 전극의 전위 유지가 가능하다는 특징을 살림으로써, 데이터의 기록, 유지, 판독이 다음과 같이 가능하다.
- [0163] 데이터의 기록 및 유지에 대하여 설명한다. 우선, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 온 상태가 되는 전위로 설정하여 트랜지스터(3300)를 온 상태로 한다. 이로써, 제 3 배선(3003)의 전위가 트랜지스터(3200)의 게이트 전극 및 용량 소자(3400)에 공급된다. 즉, 트랜지스터(3200)의 게이트 전극에는 소정의 전하가 공급된다(기록). 여기서는, 2개의 다른 전위 레벨을 부여하는 전하(이하 Low 레벨 전하, High 레벨 전하라고 함) 중 어느 하나가 공급되는 것으로 한다. 그 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 오프 상태가 되는 전위로 하여 트랜지스터(3300)를 오프 상태로 함으로써, 트랜지스터(3200)의 게이트 전극에 공급된 전하가 유지된다(유지).
- [0164] 트랜지스터(3300)의 오프 전류는 매우 낮기 때문에, 트랜지스터(3200)의 게이트 전극의 전하는 오랫동안 유지된다.
- [0165] 다음에, 데이터의 판독에 대하여 설명한다. 제 1 배선(3001)에 소정의 전위(정전위)를 공급한 상태에서 제 5 배선(3005)에 적절한 전위(판독 전위)를 공급하면, 트랜지스터(3200)의 게이트 전극에 유지된 전하량에 따라 제 2 배선(3002)의 전위는 상이하게 된다. 일반적으로, 트랜지스터(3200)를 n채널형으로 하면, 트랜지스터(3200)의 게이트 전극에 High 레벨 전하가 공급된 경우의 외견상 문턱 전압($V_{th,H}$)은 트랜지스터(3200)의 게이트 전극에 Low 레벨 전하가 공급된 경우의 외견상 문턱 전압($V_{th,L}$)보다 낮아지기 때문이다. 여기서 외견상 문턱 전압이란, 트랜지스터(3200)를 "온 상태"로 하기 위하여 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위(V_0)로 함으로써, 트랜지스터(3200)의 게이트 전극에 공급된 전하를 판별할 수 있다. 예를 들어, 기록 시에, High 레벨 전하가 공급된 경우, 제 5 배선(3005)의 전위가 $V_0(>V_{th,H})$

이 되면 트랜지스터(3200)는 "온 상태"가 된다. Low 레벨 전하가 공급된 경우, 제 5 배선(3005)의 전위가 $V_0 (< V_{thL})$ 이 되더라도 트랜지스터(3200)는 그대로 "오프 상태"가 유지된다. 따라서, 제 2 배선(3002)의 전위를 판별함으로써, 유지되어 있는 데이터를 판독할 수 있다.

[0166] 또한, 메모리 셀을 어레이 형태로 배치하여 사용하는 경우, 원하는 메모리 셀의 데이터만 판독할 수 있어야 한다. 이렇게 데이터를 판독하지 않는 경우에는, 게이트 전극의 상태에 관계없이 트랜지스터(3200)가 "오프 상태"가 되는 전위, 즉, V_{thH} 보다 낮은 전위를 제 5 배선(3005)에 공급하면 좋다. 또는, 게이트 전극의 상태에 관계없이 트랜지스터(3200)가 "온 상태"가 되는 전위, 즉, V_{thL} 보다 큰 전위를 제 5 배선(3005)에 공급하면 좋다.

[0167] 도 12의 (B)에 도시된 반도체 장치는 트랜지스터(3200)를 제공하지 않은 점에서 도 12의 (A)와 상이하다. 이 경우에도 상기와 같은 동작에 의하여 데이터의 기록 및 유지 동작이 가능하다.

[0168] 다음에, 데이터의 판독에 대하여 설명한다. 트랜지스터(3300)가 온 상태가 되면, 부유 상태인 제 3 배선(3003)과 용량 소자(3400)가 도통되어 제 3 배선(3003)과 용량 소자(3400) 사이에서 전하가 재분배된다. 이 결과, 제 3 배선(3003)의 전위가 변화된다. 제 3 배선(3003)의 전위의 변화량은 용량 소자(3400)의 전극 중 하나의 전위(또는 용량 소자(3400)에 축적된 전하)에 따라 변동된다.

[0169] 예를 들어, 용량 소자(3400)의 전극 중 하나의 전위를 V , 용량 소자(3400)의 용량을 C , 제 3 배선(3003)이 갖는 용량 성분을 CB , 전하가 재분배되기 전의 제 3 배선(3003)의 전위를 V_0 으로 하면, 전하가 재분배된 후의 제 3 배선(3003)의 전위는, $(CB \times V_0 + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리 셀의 상태로서 용량 소자(3400)의 전극 중 하나의 전위가 V_1 과 $V_0 (V_1 > V_0)$ 의 2개의 상태를 취하는 것으로 가정하면, 전위 V_1 을 유지하는 경우의 제 3 배선(3003)의 전위 $(= (CB \times V_0 + C \times V_1) / (CB + C))$ 는 전위 V_0 을 유지하는 경우의 제 3 배선(3003)의 전위 $(= (CB \times V_0 + C \times V_0) / (CB + C))$ 보다 높은 것을 알 수 있다.

[0170] 그리고, 제 3 배선(3003)의 전위를 소정의 전위와 비교함으로써 데이터를 판독할 수 있다.

[0171] 이 경우, 메모리 셀을 구동시키기 위한 구동 회로에 상기 제 1 반도체 재료가 적용된 트랜지스터를 사용하고, 트랜지스터(3300)로서 제 2 반도체 재료가 적용된 트랜지스터를 구동 회로 위에 적층하여 제공하는 구성으로 하면 좋다.

[0172] 본 실시형태에서 제시한 반도체 장치에서는, 채널 형성 영역에 산화물 반도체가 사용된 오프 전류가 매우 낮은 트랜지스터를 적용함으로써, 매우 오랫동안 기억 내용을 유지하는 것이 가능하다. 즉, 리프래시 동작을 수행할 필요가 없게 되거나, 또는 리프래시 동작의 빈도를 매우 적게 하는 것이 가능하게 되므로, 소비 전력이 충분히 저감될 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되는 것이 바람직함)에도 오랫동안 기억 내용을 유지하는 것이 가능하다.

[0173] 또한, 본 실시형태에서 제시한 반도체 장치에서는, 데이터의 기록에 높은 전압을 필요로 하지 않고, 소자의 열화 문제도 없다. 예를 들어, 종래의 불휘발성 메모리와 같이, 플로팅 게이트로의 전자 주입이나, 플로팅 게이트로부터의 전자의 뽑아내기를 실시할 필요가 없기 때문에, 게이트 절연막의 열화 등의 문제는 전혀 생기지 않는다. 즉, 개시된 발명에 따른 반도체 장치에서는, 종래의 문제점인 불휘발성 메모리에서의 재기록 가능 횟수에 대한 제한이 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라 데이터의 기록이 수행되기 때문에 고속 동작도 용이하게 실현할 수 있다.

[0174] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

[0175] (실시형태 4)

[0176] 본 실시형태에서는, 앞의 실시형태에서 설명한 트랜지스터, 또는 기억 장치를 포함한 RFID 태그에 대하여 도 13을 참조하여 설명한다.

[0177] 본 실시형태의 RFID 태그는 내부에 기억 회로를 갖고 이 기억 회로에 필요한 데이터를 기억하고, 예를 들어 무선 통신 등의 비접촉 수단을 이용하여 외부와 데이터를 수수(授受)하는 것이다. 이와 같은 특징에 따라, RFID 태그는 물품 등의 개체(個體) 데이터를 판독함으로써 물품을 식별하는 개체 인증 시스템 등에 사용될 수 있다. 또한, 이들 용도에 사용하기 위해서는 매우 높은 신뢰성이 요구된다.

[0178] RFID 태그의 구성을 도 13을 사용하여 설명한다. 도 13은 RFID 태그의 구성예를 도시한 블록도이다.

- [0179] 도 13에 도시된 바와 같이, RFID 태그(800)는 통신기(801)(질문기, 또는 리더/라이터(reader/writer)라고도 함)에 접속된 안테나(802)로부터 송신되는 무선 신호(803)를 수신하는 안테나(804)를 갖는다. 또한, RFID 태그(800)는, 정류(整流) 회로(805), 정전압 회로(806), 복조 회로(807), 변조 회로(808), 논리 회로(809), 기억 회로(810), ROM(811)을 갖는다. 또한, 복조 회로(807)에 포함되는 정류 작용을 갖는 트랜지스터는, 역 방향 전류를 충분히 억제할 수 있는 재료, 예를 들어 산화물 반도체가 사용된 구성으로 하여도 좋다. 이로써, 역 방향 전류에 기인하는 정류 작용의 저하를 억제하여 복조 회로의 출력이 포화(飽和) 상태가 되는 것을 방지할 수 있다. 즉, 복조 회로의 입력과 복조 회로의 출력의 관계를 선형 관계(linear relation)에 가깝게 할 수 있다. 또한, 데이터의 전송 방식은 한 쌍의 코일을 서로 대향하도록 배치하여 상호 유도에 의하여 교신하는 전자기 결합 방식, 유도 전자계(induction field)에 의하여 교신하는 전자기 유도 방식, 전파에 의하여 교신하는 전파 방식의 3개로 대별된다. 본 실시형태에서 제시하는 RFID 태그(800)에서는, 이들 방식 중 어느 것이 이용되어도 좋다.
- [0180] 다음에, 각 회로의 구성을 설명한다. 안테나(804)는, 통신기(801)에 접속된 안테나(802)간에서 무선 신호(803)의 송수신을 수행하는 것이다. 또한, 정류 회로(805)는, 안테나(804)에서 무선 신호를 수신함으로써 생성되는 입력 교류 신호를 정류(예를 들어 반파(半波) 2배 전압 정류)하고, 후단(後段)에 제공된 용량 소자에 의하여, 정류된 신호를 평활화함으로써 입력 전위를 생성하기 위한 회로이다. 또한, 정류 회로(805)의 입력 측 또는 출력 측에는 리미터 회로를 제공하여도 좋다. 리미터 회로란, 입력 교류 신호의 진폭이 크고 내부 생성 전압이 큰 경우에, 어느 전력 이상의 전력을 후단의 회로에 입력하지 않도록 제어하기 위한 회로이다.
- [0181] 정전압 회로(806)는 입력 전위로부터 안정적인 전원 전압을 생성하여 각 회로에 공급하기 위한 회로이다. 또한, 정전압 회로(806)는 내부에 리셋 신호 생성 회로를 가져도 좋다. 리셋 신호 생성 회로는 안정적인 전원 전압의 상승을 이용하여 논리 회로(809)의 리셋 신호를 생성하기 위한 회로이다.
- [0182] 복조 회로(807)는 포락선 검출(envelope detection)에 의하여 입력 교류 신호를 복조하여 복조 신호를 생성하기 위한 회로이다. 또한, 변조 회로(808)는 안테나(804)로부터 출력되는 데이터에 따라 변조를 수행하기 위한 회로이다.
- [0183] 논리 회로(809)는 복조 신호를 해석하여 처리를 수행하기 위한 회로이다. 기억 회로(810)는 입력된 데이터를 유지하기 위한 회로이며,로우 디코더(row decoder), 칼럼 디코더(column decoder), 기억 영역 등을 갖는다. 또한, 상기 ROM(811)은 식별 번호(ID) 등을 저장하고 처리에 따라 이를 출력하기 위한 회로이다.
- [0184] 또한, 상술한 각 회로는 필요에 따라 적절히 취사(取捨)할 수 있다.
- [0185] 여기서 기억 회로(810)에는, 앞의 실시형태에서 설명한 기억 장치를 사용할 수 있다. 본 발명의 일 형태에 따른 기억 장치는, 전원이 차단된 상태에서도 데이터를 유지할 수 있기 때문에 RFID 태그에 적합하게 사용할 수 있다. 또한 본 발명의 일 형태에 따른 기억 장치는 데이터의 기록에 필요한 전력(전압)이 종래의 불휘발성 메모리에 비하여 현저히 낮기 때문에, 데이터 판독 시와 기록 시의 최대 통신 거리의 차를 발생시키지 않는 것도 가능하다. 또한 데이터 기록 시에 전력이 부족하여 동작 또는 기록이 잘못 발생하는 것을 억제할 수 있다.
- [0186] 또한, 본 발명의 일 형태에 따른 기억 장치는 불휘발성 메모리로서 사용하는 것이 가능하기 때문에 ROM(811)에 적용할 수도 있다. 이 경우 생산자가 ROM(811)에 데이터를 기록하기 위한 명령을 별도 준비하고, 사용자가 마음대로 재기록할 수 없도록 하는 것이 바람직하다. 생산자가 출하하기 전에 식별 번호를 기록한 후에 제품을 출하함으로써, 제작한 모든 RFID 태그에 식별 번호를 부여하는 것이 아니라 출하하는 물품 중 좋은 물품에만 식별 번호를 부여하는 것이 가능하게 되므로, 출하한 후의 제품의 식별 번호가 연속되어 출하한 후의 제품에 대응한 고객 관리가 용이하게 된다.
- [0187] 본 실시형태는, 적어도 그 일부를 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0188] (실시형태 5)
- [0189] 본 실시형태에서는 적어도 앞의 실시형태에서 설명한 트랜지스터를 사용할 수 있고, 앞의 실시형태에서 설명한 기억 장치를 포함한 CPU에 대하여 설명한다.
- [0190] 도 14는 앞의 실시형태에서 설명한 트랜지스터를 적어도 일부에 사용한 CPU의 일례의 구성을 도시한 블록도이다.
- [0191] 도 14에 도시된 CPU는 기관(1190) 위에 ALU(1191)(Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러

러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 갖는다. 기관(1190)으로서는 반도체 기관, SOI 기관, 유리 기관 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공하여도 좋다. 물론, 도 14의 CPU는 그 구성을 간략화하여 도시한 일례에 지나지 않고, 실제의 CPU는 그 용도에 따라 다종다양한 구성을 갖는다. 예를 들어 도 14에 도시된 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수로 포함하며, 그 코어 각각이 병렬로 동작하는 구성으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스로 취급할 수 있는 비트 수는, 예를 들어 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.

[0192] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)에 입력된다.

[0193] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)는 디코드된 명령에 따라 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는, CPU의 프로그램을 실행하는 동안에 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 수행한다.

[0194] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 컨트롤러(1195)는 기준 클럭 신호(CLK1)를 바탕으로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하고, 내부 클럭 신호(CLK2)를 상기 각종 회로에 공급한다.

[0195] 도 14에 도시된 CPU에서는 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서는 앞의 실시형태에 제시된 트랜지스터를 사용할 수 있다.

[0196] 도 14에 도시된 CPU에 있어서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에 있어서의 유지 동작의 선택을 수행한다. 즉 레지스터(1196)가 갖는 메모리 셀에서, 플립플롭에 의한 데이터 유지를 수행할지, 용량 소자에 의한 데이터 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되는 경우, 레지스터(1196) 내의 메모리셀에 대한 전원 전압의 공급이 수행된다. 용량 소자에서의 데이터 유지가 선택되는 경우, 용량 소자에 대한 데이터 재기록이 수행되고, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0197] 도 15는 레지스터(1196)로서 사용할 수 있는 기억 소자의 회로도 일례이다. 기억 소자(1200)는 전원 차단에 의하여 기억 데이터가 휘발되는 회로(1201)와, 전원이 차단되어도 기억 데이터가 휘발되지 않는 회로(1202)와, 스위치(1203)와, 스위치(1204)와, 논리 소자(1206)와, 용량 소자(1207)와, 선택 기능을 갖는 회로(1220)를 갖는다. 회로(1202)는 용량 소자(1208)와, 트랜지스터(1209)와, 트랜지스터(1210)를 갖는다. 또한, 기억 소자(1200)는 필요에 따라 다이오드, 저항 소자, 인덕터 등 다른 소자를 더 가져도 좋다.

[0198] 여기서, 회로(1202)에는 앞의 실시형태에서 설명한 기억 장치를 사용할 수 있다. 기억 소자(1200)에 대한 전원 전압 공급이 정지되었을 때, 회로(1202)의 트랜지스터(1209)의 게이트에는 접지 전위(0V), 또는 트랜지스터(1209)가 오프 상태가 되는 전위가 계속 입력되는 구성으로 한다. 예를 들어, 트랜지스터(1209)의 게이트가 저항 등의 부하를 통하여 접지되는 구성으로 한다.

[0199] 스위치(1203)가 하나의 도전형(예를 들어 n채널형)을 갖는 트랜지스터(1213)를 사용하여 구성되고 스위치(1204)가 상기 하나의 도전형과 반대의 도전형(예를 들어 p채널형)을 갖는 트랜지스터(1214)를 사용하여 구성된 예에 대하여 설명한다. 여기서, 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스 및 드레인 중 하나에 대응하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스 및 드레인 중 다른 하나에 대응하고, 스위치(1203)는 트랜지스터(1213)의 게이트에 입력되는 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태(즉 트랜지스터(1213)의 온 상태 또는 오프 상태)가 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스 및 드레인 중 하나에 대응하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스 및 드레인 중 다른 하나에 대응하고, 스위치(1204)는 트랜지스터(1214)의 게이트에 입력되는 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태(즉 트랜지스터(1214)의 온 상태 또는 오프 상태)가 선택된다.

[0200] 트랜지스터(1209)의 소스 및 드레인 중 하나는 용량 소자(1208)의 한 쌍의 전극 중 하나, 및 트랜지스터(1210)

의 게이트에 전기적으로 접속된다. 여기서, 접속 부분을 노드 M2로 한다. 트랜지스터(1210)의 소스 및 드레인 중 하나는 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나는 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스 및 드레인 중 하나)에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 하나)에 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스 및 드레인 중 다른 하나)는 전원 전위 VDD를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)와, 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 하나)와, 논리 소자(1206)의 입력 단자와, 용량 소자(1207)의 한 쌍의 전극 중 하나는 전기적으로 접속된다. 여기서, 접속 부분을 노드 M1로 한다. 용량 소자(1207)의 한 쌍의 전극 중 다른 하나는, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1207)의 한 쌍의 전극 중 다른 하나는 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속된다. 용량 소자(1208)의 한 쌍의 전극 중 다른 하나는, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1208)의 한 쌍의 전극 중 다른 하나는 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속된다.

[0201] 또한, 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써, 용량 소자(1207) 및 용량 소자(1208)를 생략할 수도 있다.

[0202] 트랜지스터(1209)의 제 1 게이트(제 1 게이트 전극)에는 제어 신호 WE가 입력된다. 스위치(1203) 및 스위치(1204)는, 제어 신호 WE와는 다른 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택되며, 스위치(1203) 및 스위치(1204) 중 하나의 제 1 단자와 제 2 단자 사이가 도통 상태일 때, 다른 하나의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.

[0203] 트랜지스터(1209)의 소스 및 드레인 중 다른 하나에는 회로(1201)에 유지된 데이터에 대응하는 신호가 입력된다. 도 15는 회로(1201)로부터 출력된 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 하나에 입력되는 예를 도시한 것이다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호는 논리 소자(1206)에 의하여 그 논리값이 반전된 반전 신호가 되고 회로(1220)를 통하여 회로(1201)에 입력된다.

[0204] 또한, 도 15에는 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호가 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력되는 예를 도시하였지만, 이에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호는, 논리값이 반전되는 일이 없이 회로(1201)에 입력되어도 좋다. 예를 들어, 회로(1201) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.

[0205] 또한, 도 15에 있어서, 기억 소자(1200)에 사용되는 트랜지스터 중 트랜지스터(1209) 이외의 트랜지스터는, 산화물 반도체 이외의 반도체로 이루어진 층 또는 기관(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘층 또는 실리콘 기관에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(1200)에 사용되는 모든 트랜지스터를, 채널이 산화물 반도체막으로 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(1200)는 트랜지스터(1209) 이외에도 채널이 산화물 반도체막으로 형성되는 트랜지스터를 포함하여도 좋고, 나머지 트랜지스터를, 산화물 반도체 이외의 반도체로 이루어진 층 또는 기관(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.

[0206] 도 15의 회로(1201)에는 예를 들어 플립플롭 회로를 사용할 수 있다. 또한, 논리 소자(1206)에는, 예를 들어 인버터나 클록드 인버터 등을 사용할 수 있다.

[0207] 본 발명의 일 형태에 따른 반도체 장치에서는, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안, 회로(1201)에 기억된 데이터를 회로(1202)에 제공된 용량 소자(1208)에 의하여 유지할 수 있다.

[0208] 또한, 산화물 반도체막에 채널이 형성되는 트랜지스터는 오프 전류가 매우 낮다. 예를 들어, 산화물 반도체막에 채널이 형성되는 트랜지스터의 오프 전류는, 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비하여 현저히 낮다. 그러므로, 상기 트랜지스터를 트랜지스터(1209)로서 사용함으로써, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에도 용량 소자(1208)에 유지된 신호는 오랫동안 유지된다. 따라서, 기억

소자(1200)는 전원 전압의 공급이 정지된 동안에도 기억 내용(데이터)을 유지하는 것이 가능하다.

- [0209] 또한, 스위치(1203) 및 스위치(1204)를 제공함으로써 프리차지 동작을 수행하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압의 공급이 재개된 후에 회로(1201)가 원래의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.
- [0210] 또한, 회로(1202)에 있어서, 용량 소자(1208)에 의하여 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 그러므로, 기억 소자(1200)로의 전원 전압의 공급이 재개된 후, 용량 소자(1208)에 의하여 유지된 신호를, 트랜지스터(1210)의 상태(온 상태 또는 오프 상태)로 변환하여, 회로(1202)로부터 판독할 수 있다. 따라서, 용량 소자(1208)에 유지된 신호에 대응하는 전위가 약간 변동되어 있어도, 원래의 신호를 정확하게 판독하는 것이 가능하다.
- [0211] 프로세서가 갖는 레지스터나 캐시 메모리 등의 기억 장치에 상술한 바와 같은 기억 소자(1200)를 사용함으로써, 전원 전압의 공급 정지로 인한 기억 장치 내의 데이터 소실을 방지할 수 있다. 또한, 전원 전압의 공급이 재개된 후, 단시간에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나 또는 복수의 논리 회로에서 단시간에도 전원을 정지할 수 있으므로 소비 전력을 억제할 수 있다.
- [0212] 본 실시형태에서는 기억 소자(1200)를 CPU에 사용하는 예를 설명하였지만, 기억 소자(1200)는 DSP(Digital Signal Processor)나 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF-ID(Radio Frequency Identification)에도 응용할 수 있다.
- [0213] 본 실시형태는, 본 명세서에서 제시하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0214] (실시형태 6)
- [0215] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 패널의 구성에 대하여 설명한다.
- [0216] [구성예]
- [0217] 도 19의 (A)는 본 발명의 일 형태에 따른 표시 패널의 상면도이고, 도 19의 (B)는 본 발명의 일 형태에 따른 표시 패널의 화소에 액정 소자를 적용하는 경우에 사용할 수 있는 화소 회로를 설명하기 위한 회로도이다. 또한, 도 19의 (C)는 본 발명의 일 형태에 따른 표시 패널의 화소에 유기 EL 소자를 적용하는 경우에 사용할 수 있는 화소 회로를 설명하기 위한 회로도이다.
- [0218] 화소부에 배치되는 트랜지스터는 상기 실시형태에 따라 형성할 수 있다. 또한, 상기 트랜지스터는 n채널형으로 하는 것이 용이하므로, 구동 회로 중 n채널형 트랜지스터로 구성될 수 있는 구동 회로의 일부를, 화소부의 트랜지스터와 동일 기판 위에 형성한다. 이와 같이, 화소부나 구동 회로에 상기 실시형태에서 제시한 트랜지스터를 사용함으로써 신뢰성이 높은 표시 장치를 제공할 수 있다.
- [0219] 도 19의 (A)에 액티브 매트릭스형 표시 장치의 블록도의 일례를 도시하였다. 표시 장치의 기판(700) 위에는 화소부(701), 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 신호선 구동 회로(704)를 갖는다. 화소부(701)에는 복수의 신호선이 신호선 구동 회로(704)로부터 연장되어 배치되고, 복수의 주사선이 제 1 주사선 구동 회로(702), 및 제 2 주사선 구동 회로(703)로부터 연장되어 배치되어 있다. 또한, 주사선과 신호선과의 교차 영역에는 각각 표시 소자를 갖는 화소가 매트릭스상으로 제공되어 있다. 또한, 표시 장치의 기판(700)은 FPC(Flexible Printed Circuit) 등의 접속부를 통하여 타이밍 제어 회로(컨트롤러, 제어 IC라고도 함)에 접속되어 있다.
- [0220] 도 19의 (A)에 있어서, 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 신호선 구동 회로(704)는 화소부(701)와 같은 기판(700) 위에 형성된다. 그러므로, 외부에 제공되는 구동 회로 등의 부품 수가 삭감되어 비용 절감을 도모할 수 있다. 또한, 기판(700) 외부에 구동 회로를 제공한 경우, 배선을 연장시킬 필요가 생겨, 배선간의 접속 수가 증가한다. 같은 기판(700) 위에 구동 회로를 제공한 경우, 그 배선간의 접속 수를 줄일 수 있어, 신뢰성의 향상 또는 수율의 향상을 도모할 수 있다.
- [0221] [액정 패널]
- [0222] 또한, 화소의 회로 구성의 일례를 도 19의 (B)에 도시하였다. 여기서는, VA형 액정 표시 패널의 화소에 적용할 수 있는 화소 회로에 대하여 설명한다.
- [0223] 이 화소 회로는, 하나의 화소가 복수의 화소 전극층을 갖는 구성에 적용할 수 있다. 각각의 화소 전극층은 다

른 트랜지스터에 접속되고, 각 트랜지스터는 다른 게이트 신호로 구동할 수 있도록 구성되어 있다. 이로써, 멀티 도메인 설계된 화소 각각의 화소 전극층에 공급하는 신호를 독립적으로 제어할 수 있다.

- [0224] 트랜지스터(716)의 게이트 배선(712)과 트랜지스터(717)의 게이트 배선(713)은, 다른 게이트 신호가 공급될 수 있도록 분리되어 있다. 한편, 데이터선으로서 기능하는 소스 전극층 또는 드레인 전극층(714)은, 트랜지스터(716)와 트랜지스터(717)에서 공통적으로 사용된다. 트랜지스터(716) 및 트랜지스터(717)는 상기 실시형태에서 설명하는 트랜지스터를 적절히 사용할 수 있다. 따라서, 신뢰성이 높은 액정 표시 패널을 제공할 수 있다.
- [0225] 트랜지스터(716)에 전기적으로 접속되는 제 1 화소 전극층과, 트랜지스터(717)에 전기적으로 접속되는 제 2 화소 전극층의 형상에 대하여 설명한다. 제 1 화소 전극층과 제 2 화소 전극층의 형상은 슬릿에 의하여 분리되어 있다. 제 1 화소 전극층은 V자형으로 넓어지는 형상을 갖고, 제 2 화소 전극층은 제 1 화소 전극층의 외측을 둘러싸도록 형성된다.
- [0226] 트랜지스터(716)의 게이트 전극은 게이트 배선(712)에 접속되고, 트랜지스터(717)의 게이트 전극은 게이트 배선(713)에 접속된다. 게이트 배선(712)과 게이트 배선(713)에 다른 게이트 신호를 공급하여 트랜지스터(716)와 트랜지스터(717)의 동작 타이밍을 다르게 하여 액정의 배향을 제어할 수 있다.
- [0227] 또한, 용량 배선(710)과, 유전체로서 기능하는 게이트 절연막과, 제 1 화소 전극층 또는 제 2 화소 전극층에 전기적으로 접속되는 용량 전극으로 유지 용량을 형성하여도 좋다.
- [0228] 멀티 도메인 구조는, 하나의 화소에 제 1 액정 소자(718)와 제 2 액정 소자(719)를 포함한다. 제 1 액정 소자(718)는 제 1 화소 전극층과 대향 전극층과 이들 사이의 액정층으로 구성되고, 제 2 액정 소자(719)는 제 2 화소 전극층과 대향 전극층과 이들 사이의 액정층으로 구성된다.
- [0229] 또한, 도 19의 (B)에 도시된 화소 회로는 이에 한정되지 않는다. 예를 들어, 도 19의 (B)에 도시된 화소에 새로 스위치, 저항 소자, 용량 소자, 트랜지스터, 센서, 또는 논리 회로 등을 추가하여도 좋다.
- [0230] [유기 EL 패널]
- [0231] 도 19의 (C)는 화소의 회로 구성의 다른 일례이다. 여기서는, 유기 EL 소자를 사용한 표시 패널의 화소 구조에 대하여 설명한다.
- [0232] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써 한 쌍의 전극 중 하나로부터 전자가, 다른 하나로부터 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 전자 및 정공이 재결합함으로써, 발광성의 유기 화합물이 여기 상태가 되고, 그 여기 상태가 기저 상태로 되돌아갈 때에 발광한다. 이러한 메커니즘으로부터, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0233] 도 19의 (C)는, 적용 가능한 화소 회로의 일례이다. 여기서는 n채널형 트랜지스터를 하나의 화소에 2개 포함하는 예를 제시한다. 또한, 본 발명의 일 형태에 따른 금속 산화물막은 n채널형 트랜지스터의 채널 형성 영역에 사용될 수 있다. 또한, 상기 화소 회로에는, 디지털 시간 계조 구동이 적용될 수 있다.
- [0234] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 적용한 경우의 화소의 동작에 대하여 설명한다.
- [0235] 화소(720)는 스위칭용 트랜지스터(721), 구동용 트랜지스터(722), 발광 소자(724), 및 용량 소자(723)를 갖는다. 스위칭용 트랜지스터(721)에서는, 게이트 전극층이 주사선(726)에 접속되고, 제 1 전극(소스 전극층 및 드레인 전극층 중 하나)이 신호선(725)에 접속되고, 제 2 전극(소스 전극층 및 드레인 전극층 중 다른 하나)이 구동용 트랜지스터(722)의 게이트 전극층에 접속되어 있다. 구동용 트랜지스터(722)에서는, 게이트 전극층이 용량 소자(723)를 통하여 전원선(727)에 접속되고, 제 1 전극이 전원선(727)에 접속되고, 제 2 전극이 발광 소자(724)의 제 1 전극(화소 전극)에 접속되어 있다. 발광 소자(724)의 제 2 전극은 공통 전극(728)에 상당한다. 공통 전극(728)은 동일 기판 위에 형성되는 공통 전위선에 전기적으로 접속된다.
- [0236] 스위칭용 트랜지스터(721) 및 구동용 트랜지스터(722)에는 상기 실시형태에서 설명한 트랜지스터를 적절히 사용할 수 있다. 따라서, 신뢰성이 높은 유기 EL 표시 패널을 제공할 수 있다.
- [0237] 발광 소자(724)의 제 2 전극(공통 전극(728))의 전위는 저전원 전위로 설정한다. 또한, 저전원 전위란, 전원선(727)에 설정되는 고전원 전위보다 낮은 전위를 말하며, 예를 들어 GND, 0V 등을 저전원 전위로서 설정할 수 있다. 발광 소자(724)의 순방향 문턱 전압 이상이 되도록 고전원 전위와 저전원 전위를 설정하고, 그 전위차를 발광 소자(724)에 인가함으로써, 발광 소자(724)에 전류를 흘려서 발광시킨다. 또한, 발광 소자(724)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키며, 적어도 순방향 문턱 전압을 포함한다.

- [0238] 또한, 용량 소자(723)는 구동용 트랜지스터(722)의 게이트 용량을 대용함으로써 생략할 수도 있다. 구동용 트랜지스터(722)의 게이트 용량은 채널 형성 영역과 게이트 전극층 사이에서 용량이 형성되어도 좋다.
- [0239] 다음에, 구동용 트랜지스터(722)에 입력하는 신호에 대하여 설명한다. 전압 입력 전압 구동 방식의 경우, 구동용 트랜지스터(722)가 충분히 온 상태가 되는지 또는 오프 상태가 되는지의 2가지 상태가 되는 비디오 신호를 구동용 트랜지스터(722)에 입력한다. 또한, 구동용 트랜지스터(722)를 선형 영역에서 동작시키기 위하여, 전원선(727)의 전압보다 높은 전압을 구동용 트랜지스터(722)의 게이트 전극층에 인가한다. 또한, 신호선(725)에는 전원선 전압에 구동용 트랜지스터(722)의 문턱 전압(V_{th})을 더한 값 이상의 전압을 인가한다.
- [0240] 아날로그 계조 구동을 수행하는 경우, 구동용 트랜지스터(722)의 게이트 전극층에, 발광 소자(724)의 순방향 전압에 구동용 트랜지스터(722)의 문턱 전압(V_{th})을 더한 값 이상의 전압을 인가한다. 또한, 구동용 트랜지스터(722)가 포화 영역에서 동작하도록 비디오 신호를 입력하고, 발광 소자(724)에 전류를 흘린다. 또한, 구동용 트랜지스터(722)를 포화 영역에서 동작시키기 위하여, 전원선(727)의 전위를 구동용 트랜지스터(722)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(724)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 수행할 수 있다.
- [0241] 또한, 화소 회로의 구성은 도 19의 (C)에 도시된 화소 구성에 한정되지 않는다. 예를 들어, 도 19의 (C)에 도시된 화소 회로에 스위치, 저항 소자, 용량 소자, 센서, 트랜지스터, 또는 논리 회로 등을 추가하여도 좋다.
- [0242] 도 19에서 예시한 회로에 상기 실시형태에서 예시한 트랜지스터를 적용하는 경우, 저전위 측에 소스 전극(제 1 전극), 고전위 측에 드레인 전극(제 2 전극)이 각각 전기적으로 접속되는 구성으로 한다. 또한 제어 회로 등에 의하여 제 1 게이트 전극의 전위를 제어하고, 도시하지 않은 배선에 의하여 소스 전극에 공급되는 전위보다 낮은 전위 등, 앞에서 예시한 전위를 제 2 게이트 전극에 입력 가능한 구성으로 하면 좋다.
- [0243] 또한, 본 실시형태는, 본 명세서에서 제시하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0244] (실시형태 7)
- [0245] 본 발명의 일 형태에 따른 반도체 장치는, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 이 외에, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 16에 도시하였다.
- [0246] 도 16의 (A)는 휴대형 게임기이며, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크론(905), 스피커(906), 조작 키(907), 스타일러스(908) 등을 갖는다. 또한, 도 16의 (A)에 도시된 휴대형 게임기는 2개의 표시부(표시부(903)와 표시부(904))를 갖고 있지만, 휴대형 게임기가 갖는 표시부의 개수는 이에 한정되지 않는다.
- [0247] 도 16의 (B)는 휴대 정보 단말이며, 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 접속부(915), 조작 키(916) 등을 갖는다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되어 있고, 제 2 표시부(914)는 제 2 하우징(912)에 제공된다. 그리고, 제 1 하우징(911)과 제 2 하우징(912)은 접속부(915)에 의하여 접속되어 있고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 접속부(915)에 의하여 변경이 가능하다. 제 1 표시부(913)에서의 영상을, 접속부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라서 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(913) 및 제 2 표시부(914) 중 적어도 하나에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은, 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은, 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다.
- [0248] 도 16의 (C)는 노트북형 퍼스널 컴퓨터이며, 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 갖는다.
- [0249] 도 16의 (D)는 전기 냉동 냉장고이며, 하우징(931), 냉장실용 도어(932), 냉동실용 도어(933) 등을 갖는다.
- [0250] 도 16의 (E)는 비디오 카메라이며, 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 접속부(946) 등을 갖는다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는

제 2 하우스징(942)에 제공된다. 그리고, 제 1 하우스징(941)과 제 2 하우스징(942)은 접속부(946)에 의하여 접속되어 있고, 제 1 하우스징(941)과 제 2 하우스징(942) 사이의 각도는 접속부(946)에 의하여 변경이 가능하다. 표시부(943)에서의 영상을, 접속부(946)에서의 제 1 하우스징(941)과 제 2 하우스징(942) 사이의 각도에 따라서 전환하는 구성으로 하여도 좋다.

- [0251] 도 16의 (F)는 보통 자동차이며, 차체(951), 차륜(952), 대시보드(953), 라이트(954) 등을 갖는다.
- [0252] 본 실시형태는, 본 명세서에서 제시하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0253] (실시형태 8)
- [0254] 본 실시형태에서는 본 발명의 일 형태에 따른 RFID의 사용예에 대하여 도 17을 참조하여 설명한다. RFID의 용도는 광범위하며, 예를 들어, 지폐, 동전, 유가 증권류, 무기명 채권류, 증서류(운전 면허증이나 주민 등록증 등, 도 17의 (A) 참조), 기록 매체(DVD 소프트나 비디오 테이프 등, 도 17의 (B) 참조), 포장용 용기류(포장지나 병 등, 도 17의 (C) 참조), 탈 것들(자전거 등, 도 17의 (D) 참조), 소지품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활용품류, 약품이나 약제를 포함하는 의료품, 또는 전자 기기(액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대 전화) 등의 물품, 또는 각 물품에 다는 꼬리표(도 17의 (E) 및 도 17의 (F) 참조) 등에 제공하여 사용할 수 있다.
- [0255] 본 발명의 일 형태에 따른 RFID(4000)는, 표면에 부착시키거나, 또는 매립시킴으로써 물품에 고정된다. 예를 들어, 책이면 종이에 매립시키고, 유기 수지로 이루어진 패키지이면 상기 유기 수지의 내부에 매립시킴으로써, 각 물품에 고정된다. 본 발명의 일 형태에 따른 RFID(4000)는 소형, 박형, 경량이기 때문에, 물품에 고정된 후에도 그 물품 자체의 디자인성을 유지할 수 있다. 또한, 지폐, 동전, 유가 증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 일 형태에 따른 RFID(4000)를 제공함으로써 인증 기능을 제공할 수 있으며, 이 인증 기능을 활용함으로써 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 소지품, 식품류, 의류, 생활용품류, 또는 전자 기기 등에 본 발명의 일 형태에 따른 RFID를 부착시킴으로써, 검품 시스템 등 시스템의 효율화를 도모할 수 있다. 또한, 탈 것들에도 본 발명의 일 형태에 따른 RFID를 부착시킴으로써, 도난 등에 대한 보안성을 높일 수 있다.
- [0256] 상술한 바와 같이, 본 발명의 일 형태에 따른 RFID를 본 실시형태에 기재된 각 용도에 사용함으로써, 데이터의 기록이나 판독을 포함한 동작 전력을 저감할 수 있기 때문에, 최대 통신 거리를 길게 할 수 있다. 또한, 전력이 차단된 상태에서도 데이터를 매우 오랫동안 유지할 수 있기 때문에, 기록이나 판독의 빈도가 낮은 용도에도 적합하게 사용할 수 있다.
- [0257] 또한, 본 실시형태는, 본 명세서에서 제시하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0258] (실시예)
- [0259] 본 실시예에서는, 실시예의 시료로서 도 5의 (B)에 도시된 트랜지스터와 같은 구성의 트랜지스터를 제작함으로써 전기 특성을 평가하였다.
- [0260] 먼저, 실시예의 시료의 제작 방법에 대하여 설명한다.
- [0261] 실리콘 트랜지스터 위에, 층간 절연막이 되는 막 두께 900nm의 TEOS(Tetra Ethyl Ortho Silicate)를 원료로 한 산화 실리콘막을 CVD법으로 형성하였다.
- [0262] 다음에 CMP 처리로 산화 실리콘막의 표면을 평탄화하였다. 처리 조건은, CMP 연마 패드로서 폴리우레탄계 연마천을 사용하고, 슬러리로서 NP8020(Nitta Haas Incorporated제)의 원액(실리카 입경 60nm 내지 80nm)을 사용하고, 슬러리 온도를 실온으로 하고, 연마 압력을 0.08MPa, 기관 고정 축의 스피들(spindle) 회전수를 51rpm, 연마천이 고정되어 있는 테이블 회전수를 50rpm으로 하여, 1.6분 동안 처리를 실시하였다.
- [0263] 다음은, 실리콘 트랜지스터의 전극에 달하는 개구를, 에칭에 의하여 산화 실리콘막에 형성하였다. 우선, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법에 의하여 트라이플루오로메탄 및 헬륨(CHF₃:He=50sccm:100sccm) 혼합 분위기하, 전원 전력 475W, 바이어스 전력 300W, 압력 5.5Pa로 한 조건으로 3초 동안 제 1 에칭을 실시하고, 그 다음에 ICP 에칭법에 의하여 트라이플루오로메탄 및 헬륨(CHF₃:He=7.5sccm:142.5sccm) 혼합 분위기하, 전원 전력 475W, 바이어스 전력 300W, 압력 5.5Pa로 한 조건으로 79초 동안 제 2 에칭을 실시하고, 그 다음에 다시 제 1 에칭 조건에 따라 에칭하고 나서 제 2 에칭 조건에 따라 에칭하였다.

- [0264] 다음에 접속 배선이 되는 막 두께 150nm의 텅스텐막을 스퍼터링법으로 형성하였다. 성막 조건은, 텅스텐 타깃을 사용하고, 아르곤(Ar=80sccm) 분위기하, 압력 0.8Pa, 전원 전력 1kW, 타깃과 기판 사이의 거리 60mm, 기판 온도 230℃로 하여 성막하였다.
- [0265] 다음에 텅스텐막을 에칭하여 접속 배선을 형성하였다. 에칭 조건은, ICP 에칭법에 의하여, 염소, 사불화 탄소, 및 산소(Cl₂:CF₄:O₂=45sccm:55sccm:55sccm) 혼합 분위기하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa로 하여 5초 동안 에칭하였다.
- [0266] 다음은, 층간 절연막이 되는 막 두께 500nm의, TEOS를 원료로 한 산화 실리콘막을 CVD법으로 형성하였다.
- [0267] 다음에 산화 실리콘막에 대하여 CMP 처리를 실시함으로써 접속 배선을 노출시켰다. 처리 조건은, CMP 연마 패드로서 폴리우레탄계 연마천을 사용하고, 슬러리로서 NP8020(Nitta Haas Incorporated제)의 원액(실리카 입경 60nm 내지 80nm)을 사용하고, 슬러리 온도를 실온으로 하고, 연마 압력을 0.08MPa, 기판 고정 측의 스피들 회전수를 51rpm, 연마천이 고정되어 있는 테이블 회전수를 50rpm으로 하여, 1.4분 동안 처리를 실시하였다.
- [0268] 다음에 층간 절연막이 되는 막 두께 100nm의, TEOS를 원료로 한 산화 실리콘막, 산화 실리콘막 위의 막 두께 50nm의 질화 실리콘막, 질화 실리콘막 위의 막 두께 300nm의 산화 실리콘막을 CVD법으로 형성하였다.
- [0269] 다음은, 막 두께 20nm의 제 1 산화물 반도체막과 막 두께 15nm의 제 2 산화물 반도체막을 적층하여 형성하였다. 성막 조건은, In:Ga:Zn=1:3:2[원자수비]인 산화물 타깃을 사용한 스퍼터링법으로 아르곤 및 산소(Ar:O₂=30sccm:15sccm) 혼합 분위기하, 압력 0.4Pa, 전원 전력 0.5kW, 타깃과 기판 사이의 거리 60mm, 기판 온도 200℃로 하여 제 1 산화물 반도체막을 형성하고, In:Ga:Zn=1:1:1[원자수비]인 산화물 타깃을 사용한 스퍼터링법으로 아르곤 및 산소(Ar:O₂=30sccm:15sccm) 혼합 분위기하, 압력 0.4Pa, 전원 전력 0.5kW, 타깃과 기판 사이의 거리 60mm, 기판 온도 300℃로 하여 제 2 산화물 반도체막을 형성하였다. 또한, 제 1 산화물 반도체막 및 제 2 산화물 반도체막은, 대기에 노출시키지 않고 연속적으로 형성하였다.
- [0270] 이어서, 가열 처리를 실시하였다. 가열 처리는, 질소 분위기하, 450℃에서 1시간 동안 실시한 후, 산소 분위기하, 450℃에서 1시간 동안 실시하였다.
- [0271] 다음에, 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 ICP 에칭법에 의하여 삼염화 붕소 및 염소(BCl₃:Cl₂=60sccm:20sccm) 혼합 분위기하, 전원 전력 450W, 바이어스 전력 100W, 압력 1.9Pa로 89초 동안 에칭함으로써 섬 형상의 제 1 산화물 반도체막 및 제 2 산화물 반도체막으로 가공하였다. 또한, 동시에 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 사용하여 섬 형상의 제 1 블로킹막 및 제 2 블로킹막을 형성하였다.
- [0272] 다음에, TEOS를 원료로 한 막 두께 100nm의 산화 실리콘막, 산화 실리콘막 위의 막 두께 50nm의 질화 실리콘막, 질화 실리콘막 위의 막 두께 300nm의 산화 실리콘막에, 접속 배선에 달하는 개구를 에칭에 의하여 형성하였다. 우선, ICP 에칭법에 의하여 트라이플루오로메탄 및 헬륨(CHF₃:He=50sccm:100sccm) 혼합 분위기하, 전원 전력 475W, 바이어스 전력 300W, 압력 5.5Pa로 한 조건으로 3초 동안 제 1 에칭을 실시하고, 그 다음에 ICP 에칭법에 의하여 트라이플루오로메탄 및 헬륨(CHF₃:He=7.5sccm:142.5sccm) 혼합 분위기하, 전원 전력 475W, 바이어스 전력 300W, 압력 5.5Pa로 한 조건으로 69초 동안 제 2 에칭을 실시하고, 그 다음에 다시 제 1 에칭 조건에 따라 에칭하고 나서 제 2 에칭 조건에 따라 에칭하였다.
- [0273] 다음은 소스 전극 및 드레인 전극이 되는 텅스텐막을 막 두께 100nm가 되도록 형성하였다. 성막 조건은, 텅스텐 타깃을 사용한 스퍼터링법에 의하여 아르곤(Ar=80sccm) 분위기하, 압력 0.8Pa, 전원 전력(전원 출력) 1.0kW, 타깃과 기판 사이의 거리 60mm, 기판 온도 230℃로 하여 성막하였다.
- [0274] 다음에, 텅스텐막 위에 레지스트 마스크를 형성하여 에칭하였다. ICP 에칭법에 의하여, 사불화 탄소, 염소, 및 산소(CF₄:Cl₂:O₂=55sccm:45sccm:55sccm) 혼합 분위기하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa로 한 조건으로 13초 동안 제 1 에칭을 실시하고, 그 다음에 산소(O₂=100sccm) 분위기하, 전원 전력 2000W, 바이어스 전력 0W, 압력 3.0Pa로 한 조건으로 15초 동안 제 2 에칭을 실시하고, 또한 그 후에 사불화 탄소, 염소, 및 산소(CF₄:Cl₂:O₂=55sccm:45sccm:55sccm) 혼합 분위기하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa로 한 조건으로 14초 동안 제 3 에칭을 실시하여 소스 전극 및 드레인 전극을 형성하였다.
- [0275] 그 다음에, 제 2 산화물 반도체막, 소스 전극, 및 드레인 전극 위에 막 두께 5nm의 제 3 산화물 반도체막을 형성하였다. 성막 조건은, In:Ga:Zn=1:3:2[원자수비]인 산화물 타깃을 사용한 스퍼터링법으로 아르곤 및 산소

(Ar:O₂=30sccm:15sccm) 혼합 분위기하, 압력 0.4Pa, 전원 전력 0.5kW, 타겟과 기판 사이의 거리 60mm, 기판 온도 200℃로 하였다.

[0276] 다음에, 게이트 절연막이 되는 막 두께 20nm의 산화 질화 실리콘막을 CVD법에 의하여, 실레인 및 일산화 이질소 (SiH₄:N₂O=1sccm:800sccm) 혼합 분위기하, 압력 200Pa, 전원 전력 150kW, 타겟과 기판 사이의 거리 28mm, 기판 온도 350℃로 형성하였다.

[0277] 다음에, 막 두께 30nm의 질화 타이타늄막 및 막 두께 135nm의 텅스텐막을 스퍼터링법으로 형성하였다. 질화 타이타늄막의 성막 조건은, 질소(N₂=50sccm) 분위기하, 압력 0.2Pa, 전원 전력 12kW, 타겟과 기판 사이의 거리 400mm, 기판 온도 25℃로 하였다. 텅스텐막의 성막 조건은, 아르곤(Ar=100sccm) 분위기하, 압력 2.0Pa, 전원 전력 4kW, 타겟과 기판 사이의 거리 60mm, 기판 온도 230℃로 하였다.

[0278] 다음에, ICP 에칭법에 의하여, 막 두께 30nm의 질화 타이타늄막 및 막 두께 135nm의 텅스텐막의 적층을 에칭하였다. 염소, 사불화 탄소, 및 산소(Cl₂:CF₄:O₂=45sccm:55sccm:55sccm) 혼합 분위기하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa로 한 조건으로 제 1 에칭을 실시하고, 그 다음에 염소 및 삼염화 붕소 (Cl₂:BCl₃=50sccm:150sccm) 혼합 분위기하, 전원 전력 1000W, 바이어스 전력 50W, 압력 0.67Pa로 한 조건으로 제 2 에칭을 실시함으로써 게이트 전극을 형성하였다.

[0279] 다음은, 게이트 전극을 마스크로 하여, 게이트 절연막 및 제 3 산화물 반도체막의 적층을 에칭하였다. 에칭 조건은, 삼염화 붕소(BCl₃=80sccm) 분위기하, 전원 전력 450W, 바이어스 전력 100W, 압력 1.0Pa로 하였다.

[0280] 다음에, 게이트 전극 위에 막 두께 150nm의 산화 알루미늄막을 스퍼터링법으로 형성하였다. 성막 조건은, 아르곤 및 산소(Ar:O₂=25sccm:25sccm) 혼합 분위기하, 압력 0.4Pa, 전원 전력 2.5kW, 타겟과 기판 사이의 거리 60mm, 기판 온도 250℃로 하였다.

[0281] 상술한 공정을 거쳐 채널 길이가 0.8 μm, 및 채널 폭이 10 μm인 실시예의 트랜지스터를 제작하였다. 또한, 비교예로서 상기 트랜지스터의 제 1 블로킹막 및 제 2 블로킹막만 갖지 않는 구성의 트랜지스터를 제작하였다.

[0282] 다음에, 제작한 2가지 트랜지스터에서, 드레인 전압(V_d:[V])을 0.1V 또는 2.7V로 하고, 게이트 전압(V_g:[V])을 -3V로부터 3V까지 스위핑한 경우의 드레인 전류(I_d:[A])를 측정하였다. 측정 결과를 도 18에 나타내었다. 도 18에서 실선은 드레인 전압(V_d:[V])이 0.1V일 때의 측정 결과, 점선은 드레인 전압(V_d:[V])이 2.7V일 때의 측정 결과이며, 가로축은 게이트 전압(V_g:[V])을 나타내고, 세로축은 드레인 전류(I_d:[A])를 나타낸다. 또한, "드레인 전압(V_d:[V])"이란, 소스를 기준으로 한 드레인과 소스 사이의 전위차를 가리키고, "게이트 전압(V_g:[V])"이란, 소스를 기준으로 한 게이트와 소스 사이의 전위차를 가리킨다. 또한, 도 18의 (A)에는 비교예의 트랜지스터의 측정 결과, 도 18의 (B)에는 실시예의 트랜지스터의 측정 결과를 나타내었다.

[0283] 도 18의 (A)에서는 특성 편차가 큰 것을 확인할 수 있었다. 한편, 도 18의 (B)에서는 특성 편차가 작은 것을 확인할 수 있었다. 블로킹막을 제공함으로써 특성 편차를 저감시킬 수 있는 것이 시사되었다.

부호의 설명

- [0284] 100: 기판
- 102: 하지 절연막
- 104a: 도전막
- 104b: 도전막
- 104c: 도전막
- 105: 층간 절연막
- 106: 층간 절연막
- 108a: 산화물 반도체막

108a1: 산화물 반도체막
 108a2: 산화물 반도체막
 108a3: 산화물 반도체막
 108b: 블로킹막
 108b1: 블로킹막
 108b2: 블로킹막
 108c: 블로킹막
 108c1: 블로킹막
 108c2: 블로킹막
 110a: 소스 전극
 110b: 드레인 전극
 112: 게이트 절연막
 114: 게이트 전극
 116: 산화물 절연막
 118a: 도전막
 118b: 도전막
 120a: 개구부
 120b: 개구부
 128: 채널 보호막
 150: 트랜지스터
 250: 트랜지스터
 700: 기판
 701: 화소부
 702: 주사선 구동 회로
 703: 주사선 구동 회로
 704: 신호선 구동 회로
 710: 용량 배선
 712: 게이트 배선
 713: 게이트 배선
 714: 드레인 전극층
 716: 트랜지스터
 717: 트랜지스터
 718: 액정 소자
 719: 액정 소자
 720: 화소
 721: 스위칭용 트랜지스터

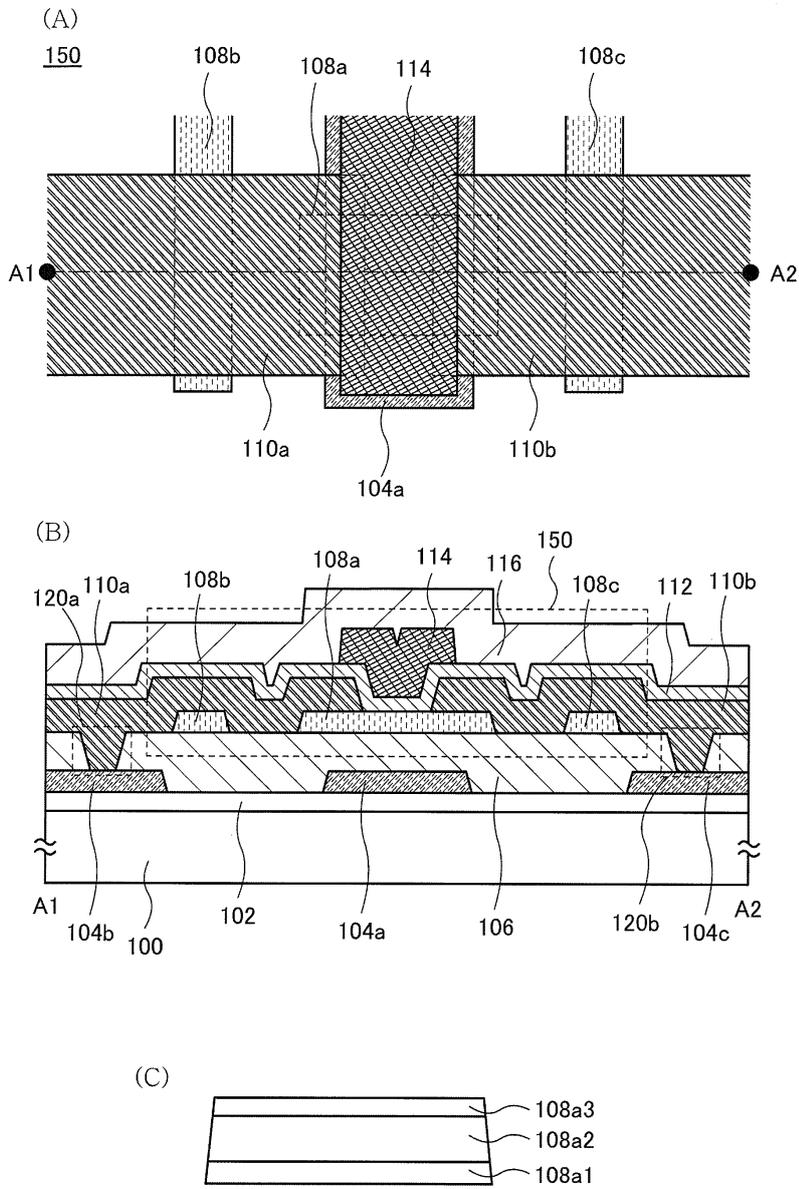
- 722: 구동용 트랜지스터
- 723: 용량 소자
- 724: 발광 소자
- 725: 신호선
- 726: 주사선
- 727: 전원선
- 728: 공통 전극
- 800: RFID 태그
- 801: 통신기
- 802: 안테나
- 803: 무선 신호
- 804: 안테나
- 805: 정류 회로
- 806: 정전압 회로
- 807: 복조 회로
- 808: 변조 회로
- 809: 논리 회로
- 810: 기억 회로
- 811: ROM
- 901: 하우징
- 902: 하우징
- 903: 표시부
- 904: 표시부
- 905: 마이크로폰
- 906: 스피커
- 907: 조작 키
- 908: 스타일러스
- 911: 제 1 하우징
- 912: 제 2 하우징
- 913: 표시부
- 914: 표시부
- 915: 접촉부
- 916: 조작 키
- 921: 하우징
- 922: 표시부
- 923: 키보드

- 924: 포인팅 디바이스
- 931: 하우징
- 932: 냉장실용 도어
- 933: 냉동실용 도어
- 941: 제 1 하우징
- 942: 제 2 하우징
- 943: 표시부
- 944: 조작 키
- 945: 렌즈
- 946: 접속부
- 951: 차체
- 952: 차륜
- 953: 대시보드
- 954: 라이트
- 1189: ROM 인터페이스
- 1190: 기관
- 1191: ALU
- 1192: ALU 컨트롤러
- 1193: 인스트럭션 디코더
- 1194: 인터럽트 컨트롤러
- 1195: 타이밍 컨트롤러
- 1196: 레지스터
- 1197: 레지스터 컨트롤러
- 1198: 버스 인터페이스
- 1199: ROM
- 1200: 기억 소자
- 1201: 회로
- 1202: 회로
- 1203: 스위치
- 1204: 스위치
- 1206: 논리 소자
- 1207: 용량 소자
- 1208: 용량 소자
- 1209: 트랜지스터
- 1210: 트랜지스터
- 1213: 트랜지스터

1214: 트랜지스터
1220: 회로
2100: 트랜지스터
2200: 트랜지스터
2201: 절연막
2202: 배선
2203: 플러그
2204: 절연막
2205: 배선
2206: 배선
2207: 절연막
2208: 절연막
3001: 배선
3002: 배선
3003: 배선
3004: 배선
3005: 배선
3200: 트랜지스터
3300: 트랜지스터
3400: 용량 소자
4000: RFID

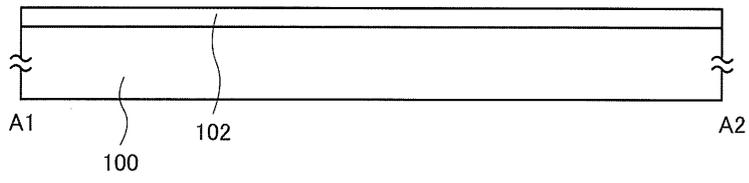
도면

도면1

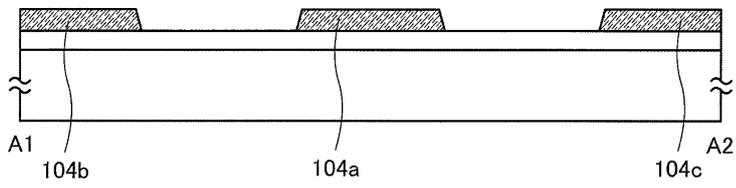


도면2

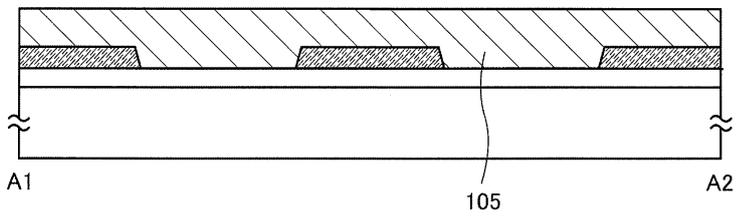
(A)



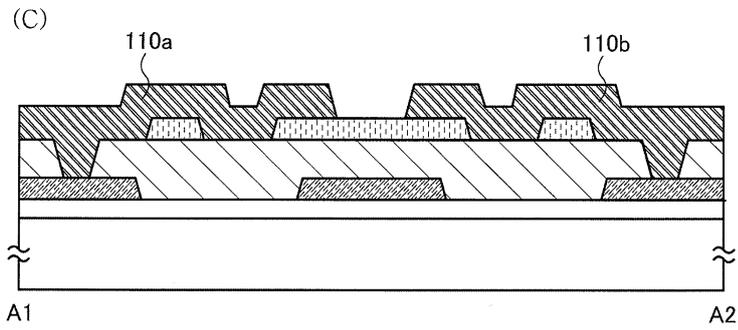
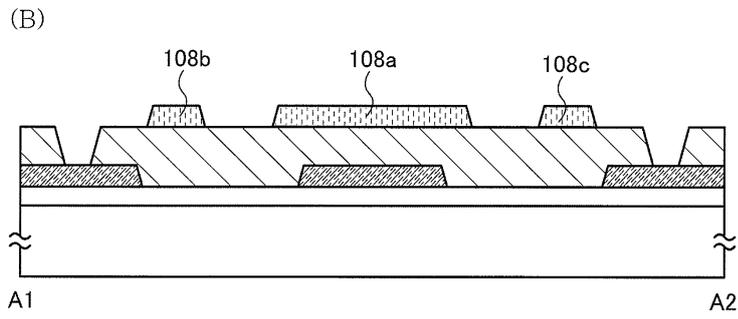
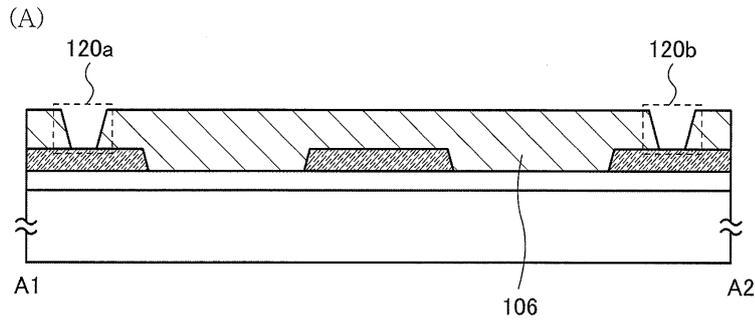
(B)



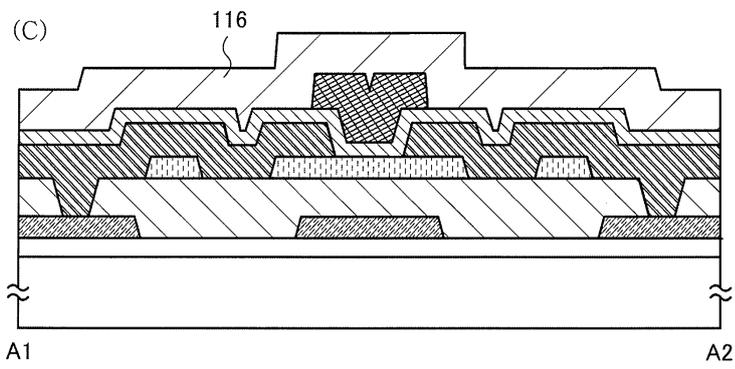
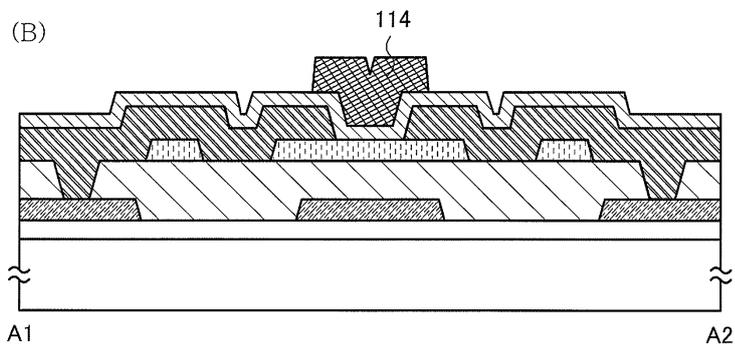
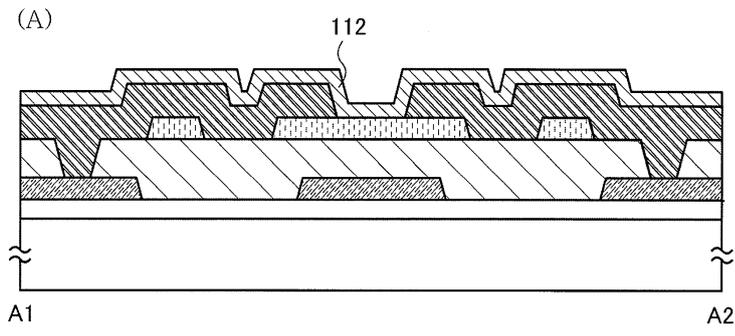
(C)



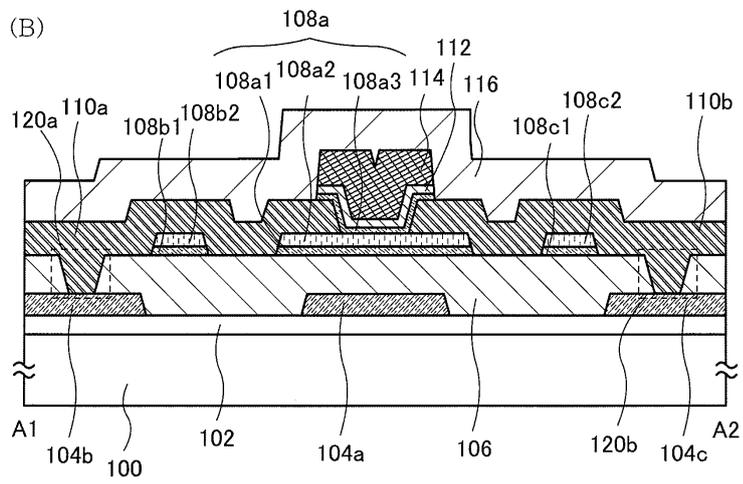
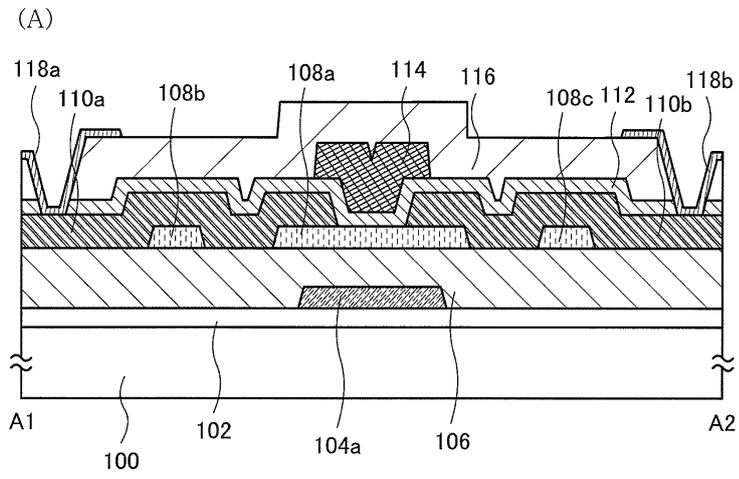
도면3



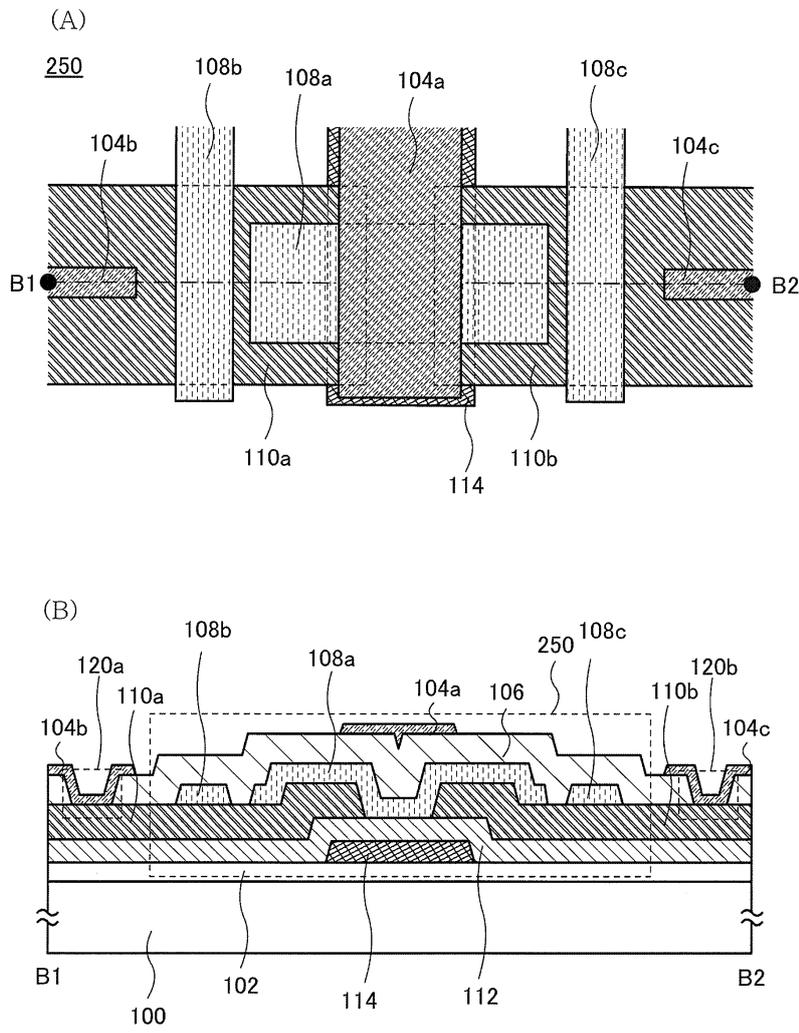
도면4



도면5

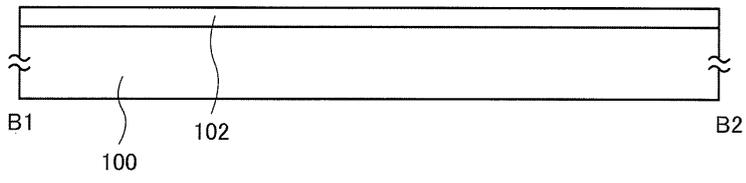


도면6

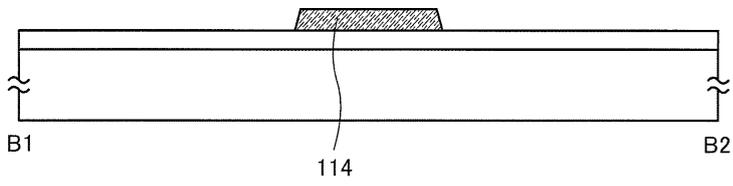


도면7

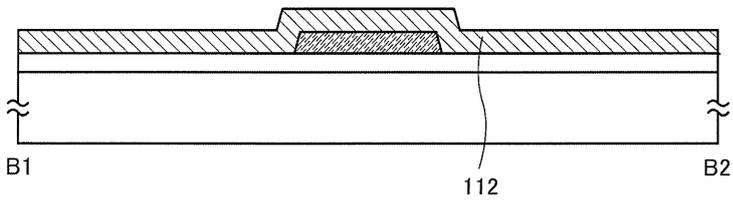
(A)



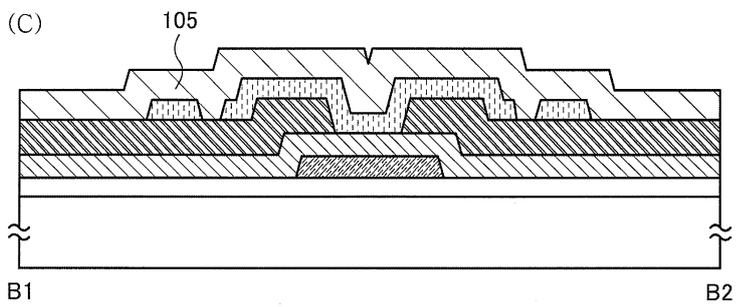
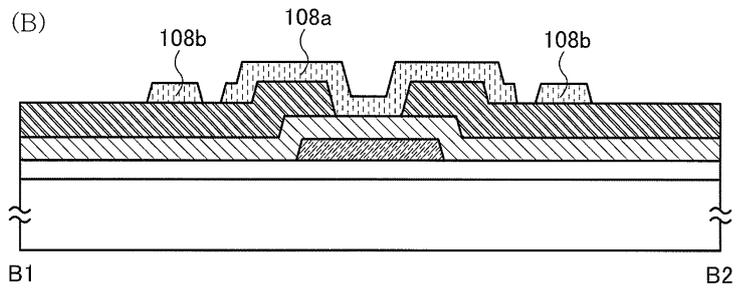
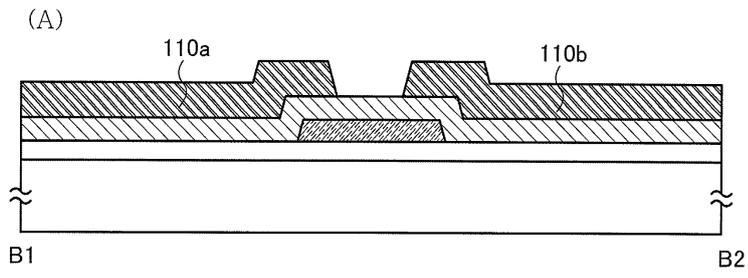
(B)



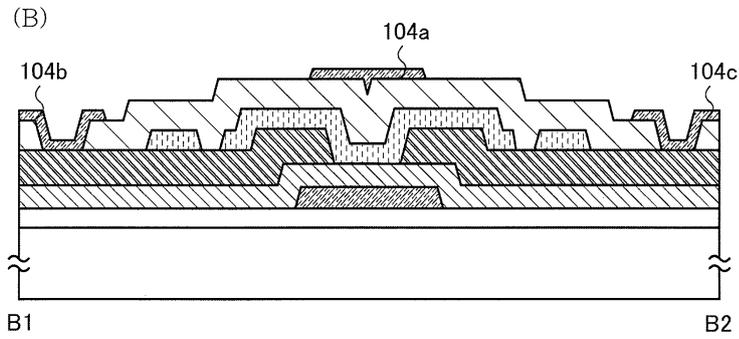
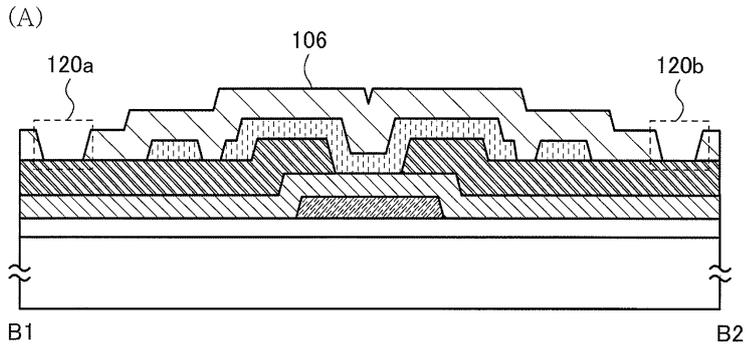
(C)



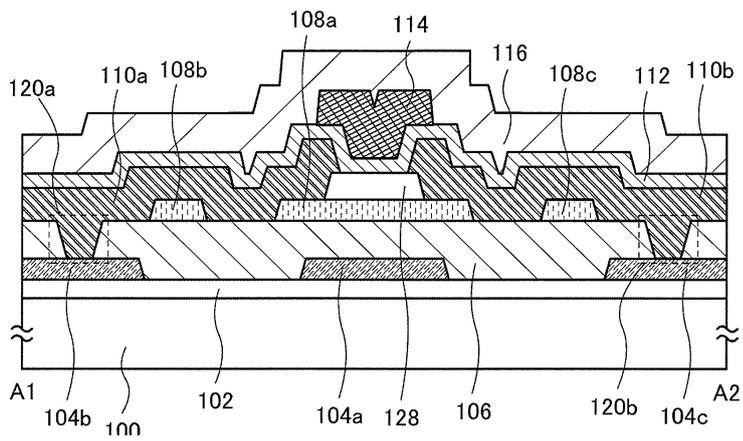
도면8



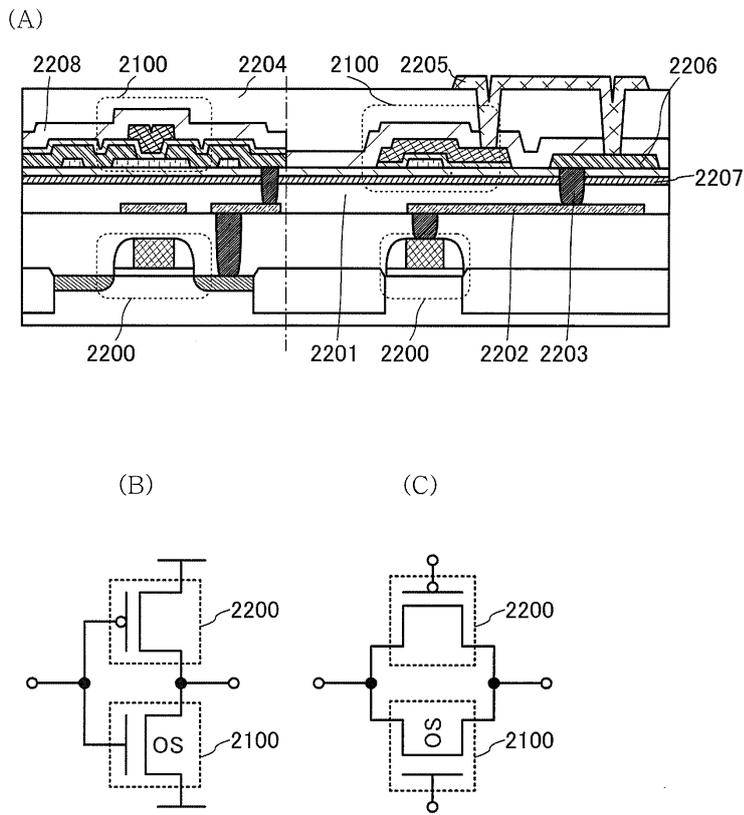
도면9



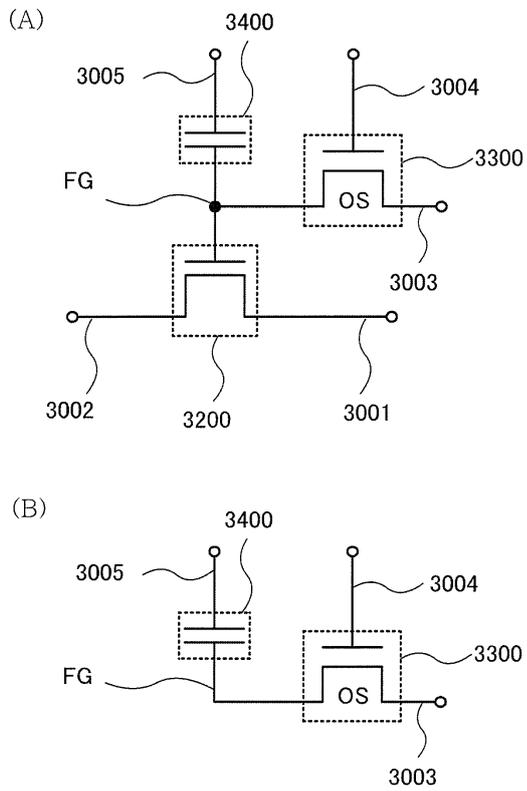
도면10



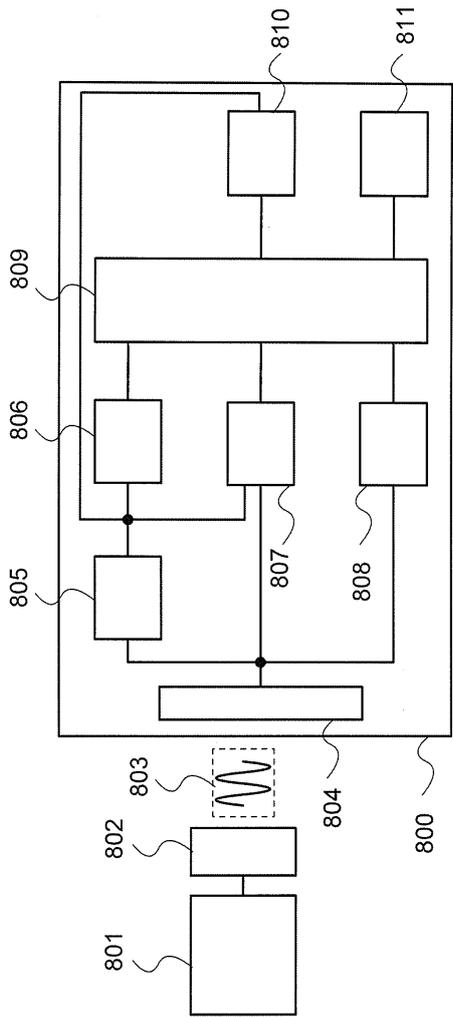
도면11



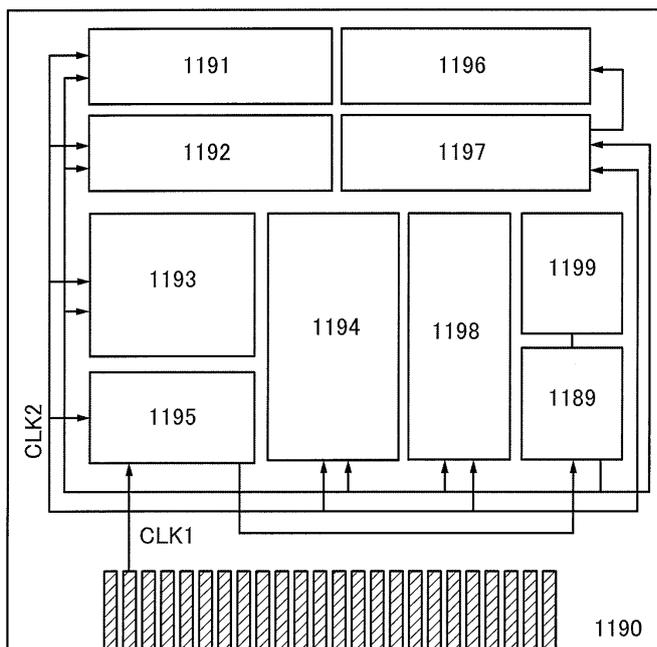
도면12



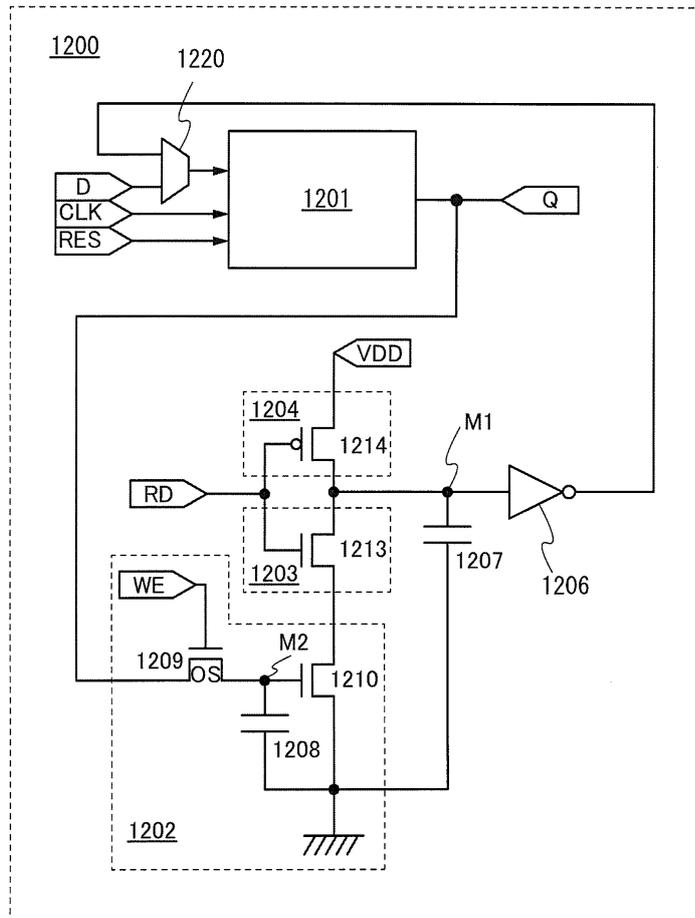
도면13



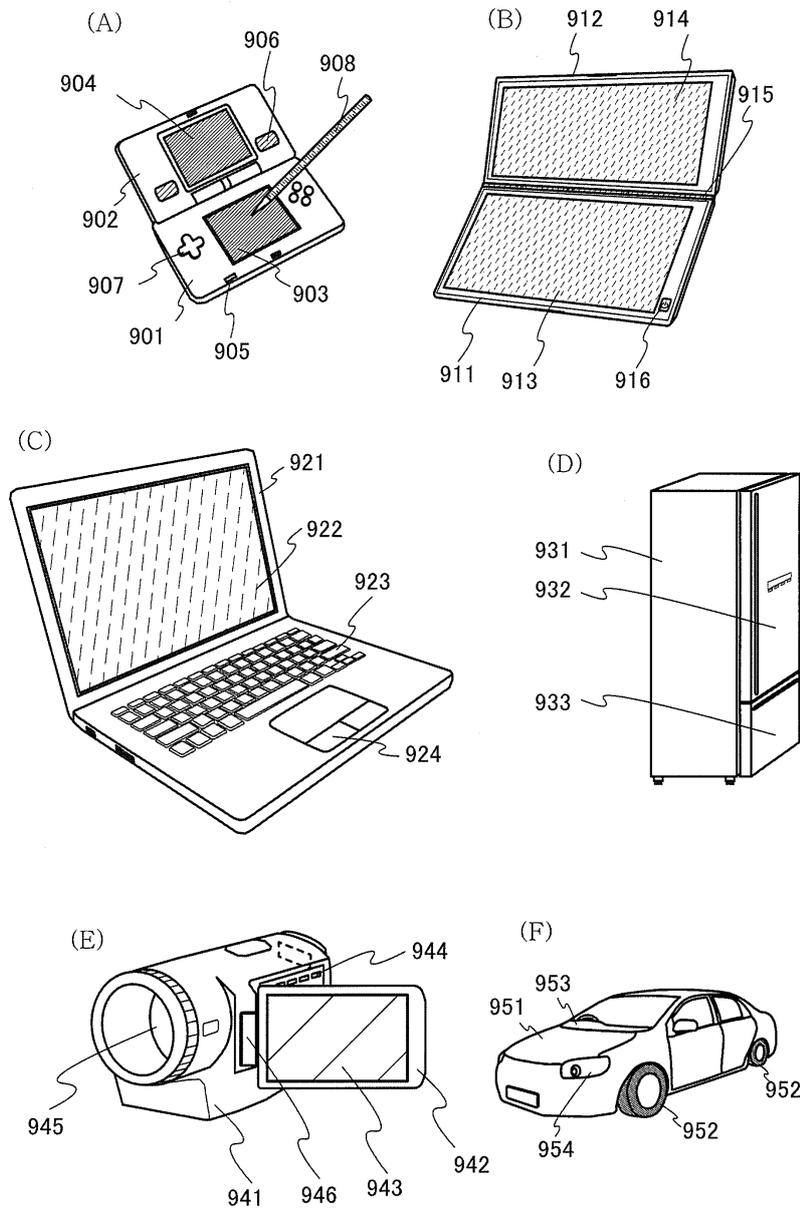
도면14



도면15

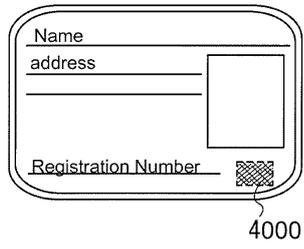


도면16

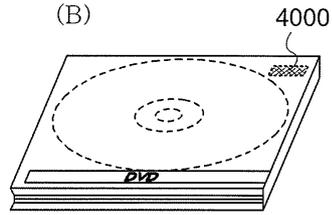


도면17

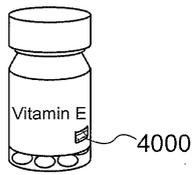
(A)



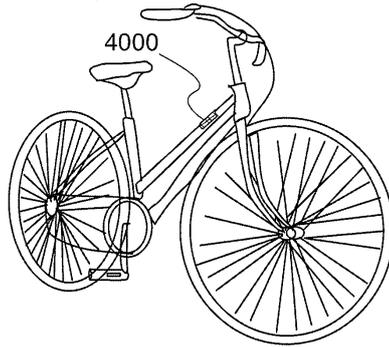
(B)



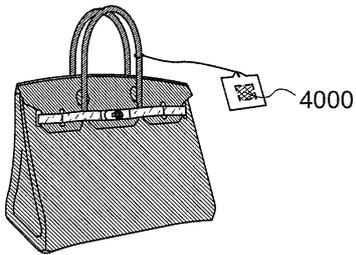
(C)



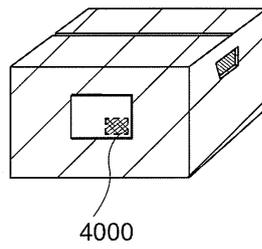
(D)



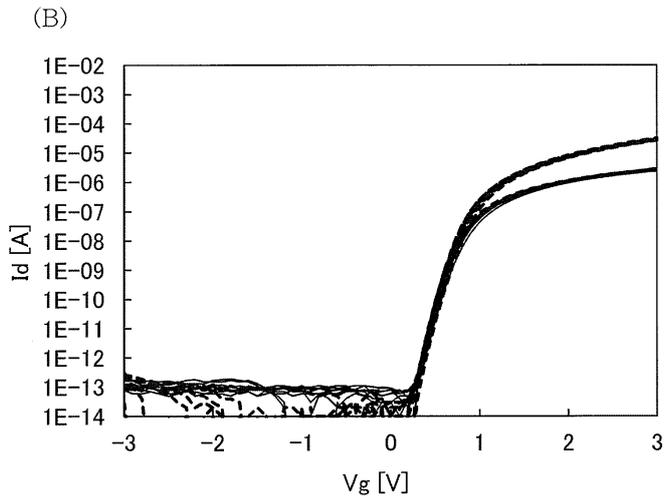
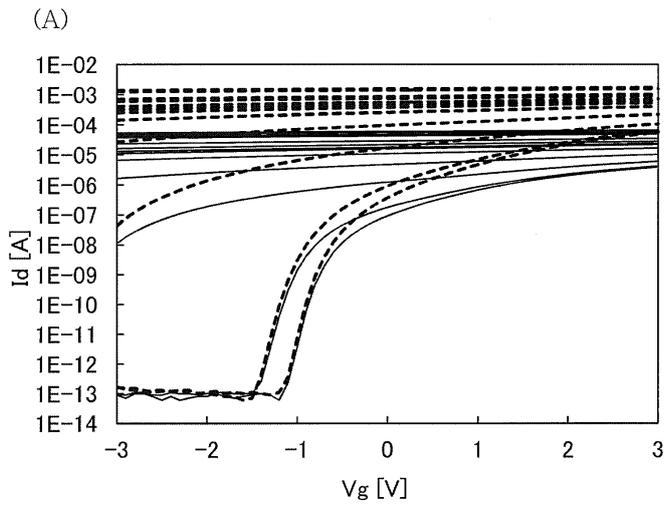
(E)



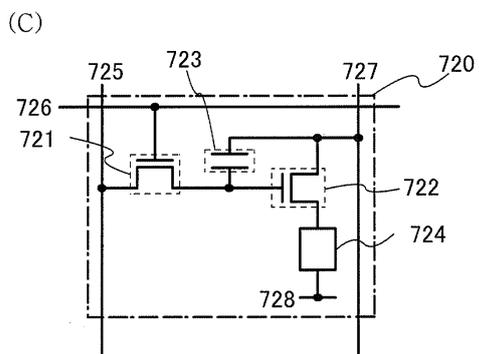
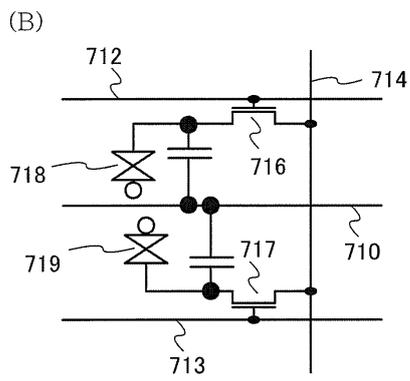
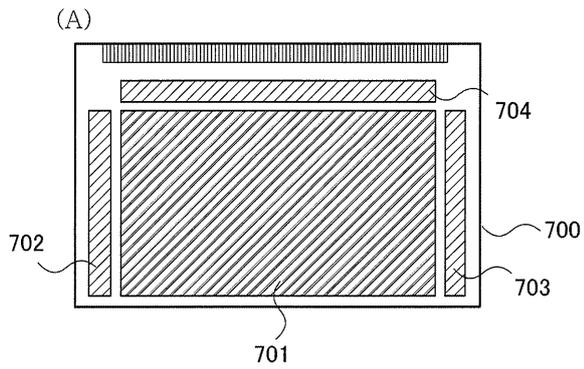
(F)



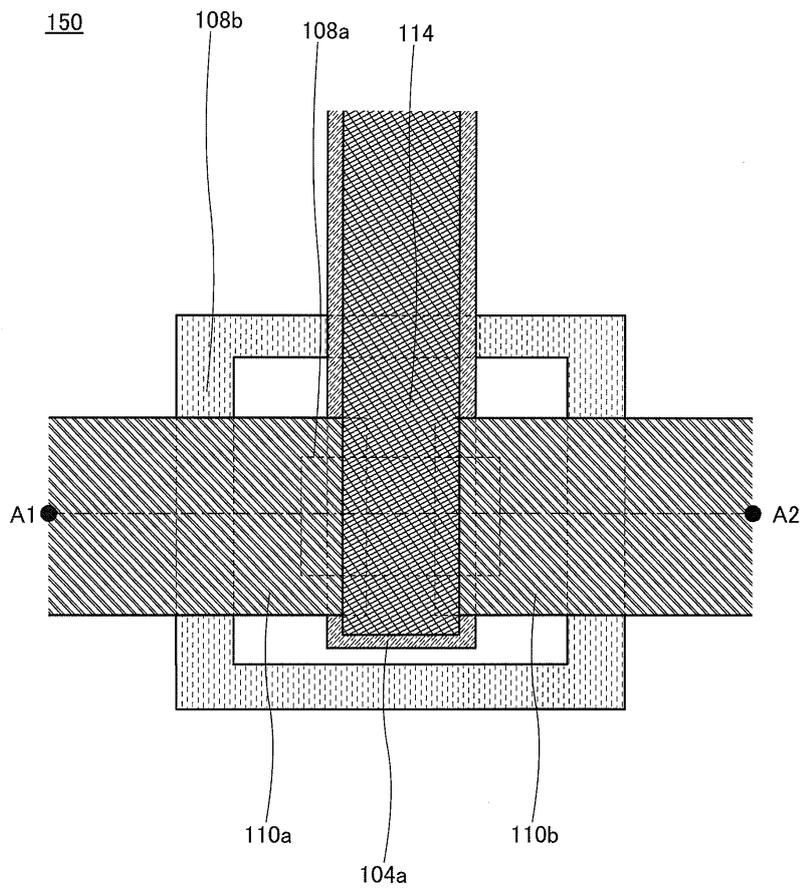
도면18



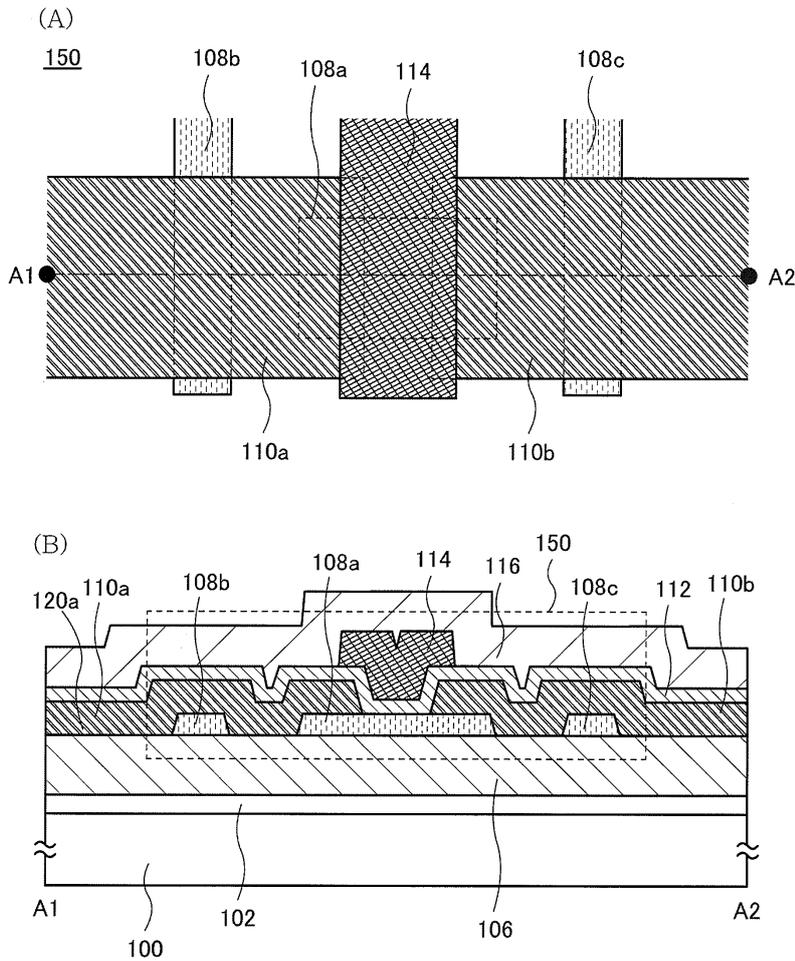
도면19



도면20



도면21



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 8

【변경전】

제 3 항 또는 제 4 항에 있어서,

상기 블로킹막은 상기 산화물 반도체막과 동일 재료를 포함하고,

상기 블로킹막은 상기 산화물 반도체막보다 도전성이 높은, 반도체 장치.

【변경후】

제 3 항 또는 제 4 항에 있어서,

상기 블로킹막은 상기 산화물 반도체막과 동일 재료를 포함하고,

상기 블로킹막은 상기 산화물 반도체막보다 도전성이 높은, 반도체 장치.