

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-269755
(P2006-269755A)

(43) 公開日 平成18年10月5日(2006.10.5)

(51) Int. Cl. F I テーマコード (参考)
H O 1 L 29/78 (2006.01) H O 1 L 29/78 3 O 1 D 5 F 1 4 0

審査請求 未請求 請求項の数 11 O L (全 18 頁)

(21) 出願番号 特願2005-85878 (P2005-85878)
(22) 出願日 平成17年3月24日 (2005.3.24)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100109210
弁理士 新居 広守
(72) 発明者 澤田 和幸
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
(72) 発明者 岩元 伸行
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
Fターム(参考) 5F140 AA25 AA39 AC21 BA01 BC06
BF01 BF04 BF42 BH05 BH30
BH32 BH42 BJ01 BJ06 BK13
BK15 BK29 CB01 CC03 CC07
CE05

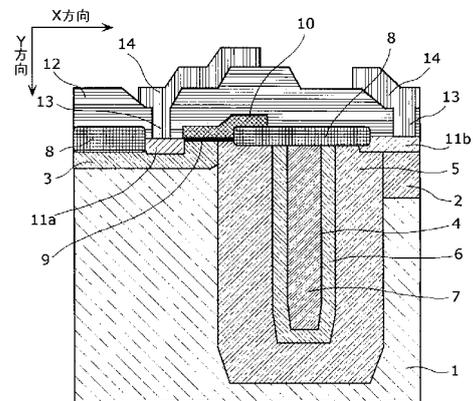
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 更なる高耐圧化が可能な小型の半導体装置及びその製造方法を提供する。

【解決手段】 MOSトランジスタであって、トレンチ4が形成された半導体基板1を備え、半導体基板1は、ドレイン領域であるN型不純物層2と、チャネル領域であるP型不純物層3と、低不純物濃度の延長ドレイン領域であるN型不純物層5と、P型不純物層6と、高不純物濃度のソース領域であるN型拡散層11aと、高不純物濃度のドレイン領域であるN型拡散層11bとを有し、N型不純物層5は、トレンチ4を取り囲むように、トレンチ4の内壁に形成され、P型不純物層6は、トレンチ4を取り囲み、かつN型不純物層5により取り囲まれるように、トレンチ4の内壁に形成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

M O S トランジスタであって、
 トレンチが形成された半導体基板と、
 前記トレンチ内部に形成された誘電体膜とを備え、
 前記半導体基板は、前記トレンチを挟み込むように前記半導体基板の表面に形成された
 第 1 導電型のソースコンタクト領域及びドレインコンタクト領域と、前記トレンチを取り
 囲むように前記トレンチの内壁に形成された第 1 導電型と反対極性の第 2 導電型の不純物
 領域と、前記ドレインコンタクト領域よりも小さい不純物濃度を有し、前記不純物領域及
 び前記トレンチを取り囲むように前記トレンチの内壁に形成された第 1 導電型の延長ドレ
 イン領域とを有する
 ことを特徴とする半導体装置。

10

【請求項 2】

前記半導体装置は、さらに、前記誘電体膜の内部に形成された導電膜を備える
 ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記トレンチの深さは、20 μm 以上である
 ことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記誘電体膜は、酸化膜である
 ことを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 5】

前記酸化膜は不純物を含む
 ことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

M O S トランジスタの製造方法であって、
 半導体基板上にパターン化した膜を形成し、前記パターン化した膜をマスクとして用い
 て前記半導体基板にトレンチを形成するトレンチ形成工程と、
 前記パターン化した膜をマスクとして用い、前記トレンチを取り囲むように前記トレン
 チの内壁に第 1 導電型の延長ドレイン領域を形成する延長ドレイン領域形成工程と、
 前記パターン化した膜をマスクとして用い、前記トレンチを取り囲み、かつ前記延長ド
 レイン領域により取り囲まれるように、前記トレンチの内壁に第 1 導電型と反対極性の第
 2 導電型の不純物領域を形成する不純物領域形成工程とを含む
 ことを特徴とする半導体装置の製造方法。

30

【請求項 7】

前記延長ドレイン領域形成工程は、
 前記パターン化した膜上及び前記トレンチの内部に、第 1 導電型の不純物を含む第 1 誘
 電体膜を形成する第 1 誘電体膜形成工程と、
 第 1 の熱処理により前記第 1 誘電体膜が含む不純物を拡散させて延長ドレイン領域を形
 成する第 1 拡散工程と、
 前記パターン化した膜を残しつつ、前記第 1 誘電体膜を除去する第 1 除去工程とを含み

40

、
 前記不純物領域形成工程は、
 前記パターン化した膜上及び前記トレンチの内部に、第 2 導電型の不純物を含む第 2 誘
 電体膜を形成する第 2 誘電体膜形成工程と、
 第 2 の熱処理により前記第 2 誘電体膜が含む不純物を拡散させて第 2 導電型の不純物領
 域を形成する第 2 拡散工程と、
 前記パターン化した膜及び前記第 2 誘電体膜を同時に除去する第 2 除去工程とを含む
 ことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

50

前記延長ドレイン領域形成工程は、

前記パターン化した膜上及び前記トレンチの内部に、第1導電型の不純物を含む第1誘電体膜を形成する第1誘電体膜形成工程と、

第1の熱処理により前記第1誘電体膜が含む不純物を拡散させて第1導電型の延長ドレイン領域を形成する第1拡散工程と、

前記パターン化した膜を残しつつ、前記第1誘電体膜を除去する第1除去工程とを含み

、
前記不純物領域形成工程は、

前記パターン化した膜上及び前記トレンチの内部に、第2導電型の不純物を含む第2誘電体膜を形成する第2誘電体膜形成工程と、

第2の熱処理により前記第2誘電体膜が含む不純物を拡散させて第2導電型の不純物領域を形成する第2拡散工程と、

前記第2誘電体膜を前記トレンチ内部に残しながら前記パターン化した膜を選択的に除去する第2除去とを含む

ことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項9】

前記半導体装置の製造方法は、さらに、前記半導体基板上に酸化膜を形成する酸化膜形成工程を含み、

前記酸化膜形成工程における前記酸化膜を形成するための熱処理は、前記第2拡散工程における前記第2の熱処理と同時に行われる

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】

前記半導体装置の製造方法は、さらに、前記半導体基板にチャネル領域を形成するチャネル領域形成工程を含み、

前記チャネル領域形成工程における前記チャネル領域を形成するための熱処理は、前記第2拡散工程における前記第2の熱処理と同時に行われる

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項11】

前記延長ドレイン領域形成工程は、

前記パターン化した膜をマスクとして用いたイオン注入により第1導電型の不純物をドーピングする第1ドーピング工程と、

第1の熱処理により前記ドーピングされた不純物を拡散させて第1導電型の延長ドレイン領域を形成する第3拡散工程とを含み、

前記不純物領域形成工程は、

前記パターン化した膜をマスクとして用いたイオン注入により第2導電型の不純物をドーピングする第2ドーピング工程と、

第2の熱処理により前記ドーピングされた不純物を拡散させて第2導電型の不純物領域を形成する第4拡散工程とを含む

ことを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワーICの実現に適した横型高耐圧MOSトランジスタ及びその製造方法に関するものである。

【背景技術】

【0002】

従来、CMOS回路との混載が容易な半導体装置としては、横型の高耐圧MOSトランジスタが挙げられる。さらに、その横型の高耐圧MOSトランジスタの耐圧を上げる為に、低不純物濃度の延長ドレイン領域を形成した横型の高耐圧MOSトランジスタが提案されている。

10

20

30

40

50

【0003】

以下、特許文献1を参照しながら、低不純物濃度の延長ドレイン領域を形成した横型の高耐圧MOSトランジスタについて説明する。図22は、特許文献1に記載の高耐圧MOSトランジスタの構造を示す断面図である。

【0004】

図22に示すように、このトランジスタは、P型ウェル層101と、P型ウェル層101に形成されたN型の低濃度拡散層からなる延長ドレイン領域102と、P型ボディー層103と、SiO₂膜104と、ゲート酸化膜105と、ゲート電極106と、ソース・ドレインの高濃度N型拡散層107と、層間絶縁膜108と、ソース電極110aと、ドレイン電極110bと、N型基板111と、P型ボディーコンタクト層112と、P型層114とを有している。

10

【0005】

このトランジスタでは、ドレイン電極110bに高電圧が印可された場合に、延長ドレイン領域102とP型ウェル層101との接合により延長ドレイン領域102内が空乏化するので、高耐圧を得ることができる。

【特許文献1】特開平9-139438号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に示されたデバイス構造では、延長ドレイン領域の長さ(図22における長さA)にドレイン耐圧が依存する。その結果、高い耐圧を得る為には、長い延長ドレイン領域が必要となり、ソース・ドレイン間の距離を長くする必要が生じるので、パワートランジスタの面積を大きくしなければならない。すなわち、従来の横型の高耐圧MOSトランジスタは、更なる高耐圧化が困難であるという課題を有している。

20

【0007】

そこで、本発明は、かかる問題点に鑑み、更なる高耐圧化が可能な小型の半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するため、本発明に係る半導体装置は、MOSトランジスタであって、トレンチが形成された半導体基板と、前記トレンチ内部に形成された誘電体膜とを備え、前記半導体基板は、前記トレンチを挟み込むように前記半導体基板の表面に形成された第1導電型のソースコンタクト領域及びドレインコンタクト領域と、前記トレンチを取り囲むように前記トレンチの内壁に形成された第1導電型と反対極性の第2導電型の不純物領域と、前記ドレインコンタクト領域よりも小さい不純物濃度を有し、前記不純物領域及び前記トレンチを取り囲むように前記トレンチの内壁に形成された第1導電型の延長ドレイン領域とを有することを特徴とするものである。

30

【0009】

ここで、前記トレンチの深さは、20μm以上であってもよいし、前記誘電体膜は、酸化膜であってもよいし、前記酸化膜は不純物を含んでもよい。

40

【0010】

これによって、トレンチの内壁に低不純物濃度の延長ドレイン領域を形成することで、トランジスタの面積を大きくすることなく、延長ドレイン領域を長くすることができるので、更なる高耐圧化が可能な小型の半導体装置を実現することができる。また、延長ドレイン領域内に延長ドレイン領域と反対の導電型の拡散層を形成することができ、延長ドレイン領域の抵抗を下がるので、オン抵抗を低減することができる。

【0011】

また、前記半導体装置は、さらに、前記誘電体膜の内部に形成された導電膜を備えてもよい。

【0012】

50

これによって、耐圧を維持しつつ、ドレイン電圧によってトレンチを挟んで対向する延長ドレイン領域が電氣的に干渉するのを抑えることができる。

【0013】

また、本発明は、MOSトランジスタの製造方法であって、半導体基板上にパターン化した膜を形成し、前記パターン化した膜をマスクとして用いて前記半導体基板にトレンチを形成するトレンチ形成工程と、前記パターン化した膜をマスクとして用い、前記トレンチを取り囲むように前記トレンチの内壁に第1導電型の延長ドレイン領域を形成する延長ドレイン領域形成工程と、前記パターン化した膜をマスクとして用い、前記トレンチを取り囲み、かつ前記延長ドレイン領域により取り囲まれるように、前記トレンチの内壁に第1導電型と反対極性の第2導電型の不純物領域を形成する不純物領域形成工程とを含むことを特徴とする半導体装置の製造方法とすることもできる。ここで、前記延長ドレイン領域形成工程は、前記パターン化した膜上及び前記トレンチの内部に、第1導電型の不純物を含む第1誘電体膜を形成する第1誘電体膜形成工程と、第1の熱処理により前記第1誘電体膜が含む不純物を拡散させて延長ドレイン領域を形成する第1拡散工程と、前記パターン化した膜を残しつつ、前記第1誘電体膜を除去する第1除去工程とを含み、前記不純物領域形成工程は、前記パターン化した膜上及び前記トレンチの内部に、第2導電型の不純物を含む第2誘電体膜を形成する第2誘電体膜形成工程と、第2の熱処理により前記第2誘電体膜が含む不純物を拡散させて第2導電型の不純物領域を形成する第2拡散工程と、前記パターン化した膜及び前記第2誘電体膜を同時に除去する第2除去工程とを含んでもよい。

10

20

【0014】

これによって、1つのマスクを用いてトレンチ、延長ドレイン領域及び延長ドレイン領域と反対の導電型の拡散層を形成する。したがって、マスク形成工程を削減することができるので、製造コストを削減することができる。

【0015】

また、前記延長ドレイン領域形成工程は、前記パターン化した膜上及び前記トレンチの内部に、第1導電型の不純物を含む第1誘電体膜を形成する第1誘電体膜形成工程と、第1の熱処理により前記第1誘電体膜が含む不純物を拡散させて第1導電型の延長ドレイン領域を形成する第1拡散工程と、前記パターン化した膜を残しつつ、前記第1誘電体膜を除去する第1除去工程とを含み、前記不純物領域形成工程は、前記パターン化した膜上及び前記トレンチの内部に、第2導電型の不純物を含む第2誘電体膜を形成する第2誘電体膜形成工程と、第2の熱処理により前記第2誘電体膜が含む不純物を拡散させて第2導電型の不純物領域を形成する第2拡散工程と、前記第2誘電体膜を前記トレンチ内部に残しながら前記パターン化した膜を選択的に除去する第2除去とを含んでもよいし、前記半導体装置の製造方法は、さらに、前記半導体基板上に酸化膜を形成する酸化膜形成工程を含み、前記酸化膜形成工程における前記酸化膜を形成するための熱処理は、前記第2拡散工程における前記第2の熱処理と同時に進行してもよいし、前記半導体装置の製造方法は、さらに、前記半導体基板にチャンネル領域を形成するチャンネル領域形成工程を含み、前記チャンネル領域形成工程における前記チャンネル領域を形成するための熱処理は、前記第2拡散工程における前記第2の熱処理と同時に進行してもよい。

30

40

【0016】

これによって、第2誘電体膜を除去する工程及び不純物を拡散させるための熱処理工程を削除することができるので、製造コストを更に削減することができる。また、他の不純物注入領域の再拡散抑止およびプロセスの低温化を実現することができる。

【0017】

また、前記延長ドレイン領域形成工程は、前記パターン化した膜をマスクとして用いたイオン注入により第1導電型の不純物をドーピングする第1ドーピング工程と、第1の熱処理により前記ドーピングされた不純物を拡散させて第1導電型の延長ドレイン領域を形成する第3拡散工程とを含み、前記不純物領域形成工程は、前記パターン化した膜をマスクとして用いたイオン注入により第2導電型の不純物をドーピングする第2ドーピング工程と、第2の熱処理に

50

より前記ドーブされた不純物を拡散させて第2導電型の不純物領域を形成する第4拡散工程と含んでもよい。

【0018】

これによって、トレンチ内に不純物を含有する誘電体膜を形成して基板内に不純物領域を形成する方法と比較して、トレンチ内の誘電体膜を除去する工程が削減されるので、製造コストを更に削減することができる。

【発明の効果】

【0019】

本発明の半導体装置は、ドレイン耐圧を低下させることなくドレイン・ゲート間の間隔を大幅に縮めることができる。よって、更なる高耐圧化が可能な小型の横型の高耐圧MOSトランジスタを実現することができる。

10

【0020】

また、本発明の半導体装置の製造方法は、マスク形成工程及び熱処理工程を削減することができるので、製造コストを削減することができる。

【0021】

また、本発明の半導体装置の製造方法は、不純物注入領域の再拡散を抑え、さらに熱処理回数の低減とプロセスの低温化とを実現することができる。

【発明を実施するための最良の形態】

【0022】

以下、本発明の実施形態における半導体装置について図面を参照しながら説明する。

20

【0023】

(第1の実施形態)

以下、本発明の第1の実施形態に係る横型の高耐圧MOSトランジスタおよびその製造方法について、図面を参照しながら説明する。

【0024】

図1は本発明の第1の実施形態に係る横型の高耐圧MOSトランジスタの構造を示す断面図である。なお、図1において、Y方向は深さ方向を示し、X方向は幅方向を示している。

【0025】

このトランジスタは、低不純物濃度の延長ドレイン領域、及びその内部に形成された延長ドレイン領域と反対の導電型の拡散層を有する横型MOS構造のパワートランジスタであって、 $1 \times 10^{14} \text{ cm}^{-3}$ 程度の不純物濃度のP型シリコン基板1と、シリコン基板1の表面上に形成され、素子間絶縁膜となる $0.3 \sim 0.8 \mu\text{m}$ 程度の厚さのシリコン酸化膜8と、ゲート誘電体膜であるシリコン酸化膜9と、ゲート電極であるポリシリコン膜10と、ポリシリコン膜10上方に位置し、ゲート電極とソース・ドレインに繋がるソース、ドレイン配線を分離する層間絶縁膜としてのシリコン酸化膜及びBPSG膜の積層膜12と、ソース、ドレイン配線としてのアルミ合金膜14とを備える。

30

【0026】

シリコン基板1中には、ドレイン領域であるN型不純物層2と、チャネル領域であるP型不純物層3と、ドレインコンタクト領域よりも低不純物濃度の延長ドレイン領域であるN型不純物層5と、P型不純物層6と、高不純物濃度のソースコンタクト領域であるN型拡散層11aと、高不純物濃度のドレインコンタクト領域であるN型拡散層11bとが形成されている。

40

【0027】

シリコン基板1には、トレンチ4が形成されている。トレンチ4のシリコン基板1表面における幅は $3.0 \sim 5.0 \mu\text{m}$ であり、トレンチ4の深さは $20 \mu\text{m}$ 以上、例えば $20 \sim 30 \mu\text{m}$ 程度である。このトレンチ4内部には誘電体膜としてのシリコン酸化膜7が埋め込まれている。なお、シリコン酸化膜7としては、不純物を含まないノンドープの酸化膜または不純物を含むドーブドオキサイドが用いられる。

【0028】

50

積層膜 1 2 には、コンタクトホール 1 3 が形成されており、アルミ合金膜 1 4 は、このコンタクトホール 1 3 を介して、ソース、ドレイン領域と接続されている。

【0029】

ここで、N型不純物層 5 は、トレンチを完全に囲むようにトレンチ 4 の内壁に位置し、 $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度と、 $6.0 \mu\text{m}$ 程度の厚さとを有する。N型不純物層 2 は、このN型不純物層 5 の側方に位置し、 $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度と、約 $6.0 \mu\text{m}$ 程度の厚さとを有する。P型不純物層 3 は、N型不純物層 5 のN型不純物層 2 が位置する側方と反対側の側方に位置し、 $1 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度を有する。P型不純物層 6 は、N型不純物層 5 により完全に囲まれ、かつトレンチを完全に囲むようにトレンチ 4 の内壁に位置し、 $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度と、 $1 \mu\text{m}$ 程度の厚さとを有する。N型拡散層 1 1 a、1 1 b は、トレンチ 4 を挟みこむようにシリコン基板 1 表面に位置し、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度を有する。

10

【0030】

以上のように本実施形態のトランジスタにおいては、基板内にトレンチが形成され、低不純物濃度の延長ドレイン領域は、そのトレンチ 4 に沿って形成される。よって、トランジスタの面積を大きくすることなく、延長ドレイン領域を長くすることができるので、更なる高耐压化が可能な小型の横型の高耐压 MOS トランジスタを実現することができる。例えば、本実施形態のトランジスタではドレイン電圧 700 V を得るには、深さ $30 \mu\text{m}$ のトレンチ 4 を用いて、トレンチ 4 の幅とN型不純物層 5 の拡散長とを合わせて $15 \mu\text{m}$ の幅で延長ドレイン領域を形成できる。しかし、従来のトランジスタでは同様のドレイン耐压を得るためには、延長ドレイン領域の幅として約 $65 \mu\text{m}$ が必要となる。したがって、本実施形態のトランジスタは、従来の耐压が同じトランジスタと比較して微細化される。

20

【0031】

また、本実施形態のトランジスタにおいては、延長ドレイン領域内に延長ドレイン領域と反対の導電型の拡散層が形成される。よって、延長ドレイン領域の抵抗が下がるので、パワートランジスタのオン抵抗を低減することができる。

【0032】

次に、図 2 から図 1 4 を参照にしながら、本発明の第 1 の実施形態の横型の高耐压 MOS トランジスタの製造方法について説明する。図 2 ~ 図 1 4 は、同トランジスタの断面図である。なお、図 2 ~ 図 1 4 において、Y 方向は深さ方向を示し、X 方向は幅方向を示している。

30

【0033】

まず、図 2 に示すように、P型のシリコン基板 1 上に、パターン化した第 1 のシリコン酸化膜 4 2 を形成する。第 1 のシリコン酸化膜 4 2 の形成は、熱酸化、リソグラフィ、ドライエッチング及びレジスト剥離の処理を順次実行して行なわれる。そして、この第 1 のシリコン酸化膜 4 2 をマスクにして燐 (P) を $2 \times 10^{12} \text{ cm}^{-2} \sim 6 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量で注入する。注入後、第 1 のシリコン酸化膜 4 2 は除去される。

【0034】

次に、図 3 に示すように、シリコン基板 1 上に、パターン化した第 2 のシリコン酸化膜 4 4 を形成する。第 2 のシリコン酸化膜 4 4 の形成は、熱酸化、リソグラフィ、ドライエッチング及びレジスト剥離の処理を順次実行して行なわれる。このとき、第 2 のシリコン酸化膜 4 4 の膜厚は約 $1.0 \mu\text{m}$ であり、第 2 のシリコン酸化膜 4 4 は、約 $1000 \sim 1200$ 程度の水蒸気雰囲気中で約 3 時間の熱処理を行って形成される。

40

【0035】

次に、図 4 に示すように、第 2 のシリコン酸化膜 4 4 をマスクとして、シリコン基板 1 にドライエッチング処理により、幅が $3.0 \sim 5.0 \mu\text{m}$ 程度で深さが $20 \sim 30 \mu\text{m}$ 程度のトレンチ 4 を形成する。

【0036】

50

次に、図5に示すように、減圧CVD法などによってPを2.0~4.0wt%程度含有する誘電体膜としての第3のシリコン酸化膜46を、トレンチ4内部と第2のシリコン酸化膜44上面とに形成する。なお、この第3のシリコン酸化膜46は後工程で除去されるため、トレンチ4内が第3のシリコン酸化膜46により完全に埋め込まないように第3のシリコン酸化膜46を形成する。

【0037】

次に、図6に示すように、1200程度程度の窒素雰囲気中で4時間~8時間程度熱処理を行い、 $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度で4~6 μm 程度の厚さの延長ドレイン領域およびドレイン領域となるN型不純物層5、2を形成する。このとき、第2のシリコン酸化膜44はPの拡散を防止するマスクとなるため、トレンチ4に沿った領域のみにPが拡散され、トレンチ4内壁にのみN型不純物層5が形成される。その後、第2のシリコン酸化膜44を残しながら、第3のシリコン酸化膜46を除去する。

10

【0038】

次に、図7に示すように、減圧CVD法によって硼素(B)を1.0~2.0wt%程度含有する誘電体膜としての第4のシリコン酸化膜49を、トレンチ4内部と第2のシリコン酸化膜44上面とに形成する。具体的には約700に保持された減圧CVD装置の反応室に、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ガスと O_2 ガス及び $\text{B}(\text{CH}_3)_3$ ガスを導入して、反応室内を数100Paに調圧してBを1.0~2.0wt%程度含有する第4のシリコン酸化膜49をトレンチ4内と第2のシリコン酸化膜44上に堆積する。

【0039】

20

次に、図8に示すように、シリコン基板1に対して1100程度程度の窒素雰囲気中で1時間~2時間程度熱処理を行い、Bを含有する第4のシリコン酸化膜49からシリコン基板1中にBを拡散させる。これにより、N型不純物層5の内部に、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度であり、厚さが約1.0 μm 程度であるP型不純物層6が形成される。このとき、第2のシリコン酸化膜44はBの拡散を防止するマスクとなるため、トレンチ4に沿った領域のみにBが拡散され、トレンチ4表面に露出するようにトレンチ4内壁にのみP型不純物層6が形成される。その後、第2のシリコン酸化膜44および第4のシリコン酸化膜49を同時に除去する。

【0040】

次に、図9に示すように、減圧CVD法によって、シリコン酸化膜7をトレンチ4内及びシリコン基板1表面上に堆積させ、トレンチ4内部及びシリコン基板1上にシリコン酸化膜7を形成する。そして、エッチング法またはCMP法により、シリコン基板1表面上のシリコン酸化膜7を除去し、トレンチ4内にのみシリコン酸化膜7が埋め込まれた状態にする。

30

【0041】

次に、図10に示すように、シリコン基板1上に、第6のシリコン酸化膜52、 Si_3N_4 膜53及びレジストパターン54を形成する。その後、シリコン基板1に、レジストパターン54をマスクとして、Bイオンを $2 \times 10^{12} \text{ cm}^{-2} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量で注入する。

【0042】

40

次に、図11に示すように、レジストパターン54除去後、保護酸化によりシリコン酸化膜8を形成する。保護酸化後、第6のシリコン酸化膜52と Si_3N_4 膜53とを除去する。このとき、保護酸化の熱処理によりBが拡散し、P型不純物層3が形成される。

【0043】

次に、図12に示すように、ゲート誘電体膜であるシリコン酸化膜9、ゲート電極であるポリシリコン膜10を形成する。

【0044】

次に、図13に示すように、ポリシリコン膜10をマスクにして $5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量で砒素(As)イオンを注入する。さらに、シリコン基板1の上部に層間絶縁膜12を形成し、900程度の温度で熱処理して層間絶縁膜12の表面を平坦化する。

50

この熱処理により、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度の不純物濃度で約 $0.3 \sim 0.4 \mu\text{m}$ 程度の厚さの高不純物濃度のソース・ドレイン領域であるN型拡散層11a、11bが形成される。

【0045】

次に、図14に示すようにリソグラフィ及びエッチング処理により、層間絶縁膜12にコンタクトホール13を形成する。さらに、AlSiCuのようなAlを主成分とする合金膜を、コンタクトホール13がその合金膜により埋め込まれるようにスパッタリング形成した後、リソグラフィ及びエッチング処理を行い、電極、配線としてのアルミ合金膜14を形成する。

【0046】

以上の本実施形態におけるトランジスタの製造方法で示す工程を順次実行することにより、内部にP型不純物層6を含む低不純物濃度のN型延長ドレイン領域であるN型不純物層5がトレンチ4に沿って立体的に形成された横型MOS構造のパワートランジスタを形成することができる。

【0047】

以上のように本実施形態のトランジスタの製造方法においては、図6に示すように、第2のシリコン酸化膜44を残しながら、第3のシリコン酸化膜46を除去し、P型不純物層6形成のためのマスクとして第2のシリコン酸化膜44を繰り返し用いる。すなわち、1つのマスクを用いてN型不純物層5及びP型不純物層6を形成する。したがって、一回のマスク形成工程を削減することができるので、製造コストを削減することができる。

【0048】

なお、本実施形態では、図7に示すトレンチ4内部に第4のシリコン酸化膜49を形成する工程の後、図8に示す熱処理工程を行ってP型不純物層6を形成した。しかし、P型不純物層6形成のための熱処理工程は、図11に示すシリコン酸化膜8形成のための保護酸化の熱処理工程と同時にも行われてもよい。このとき、トレンチ4内部の第4のシリコン酸化膜49は除去されずにトレンチ4内部に残されるので、図8に示す第4のシリコン酸化膜49の除去工程および図9に示すトレンチ4内部へのシリコン酸化膜7の形成工程は削除される。これにより、図8に示す熱処理工程及びシリコン酸化膜の除去工程と、図9に示すシリコン酸化膜の形成工程とを削除することができ、製造コストを更に削減することができる。また、他の不純物注入領域の再拡散抑止およびプロセスの低温化を実現することができる。

【0049】

(第1の実施形態の変形例)

次に、図15～図20を参照にしながら、本発明の第1の実施形態に係る横型の高耐圧MOSトランジスタの製造方法の変形例について説明する。図15～図20は、同トランジスタの断面図である。なお、図15～図20において、Y方向は深さ方向を示し、X方向は幅方向を示している。

【0050】

まず、シリコン基板1に対してP注入、パターン化した第2のシリコン酸化膜44の形成及びトレンチ4の形成を行う。工程方法および工程条件は第1の実施形態で示した図2から図4までの工程と同一である。

【0051】

次に、図15に示すように、トレンチ4の側壁及び底部に対し、イオン注入法により第2のシリコン酸化膜44をマスクとしてPイオンを $2 \times 10^{12} \text{ cm}^{-2} \sim 6 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量で注入する。注入処理に際しては、このシリコン基板1をECR(電子サイクロトロン共鳴)法などにより高密度プラズマを生成する真空装置内に設置し、真空装置内に PH_3 ガスを導入してプラズマを生成させるとともに基板側にDCあるいは高周波バイアスを印加する。具体的には、数ccmの PH_3 ガスと希釈ガスとして数10ccmのHeガスをドーパントガスとして真空装置内に導入する。さらに、数Paの圧力下で数100Wの電力を印加して、イオン電流密度が 10 mA/cm^2 程度のプラズマを生成

10

20

30

40

50

させ、基板側に - 数 10 V の DC バイアスを印加してシリコン基板 1 に P イオンを注入する。上記注入条件により、幅が 3.0 ~ 5.0 μm で深さが 20 μm 以上、例えば 20 ~ 30 μm 程度という高アスペクト比のトレンチ 4 であってもその内部に均一に制御性よくイオンを注入することができる。また、上記注入条件では、P イオンがシリコン基板 1 上の第 2 のシリコン酸化膜 4 4 を通過しないため、トレンチ 4 の側壁、底部のみに P イオンが注入される。

【0052】

次に、図 16 に示すように、1200 程度の窒素雰囲気中で 4 時間 ~ 8 時間程度熱処理を行い、図 15 で示す工程で注入した P を拡散させ、 $1 \times 10^{16} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度で 4.0 ~ 6.0 μm 程度の厚さの延長ドレイン領域およびドレイン領域

10

【0053】

次に、図 17 に示すように、トレンチ 4 の側壁及び底部に対し、イオン注入法により第 2 のシリコン酸化膜 4 4 をマスクとして B イオンを $2 \times 10^{12} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量で注入する。注入処理に際しては、このシリコン基板 1 を ECR (電子サイクロトロン共鳴) 法などにより高密度プラズマを生成する真空装置内に設置し、真空装置内に B_2H_6 ガスを導入してプラズマを生成させるとともに基板側に DC あるいは高周波バイアスを印加する。具体的には、数 ccm の B_2H_6 ガスと希釈ガスとして数 10 ccm の He ガスとをトーバンドガスとして真空装置内に導入する。さらに、数 Pa の圧力下で数 100 W の電力を印加して、イオン電流密度が 10 mA/cm^2 程度のプラズマを生成させ、基板側に - 数 10 V の DC バイアスを印加してシリコン基板 1 に B イオンを注入する。上記注入条件では、B イオンがシリコン基板 1 上の第 2 のシリコン酸化膜 4 4 を通過しないため、第 2 のシリコン酸化膜 4 4 がマスクの機能を果し、トレンチ 4 の側壁及び底部のみに B イオンが注入される。

20

【0054】

次に、図 18 に示すように、シリコン基板 1 表面上及びトレンチ 4 内部にシリコン酸化膜 7 を堆積させる。具体的な形成方法としては、減圧 CVD 法により、850 程度の温度で SiH_4 と N_2O とを反応させる。その後、エッチング処理または CMP 法によりシリコン酸化膜 7 を選択的に除去して、トレンチ 4 内部にシリコン酸化膜 7 を形成する。

【0055】

次に、図 19 に示すように、シリコン基板 1 上に、シリコン酸化膜 5 2、 Si_3N_4 膜 5 3 及びレジストパターン 5 4 を形成する。その後、シリコン基板 1 に、レジストパターン 5 4 をマスクとして、B イオンを $2 \times 10^{12} \text{ cm}^{-2} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量で注入する。

30

【0056】

次に、図 20 に示すように、レジストパターン 5 4 除去後、保護酸化によりシリコン酸化膜 8 を形成する。このとき、保護酸化の熱処理により、図 17 及び図 19 で示す工程で注入した B が拡散され、トレンチに沿った N 型不純物層 5 内部には $1 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度で約 1.0 μm 程度の厚さの P 型不純物層 6 が形成され、シリコン基板 1 表面には同じく $1 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度で約 1.0 μm 程度の厚さの P 型不純物層 3 が形成される。保護酸化後、第 6 のシリコン酸化膜 5 2 と Si_3N_4 膜 5 3 とを除去する。

40

【0057】

次に、第 1 の実施形態で示した図 12 から図 14 までの工程を順次行って、シリコン酸化膜 9、ポリシリコン膜 10、N 型拡散層 11 a、11 b、層間絶縁膜 12 及びアルミ合金膜 14 を形成する。

【0058】

以上の本変形例におけるトランジスタの製造方法で示す工程を順次実行することにより、内部に P 型不純物層 6 を含む低不純物濃度の N 型延長ドレイン領域である N 型不純物層 5 がトレンチ 4 に沿って立体的に形成された横型 MOS 構造のパワートランジスタを形成

50

することができる。

【0059】

以上のように本変形例では、図15及び図17に示すように、N型不純物層5及びP型不純物層6形成のための、シリコン基板1におけるトレンチ4に沿った部分への不純物導入を、ドーパントガスを用いて行う。そして、この場合には、P型不純物層6、N型延長ドレイン領域であるN型不純物層5の形成に同一マスクを用いる。すなわち、1つのマスクを用いてN型不純物層5及びP型不純物層6を形成する。したがって、一回のマスク形成工程を削減することができるので、製造コストを削減することができる。また、ドーパントオキサイドを除去する工程を削減することができるので、第1の実施形態の製造方法よりも工程数を削減でき、製造コストを更に削減することができる。

10

【0060】

また、本変形例では、P型不純物層6及びP型不純物層3形成のための不純物拡散処理と、シリコン酸化膜8形成のための保護酸化とを、同一の熱処理で行う。よって、他の不純物注入領域の再拡散抑止、熱処理回数の低減およびプロセスの低温化を実現することができる。

【0061】

なお、本変形例では、ドーパントガスを用いてN型延長ドレイン領域であるN型不純物層5を形成した。しかし、N型不純物層5は、第1の実施形態と同様にドーパントオキサイドを用いて形成されても良い。

【0062】

(第2の実施形態)

以下、本発明の第2の実施形態に係る横型の高耐圧MOSトランジスタについて、図面を参照しながら説明する。

20

【0063】

図21は本発明の第2の実施形態に係る横型の高耐圧MOSトランジスタの構造を示す断面図である。なお、図21において、Y方向は深さ方向を示し、X方向は幅方向を示している。

【0064】

本実施形態のトランジスタは、ゲート電極であるポリシリコン膜30が、ゲート絶縁膜9上に形成され、且つトレンチ4内を充填するようにトレンチ4内部に形成されているという点で第1の実施の形態のトランジスタとは異なる。この場合には、耐圧を維持しつつ、ドレイン電圧によってトレンチ4を挟んで対向するN型不純物層5が電氣的に干渉するのが抑えられる。

30

【0065】

このトランジスタは、P型シリコン基板1と、素子間絶縁膜となるシリコン酸化膜8と、ゲート誘電体膜であるシリコン酸化膜9と、ゲート電極であるポリシリコン膜30と、層間絶縁膜としての積層膜12と、ソース、ドレイン配線としてのアルミ合金膜14とを備える。

【0066】

シリコン基板1中には、ドレイン領域であるN型不純物層2と、チャネル領域であるP型不純物層3と、延長ドレイン領域であるN型不純物層5と、P型不純物層6と、ソースコンタクト領域であるN型拡散層11aと、ドレインコンタクト領域であるN型拡散層11bとが形成されている。

40

【0067】

シリコン基板1には、トレンチ4が形成されている。このトレンチ4内部には誘電体膜としてのシリコン酸化膜27が埋め込まれ、トレンチ4内部のシリコン酸化膜27の内部には導電膜としてのポリシリコン膜30が埋め込まれている。なお、シリコン酸化膜27としては、不純物を含まないノンドープの酸化膜または不純物を含むドーパントオキサイドが用いられる。

【0068】

50

積層膜 12 には、コンタクトホールホール 13 が形成されており、アルミ合金膜 14 は、このコンタクトホールホール 13 を介して、ソース、ドレイン領域と接続されている。

【0069】

以上のように本実施形態のトランジスタによれば、第 1 の実施形態のトランジスタと同様の理由により、更なる高耐圧化が可能な小型の横型の高耐圧 MOS トランジスタを実現することができる。また、パワートランジスタのオン抵抗を低減することができる。

【0070】

なお、本実施形態のトランジスタにおいて、トレンチ 4 内に位置するポリシリコン膜 30 は、シリコン酸化膜 9 上方に位置し、ゲート電極として機能するポリシリコン膜 30 とつながっているとす。しかし、トレンチ 4 内に位置するポリシリコン膜 30 とゲート電極として機能するポリシリコン膜 30 とは分離され、それぞれ個別に接地されていてもよい。この場合には、トレンチ 4 内に位置するポリシリコン膜 30 の電位をドレイン電位から独立させることができる。

10

【0071】

以上、本発明に係る横型の高耐圧 MOS トランジスタについて実施の形態に基づいて説明したが、本発明は、この実施の形態に限定されるものではなく、本発明の範囲を逸脱することなく種々の変形または修正が可能であることはいうまでもない。

【0072】

例えば、上記実施の形態では、横型の高耐圧 MOS トランジスタを N チャネル MOS トランジスタとして記載したが、全ての導電型を反対導電型にして P チャネル MOS トランジスタとしてもよく、同様の効果が得られる。

20

【産業上の利用可能性】

【0073】

本発明の半導体装置及びその製造方法は、低オン抵抗のパワー素子として有用であり、とりわけパワー素子と制御回路等の MOS デバイスを混載した IC 用のパワー素子として有用である。

【図面の簡単な説明】

【0074】

【図 1】本発明の第 1 の実施形態に係る横型の高耐圧 MOS トランジスタの構造を示す断面図である。

30

【図 2】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 3】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 4】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 5】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 6】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 7】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 8】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 9】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 10】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 11】同実施の形態のトランジスタの製造方法を説明するための断面図である。

40

【図 12】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 13】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 14】同実施の形態のトランジスタの製造方法を説明するための断面図である。

【図 15】同実施の形態のトランジスタの製造方法の変形例を説明するための断面図である。

【図 16】同実施の形態のトランジスタの製造方法の変形例を説明するための断面図である。

【図 17】同実施の形態のトランジスタの製造方法の変形例を説明するための断面図である。

【図 18】同実施の形態のトランジスタの製造方法の変形例を説明するための断面図であ

50

る。

【図 19】同実施の形態のトランジスタの製造方法の変形例を説明するための断面図である。

【図 20】同実施の形態のトランジスタの製造方法の変形例を説明するための断面図である。

【図 21】本発明の第 2 の実施形態に係る横型の高耐圧 MOS トランジスタの構造を示す断面図である。

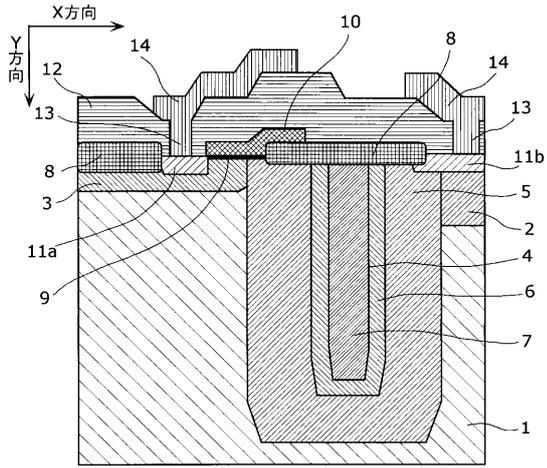
【図 22】従来の横型の高耐圧 MOS トランジスタの構造を示す断面図である。

【符号の説明】

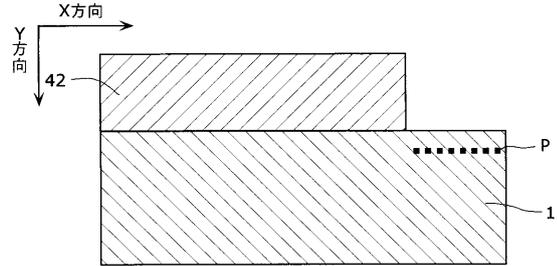
【0075】

1	シリコン基板	
2、5	N 型不純物層	
3、6	P 型不純物層	
4	トレンチ	
7、8、9、27	シリコン酸化膜	
10、30	ポリシリコン膜	
11a、11b	N 型拡散層	
12	積層膜	
13	コンタクトホールホール	
14	アルミ合金膜	20
42	第 1 のシリコン酸化膜	
44	第 2 のシリコン酸化膜	
46	第 3 のシリコン酸化膜	
49	第 4 のシリコン酸化膜	
52	第 6 のシリコン酸化膜	
53	Si ₃ N ₄ 膜	
54	レジストパターン	
101	P 型ウェル層	
102	延長ドレイン領域	
103	P 型ポディー層	30
104	SiO ₂ 膜	
105	ゲート酸化膜	
106	ゲート電極	
107	高濃度 N 型拡散層	
108	層間絶縁膜	
110a	ソース電極	
110b	ドレイン電極	
111	N 型基板	
112	P 型ポディーコンタクト層	
114	P 型層	40

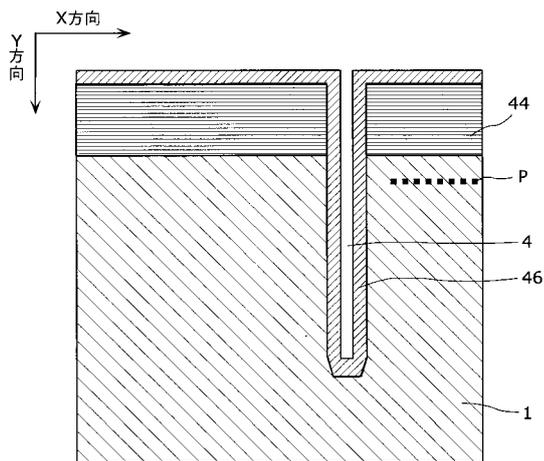
【 図 1 】



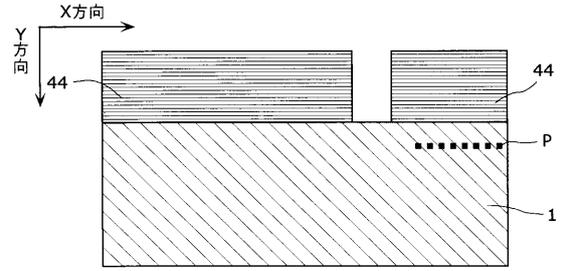
【 図 2 】



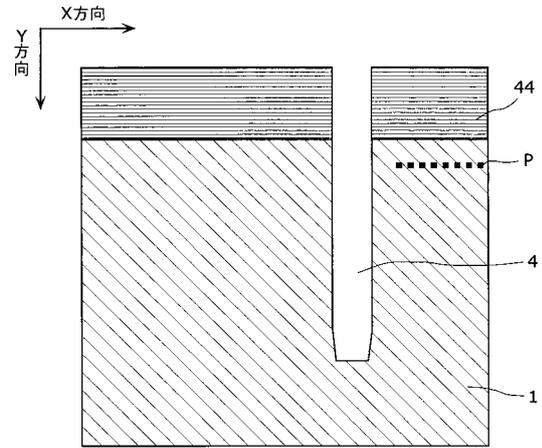
【 図 5 】



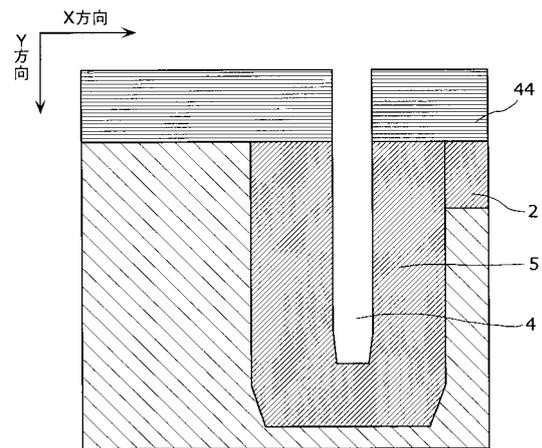
【 図 3 】



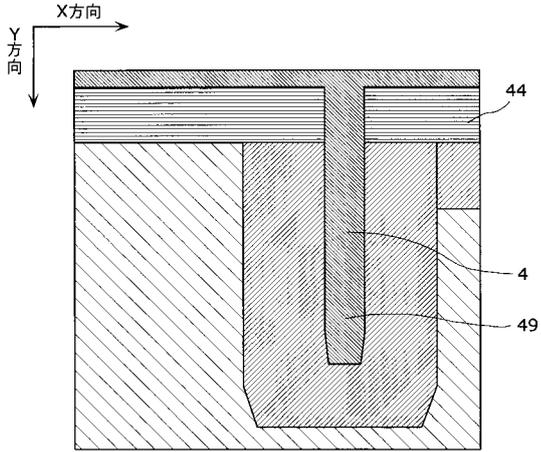
【 図 4 】



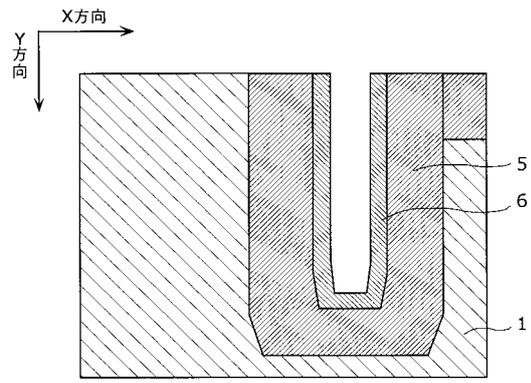
【 図 6 】



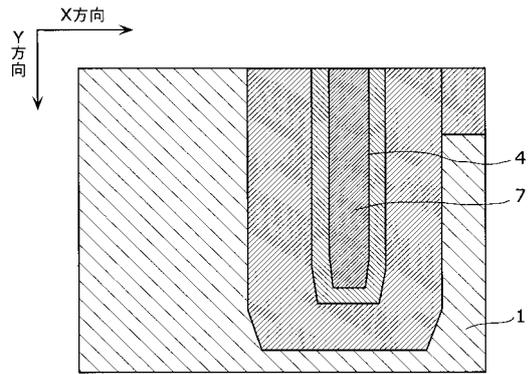
【 図 7 】



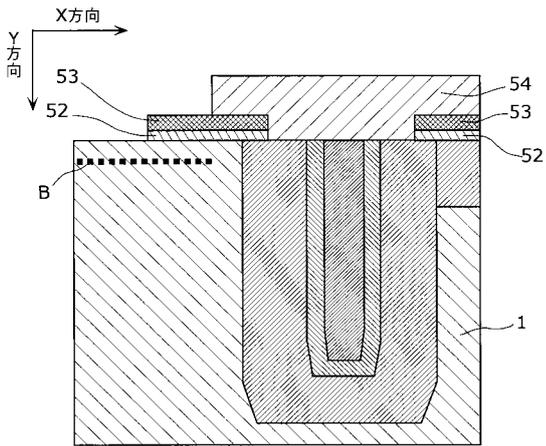
【 図 8 】



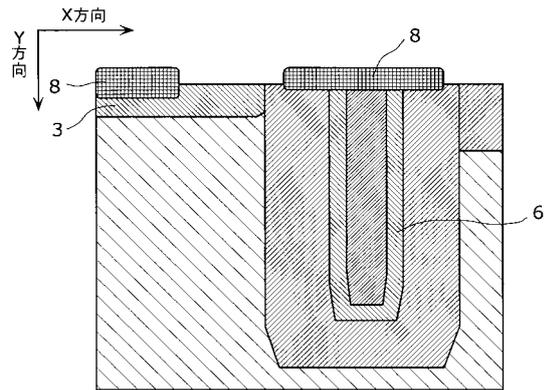
【 図 9 】



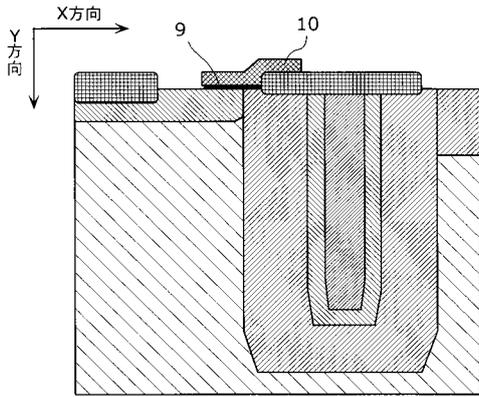
【 図 10 】



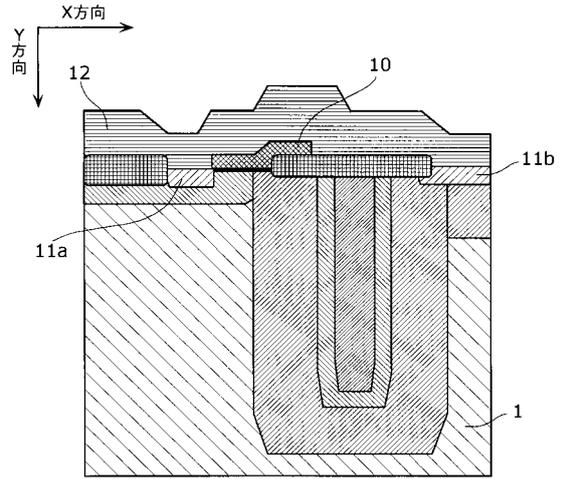
【 図 11 】



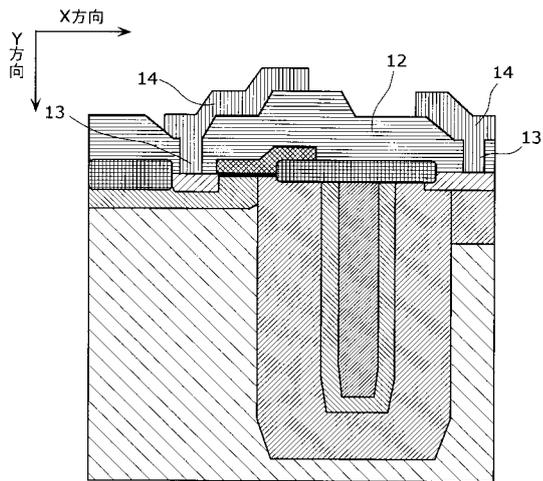
【 図 1 2 】



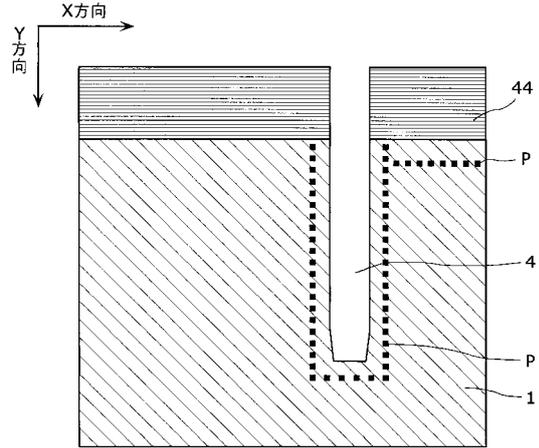
【 図 1 3 】



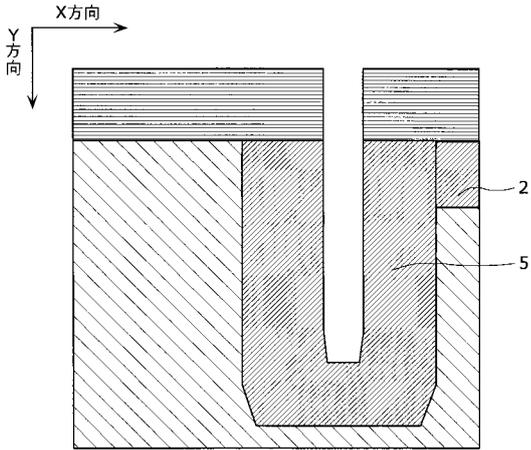
【 図 1 4 】



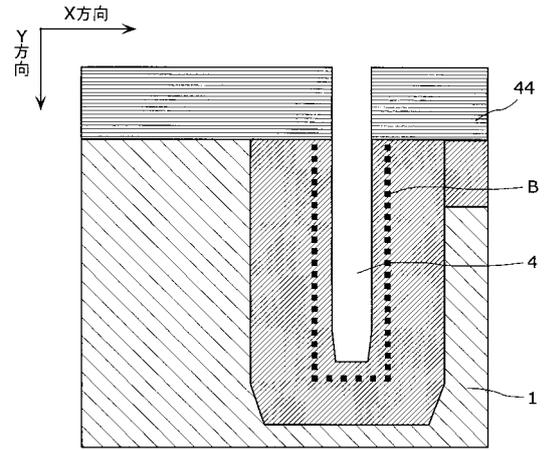
【 図 1 5 】



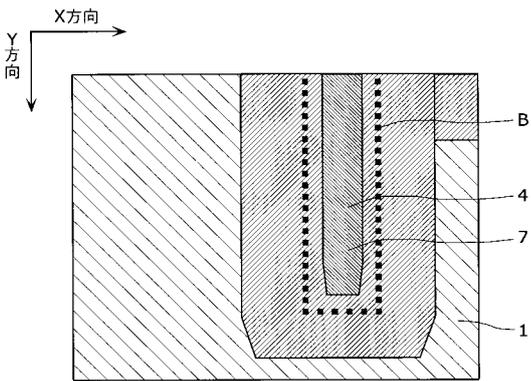
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



【 図 1 9 】

