

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200610172722.0

H01L 27/12 (2006.01)
H01L 23/522 (2006.01)
H01L 21/84 (2006.01)
H01L 21/768 (2006.01)
G02F 1/1362 (2006.01)

[43] 公开日 2007年7月4日

[11] 公开号 CN 1992295A

[22] 申请日 2003.7.19

[21] 申请号 200610172722.0

分案原申请号 03151498.7

[30] 优先权

[32] 2002.7.19 [33] KR [31] 0042659/02

[32] 2002.11.5 [33] KR [31] 0068107/02

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金东奎 金相洙

[74] 专利代理机构 北京市柳沈律师事务所

代理人 张波

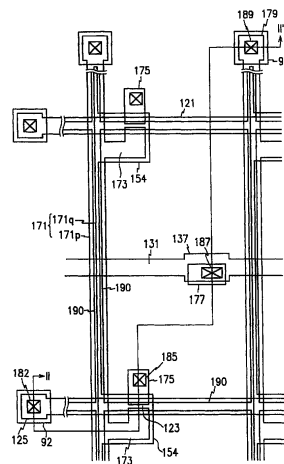
权利要求书 2 页 说明书 20 页 附图 44 页

[54] 发明名称

薄膜晶体管阵列板及其制造方法

[57] 摘要

本发明公开一种薄膜晶体管阵列板及其制造方法。其中，在衬底上形成栅线。顺序沉积栅极绝缘层、半导体层、本征 a-Si 层、非本征 a-Si 层、Cr 下部膜、以及含 Al 金属上部膜，对上部膜和下部膜构图，以形成数据线和漏极电极。形成光致抗蚀剂层，用光致抗蚀剂层作蚀刻掩模对上部膜构图，以露出漏极电极的下部膜的接触部分。除去非本征 a-Si 层和本征 a-Si 层的露出部分，然后除去光致抗蚀剂层和下面的非本征 a-Si 层部分。钝化层随同栅极绝缘层一起形成并被构图以形成露出下部膜的接触部分的接触孔，且像素电极形成来接触该接触部分。



1. 一种薄膜晶体管阵列板，包括：
在绝缘衬底上形成的栅极导电层；
栅极导电层上的栅极绝缘层；
栅极绝缘层上的半导体层；
至少部分形成在半导体层上、且包括相互隔开的数据线和漏极电极的数据导电层；
覆盖半导体层的钝化层；以及
接触漏极电极的像素电极，
其中，半导体层的边界除了漏极电极和数据线端部附近的区域外从数据线露出。

2. 按权利要求 1 的薄膜晶体管阵列板，其中，数据导电层具有包括下部膜和上部膜的多层结构，且下部膜和上部膜具有不同的形状。

3. 按权利要求 2 的薄膜晶体管阵列板，其中，下部膜包含阻挡金属，且上部膜包含 Al 或 Al 合金。

4. 按权利要求 1 的薄膜晶体管阵列板，其中，数据线具有与半导体层平行的边缘，数据线的该边缘或者位于半导体层上，或者与半导体层的边缘重合。

5. 按权利要求 4 的薄膜晶体管阵列板，其中，像素电极具有与栅极导电层、数据导电层或半导体层交叠的边缘。

6. 按权利要求 1 的薄膜晶体管阵列板，还包括位于半导体层与数据导电层之间且具有与数据导电层相同的平面形状的欧姆接触层。

7. 按权利要求 1 的薄膜晶体管阵列板，其中，数据导电层的侧面是倾斜的。

8. 按权利要求 1 的薄膜晶体管阵列板，其中，钝化层具有用于漏极电极与像素电极之间的接触的第一接触孔、露出栅极导电层的一部分的第二接触孔、以及露出数据线的一部分的第三接触孔，且还包括：

通过第二接触孔接触栅极导电层的第一接触辅助部分、以及通过第三接触孔接触数据线的第二接触辅助部分，该第一和第二接触层包括与像素电极相同的层。

9. 按权利要求 8 的薄膜晶体管阵列板, 其中, 钝化层接触第一和第二接触孔附近的下部膜。

10. 按权利要求 1 的薄膜晶体管阵列板, 其中, 漏极电极的与像素电极接触的部分不平坦。

11. 一种制造薄膜晶体管阵列板的方法, 该方法包括:

在绝缘衬底上形成栅线;

在栅线上形成栅极绝缘层;

在栅极绝缘层上形成半导体层;

形成数据导电层, 该数据导电层包括与栅线交叉的数据线、以及与数据线隔开的漏极电极;

形成接触漏极电极的像素导电层,

其中, 利用光致抗蚀剂层作蚀刻掩模来形成半导体层, 且该光致抗蚀剂层不覆盖部分数据导电层。

12. 按权利要求 11 的方法, 其中, 数据线和漏极电极包括下部膜和上部膜。

13. 按权利要求 12 的方法, 还包括:

除去上部膜的没有被覆盖的部分。

14. 按权利要求 11 的方法, 其中, 半导体层和数据导电层的形成包括:

沉积非晶硅层;

在非晶硅层上形成数据导电层, 该数据导电层包括下部膜和上部膜;

在上部膜和非晶硅层上形成光致抗蚀剂;

除去上部膜的没有被覆盖的部分; 以及

通过除去非晶硅层的从数据导电层和光致抗蚀剂露出的部分, 形成包括非晶硅层的半导体层。

15. 按权利要求 14 的方法, 还包括:

在下部膜上保留上部膜的岛形部分; 以及

通过表面蚀刻除去上部膜的岛形部分。

16. 按权利要求 11 的方法, 其中, 半导体层包括位于数据线与漏极电极之间的沟道部分, 且光致抗蚀剂覆盖该沟道部分。

薄膜晶体管阵列板及其制造方法

本申请是 2003 年 7 月 19 日提交的第 03151498.7 号发明专利申请的分案申请。

技术领域

本发明涉及薄膜晶体管阵列板及其制造方法，特别涉及用于液晶显示器的薄膜晶体管阵列板及其制造方法。

背景技术

液晶显示器(LCD)是最广泛使用的平板显示器之一。液晶显示器包括设置有场发生电极的两块基板和夹在两块基板之间的液晶层(LC)。液晶显示器通过给场发生电极加电压在液晶层中产生电场来显示图像，该电场确定液晶层中的液晶分子取向以调节入射光的偏振。

在各个基板上包括场发生电极的液晶显示器中，一种液晶显示器设置有在一块基板上按矩阵配置的多个像素电极和覆盖另一块基板的整个表面上的公共电极。给各个像素电极加单独的电压使液晶显示器进行图像显示。为了加单独的电压，多个 3-端薄膜晶体管(TFT)连接到各个像素电极，在基板上设置多根栅线 and 多根数据线，栅线输送控制薄膜晶体管的信号，数据线输送要加到像素电极上的电压。

用于液晶显示器的基板具有包括多层导电层和多层绝缘层的多层结构。栅线、数据线和像素电极优选顺序沉积的其间用绝缘层隔开的多层不同的导电层构成(这些导电层以下叫做“栅极导体”、“数据导体”和“像素导体”)。薄膜晶体管包括 3 个电极：用栅极导体形成的栅极电极、和数据导体形成的源极电极和漏极电极。源极电极和漏极电极用通常位于其下的半导体连接，漏极电极通过绝缘层中的通孔连接到像素电极。

栅极导体和数据导体优选具有低电阻率的如 Al 和 Al 合金的含 Al 金属构成，以减小栅线 and 数据线中的信号延迟。通常用例如铟锡氧化物(ITO)和铟锌氧化物(IZO)的透明导电材料构成像素电极，用于加电压时产生电

场和透光。

同时，含 Al 金属与铟锡氧化物 (ITO) 或铟锌氧化物 (IZO) 之间的接触会出现例如含 Al 金属的蚀刻和大接触电阻的问题。此外，含 Al 金属和例如硅的半导体之间的接触会造成扩散问题。因此，与 ITO、IZO 或半导体具有好的接触特性的附加金属夹在含 Al 金属与 ITO、IZO 和半导体之间以避免它们直接接触。因此，建议要与半导体和像素电极接触的数据导体具有双层结构。双层结构包括含 Al 金属上层和金属下层，并去除上层的接触部分以改善与覆盖其上的像素电极的接触。

如上述的，漏极电极和像素电极通过绝缘体中的接触孔连接。通过在绝缘体中形成通孔以露出漏极电极的含 Al 金属上层的一部分，经表面蚀刻 (blanket-etching) 除去含 Al 金属上层的露出部分以露出具有好的接触特性的下层，最后在其上形成像素电极，从而实现连接。但是，这种表面蚀刻常常会产生由接触孔侧壁下的含 Al 金属过蚀刻形成的下部切口。这种下部切口使其附近随后形成的像素电极断开或外形差，使像素电极与漏极电极之间的接触电阻增大。建议用附加的光刻蚀刻步骤除去含 Al 金属上层，但是，这会导致制造工艺复杂和加大生产成本。

发明内容

提供一种薄膜晶体管阵列板，它包括：形成在绝缘衬底上的第一导电层；第一导电层上的栅极绝缘层；栅极绝缘层上的半导体层；形成在至少一部分半导体层上的并包括相互隔开的数据线和漏极电极的第二导电层，第二导电层包括下部阻挡金属膜和 Al 或 Al 合金上部金属膜；覆盖半导体层的钝化层；和形成在第二导电层上并与第二导电层接触的第三导电层，其中，至少上部膜的边缘位于下部膜上，使得下部膜包括露在上部膜外的第一部分，且第三导电层接触下部膜的第一部分。

上部膜的边缘优选横越下部膜。

钝化层的至少一部分优选具有露出下层的的第一部分的接触孔，第三导电层的至少一部分位于钝化层上。至少上部膜的边缘可以不与接触孔的边界重合。钝化层优选与接触孔附近的下部膜接触。

下部膜可以含 Cr、Mo 或 Mo 合金。

薄膜晶体管阵列板优选还包括插在半导体层与第二导电层之间的欧姆

接触层，欧姆接触层具有与第二导电层大致相同的平面形状。

优选地，半导体层的边界可以与第二导电层的边界大致重合，或者可以位于第二导电层的外边。

第三导电层优选包含 ITO 或 IZO。

第三导电层优选包括接触漏极电极的像素电极。钝化层具有用于漏极电极与像素电极之间接触的第一接触孔，露出第一导电层的一部分的第二接触孔，和露出数据线的一部分的第三接触孔，第三导电层包括：通过第二接触孔接触第一导电层的第一接触辅助部分(contact assistant)，和通过第三接触孔接触数据线的第二接触辅助部分。

第二导电层的第一部分优选不平坦(unevenness)。

提供一种薄膜晶体管阵列板的制造方法，包括：在绝缘衬底上形成栅极导电层；形成栅极绝缘层；形成半导体层；形成数据导电层，它包括相互隔开的信号线和漏极电极，具有包括下部膜和上部膜的双层结构；除去上部膜的第一部分，露出下部膜的第一部分；和形成接触下部膜的第一部分的像素导电层；其中，利用光致抗蚀剂进行半导体层的形成，用光致抗蚀剂作蚀刻掩模除去上部膜的第一部分。

优选地，下部膜含阻挡金属，上部膜含 Al 或 Al 合金。

薄膜晶体管阵列板的制造方法还包括：在半导体层与数据导电层之间形成欧姆接触层。

半导体层和数据导电层的形成可包括：沉积非晶硅层；在非晶硅层上形成数据导电层，数据导电层包括下部膜和上部膜；在上部膜和非晶硅层上涂覆光致抗蚀剂；除去上部膜的第一部分，第一部分露在光致抗蚀剂之外；通过除去非晶硅层露在数据导电层和光致抗蚀剂层外的部分，形成包括非晶硅层的半导体层。

上部膜的第一部分优选不被光致抗蚀剂覆盖，半导体层包括位于数据线与漏极电极之间的沟道部分，光致抗蚀剂覆盖沟道部分。

非晶硅层优选包括：本征非晶硅膜，和在本征非晶硅膜上的非本征非晶硅膜。制造方法还包括步骤：在形成半导体层后除去光致抗蚀剂层；和除去非本征非晶硅膜露在数据导电层外的部分。

制造方法还包括步骤：保留下部膜上的上部膜的岛状部分；和用表面蚀刻方法除去上部膜的岛状部分。

提供一种薄膜晶体管阵列板，它包括：形成在绝缘衬底上的栅极导电层；栅极导电层上的栅极绝缘层；栅极绝缘层上的半导体层；形成在至少部分半导体层上的并包括相互隔开的数据线和漏极电极的数据导电层；覆盖半导体层的钝化层；和接触漏极电极的像素电极，其中，半导体层的边界露在数据线外，除了漏极电极附近区域和数据线端部之外。

数据导电层优选具有包括下部膜和上部膜的多层结构，下部膜与上部膜的形状不同。

下部膜优选含阻挡金属，上部膜含 Al 或 Al 合金。

数据线优选具有与半导体层大致平行的边缘，数据线的边缘或者位于半导体层上，或者与半导体层的边缘重合。

像素电极优选具有与栅极导电层、数据导电层、或半导体层重叠的边缘。

薄膜晶体管阵列板优选还包括夹在半导体层与数据导电层之间的欧姆接触层，其平面形状与数据导电层的形状大致相同。

数据导电层的侧面优选是锥形

钝化层优选具有用于漏极电极与像素电极之间接触的第一接触孔，露出栅极导电层的一部分的第二接触孔，和露出数据线的一部分的第三接触孔。薄膜晶体管阵列板还包括：通过第二接触孔接触栅极导电层的第一接触辅助部分，通过第三接触孔接触数据线的第二接触辅助部分，第一和第二接触层包括与像素电极相同的层。

钝化层优选接触第一接触孔和第二接触孔附近的下部膜。

漏极电极的接触像素电极的部分优选不平坦。

提供一种薄膜晶体管阵列板的制造方法，它包括步骤：在绝缘衬底上形成栅线；在栅线上形成栅极绝缘层；在栅极绝缘层上形成半导体层；形成数据导电层，它包括与栅线交叉的数据线和与数据线隔开的漏极电极；形成接触漏极电极的像素导电层，其中，用光致抗蚀剂作蚀刻掩模执行半导体层的形成，光致抗蚀剂不覆盖数据导电层的一部分。

数据线和漏极电极优选包括下部膜和上部膜。方法还包括步骤：除去上部膜没有被覆盖的部分。

半导体层和数据导电层的形成包括：沉积非晶硅层；在非晶硅层上形成数据导电层，数据导电层包括下部膜和上部膜；在上部膜和非晶硅层上

形成光致抗蚀剂；除去上部膜的没有被覆盖的部分；以及通过除去非晶硅层露在数据导电层和光致抗蚀剂外的部分来形成包括非晶硅层的半导体层。

该方法还包括：保留下部膜上的上部膜的岛形部分；和用表面蚀刻除去上部膜的岛形部分。

半导体层优选包括位于数据线和漏极电极之间的沟道部分，且光致抗蚀剂覆盖沟道部分。

附图说明

通过参见附图对优选实施例的详细描述，本发明的上述和其他优点将变得更清楚，附图中：

图 1 是按本发明实施例的用于液晶显示器的示例性薄膜晶体管阵列板的布图；

图 2 是图 1 所示薄膜晶体管阵列板的沿 II-II'线切开的剖视图；

图 3A、4A、5A 和 7A 是图 1 和图 2 所示的薄膜晶体管阵列板的在按本发明实施例的薄膜晶体管阵列板制造方法的中间步骤中的布图；

图 3B 是图 3A 所示的薄膜晶体管阵列板的沿 IIIB-IIIB'线切开的剖视图；

图 4B 是图 4A 所示薄膜晶体管阵列板的沿 IVB-IVB'线切开的剖视图，它显示出图 3B 所示步骤以后的步骤；

图 5B 是图 5A 所示薄膜晶体管阵列板的沿 VB-VB'线切开的剖视图，它显示出图 4B 所示步骤以后的步骤；

图 6 是图 5A 所示薄膜晶体管阵列板的沿 VB-VB'线切开的剖视图，它显示出图 5B 所示步骤以后的步骤；

图 7B 是图 7A 所示的薄膜晶体管阵列板的沿 VIIB-VIIB'线切开的剖视图，它显示出图 6 所示步骤以后的步骤；

图 8 是按本发明另一实施例的用于液晶显示器的示例性薄膜晶体管阵列板的布图；

图 9 是图 8 所示薄膜晶体管阵列板的沿 IX-IX'线切开的剖视图；

图 10A、11A、12A 和 14A 是图 8 和图 9 所示的薄膜晶体管阵列板的在按本发明实施例的薄膜晶体管阵列板制造方法的中间步骤中的布图；

图 10B 是图 10A 所示薄膜晶体管阵列板的沿 XB-XB'线切开的剖视图;

图 11B 是图 11A 所示薄膜晶体管阵列板的沿 XIB-XIB'线切开的剖视图, 它显示出图 10B 所示步骤以后的步骤;

图 12B 是图 12A 所示薄膜晶体管阵列板的沿 XIIB-XIIB'线切开的剖视图, 它显示出图 11B 所示步骤以后的步骤;

图 13 是图 12A 所示薄膜晶体管阵列板的沿 XIIB-XIIB'线切开的剖视图, 它显示出图 12B 所示步骤以后的步骤;

图 14B 是图 14A 所示的薄膜晶体管阵列板的沿 XIVB-XIVB'线切开的剖视图, 它显示出图 13 所示步骤以后的步骤;

图 15 是按本发明另一实施例的用于液晶显示器的示例性薄膜晶体管阵列板的布图;

图 16 是图 15 所示薄膜晶体管阵列板的沿 XVI-XVI'线切开的剖视图;

图 17A、18A、19A 和 21A 是图 15 和图 16 所示薄膜晶体管阵列板的在按本发明实施例的薄膜晶体管阵列板制造方法的中间步骤中的布图;

图 17B 是图 17A 所示薄膜晶体管阵列板的沿 XVIIB-XVIIB'线切开的剖视图;

图 18B 是图 18A 所示薄膜晶体管阵列板的沿 XVIIIB-XVIIIB'线切开的剖视图, 它显示出图 17B 所示步骤以后的步骤;

图 19B 是图 19A 所示薄膜晶体管阵列板的沿 XIXB-XIXB'线切开的剖视图, 它显示出图 18B 所示步骤以后的步骤;

图 20 是图 19A 所示薄膜晶体管阵列板的沿 XIXB-XIXB'线切开的剖视图, 它显示出图 19B 所示步骤以后的步骤;

图 21B 是图 21A 所示薄膜晶体管阵列板的沿 XXIB-XXIB'线切开的剖视图, 它显示出图 20 所示步骤以后的步骤;

图 22 是按本发明另一实施例的用于液晶显示器的示例性薄膜晶体管阵列板的布图;

图 23 是图 22 所示薄膜晶体管阵列板的沿 XXIII-XXIII'线切开的剖视图;

图 24A、25A、26A 和 28A 是图 22 和图 23 所示的薄膜晶体管阵列板的在按本发明实施例的薄膜晶体管阵列板制造方法的中间步骤中的布图;

图 24B 是图 24A 所示薄膜晶体管阵列板的沿 XXIVB-XXIVB'线切开的

剖视图；

图 25B 是图 25A 所示薄膜晶体管阵列板的沿 XXVB-XXVB' 线切开的剖视图，它显示出图 24B 所示步骤以后的步骤；

图 26B 是图 26A 所示薄膜晶体管阵列板的沿 XXVIB-XXVIB' 线切开的剖视图，它显示出图 25B 所示步骤以后的步骤；

图 27 是图 26A 所示薄膜晶体管阵列板的沿 XXVIB-XXVIB' 线切开的剖视图，它显示出图 26B 所示步骤以后的步骤；以及

图 28B 是图 28A 所示薄膜晶体管阵列板的沿 XXVIII B-XXVIII B' 线切开的剖视图，它显示出图 27 所示步骤以后的步骤。

具体实施方式

以下参见显示本发明优选实施例的附图更详细地描述本发明。但是，本发明也可以用其他诸多不同形式实施，并且本发明不于所述的实施例。

附图中，为了清楚将层厚、膜、基板、区域等都放大了。相同的附图标记始终指示相同的元件。应了解，当如层、膜、区域或衬底等的元件被称作在另一元件“上”时，该元件可以直接在另一元件上，或者还有居间元件。相反，当说元件“直接放在其他元件上”时，没有居间元件(intervening element)出现。

现在，参见附图描述按本发实施例的包括接触结构的薄膜晶体管阵列板及其制造方法。

参见图 1 和图 2 详细描述按本发明实施例的用于液晶显示器的薄膜晶体管阵列板。

图 1 是按本发明实施例的用于液晶显示器的示例性薄膜晶体管阵列板的布图，图 2 是图 1 所示薄膜晶体管阵列板的沿 II-II' 线切开的剖视图。

在绝缘衬底 110 上形成多根栅线 121 和多根存储电极线 131。

栅线 121 和存储电极线 131 基本按横向方向延伸，并相互隔开。栅线 121 输送栅极信号，每根栅线 121 的多个部分形成多个栅极电极 123。存储电极线 131 被供以例如公共电压的预定电压，其被施加给液晶显示器另一基板（未示出）上的公共电极（未示出）。每根存储电极线 131 包括多个向上和向下突起的扩大部分 137。

栅线 121 和存储电极线 131 包括低电阻率导电层，该低电阻率导电层

优选用例例如 Ag 和 Ag 合金的含 Ag 金属、或者诸如 Al 和 Al 合金的含 Al 金属构成。栅线 121 和存储电极线 131 可以具有多层结构，该多层结构包括低电阻率导电层和其他层，其他层优选用于诸如 ITO 和 IZO 的其它材料具有好的物理、化学和电接触特性的 Cr、Ti、Ta、Mo 或它们的合金如 MoW 合金制成。这类层的好的示例性组合是 Cr 和 Al-Nd 合金。

栅线 121 和存储电极线 131 的侧面是倾斜的。侧面相对于衬底 110 的表面的倾角范围是约 30° - 80° 。

在栅线 121 和存储电极线 131 上形成优选用于氮化硅 (SiN_x) 构成的栅极绝缘层 140。

在栅极绝缘层 140 上形成优选用于氢化非晶硅 (缩写成 “a-Si”) 构成的多个半导体带 151 和半导体岛 157。每个半导体带 151 基本上在纵向方向延伸，并具有向着栅极电极 123 分枝出多个延伸部分 154。

在半导体带 151 和半导体岛 157 上形成优选由硅化物或用 n 型杂质重掺杂的 n+ 氢化 a-Si 构成的多个欧姆接触带和岛 161、165 和 167。每个欧姆接触带 161 具有多个延伸部分 163，延伸部分 163 和欧姆接触岛 165 成对地位于半导体带 151 的延伸部分 154 上。欧姆接触岛 167 位于半导体岛 157 上。

半导体带 151 和半导体岛 157 和欧姆接触 161、165 和 167 的侧面是倾斜的，其倾角范围优选为约 30° - 80° 。

在欧姆接触 161、165 和 167 上分别形成多根数据线 171、多个漏极电极 175 和多个存储电容器导体 177。

数据线 171 用于输送数据电压，基本上在纵向方向延伸，并与栅线 121 交叉。每根数据线 171 的多个分枝向着漏极电极 175 延伸，形成多个源极电极 173。每对源极电极 173 和漏极电极 175 相互分开，并关于栅极电极 123 彼此相对。栅极电极 123、源极电极 173 和漏极电极 175 以及半导体带 151 的延伸部分 154 形成薄膜晶体管，该薄膜晶体管具有在源极电极 173 和漏极电极 175 之间设置的延伸部分 154 中形成的沟道。

存储电容器导体 177 与存储电极线 131 的延伸部分 137 交叠。存储电容器导体 177 可以延伸到漏极电极 175 以与其连接。

数据线 171 包括物理特性不同的两个膜，下部膜 171p 和上部膜 171q。上部膜 171q 优选用于低电阻率金属构成，例如含 Al 金属，以减小数据线 171

中的信号延迟或电压降。另一方面,下部膜 171p 优选用于例如 ITO 和 IZO 的其他材料具有好的物理、化学和电接触特性的材料制成。用于下部膜 171p 的示例性材料是 Cr、Ti、Ta、Mo 及其合金,例如 MoW 合金,它们还可以用作 a-Si 和 Al 之间的扩散阻挡层。数据线 171 的接触部分,即端部 179 只包括下部膜而没有上部膜。

与数据线 171 类似,漏极电极 175 和存储电容器导体 177 也可以具有双层结构,只是接触部分除外。图 2 显示出双层结构的漏极电极 175 (175p 和 175q)、以及单层结构的存储电容器导体 177。

数据线 171、漏极电极 175 和存储电容器电极 177 的边缘具有倾斜侧面,其倾角范围是约 30° - 80° 。

只在下面的半导体带 151 和岛 157 与上面的数据线 171、上面的漏极电极 175 和上面的导体 177 之间间插有欧姆接触层 161、165 和 167,并减小其间的接触电阻。半导体带 151 和岛 157 像数据线 171、漏极电极 175 和存储电容器导体 177 以及下面的欧姆接触层 161、165 和 167 一样具有几乎相同的平面形状,只是提供 TFT 的延伸部分 154 除外。具体来说,半导体岛 157、欧姆接触岛 167 和存储导体 177 具有几乎相同的平面形状。半导体带 151 包括一些不被数据线 171、漏极电极 175 和存储导体 177 覆盖的露出部分,例如位于源极电极 173 和漏极电极 175 之间的部分。

在数据线 171、漏极电极 175、存储导体 177 和半导体带 151 的露出部分上形成钝化层 180。钝化层 180 优选用于具有好的平坦特性的光敏有机材料、通过等离子体增强化学气相沉积 (PECVD) 形成的如 a-Si:C:O 和 a-Si:O:F 的低介电绝缘材料、或者例如氮化硅的无机材料形成。

钝化层 180 具有多个接触孔 185、187 和 189,用于分别露出漏极电极 175、存储导体 177 和数据线 171 的端部 179。钝化层 180 和栅极绝缘层 140 具有多个接触孔 182,用于露出栅线 121 的端部 125。

如上所述,接触孔 185 和 189 分别露出漏极电极 175 的下部膜和数据线 171 的端部 179。此外,接触孔 182、185、187 和 189 没有下面切口部分,而小到足以不露出栅线 121、漏极电极 175、存储电容器导体 177 和数据线 171 的边缘。接触孔 185 和 189 的边界与上部膜 175p 和 171q 的边界不匹配。

在钝化层 180 上形成优选用于 IZO 或 ITO 构成的多个像素电极 190 和多个接触辅助部分(contact assistant)92 和 97。

像素电极 190 通过接触孔 185 物理和电连接到漏极电极 175, 且通过接触孔 187 物理和电连接到存储电容器导体 177, 使得像素电极 190 接收来自漏极电极 175 的数据电压, 和输送收到的数据电压到存储电容器导体 177。施加有数据电压的像素电极 190 与另一基板上的公共电极一起产生电场, 该电场使位于其间的液晶分子重取向。

像素电极 190 和公共电极形成叫做“液晶电容器”的电容器, 该电容器在 TFT 截止后存储所供给的电压。提供并联连接到液晶电容器上的叫做“存储电容器”的附加电容器, 以增强电压存储能力。通过像素电极 190 和存储电极线 131 重叠来构成存储电容器。通过在存储电极线 131 设置扩大部分 137 以增大重叠面积, 并且通过在像素电极 190 下边设置连接到像素电极 190 并与扩大部分 137 重叠的存储电容器导体 177 以减小接线端 (terminal) 之间的距离, 存储电容器的容量, 即存储容量得以增大。

像素电极 190 与栅线 121 和数据线 171 重叠以增加孔径比 (aperture ratio), 但这是可选的。

接触辅助部分 92 和 97 分别通过接触孔 182 和 189 连接到栅线 121 的露出端部 125 和数据线 171 的露出端部 179。接触辅助部分 92 和 97 不是必须的, 但却是优选的, 以保护露出部分 125 和 179, 并补充露出部分 125 和 179 与外部器件的附着力。

如上所述, 接触孔 185、187 和 189 露出漏极电极 175 的下部膜, 存储电容器电极 177 和数据线 171, 同时下部膜具有好的接触特性, 且用 IZO 或 ITO 构成的像素电极 190 和接触辅助部分 92 和 97 只接触下部膜。因此, 降低了它们之间的接触电阻, 于是改善了液晶显示器的特性。

按本发明的另一实施例, 用透明导电聚合物构成像素电极 190。就反射型液晶显示器而言, 像素电极 190 用不透明的反射性金属构成。在这些情况下, 可以用与像素电极 190 不同的材料例如 IZO 或 ITO 构成接触辅助部分 92 和 97。

现在参见图 3A 到 7B 以及图 1 和图 2 详细描述按本发明实施例的图 1 和图 2 所示的薄膜晶体管阵列板的制造方法。

图 3A、4A、5A 和 7A 是图 1 和图 2 所示的薄膜晶体管阵列板的在按本发明实施例的薄膜晶体管阵列板制造方法的中间步骤中的布图; 图 3B 是图 3A 所示的薄膜晶体管阵列板的沿 IIIB-III B' 线切开的剖视图; 图 4B 是图

4A 所示薄膜晶体管阵列板的沿 IVB-IVB'线切开的剖视图, 它显示出图 3B 所示步骤以后的步骤; 图 5B 是图 5A 所示薄膜晶体管阵列板的沿 VB-VB'线切开的剖视图, 它显示出图 4B 所示步骤以后的步骤; 图 6 是图 5A 所示薄膜晶体管阵列板的沿 VB-VB'线切开的剖视图, 它显示出图 5B 所示步骤以后的步骤; 以及图 7B 是图 7A 所示的薄膜晶体管阵列板的沿 VIIB-VIIB'线切开的剖视图, 它显示出图 6 所示步骤以后的步骤。

现在参见图 3A 和 3B, 在例如透明玻璃的绝缘衬底 110 上通过光刻蚀刻(photo etching)形成包括多个栅极电极 123 的多根栅线 121 和包括多个扩大部分 137 的多根存储电极线 131。

用 CVD 法顺序沉积栅极绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160。栅极绝缘层 140 优选用氮化硅构成, 其厚度范围是约 2000 埃到约 5000 埃, 沉积温度范围优选是约 250°C 到约 400°C。

在非本征 a-Si 层 160 上顺序溅镀两层导电膜, 下部导电膜和上部导电膜。下部导电膜优选与 IZO 和 ITO 有良好接触特性的 Mo、Mo 合金或 Cr 构成, 其厚度优选是约 500 埃。上部导电膜厚度优选是约 2500 埃, 用于上部导电膜的溅射靶包括纯 Al 或含 2 atomic% 的 Nd 的 Al-Nd, 溅射温度是约 150°C。

参见图 4A 和 4B, 对上部导电膜和下部导电膜进行光刻蚀刻(photo-etch), 以形成包括多个源极电极 173 的多根数据线 171、多个漏极电极 175、和多个存储电容器导体 177, 它们具有包括下部膜 171p、175p 和 177p, 以及上部膜 171q、175q、和 177q 的双层结构。对于下部导电膜和上部导电膜可以用任何类型的蚀刻。例如, 湿蚀刻和干蚀刻中的任何一种都可以用于下部导电膜和上部导电膜。或者湿蚀刻用于下部导电膜和上部导电膜中的任何一个膜, 而干蚀刻用于下部导电膜和上部导电膜中的另一个膜。可以在相同的蚀刻条件下蚀刻含 Al 金属构成的上部膜和 Mo 或 Mo 合金构成的下部膜。

如图 5A 和 5B 所示, 形成光致抗蚀剂层 42。光致抗蚀剂层 42 不覆盖数据线 171、漏极电极 175 和存储电容器电极 177 的接触部分, 而覆盖非本征 a-Si 层 160 的位于源极电极 173 和漏极电极 175 之间的部分。用光致抗蚀剂层 42 作蚀刻掩模蚀刻上部膜 171q、175q 和 177q 的露出部分。

用光致抗蚀剂层 42 以及数据线 171、漏极电极 175 和存储电容器导体

177 作蚀刻掩模蚀刻非本征 a-Si 层 160 和本征 a-Si 层 150, 形成多个非本征半导体带和岛 164 和 167, 和多个本征半导体带和岛 151 和 157。本征半导体带 151 包括多个扩大部分 154, 且其面积大于数据线 171 和漏极电极 175 的面积。

除去光致抗蚀剂层 42 之后, 除去非本征半导体带 164 的露出部分, 完成多个欧姆接触带和岛 161、165 和 167, 并露出部分本征半导体带 151, 如图 6 所示。然后, 优选进行氧等离子体处理, 以使半导体带 151 的露出表面稳定。

总之, 只用一个光刻(photolithography)步骤, 图 5A 到图 6 所示的工艺步骤完成了半导体带和岛 151 和 157, 并选择性地除去了数据线 171 的上部膜等。

如图 7A 和 7B 所示, 在沉积钝化层 180 后, 利用光刻来干蚀刻钝化层 180 和栅极绝缘层 140, 形成多个接触孔 182、185、187 和 189, 分别露出栅线 121 的端部 125、漏极电极 175、存储电容器导体 177、和数据线 171 的端部 179。

尽管现有技术要求在形成接触孔 182、185、187 和 189 后除去上部膜的露出部分, 但是本实施例不需要这样的步骤, 因为上部膜没有通过接触孔 182、185、187 和 189 露出。因此在接触孔 182、185、187 和 189 的接触孔中没有下面切口部分(undercut), 因而使侧壁和底部具有光滑的外形。

最后, 如图 1 和图 2 所示, 在钝化层 180 上通过溅镀和光刻蚀刻 IZO 层或 ITO 层形成多个像素电极 190 和多个接触辅助部分 92 和 97。用于 IZO 层的溅射靶的例子是由日本的 Idemitsu 公司生产的 IDIXO (In x-金属氧化物)。溅射靶含 In_2O_3 和 ZnO , Zn 与 Zn 加 In 之和的比值范围优选是约 15-20 atomic%。为了使接触电阻最小的优选溅射温度等于或小于约 250°C 。

如图 2 所示, 像素电极 190 和接触辅助部分 92 和 97 沿着接触孔 182、185、187 和 189 的具有光滑外形的侧壁和底部延伸, 且具有光滑的外形而没有断开或变形。

在按本发明实施例的薄膜晶体管阵列板中, 栅线 121 和数据线 171 包括具有低电阻率的 Al 或 Al 合金, 同时它们与 IZO 或 ITO 像素电极 190 之间的接触电阻减小了。而且, 在形成半导体带和岛 151 和 157 时不用附加的光刻蚀刻步骤就在接触部分除去了含 Al 金属层, 因而简化了制造工艺。

参见图 8 和图 9 详细说明按本发明另一实施例的用于液晶显示器的薄膜晶体管阵列板。

图 8 是按本发明另一实施例的用于液晶显示器的示例性薄膜晶体管阵列板的布图,图 9 是图 8 所示薄膜晶体管阵列板的沿 IX-IX'线切开的剖视图。

如图 8 和图 9 所示,按本实施例的液晶显示器的薄膜晶体管阵列板的多层结构与图 1 和图 2 所示的几乎一样。也就是说,在衬底 110 上形成有包括多个栅极电极 123 的多根栅线 121,和在其上顺序形成有:栅极绝缘层 140、包括多个扩大部分 154 和多个半导体岛 157 的多个半导体带 151、和包括多个扩大部分 163 和多个欧姆接触岛 165 和 167 的多个欧姆接触带 161。在欧姆接触 161、165 和 167 上形成有包括多个源极电极 173 的多根数据线 171、多个漏极电极 175 和多个存储电容器导体 177,和在其上形成有钝化层 180。在钝化层 180 和/或栅极绝缘层 140 上设置有多个接触孔 182、185、187 和 189,且在钝化层 180 上形成有多个像素电极 190 和多个接触辅助部分 92 和 97。

与图 1 和图 2 所示的薄膜晶体管阵列板不同,按本实施例的薄膜晶体管阵列板在每根栅线 121 处设置有多个扩大部分 127,并且以存储电容器导体 177 与栅线 121 的扩大部分 127 重叠,形成没有存储电极线的存储电容器。

半导体带 151 的宽度大于数据线 171 的宽度,而图 1 和图 2 所示的半导体带 151 的宽度与数据线 171 的宽度大致相同。此外,除接触部分 179 之外,数据线 171 的几乎所有部分都具有包括下部膜 171p 和上部膜 171q 的双层结构,而图 1 和图 2 所示的数据线 171 包括若干个单层部分。具体来说,图 8 和图 9 所示的数据线 171 的下部膜 171p 和上部膜 171q 具有大致相同的宽度,而图 1 和图 2 所示的每根数据线 171 的上部膜 171q 的宽度小于下部膜 171p 的宽度。

每个像素电极 190 的边缘与其附近的半导体带 151 重叠,而不与其附近的数据线 171 重叠。当半导体带 151 的宽度大于数据线 171 的宽度时,为了获得大的孔径比,栅极电极 190 与半导体带 151 的重叠被最小程度地优选。

现在参见图 10A-14B 以及图 8 和图 9 详细描述按本发明实施例的图 8 和图 9 所示的薄膜晶体管阵列板的制造方法。

图 10A、11A、12A 和 14A 是图 8 和图 9 所示薄膜晶体管阵列板的在按本发明实施例的薄膜晶体管阵列板制造方法的中间步骤中的布图；图 10B 是图 10A 所示薄膜晶体管阵列板的沿 XB-XB'线切开的剖视图；图 11B 是图 11A 所示薄膜晶体管阵列板的沿 XIB-XIB'线切开的剖视图，它显示出图 10B 所示步骤以后的步骤；图 12B 是图 12A 所示薄膜晶体管阵列板的沿 XIIB-XIIB'线切开的剖视图，它显示出图 11B 所示步骤以后的步骤；图 13 是图 12A 所示薄膜晶体管阵列板的沿 XIIB-XIIB'线切开的剖视图，它显示出图 12B 所示步骤以后的步骤；以及图 14B 是图 14A 所示的薄膜晶体管阵列板的沿 XIVB-XIVB'线切开的剖视图，它显示出图 13 所示步骤以后的步骤。

参见图 10A 和 10B，在例如透明玻璃的绝缘衬底 110 上用光刻蚀刻法形成包括多个栅极电极 123 和多个扩大部分 127 的多根栅线 121。

在顺序沉积栅极绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160 后，在其上顺序溅镀下部导电膜和上部导电膜。下部导电膜优选与 IZO 和 ITO 有良好接触特性的 Mo、Mo 合金或 Cr 构成，其厚度优选是约 500 埃。上部导电膜厚度优选是约 2500 埃，用于上部导电膜的溅射靶包括纯 Al 或含 2 atomic% 的 Nd 的 Al-Nd，溅射温度是约 150°C。

参见图 11A 和 11B，对上部膜和下部膜进行光刻蚀刻，形成包括多个源极电极 173 的多根数据线 171、多个漏极电极 175 和多个存储电容器导体 177，它具有包括下部膜 171p、175p 和 177p，以及上部膜 171q、175q 和 177q 的双层结构。

如图 12A 和 12B 所示，形成光致抗蚀剂层 44。光致抗蚀剂层 44 不覆盖数据线 171、漏极电极 175 和存储电容器电极 177 的接触部分，而覆盖非本征 a-Si 层 160 的位于源极电极 173 和漏极电极 175 之间的部分。用光致抗蚀剂层 44 作蚀刻掩模蚀刻上部膜 171q、175q 和 177q 的露出部分。

用光致抗蚀剂层 44 以及数据线 171、漏极电极 175 和存储电容器导体 177 作蚀刻掩模蚀刻非本征 a-Si 层 160 和本征 a-Si 层 150，形成多个非本征半导体带和岛 164 和 167，和多个本征半导体带和岛 151 和 157。除去光致抗蚀剂层 44 之后，除去非本征半导体带 164 的露出部分，完成多个欧姆接触带和岛 161、165 和 167，和露出下面的部分本征半导体带 151，如图 13 所示。

如图 14A 和 14B 所示，在沉积钝化层 180 后，利用光刻干蚀刻钝化层

180 和栅极绝缘层 140, 形成多个接触孔 182、185、187 和 189, 分别露出栅线 121 的端部 125、漏极电极 175、存储电容器导体 177 和数据线 171 的端部 179。

最后, 如图 8 和图 9 所示, 在钝化层 180 上形成多个像素电极 190 和多个接触辅助部分 92 和 97。

在按本发明实施例的薄膜晶体管阵列板中, 栅线 121 和数据线 171 包括具有低电阻率的 Al 或 Al 合金, 同时它们与 IZO 或 ITO 像素电极 190 之间的接触电阻减小了。而且, 在形成半导体带和岛 151 和 157 时不用附加的光刻蚀刻步骤就除去了在接触部分处的含 Al 金属层, 因而简化了制造工艺。

参见图 15 和图 16 详细说明按本发明另一实施例的用于液晶显示器的薄膜晶体管阵列板。

图 15 是按本发明另一实施例的用于液晶显示器的示例性薄膜晶体管阵列板的布图; 图 16 是图 15 所示薄膜晶体管阵列板的沿 XVI-XVI' 线切开的剖视图。

如图 15 和图 16 所示, 按本实施例的液晶显示器的薄膜晶体管阵列板的结构与图 1 和图 2 所示的几乎一样。也就是说, 在衬底 110 上形成有包括多个栅极电极 123 的多根栅线 121 和包括多个扩大部分的多根存储电极线 131, 且在其上顺序形成有: 栅极绝缘层 140、包括多个扩大部分 154 和多个半导体岛 157 的多个半导体带 151、和包括多个扩大部分 163 和多个欧姆接触岛 165 和 167 的多个欧姆接触带 161。在欧姆接触部 161、165 和 167 上形成有包括多个源极电极 173 的多根数据线 171、多个漏极电极 175 和多个存储电容器导体 177, 且在其上形成有钝化层 180。在钝化层 180 和/或栅极绝缘层 140 上设置有多个接触孔 182、185、187 和 189, 且在钝化层 180 上形成有多个像素电极 190 和多个接触辅助部分 92 和 97。

与图 1 和图 2 所示的薄膜晶体管阵列板不同, 按本实施例的薄膜晶体管阵列板在数据线 171、漏极电极 175 和存储电容器导体 177 的通过接触孔 189、185 和 187 露出的接触部分的表面上形成不平坦。

现在, 参见图 17A-21B 以及图 15 和 16 详细描述按本发明实施例的图 15 和 16 所示的薄膜晶体管阵列板的制造方法。

图 17A、18A、19A 和 21A 是图 15 和图 16 所示薄膜晶体管阵列板的在

按本发明实施例的薄膜晶体管阵列板制造方法的中间步骤中的布图；图 17B 是图 17A 所示薄膜晶体管阵列板的沿 XVIIIB-XVIIIB'线切开的剖视图；图 18B 是图 18A 所示薄膜晶体管阵列板的沿 XVIIIIB-XVIIIIB'线切开的剖视图，它显示出图 17B 所示步骤以后的步骤；图 19B 是图 19A 所示薄膜晶体管阵列板的沿 XIXB-XIXB'线切开的剖视图，它显示出图 18B 所示步骤以后的步骤；图 20 是图 19A 所示薄膜晶体管阵列板的沿 XIXB-XIXB'线切开的剖视图，它显示出图 19B 所示步骤以后的步骤；以及图 21B 是图 21A 所示薄膜晶体管阵列板的沿 XXIB-XXIB'线切开的剖视图，它显示出图 20 所示步骤以后的步骤。

参见图 17A 和 17B，在例如透明玻璃的绝缘衬底 110 上用光刻蚀刻法形成包括多个栅极电极 123 的多根栅线 121 和包括多个扩大部分 137 的多根存储电极线 131。

在顺序沉积栅极绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160 后，在其上顺序溅镀下部导电膜和上部导电膜。下部导电膜优选与 IZO 和 ITO 有良好接触特性的 Mo、Mo 合金或 Cr 构成，其厚度优选是约 500 埃。上部导电膜厚度优选是约 2500 埃，用于上部导电膜的溅射靶包括纯 Al 或含 2 atomic% 的 Nd 的 Al-Nd，溅射温度是约 150°C。

参见图 18A 和 18B，对上部导电膜和下部导电膜进行光刻蚀刻，形成包括多个源极电极 173 的多根数据线 171、多个漏极电极 175 和多个存储电容器导体 177，它具有包括下部膜 171p、175p 和 177p，和上部膜 171q、175q 和 177q 的双层结构。

如图 19A 和 19B 所示，形成光致抗蚀剂层 46。光致抗蚀剂层 46 覆盖数据线 171、漏极电极 175 和存储电容器电极 177 的接触部分的一部分，而不覆盖接触部分的其余部分，而且覆盖非本征 a-Si 层 160 的位于源极电极 173 和漏极电极 175 之间的部分。光致抗蚀剂层 46 的在接触部分上的部分与其他部分隔开，并可以具有各种形状，尽管图 19A 所示部分的形状是矩形。用光致抗蚀剂层 46 作蚀刻掩模蚀刻上部膜 171q、175q 和 177q 的露出部分。然后，多个导电岛 175q、177q 和 179q 留在漏极电极 175、存储电容器导体 177 和数据线 171 的接触部分上。

用光致抗蚀剂层 46 以及数据线 171、漏极电极 175 和存储电容器导体 177 作蚀刻掩模来干蚀刻非本征 a-Si 层 160 和本征 a-Si 层 150，形成多个非

本征半导体带和岛 164 和 167、以及多个本征半导体带和岛 151 和 157。在除去光致抗蚀剂层 46 之后，通过干蚀刻除去非本征半导体带 164 的露出部分，完成多个欧姆接触带和岛 161、165 和 167，并露出下面的部分本征半导体带 151，如图 20 所示。

如上所述，执行多个干蚀刻步骤以构图非本征 a-Si 层 160、本征 a-Si 层 150 和非本征半导体带 164。光致抗蚀剂层 46 和在漏极电极 175、存储电容器导体 177 和数据线 171 上的导电岛 175q、177q 和 179q 保护下部膜 175p、177p 和 179p 的在其下的部分不被干蚀刻。相反，可以对下部膜 175p、177p 和 179p 的露出部分进行一定程度的蚀刻。

如图 21A 和 21B 所示，在沉积钝化层 180 后，利用光刻干蚀刻钝化层 180 和栅极绝缘层 140，形成多个接触孔 182、185、187 和 189，分别露出栅线 121 的端部 125、漏极电极 175、存储电容器导体 177 和数据线 171 的端部 179。钝化层 180 的干蚀刻还在接触孔 185、187 和 189 处雕刻出下部膜 175p、177p 和 179p 的露出部分，而不会蚀刻下部膜 175p、177p 和 179p 的被导电岛 175q、177q 和 179q 覆盖的受保护部分。因此下部膜 175p、177p 和 179p 的表面不平坦。

随后，经表面蚀刻除去导电岛 175q、177q 和 179q，露出下面的下部膜 175p、177p 和 179p 的清洁表面。

最后，如图 15 和图 16 所示，在钝化层 180 上形成多个像素电极 190 和多个接触辅助部分 92 和 97。

由于像素电极 190 和接触辅助部分 92 和 97 接触不平坦的下部膜 175p、177p 和 179p 的清洁表面，所以减小了它们之间的接触电阻。

现在参见图 22 和图 23 详细描述按本发明另一实施例的用于液晶显示器的薄膜晶体管阵列板。

图 22 是按本发明另一实施例的用于液晶显示器的示例性薄膜晶体管阵列板的布图；图 23 是图 22 所示薄膜晶体管阵列板的沿 XXIII-XXIII' 线切开的剖视图。

如图 22 和图 23 所示，按本实施例的液晶显示器的薄膜晶体管阵列板的结构与图 8 和图 9 所示的几乎一样。也就是说，在衬底 110 上形成有包括多个栅极电极 123 和多个扩大部分 127 的多根栅线 121，和在其上顺序形成有：栅极绝缘层 140、包括多个扩大部分 154 和多个半导体岛 157 的多个

半导体带 151、和包括多个扩大部分 163 和多个欧姆接触岛 165 和 167 的多个欧姆接触带 161。在欧姆接触部 161、165 和 167 上形成有包括多个源极电极 173 的多根数据线 171、多个漏极电极 175 和多个存储电容器导体 177，和在其上形成有钝化层 180。在钝化层 180 和/或栅极绝缘层 140 上设置有多个接触孔 182、185、187 和 189，且在钝化层 180 上形成有多个像素电极 190 和多个接触辅助部分 92 和 97。

与图 8 和图 9 所示的薄膜晶体管阵列板不同，与图 15 和图 16 所示的类似，按本实施例的薄膜晶体管阵列板在数据线 171、漏极电极 175 和存储电容器导体 177 的通过接触孔 189、185 和 187 露出的接触部分的表面上提供有不平坦。

现在，参见图 24-28B 以及图 22 和 23 详细说明按本发明实施例的图 22 和 23 所示的晶体管阵列板的制造方法。

图 23 是图 22 所示薄膜晶体管阵列板的沿 XXIII-XXIII'线切开的剖视图；图 24A、25A、26A 和 28A 是图 22 和图 23 所示的薄膜晶体管阵列板的在按本发明实施例的薄膜晶体管阵列板制造方法的中间步骤中的布图；图 24B 是图 24A 所示薄膜晶体管阵列板的沿 XXIVB-XXIVB'线切开的剖视图；图 25B 是图 25A 所示薄膜晶体管阵列板的沿 XXVB-XXVB'线切开的剖视图，它显示出图 24B 所示步骤以后的步骤；图 26B 是图 26A 所示薄膜晶体管阵列板的沿 XXVIB-XXVIB'线切开的剖视图，它显示出图 25B 所示步骤以后的步骤；图 27 是图 26A 所示薄膜晶体管阵列板的沿 XXVIB-XXVIB'线切开的剖视图，它显示出图 26B 所示步骤以后的步骤；以及图 28B 是图 28A 所示薄膜晶体管阵列板的沿 XXVIII B-XXVIII B'线切开的剖视图，它显示出图 27 所示步骤以后的步骤。

参见图 24A 和 24B，在例如透明玻璃的绝缘衬底 110 上用光刻蚀刻法形成包括多个栅极电极 123 和多个扩大部分 127 的多根栅线 121。

在顺序沉积栅极绝缘层 140、本征 a-Si 层 150 和非本征 a-Si 层 160 后，在其上顺序溅镀下部导电膜和上部导电膜。下部导电膜优选与 IZO 和 ITO 有良好接触特性的 Mo、Mo 合金或 Cr 构成，其厚度优选是约 500 埃。上部导电膜厚度优选是约 2500 埃，用于上部导电膜的溅射靶包括纯 Al 或含 2 atomic% 的 Nd 的 Al-Nd，溅射温度是约 150°C。

参见图 25A 和 25B，对上部膜和下部膜进行光刻蚀刻，形成包括多个

源极电极 173 的多根数据线 171、多个漏极电极 175 和多个存储电容器导体 177，它们具有包括下部膜 171p、175p 和 177p，和上部膜 171q、175q 和 177q 的双层结构。

在形成光致抗蚀剂层 48 后，如图 26A 和 26B 所示，用光致抗蚀剂层 48 作蚀刻掩模蚀刻出上部膜 171q、175q 和 177q 的露出部分。然后在漏极电极 175、存储电容器导体 177 和数据线 171 的接触部分上留下多个导电岛 175q、177q 和 179q。

用光致抗蚀剂层 48 以及数据线 171、漏极电极 175 和存储电容器电极 177 作蚀刻掩模干蚀刻非本征 a-Si 层 160 和本征 a-Si 层 150，以形成多个非本征半导体带和岛 164 和 167，和多个本征半导体带和岛 151 和 157。除去光致抗蚀剂层 48 之后，通过干蚀刻除去非本征半导体带 164 的露出部分，完成多个欧姆接触带和岛 161、165 和 167，和露出本征半导体带 151 的在其下的部分，如图 27 所示。

光致抗蚀剂岛 48 和在漏极电极 175、存储电容器导体 177 和数据线 171 上的导电岛 175q、177q 和 179q 保护了下部膜 175p、177p 和 179p 的在其下的部分不被干蚀刻。相反，可以对下部膜 175p、177p 和 179p 的露出部分进行一定程度的蚀刻。

如图 28A 和 28B 所示，在沉积钝化层 180 后，利用光刻干蚀刻钝化层 180 和栅极绝缘层 140，形成多个接触孔 182、185、187 和 189，分别露出栅线 121 的端部 125、漏极电极 175、存储电容器导体 177 和数据线 171 的端部 179。钝化层 180 的干蚀刻还在接触孔 185、187 和 189 处雕刻出下部膜 175p、177p 和 179p 的露出部分，而不会蚀刻下部膜 175p、177p 和 179p 的被导电岛 175q、177q 和 179q 覆盖的受保护部分。因此下部膜 175p、177p 和 179p 的表面不平坦。

随后，通过表面蚀刻除去导电岛 175q、177q 和 179q，露出其下的下部膜 175p、177p 和 179p 的清洁表面。

最后，如图 22 和图 23 所示，在钝化层 180 上形成多个像素电极 190 和多个接触辅助部分 92 和 97。

由于像素电极 190 和接触辅助部分 92 和 97 接触具有不平坦的下部膜 175p、177p 和 179p 的清洁表面，所以减小了它们之间的接触电阻。

尽管以上参见优选实施例详细描述了本发明，但是，本领域技术人员

应了解，在不脱离所附的权利要求书界定的本发明的精神和范围的前提下还会有各种改进和替换。

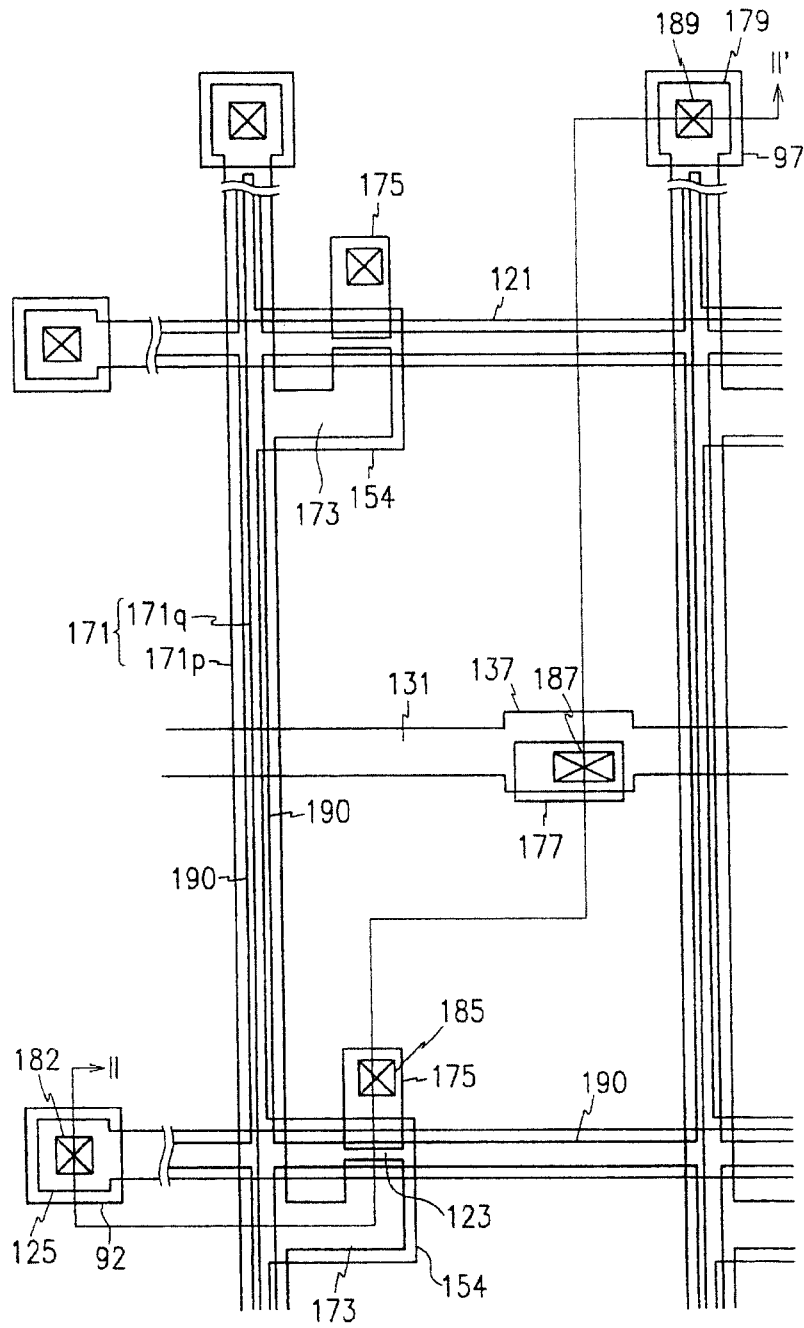


图 1

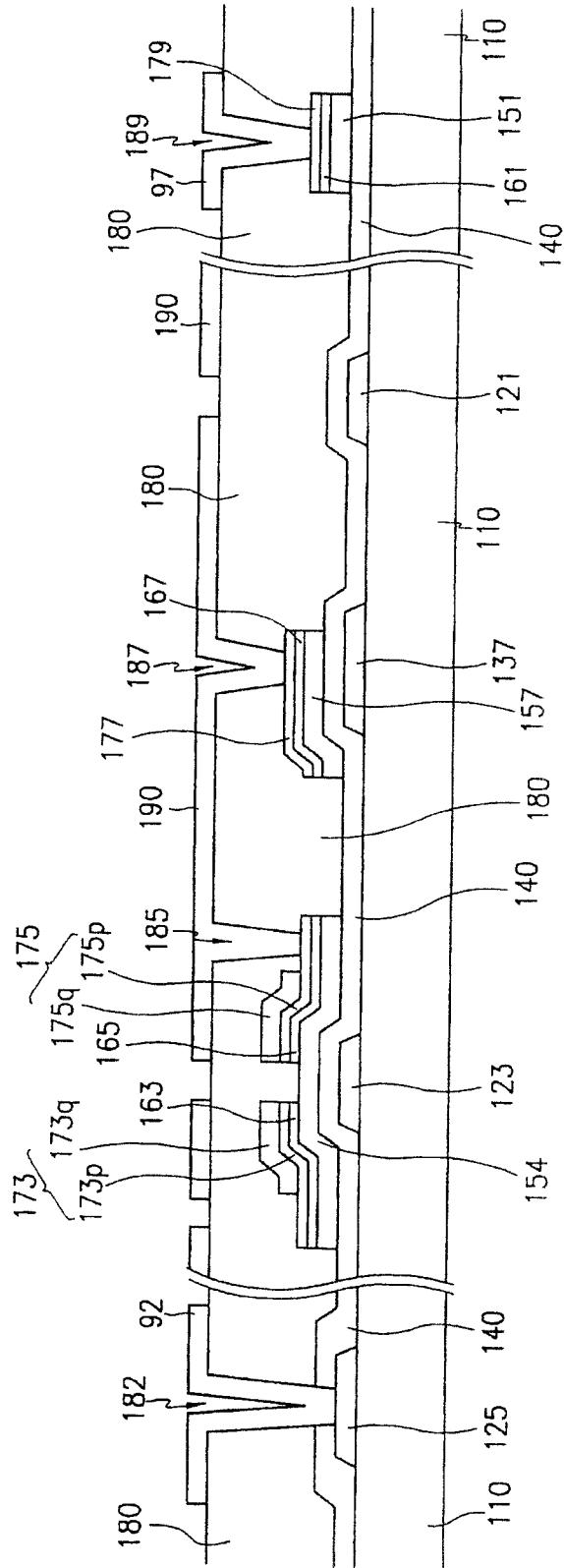


图 2

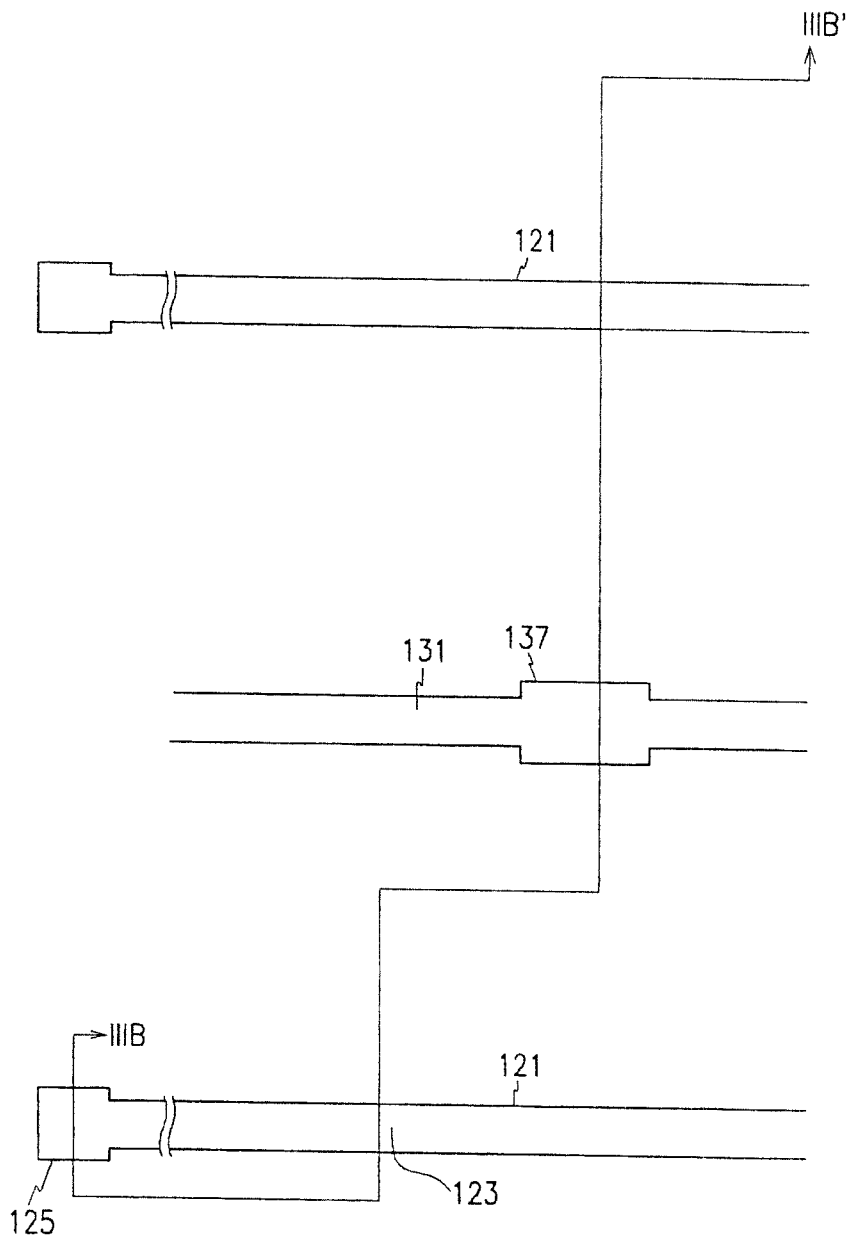


图 3A

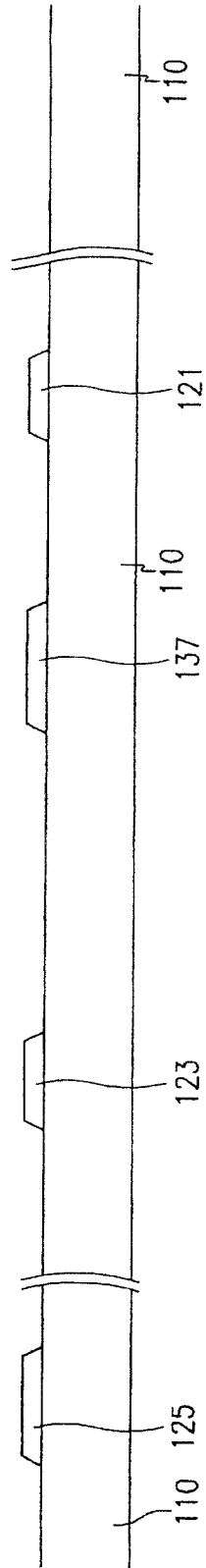


图 3B

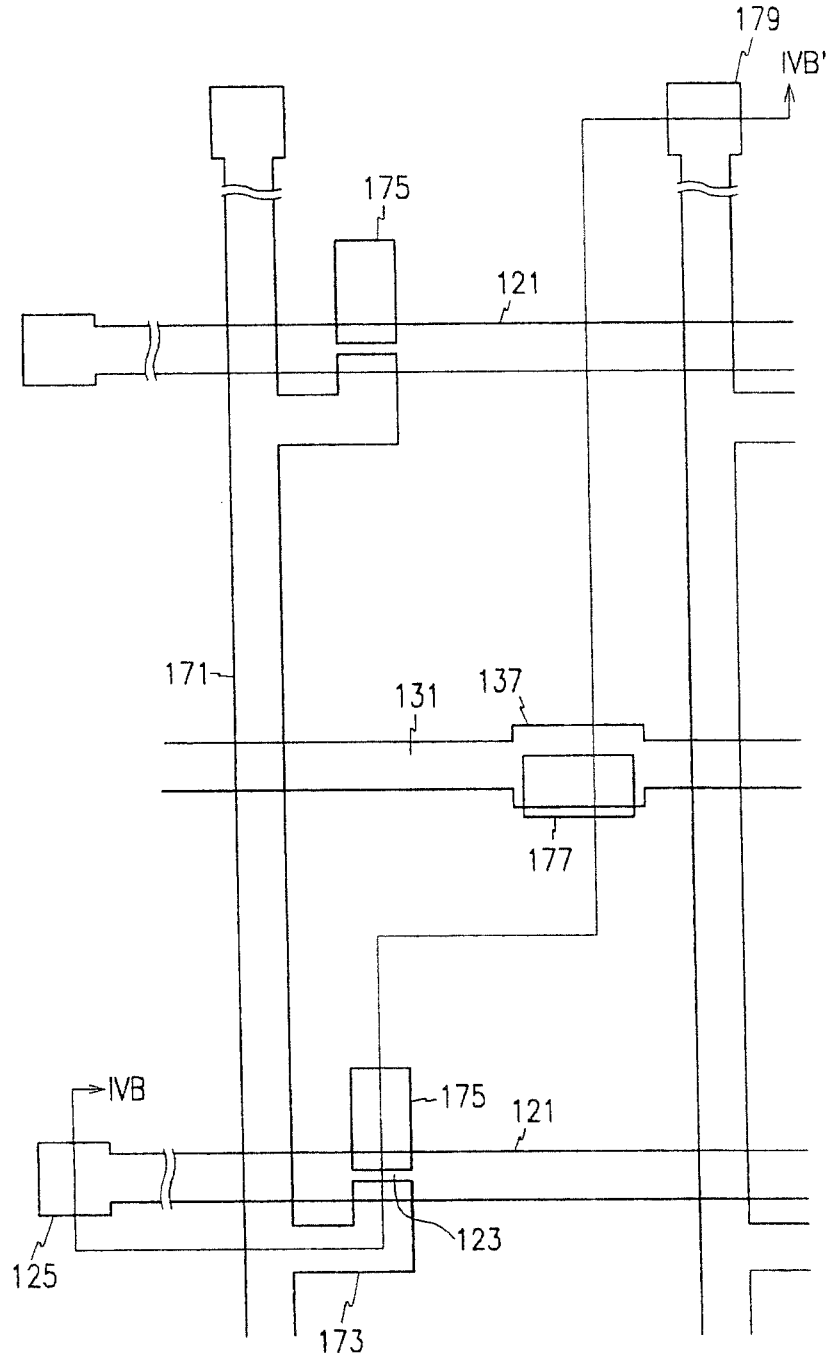


图 4A

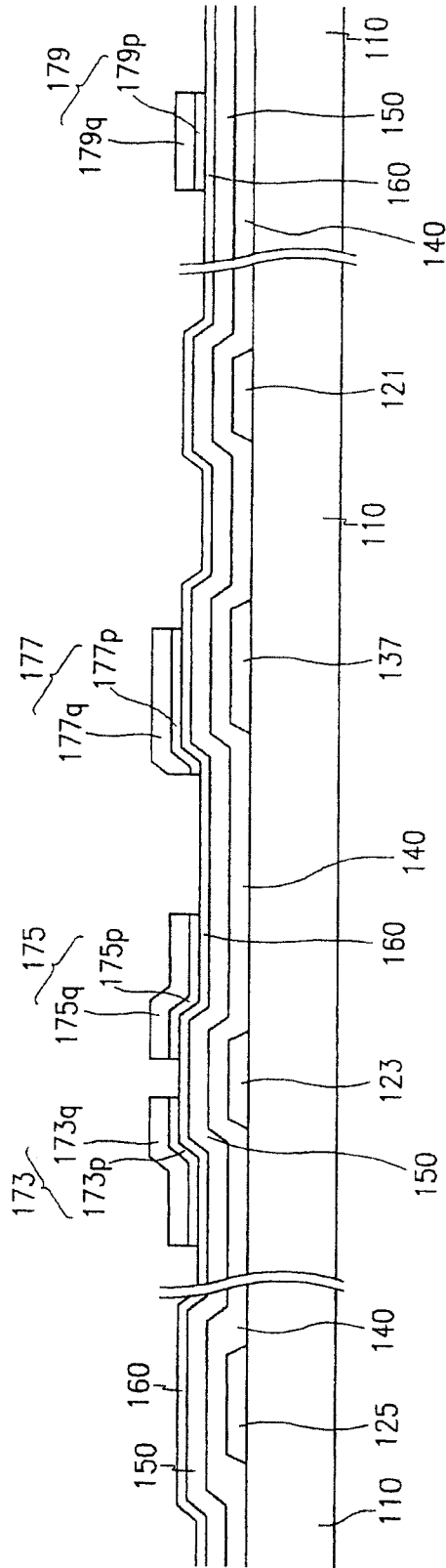


图 4B

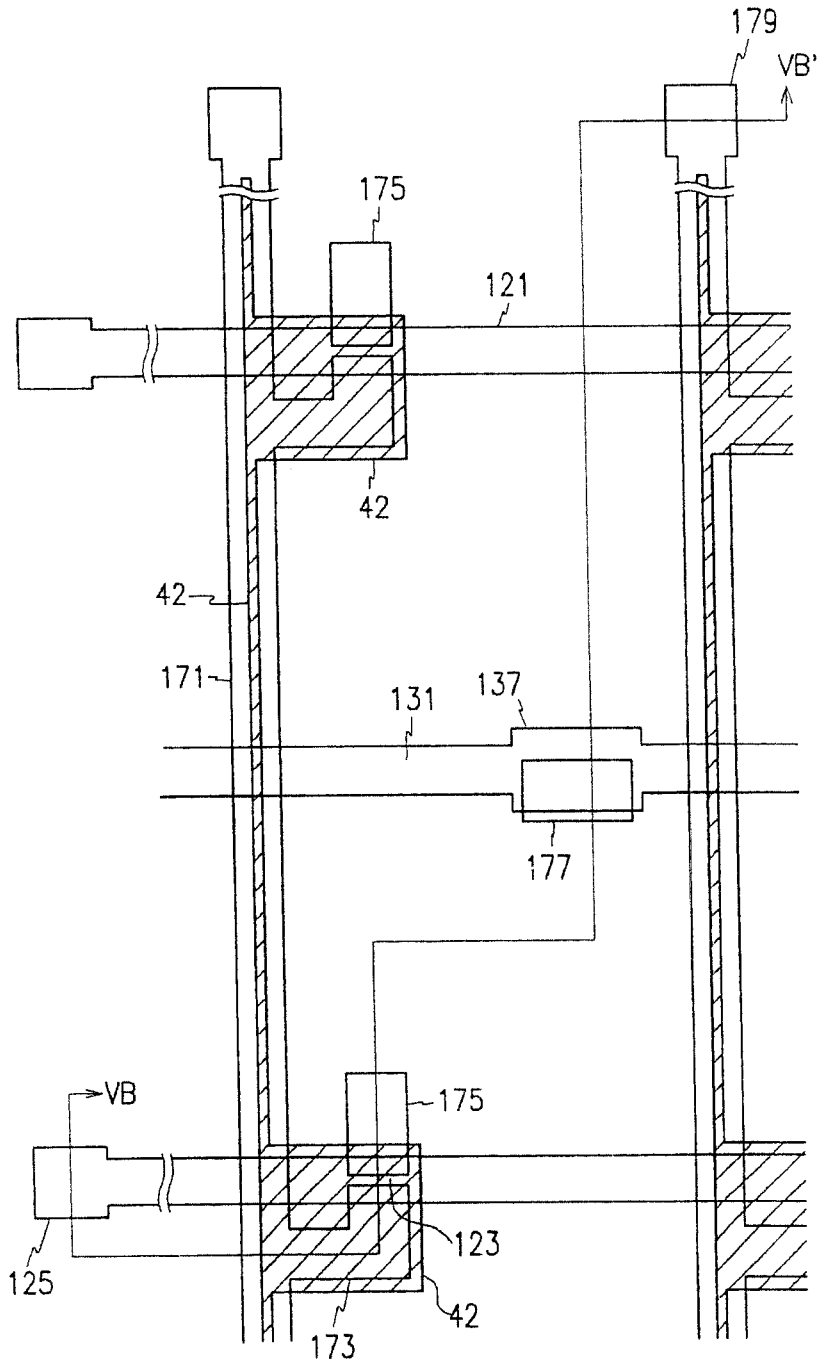


图 5A

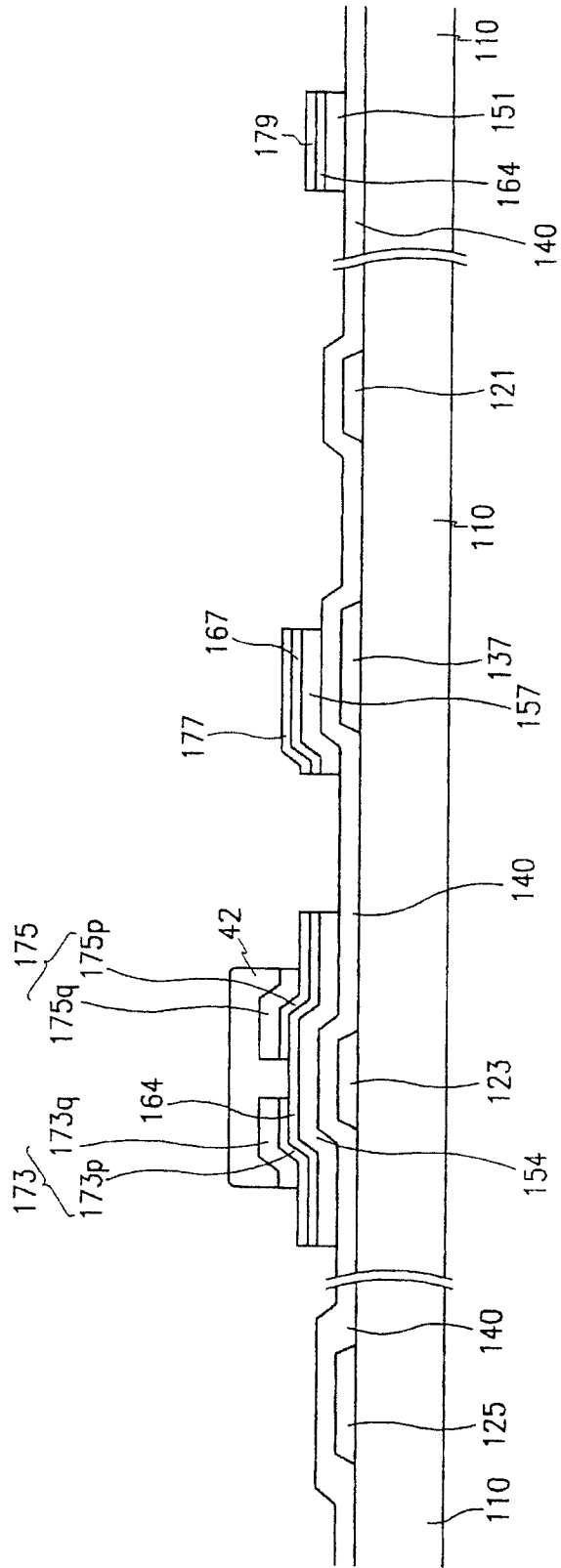


图 5B

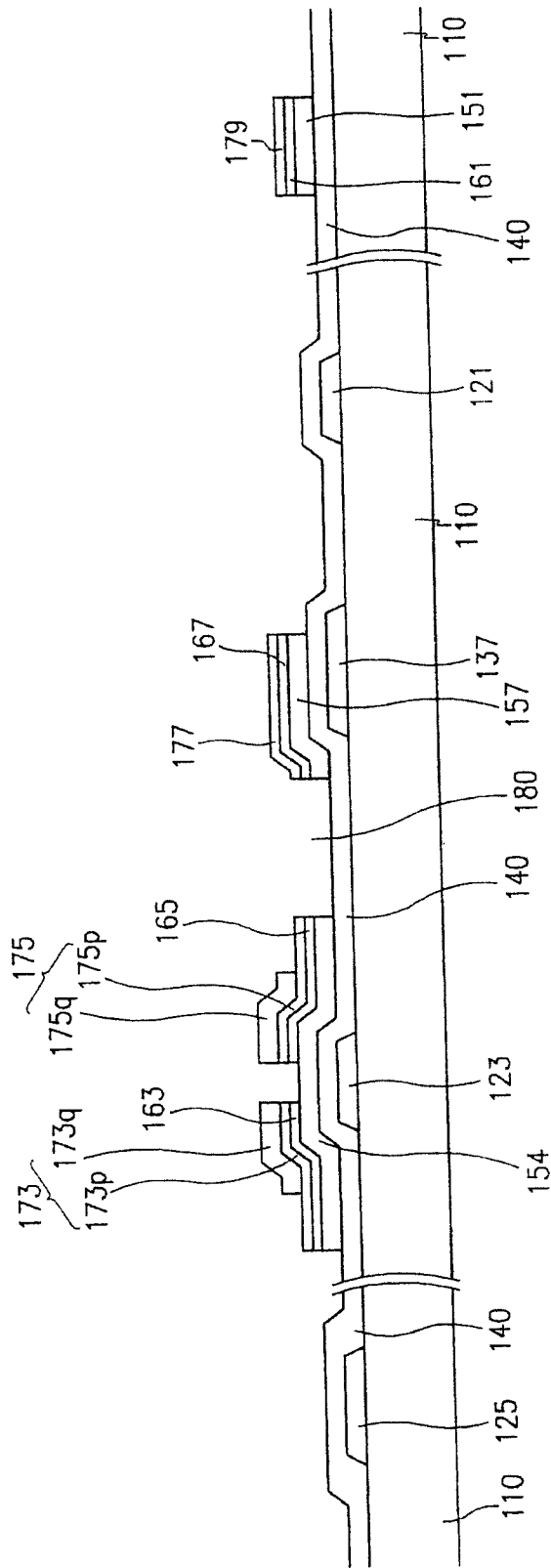


图 6

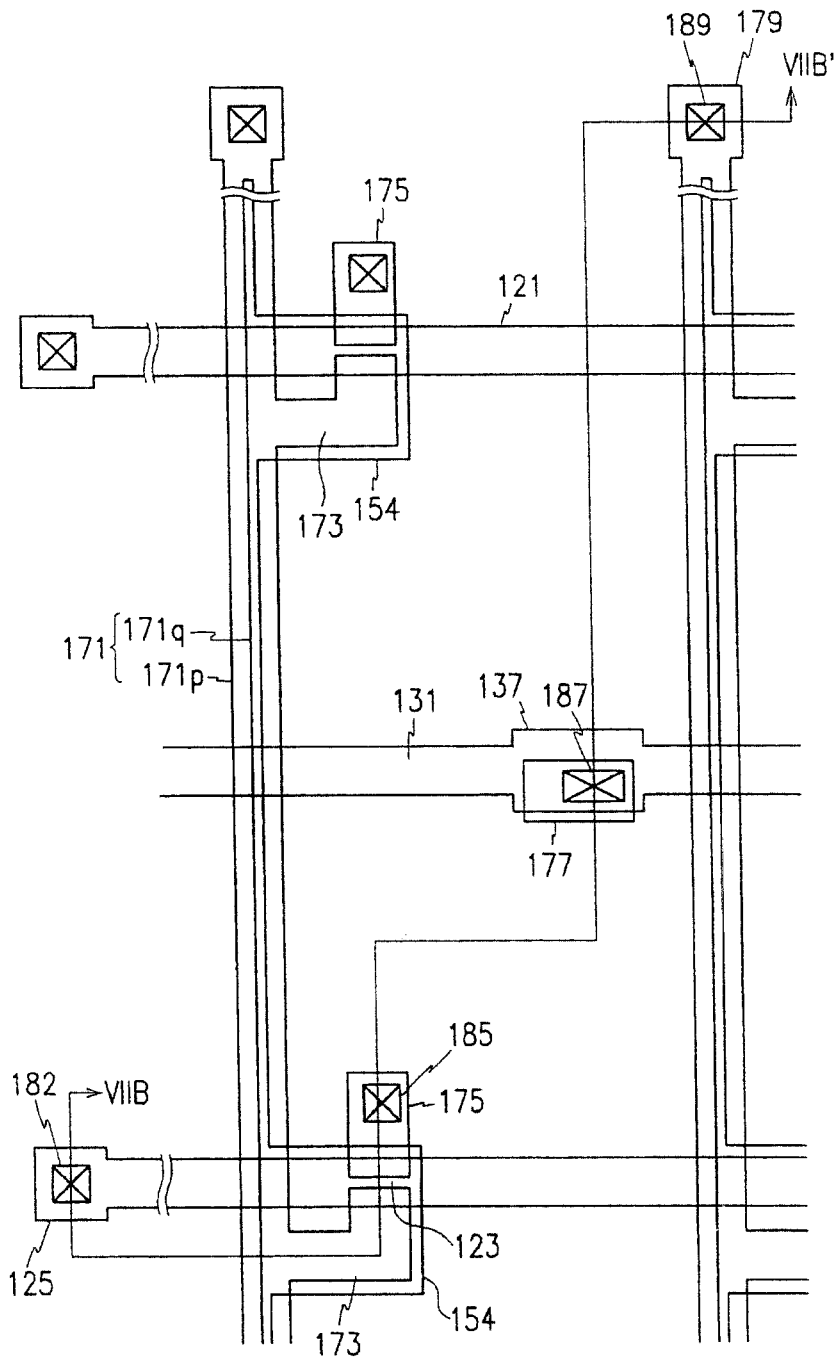


图 7A

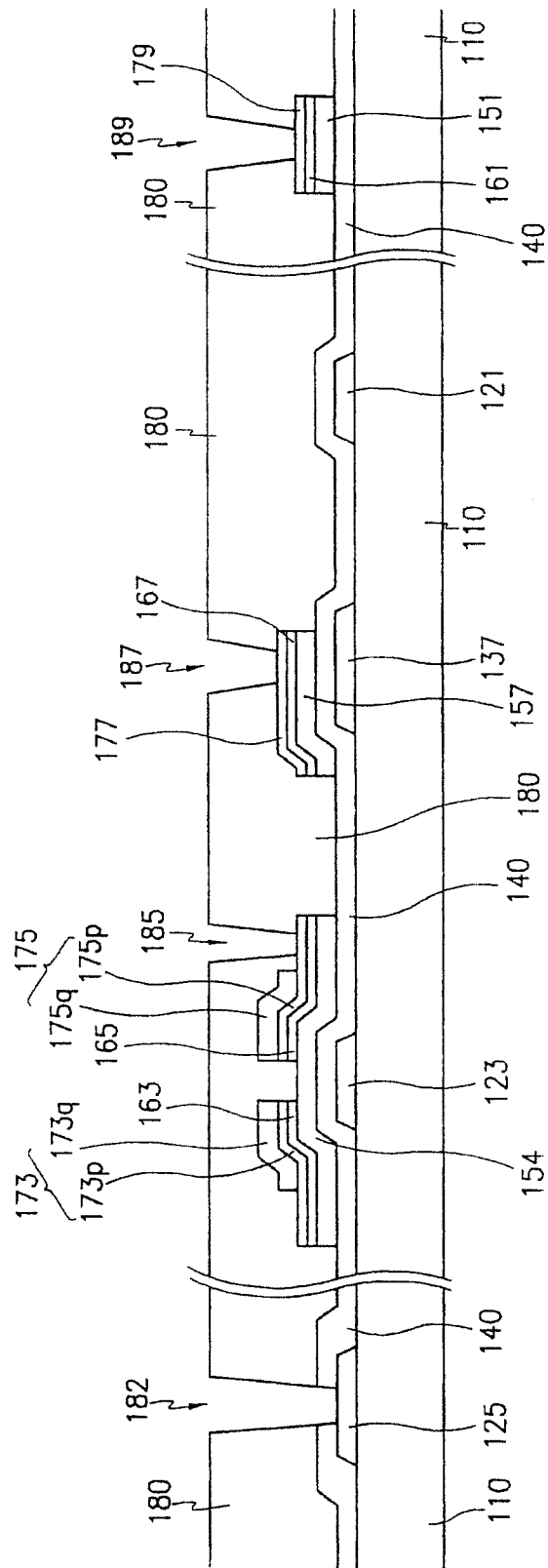


图 7B

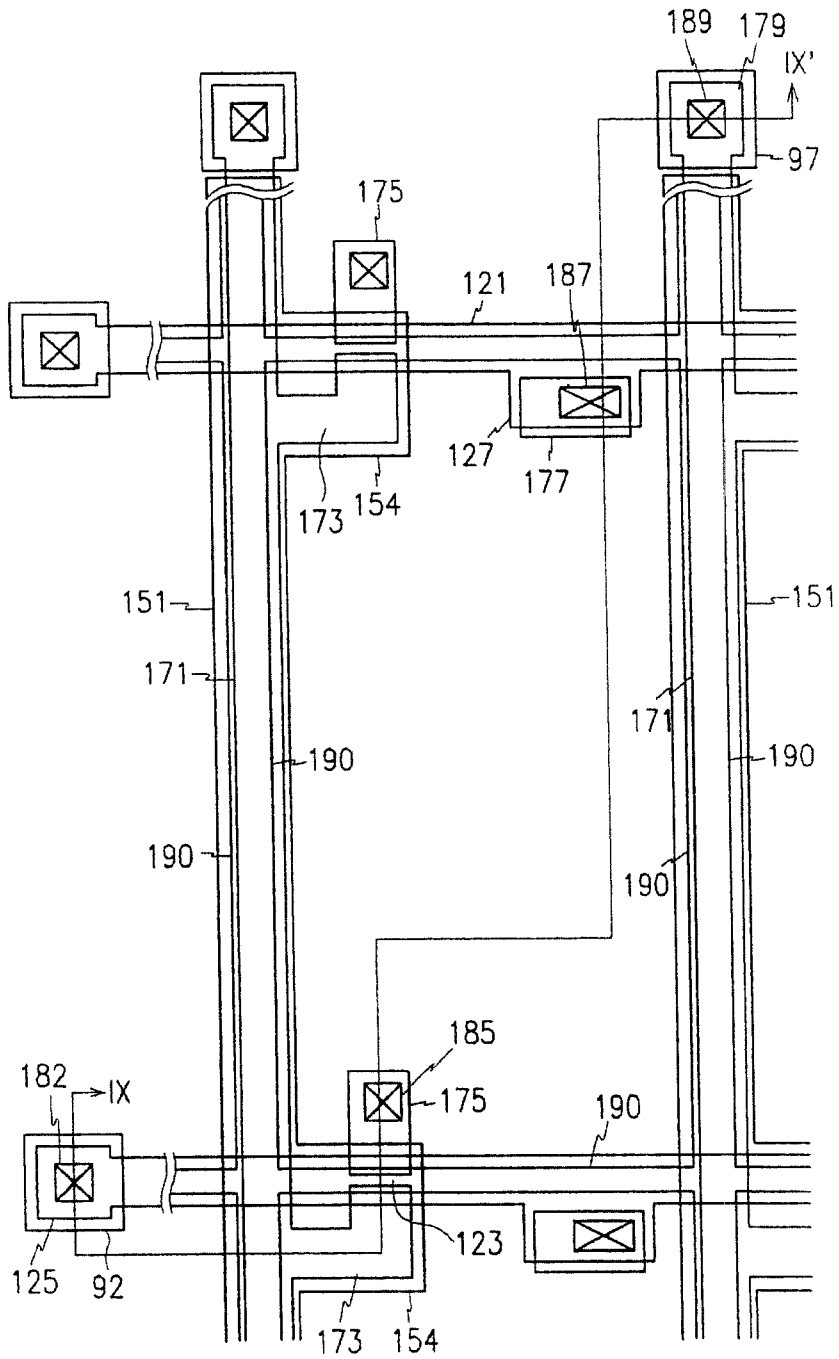


图 8

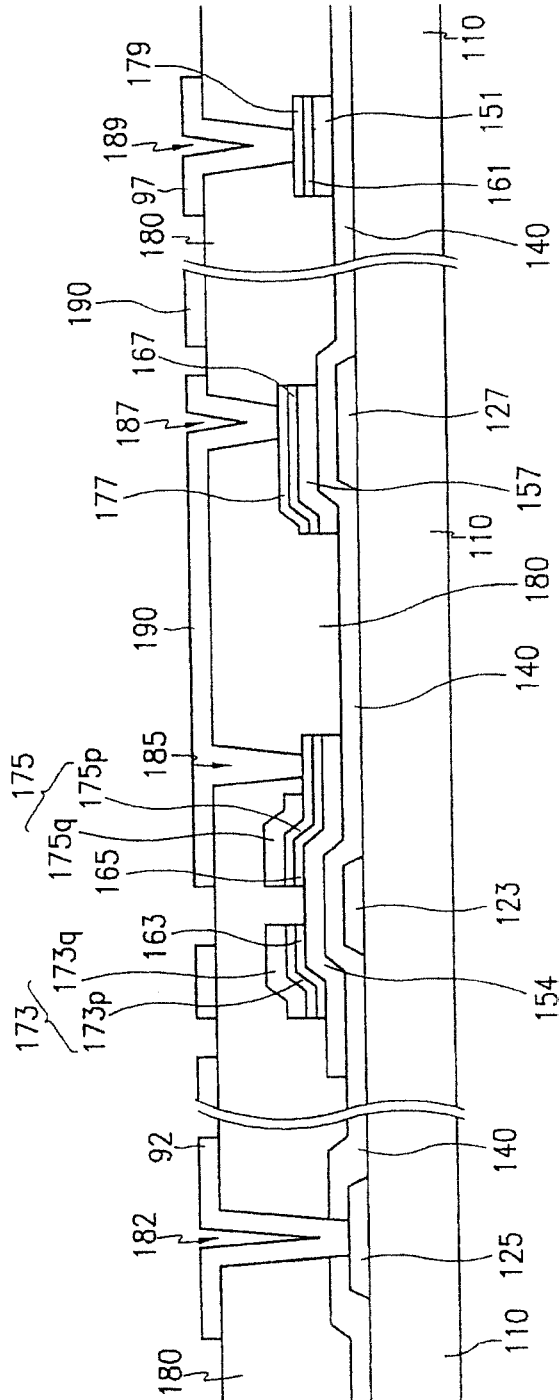


图 9

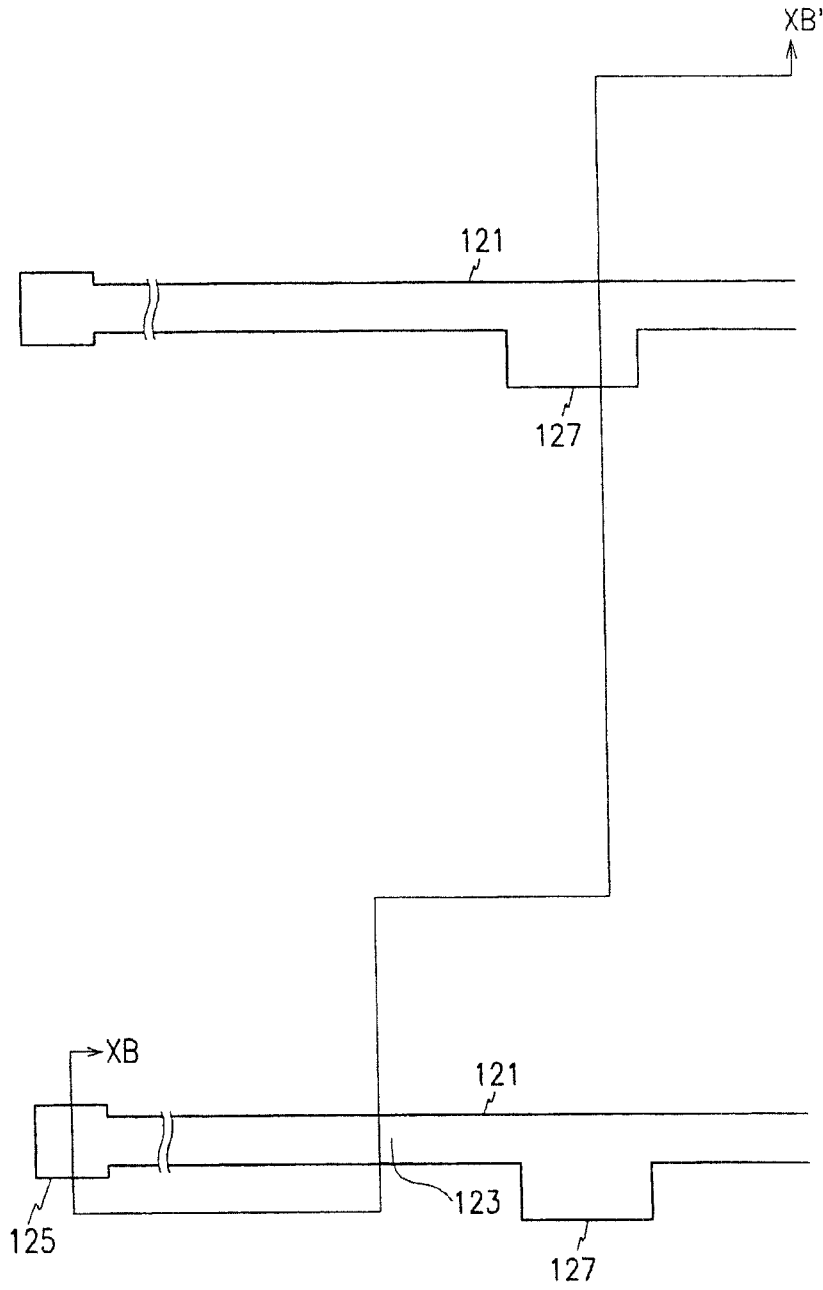


图 10A

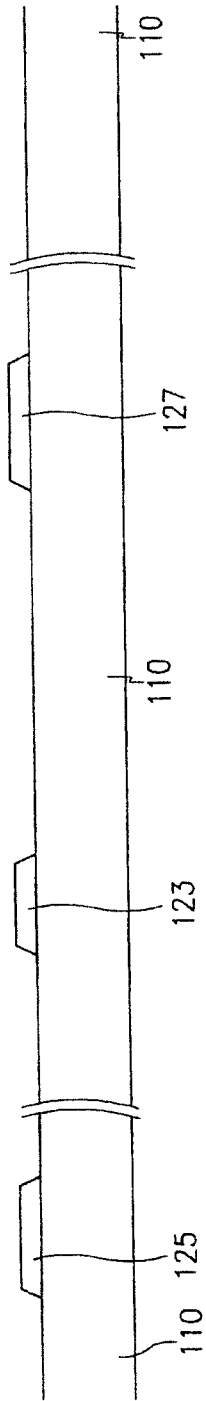


图 10B

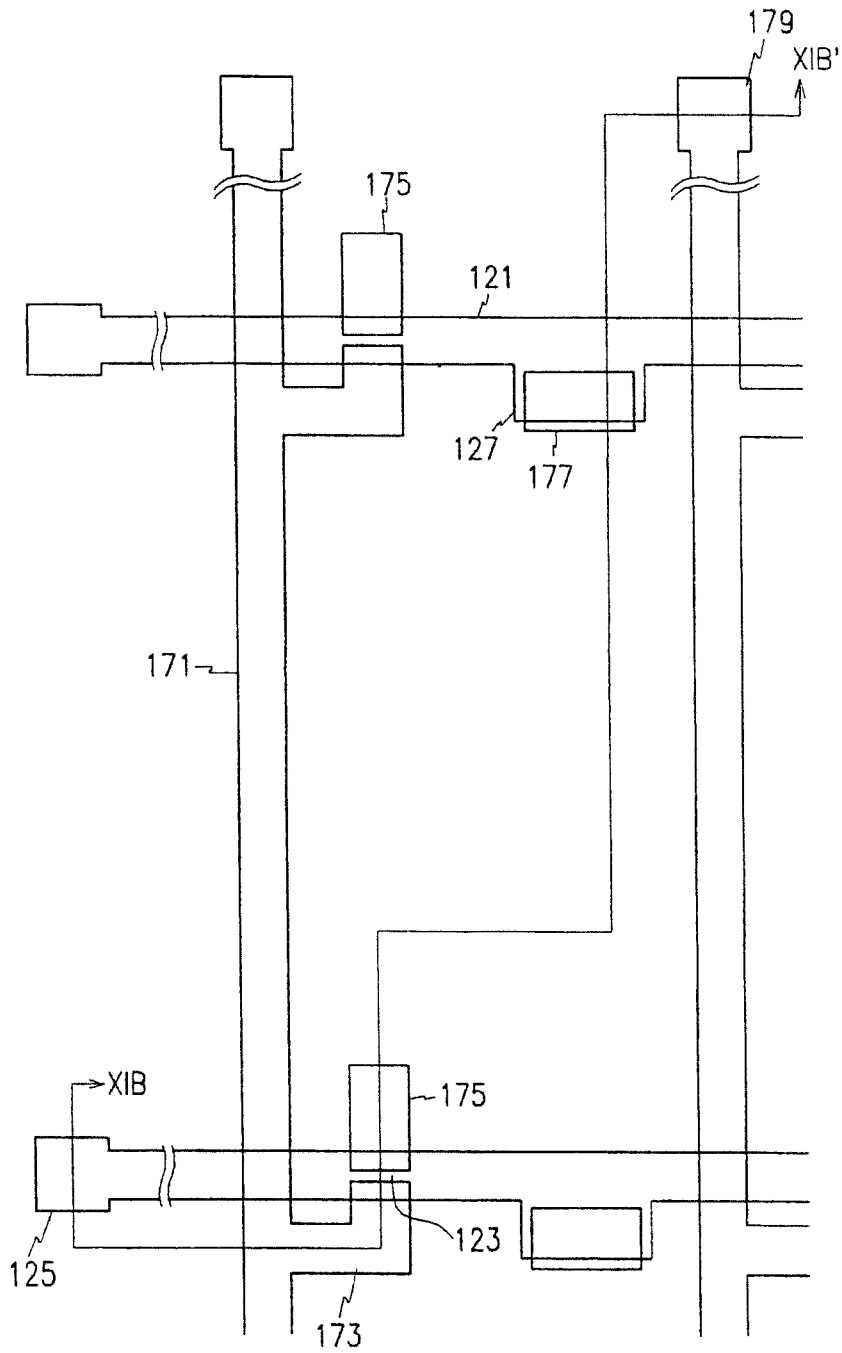


图 11A

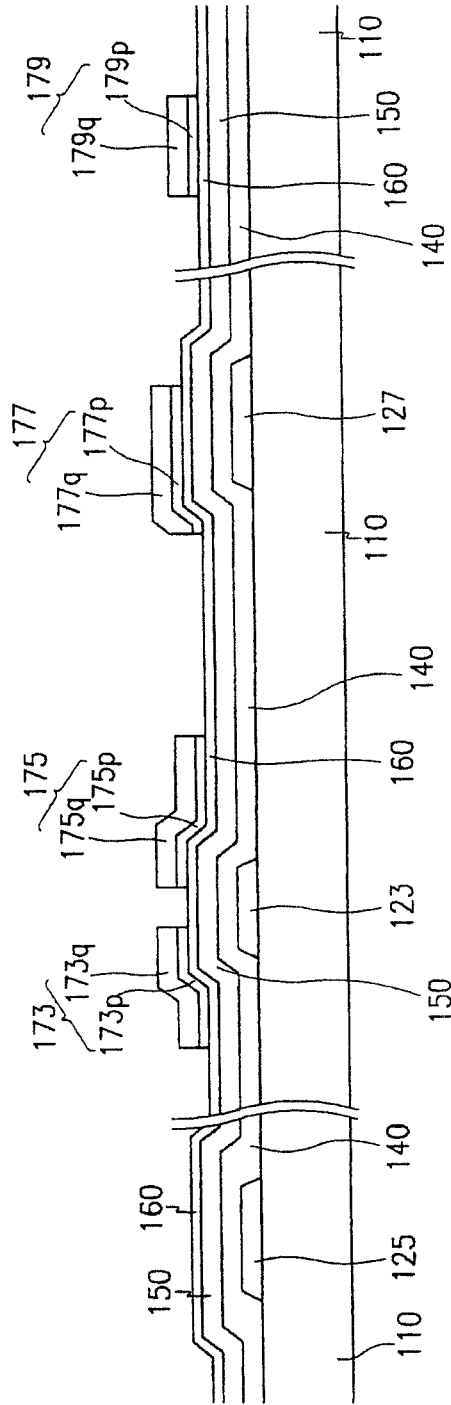


图 11B

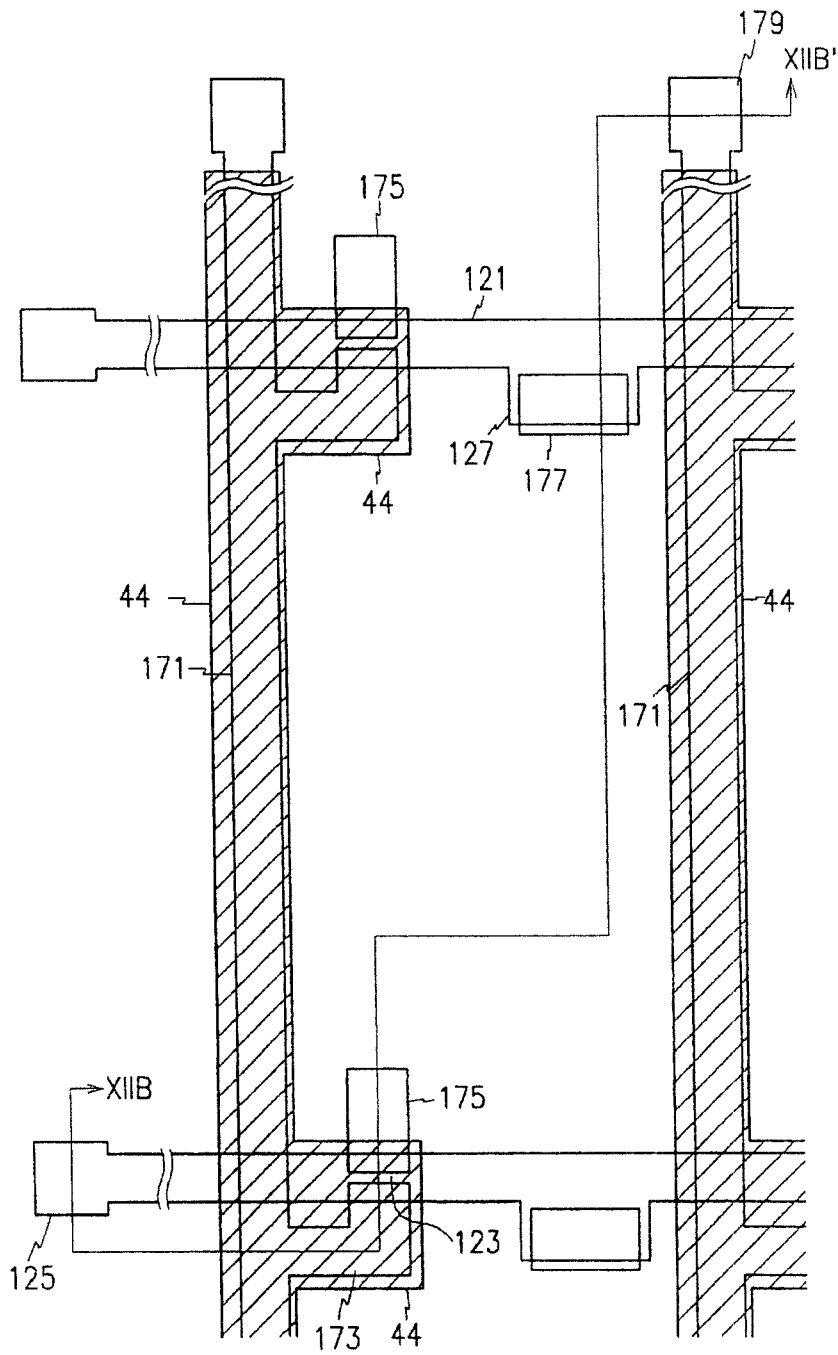


图 12A

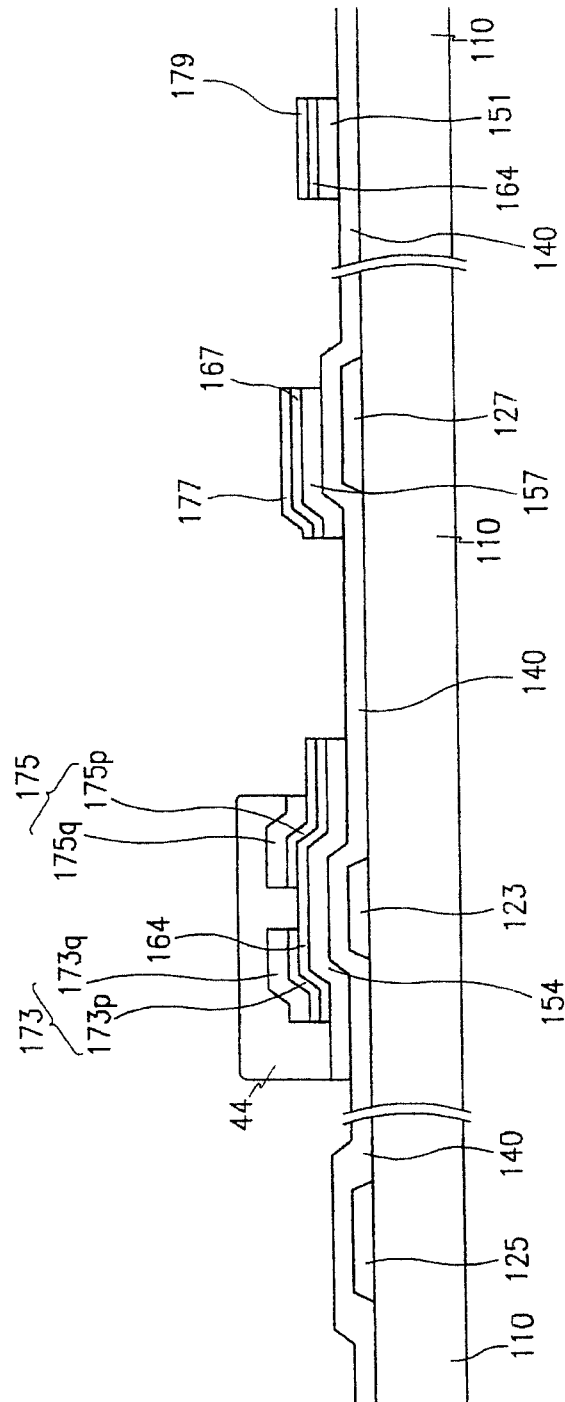


图 12B

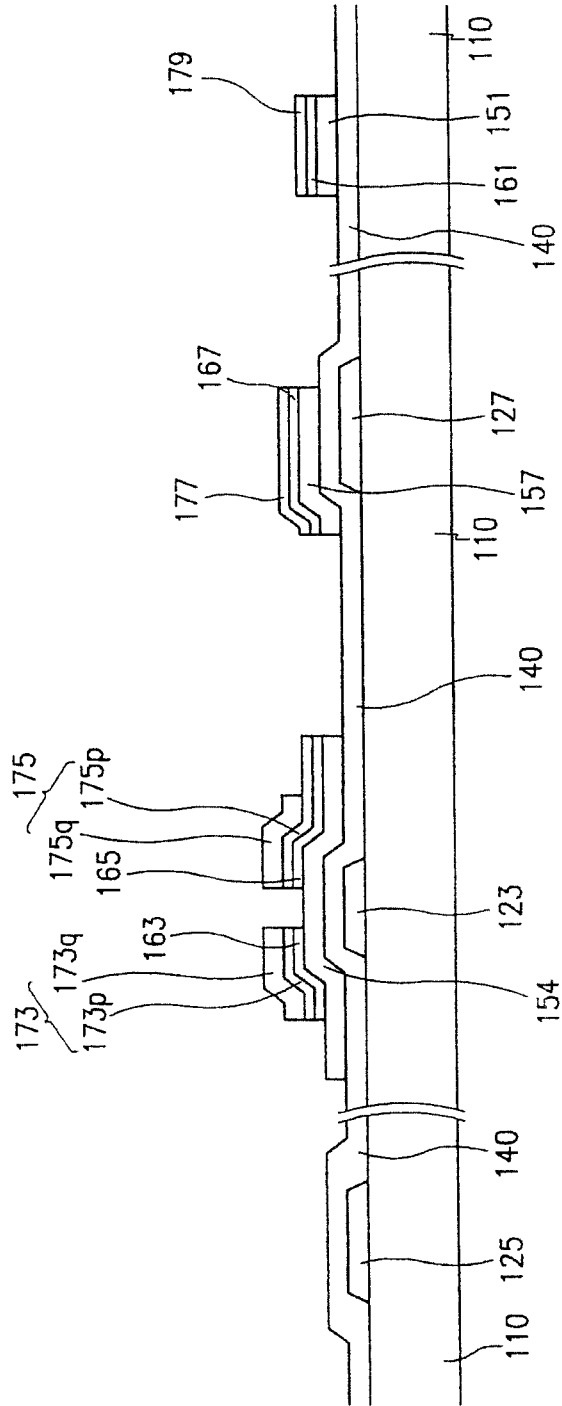


图 13

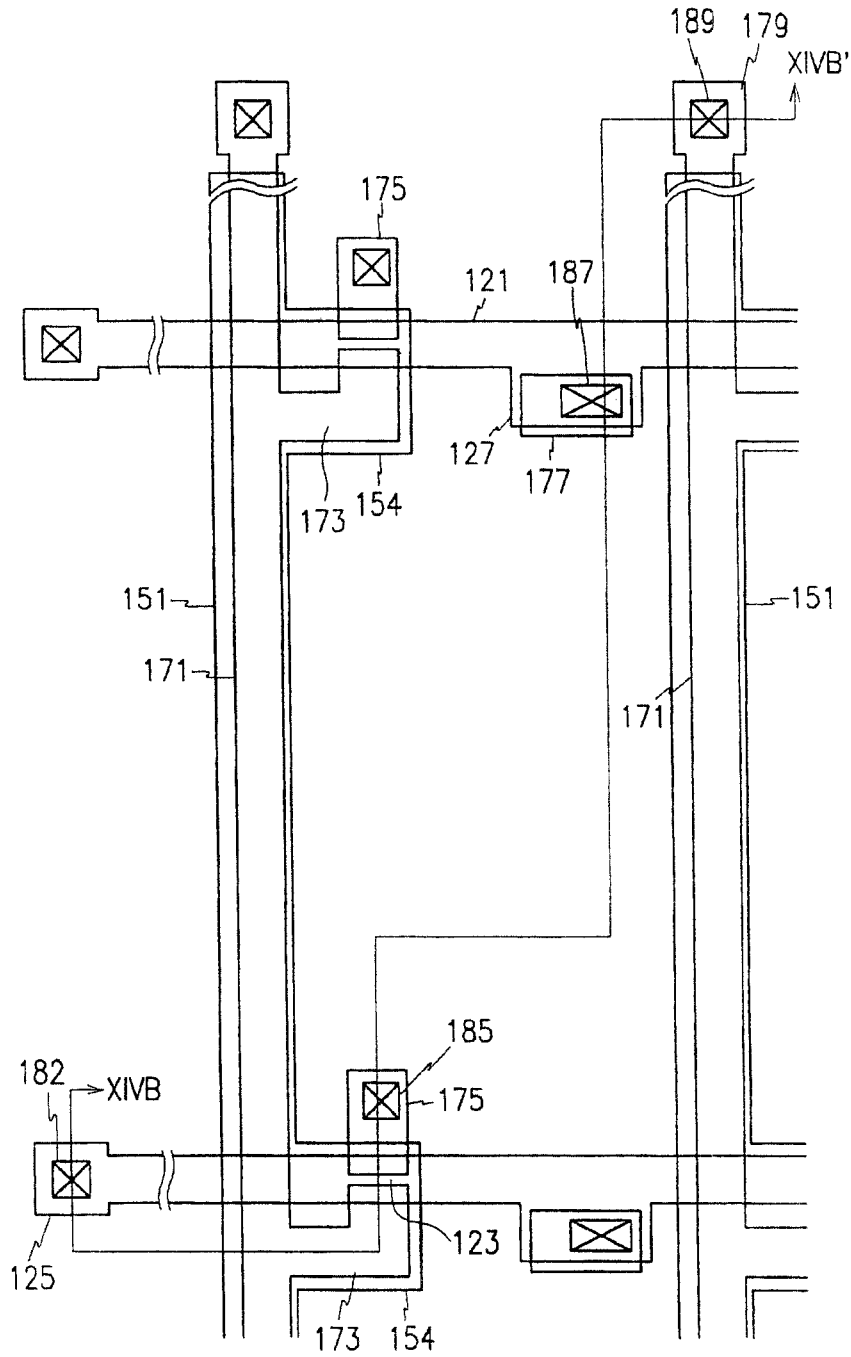


图 14A

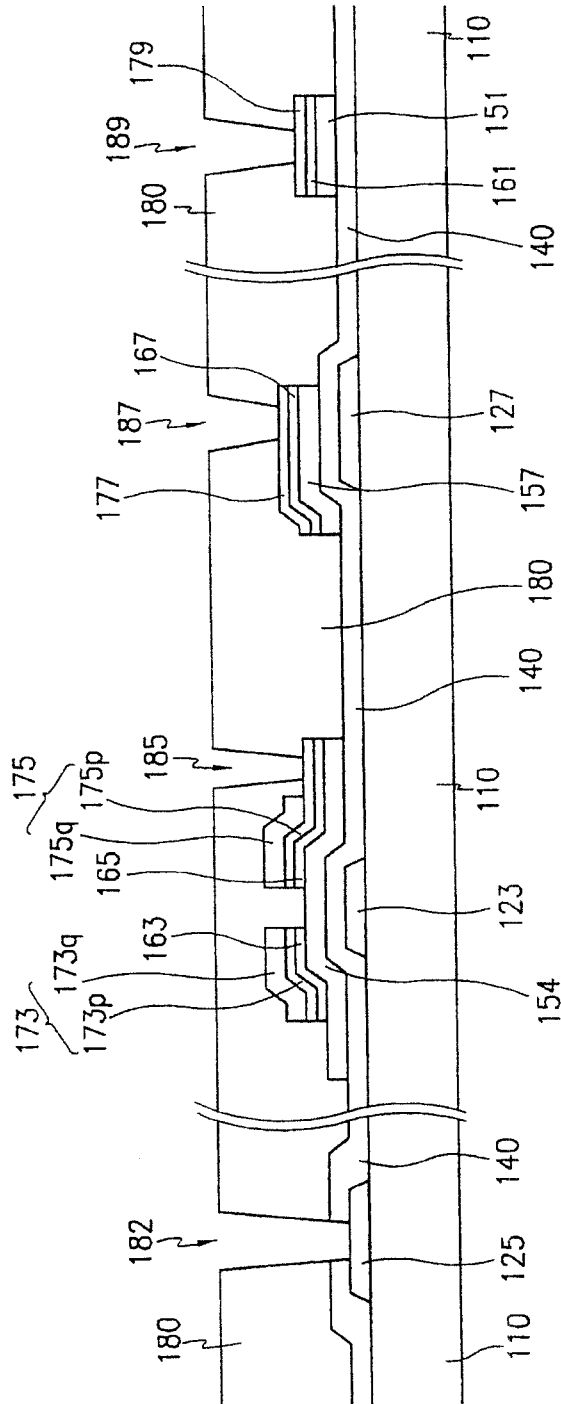


图 14B

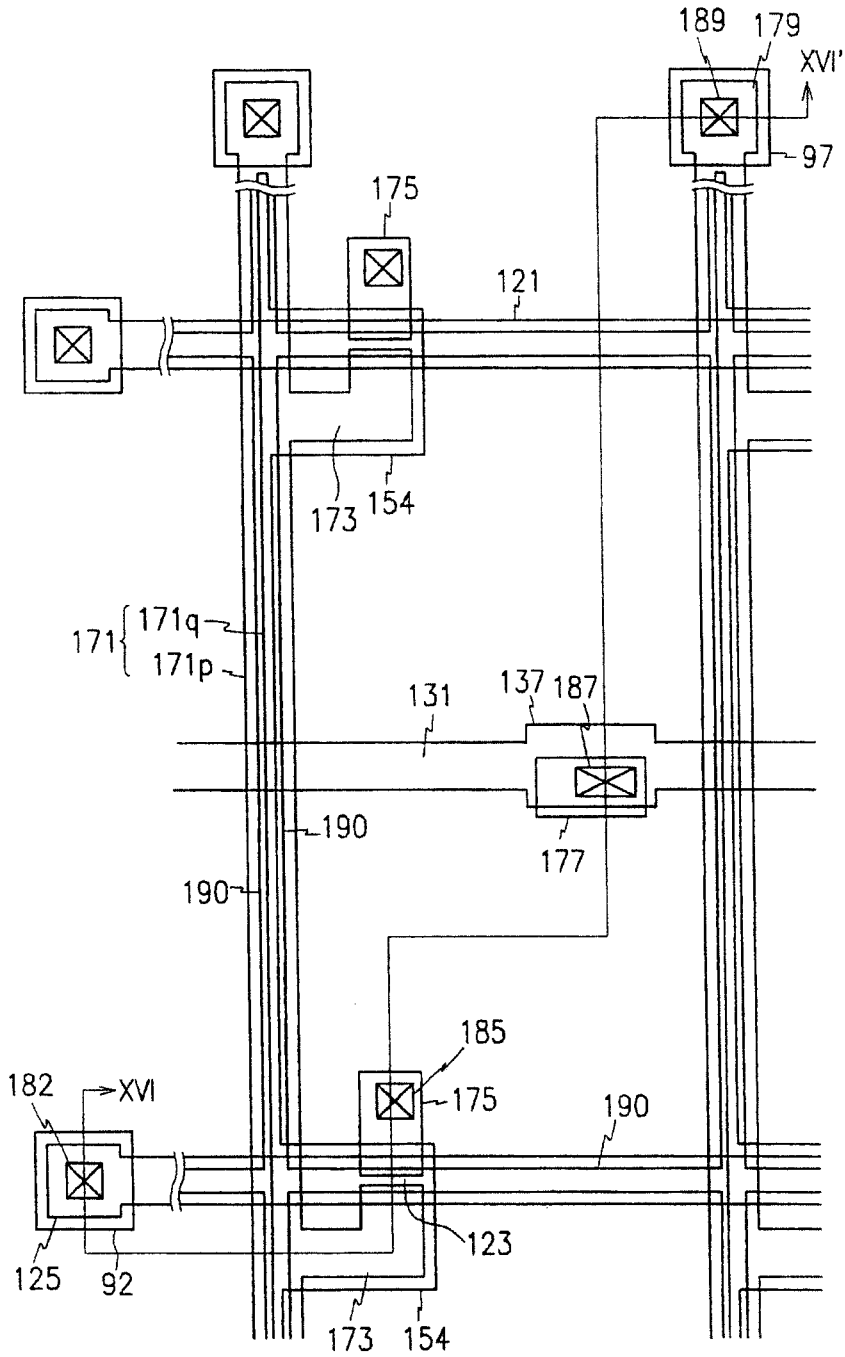


图 15

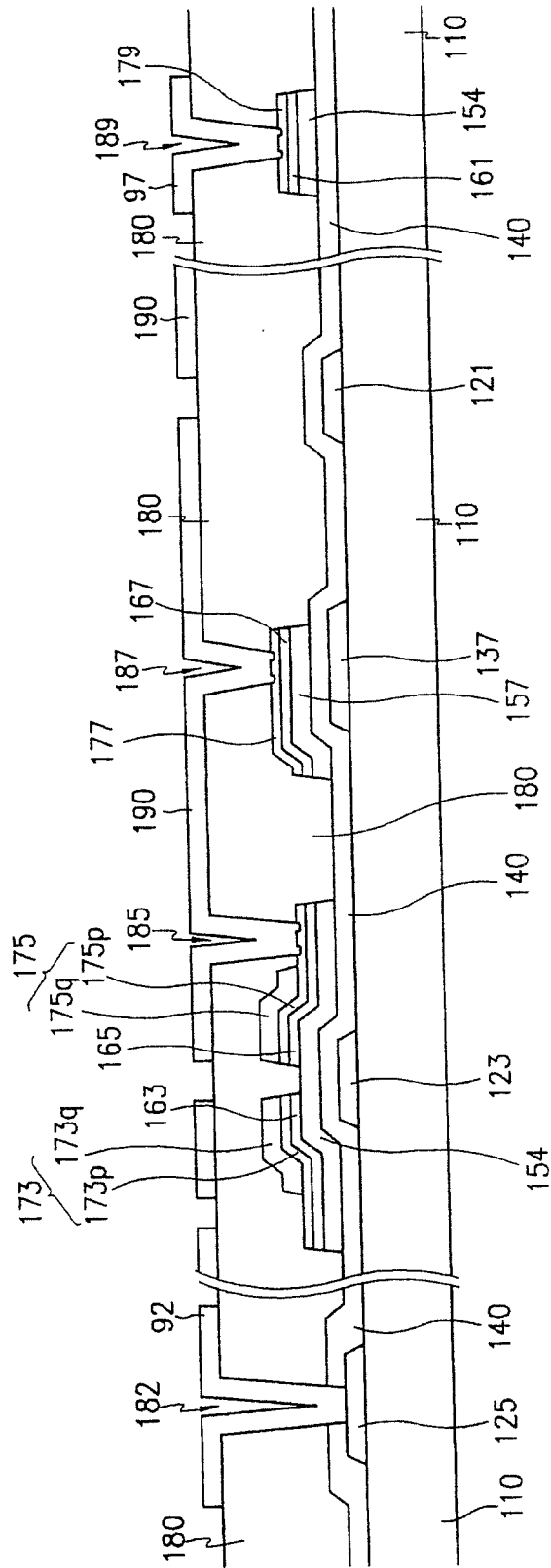


图 16

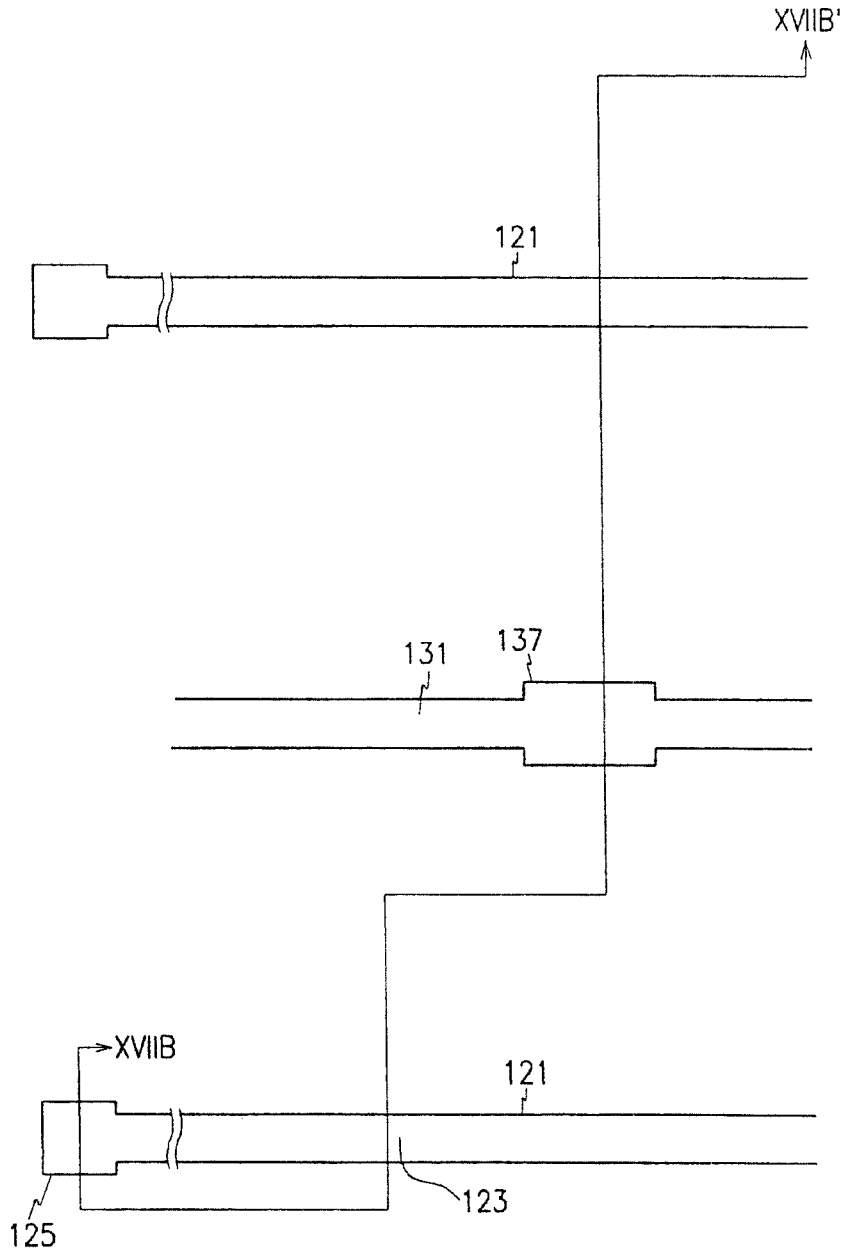


图 17A

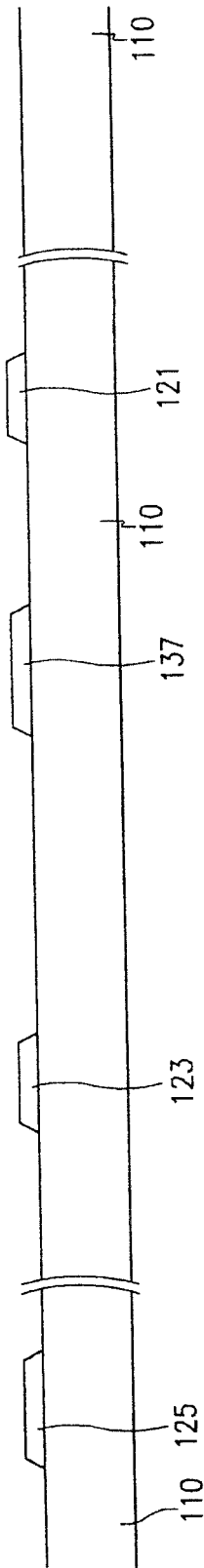


图 17B

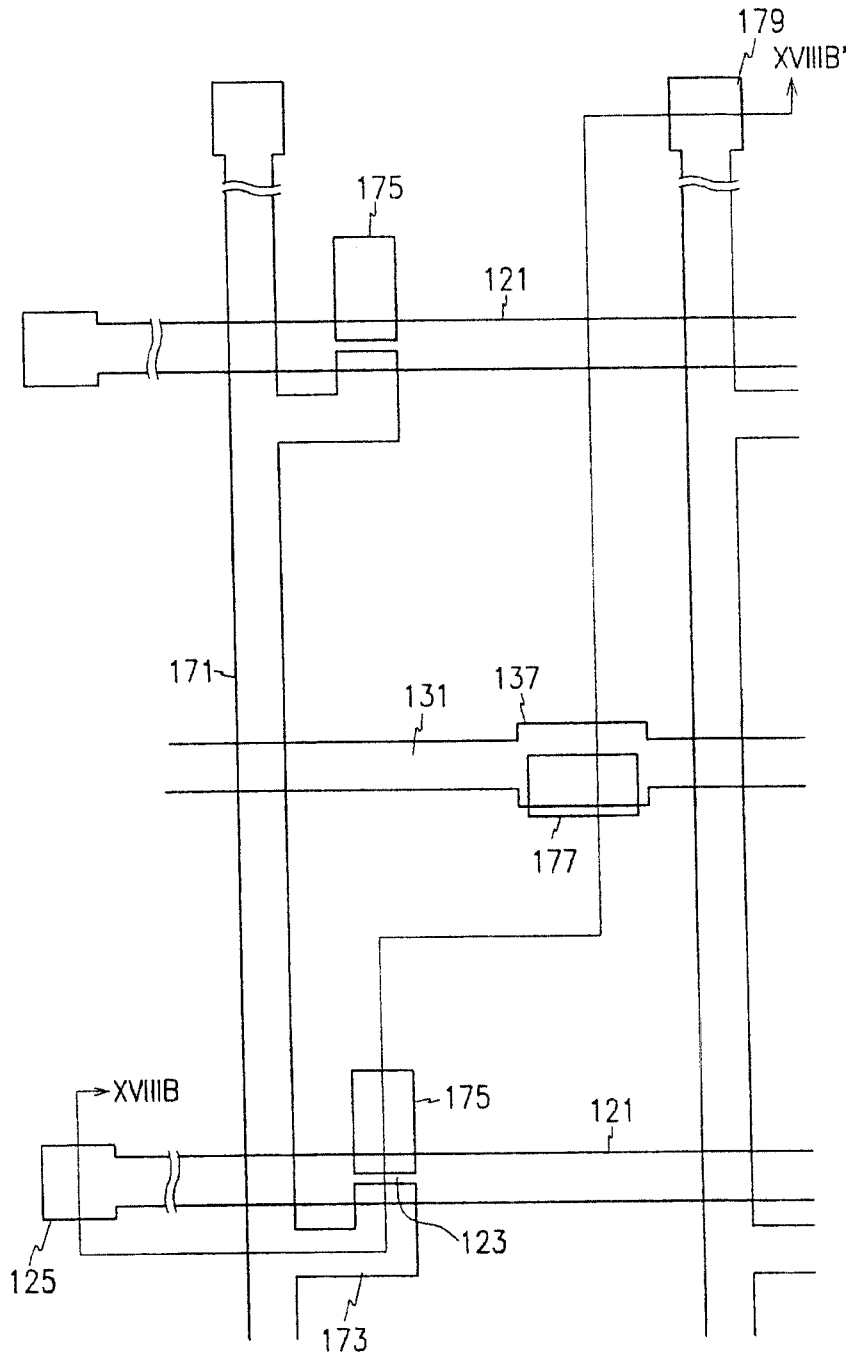


图 18A

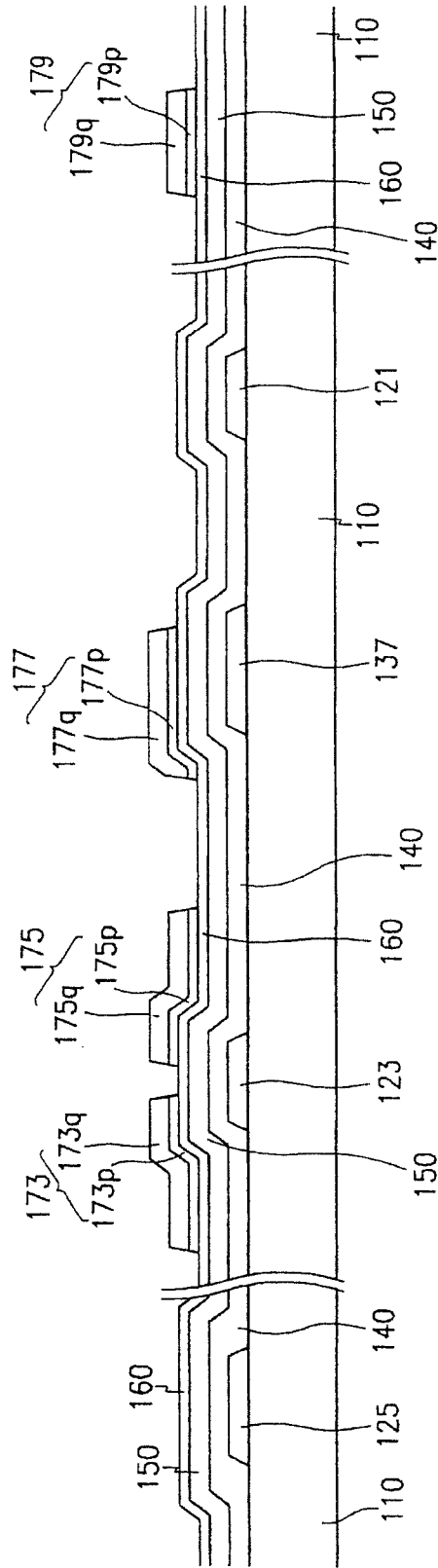


图 18B

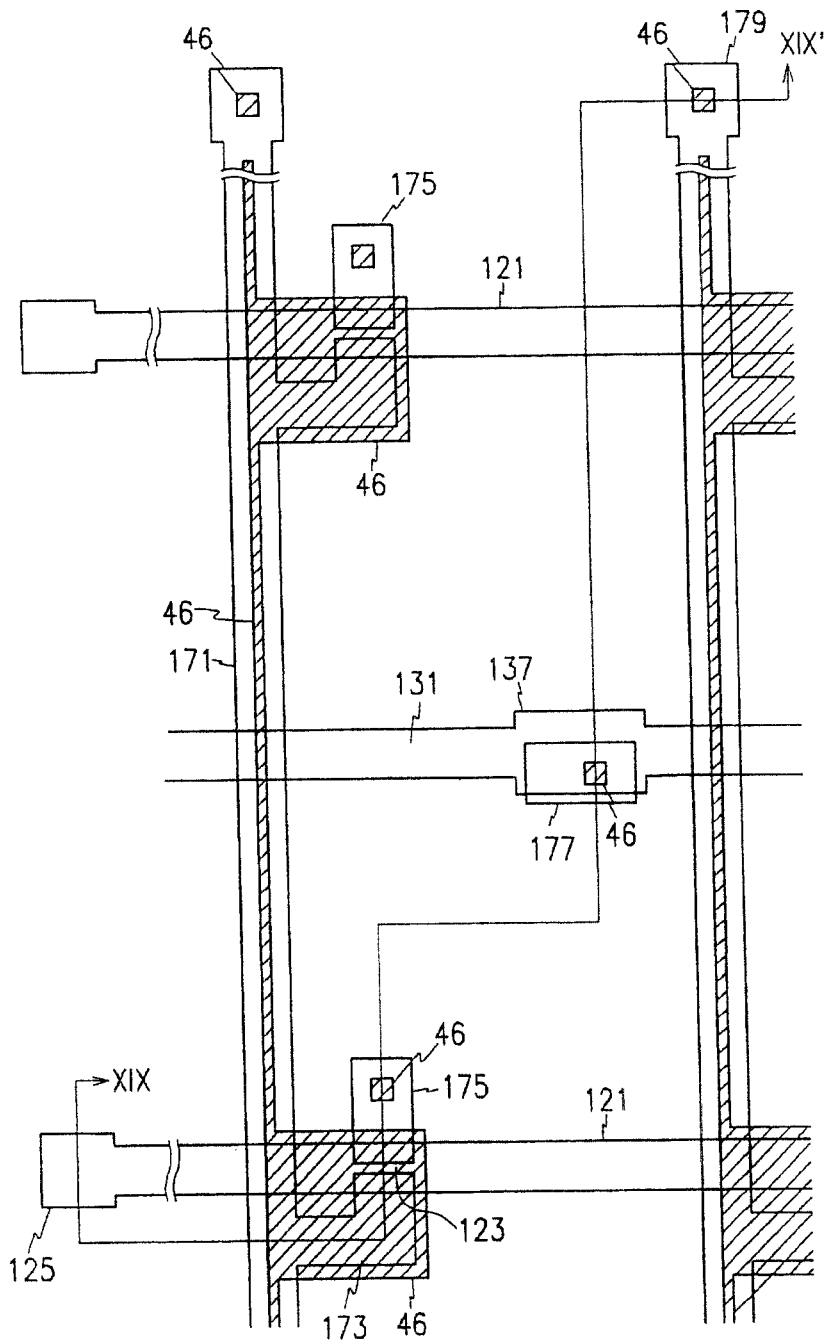


图 19A

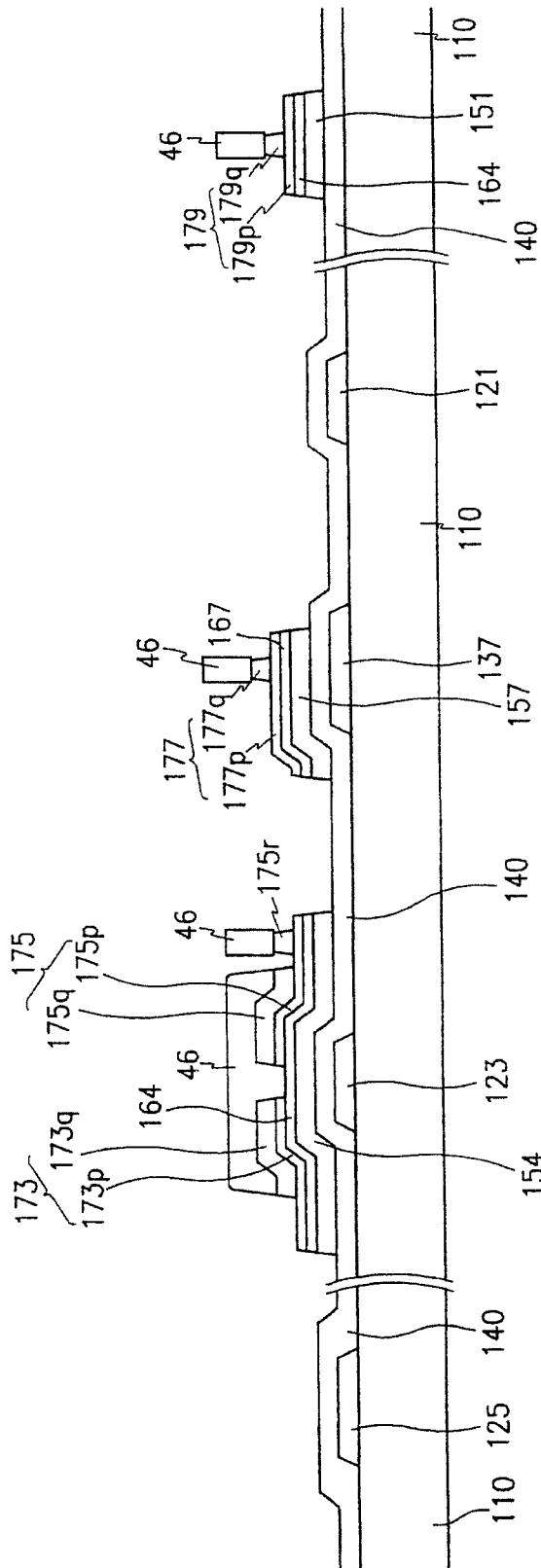


图 19B

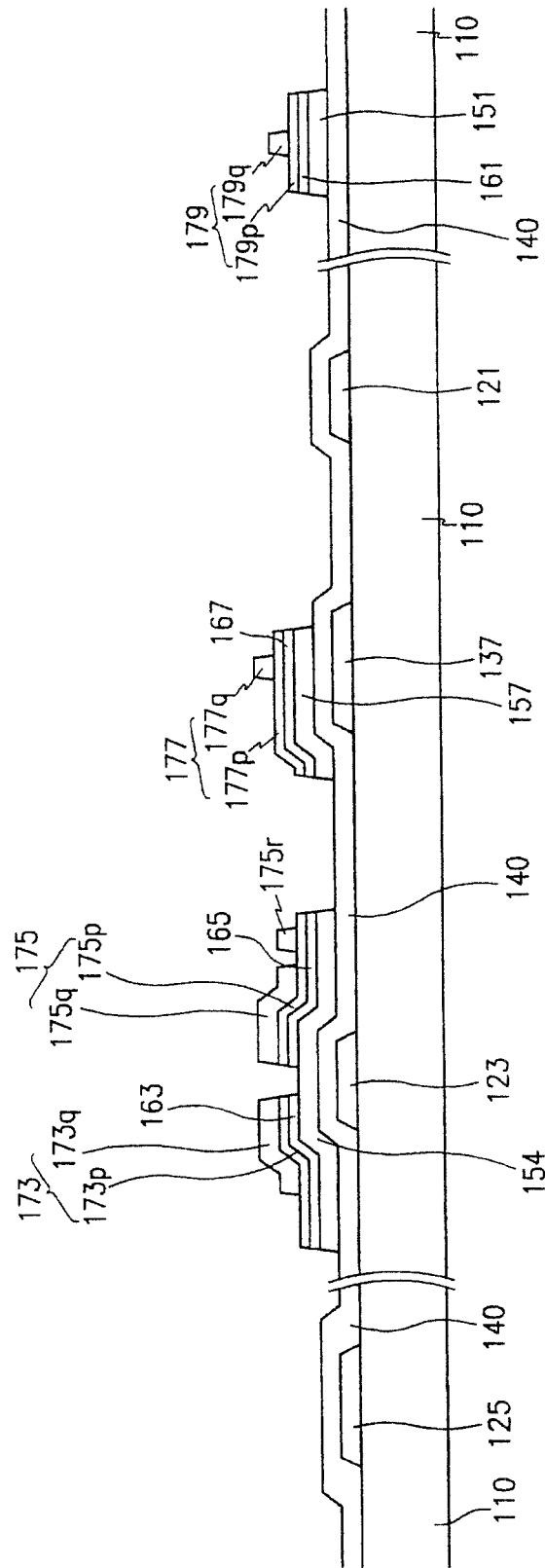


图 20

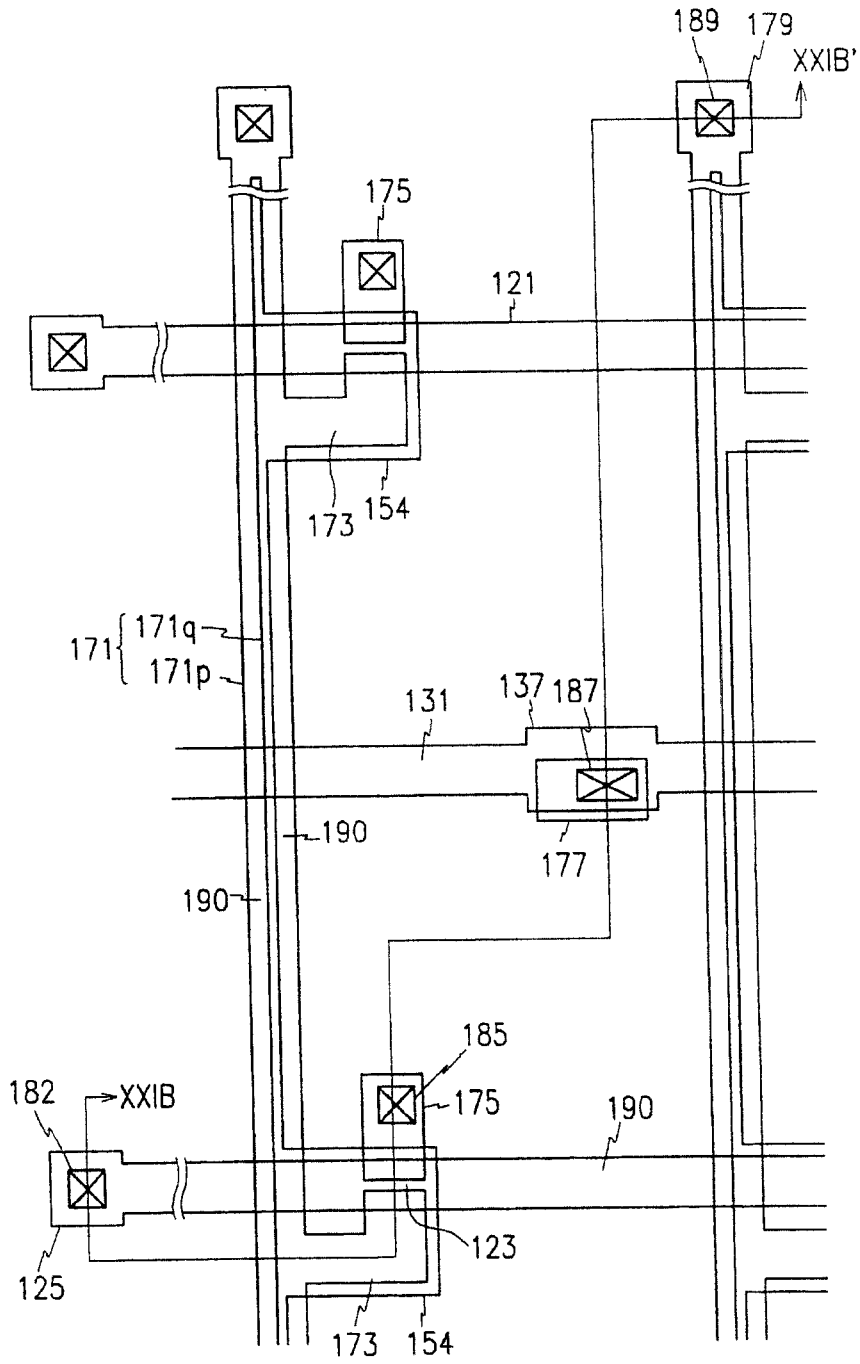


图 21A

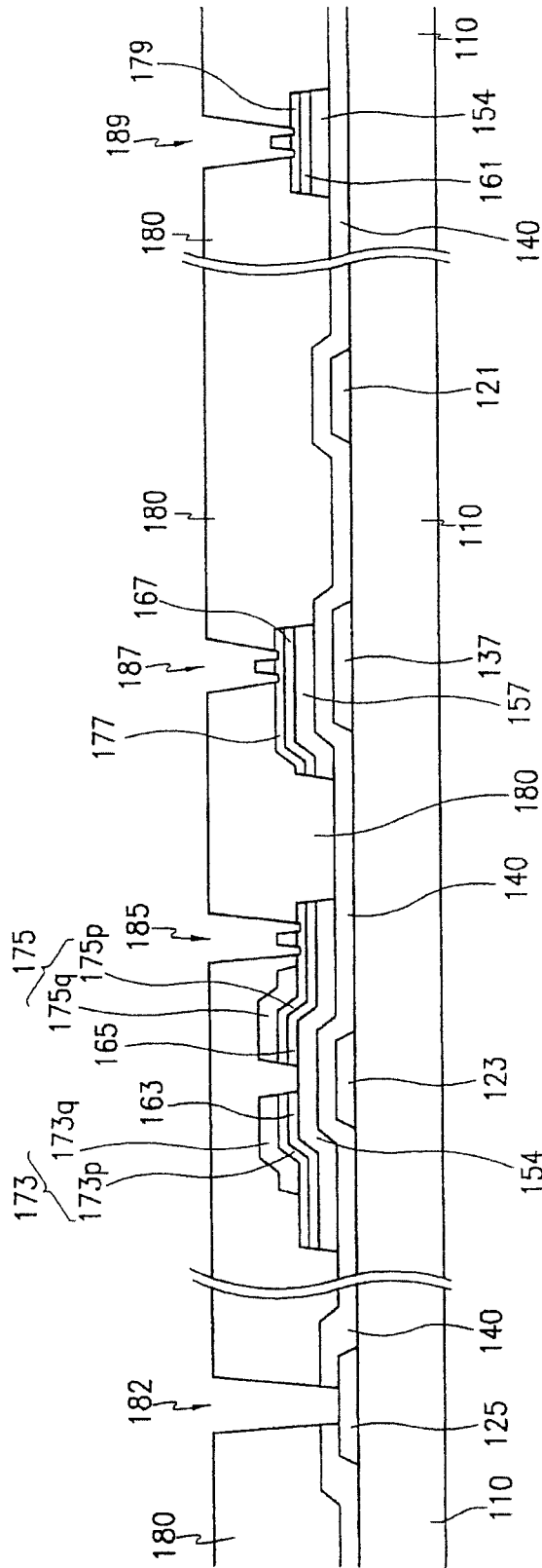


图 21B

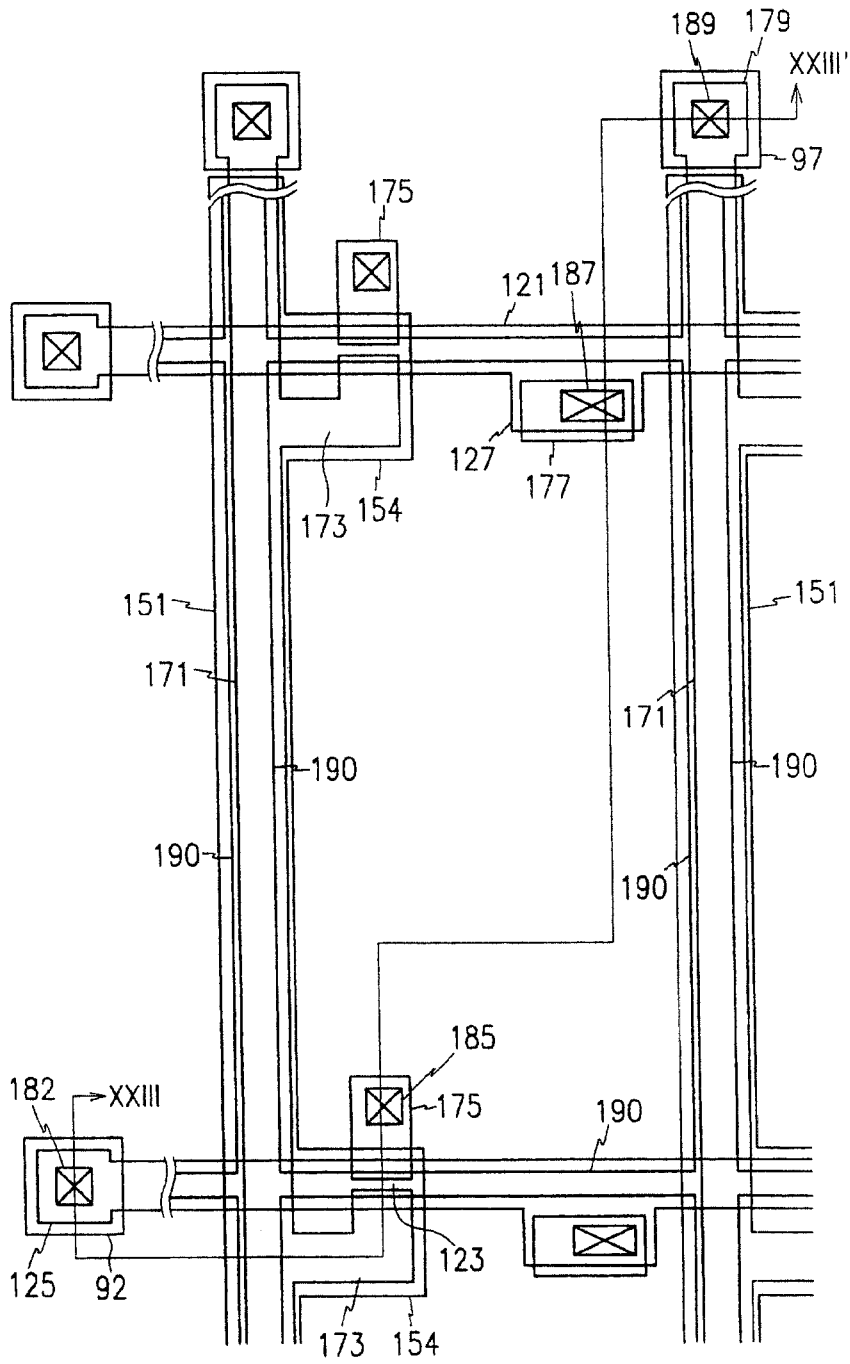


图 22

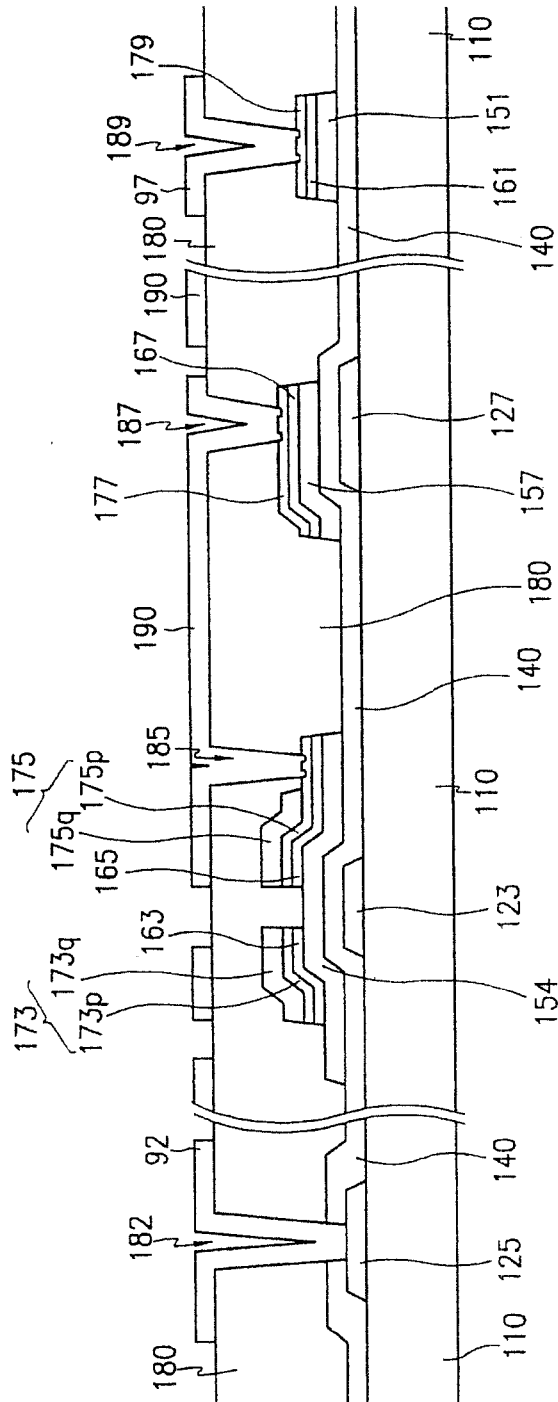


图 23

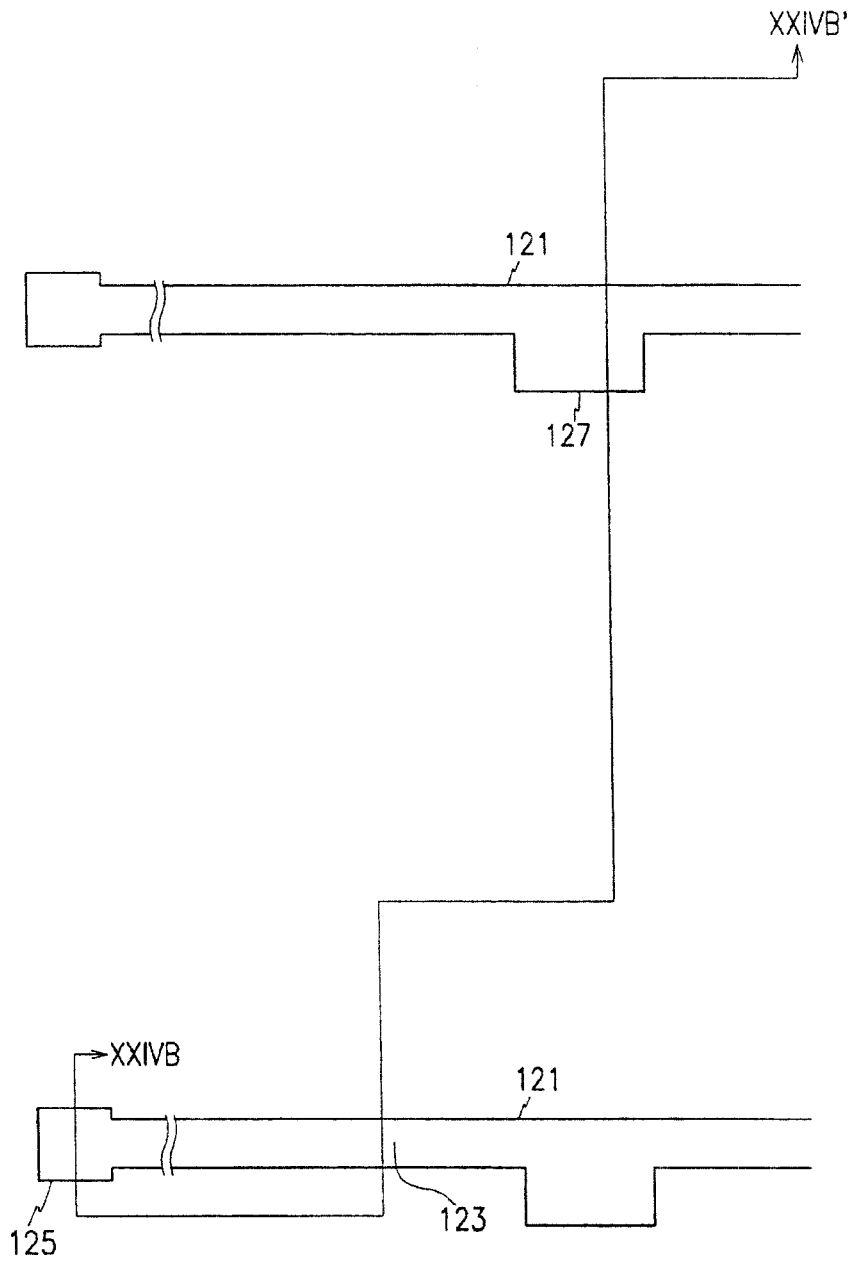


图 24A

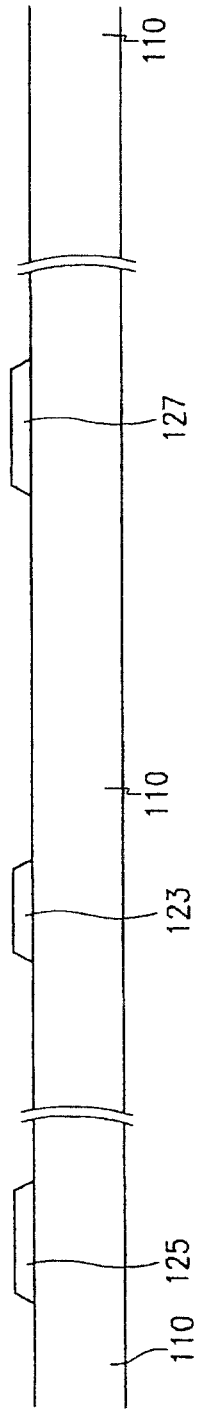


图 24B

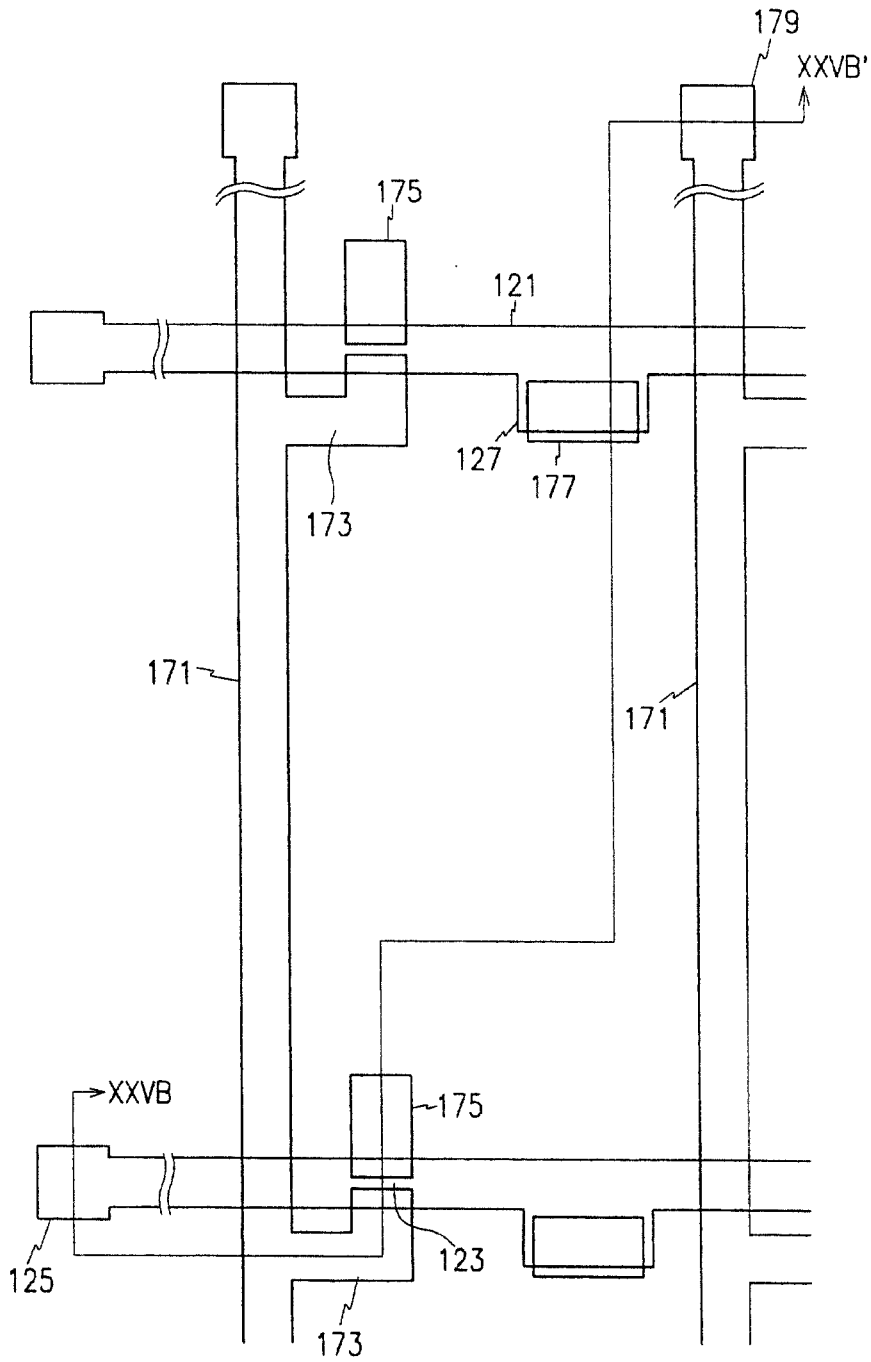


图 25A

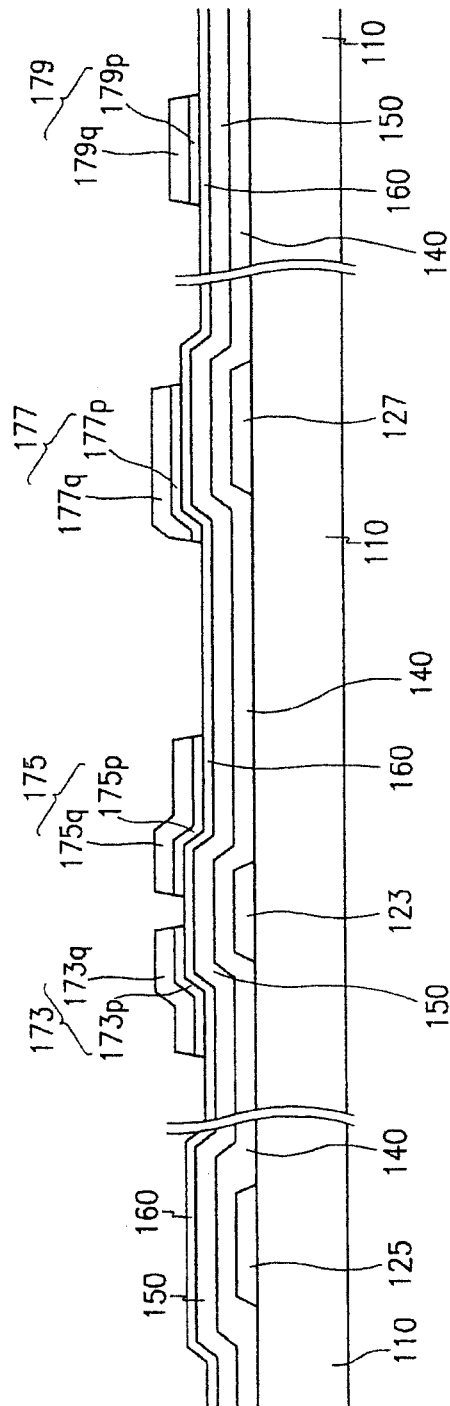


图 25B

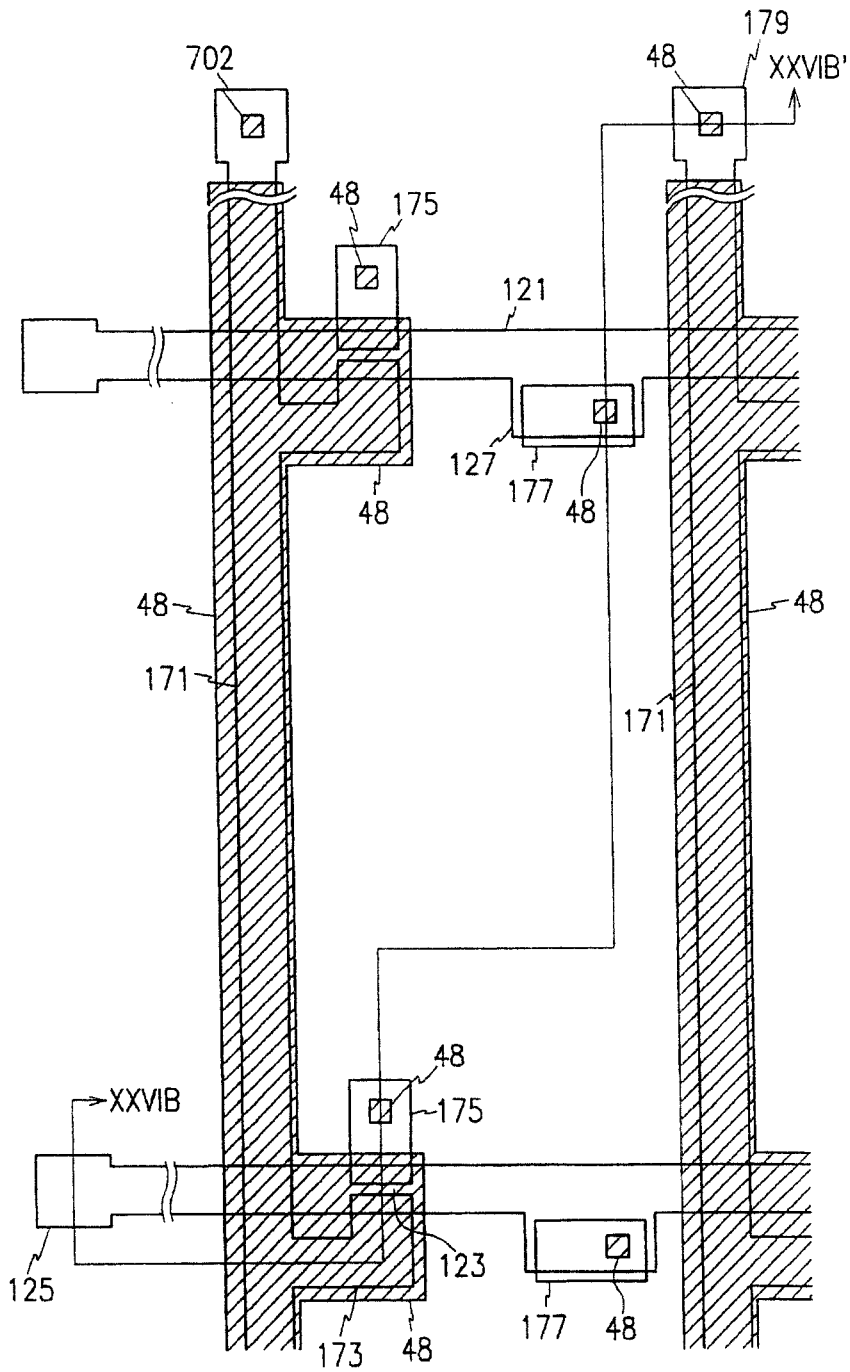


图 26A

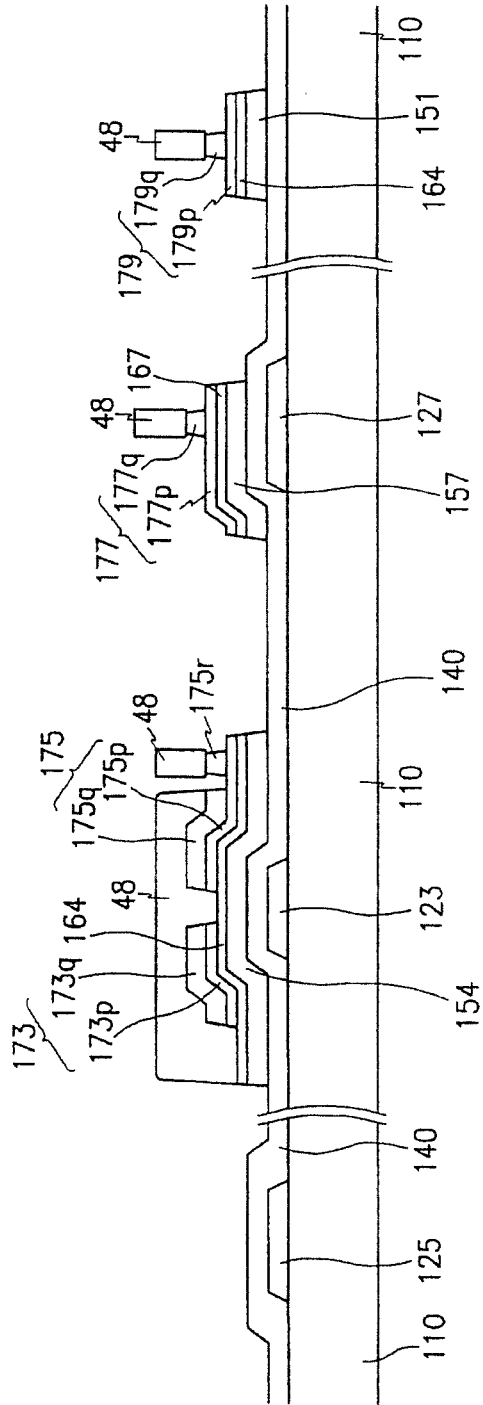


图 26B

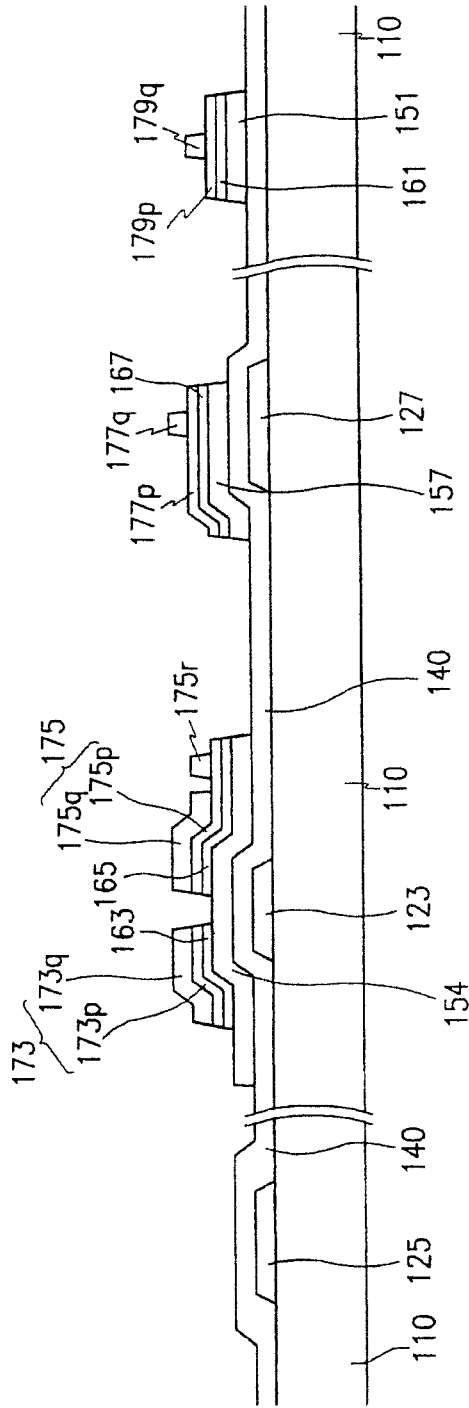


图 27

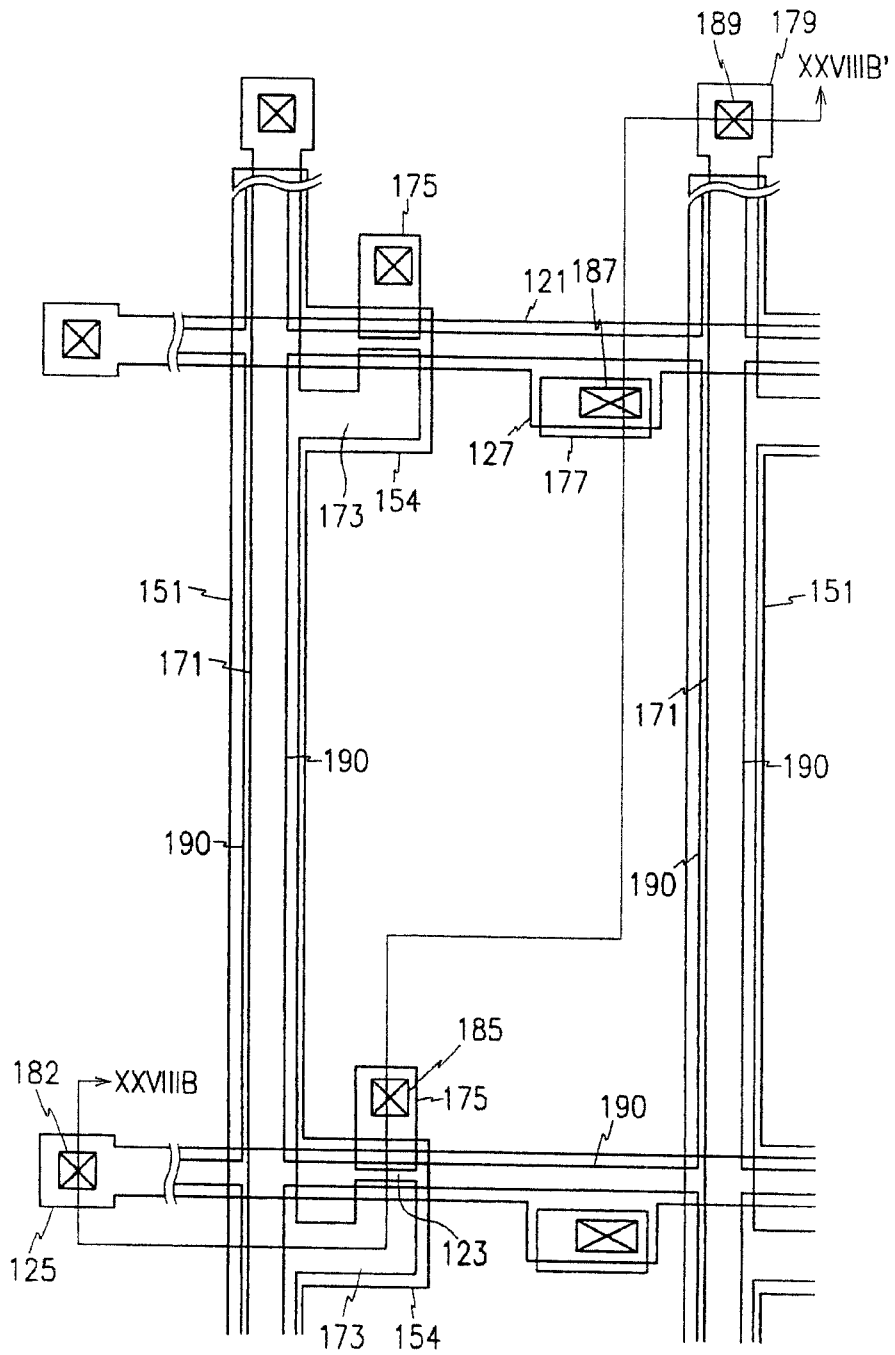


图 28A

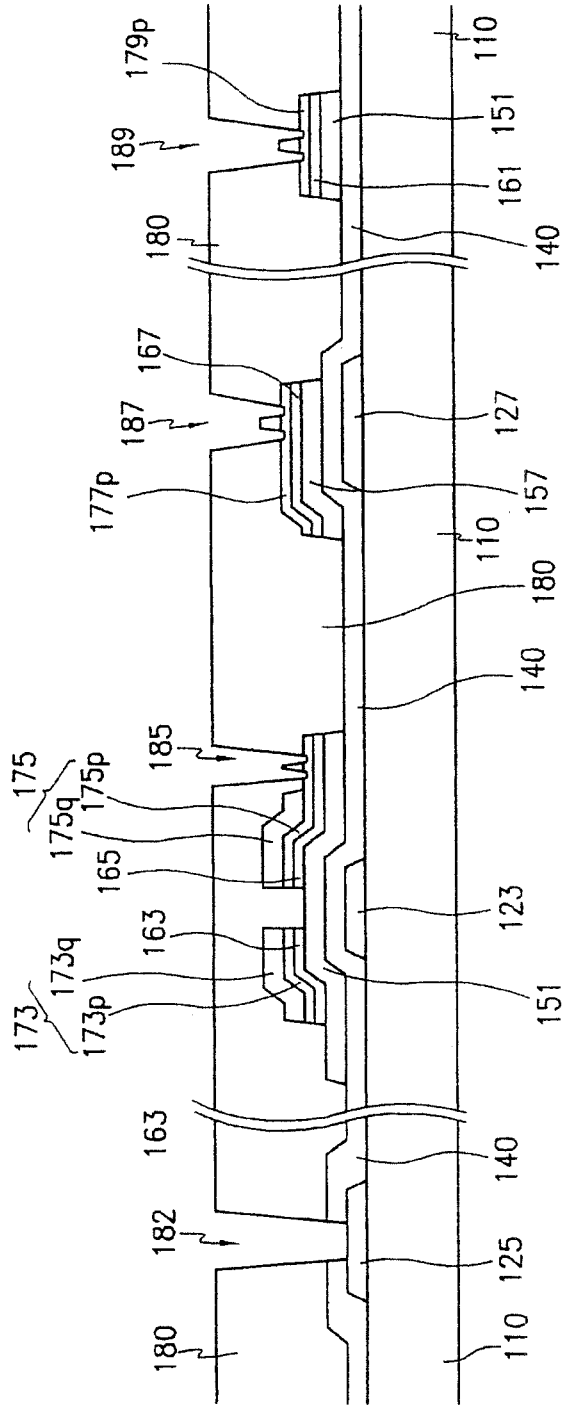


图 28B