

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5728672号
(P5728672)

(45) 発行日 平成27年6月3日(2015.6.3)

(24) 登録日 平成27年4月17日(2015.4.17)

(51) Int. Cl. F I
G 1 1 C 16/02 (2006.01)
 G 1 1 C 17/00 6 0 1 E
 G 1 1 C 17/00 6 1 4
 G 1 1 C 17/00 6 4 1

請求項の数 16 (全 20 頁)

(21) 出願番号 特願2011-511797 (P2011-511797)
 (86) (22) 出願日 平成21年5月28日(2009.5.28)
 (65) 公表番号 特表2011-522350 (P2011-522350A)
 (43) 公表日 平成23年7月28日(2011.7.28)
 (86) 国際出願番号 PCT/US2009/045386
 (87) 国際公開番号 W02009/155022
 (87) 国際公開日 平成21年12月23日(2009.12.23)
 審査請求日 平成22年12月15日(2010.12.15)
 審判番号 不服2014-2380 (P2014-2380/J1)
 審判請求日 平成26年2月7日(2014.2.7)
 (31) 優先権主張番号 12/127, 945
 (32) 優先日 平成20年5月28日(2008.5.28)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 510127664
 ラウンド ロック リサーチ、エルエルシ
 ー
 アメリカ合衆国、ニュージャージー州 O
 7054, パーシッパニー, ルート 46
 2001, ウォータービュー プラザ,
 スイート310
 2001 Route 46, Water
 view Plaza, Suite 31
 0, Parsippany, New Je
 rsey 07054 United S
 tates of America
 (74) 代理人 100106851
 弁理士 野村 泰久

最終頁に続く

(54) 【発明の名称】 ハイブリッドメモリ管理

(57) 【特許請求の範囲】

【請求項 1】

各メモリセルが第1の密度を有する、第1のメモリセルアレイと、各メモリセルが第2の密度を有する、第2のメモリセルアレイと、を備えるメモリデバイスに格納されるデータを管理するための方法であって、前記第1の密度は前記第2の密度よりも低く、前記方法は、

前記メモリデバイスの論理アドレスに関連付けられた使用を決定することと、

前記使用に少なくとも部分的に基づいて、前記第1のメモリセルアレイおよび前記第2のメモリセルアレイのうちの1つに、前記論理アドレスに関連付けられたデータを格納することと、

前記第2のメモリセルアレイ内の位置が利用可能である場合に、前記使用に少なくとも部分的に基づいて、データを前記第1のメモリセルアレイから前記第2のメモリセルアレイに移動させることにより、前記第1のメモリセルアレイ内に少なくとも特定の数のスペア位置を維持することと、

を含む、方法。

【請求項 2】

前記使用は、前記論理アドレスに対して実行された書き込み動作の回数を含む、請求項1に記載の方法。

【請求項 3】

前記使用は、前記論理アドレスに対して実行される書き込み動作の最も最近の発生に対

応するタイムスタンプを含む、請求項 1 に記載の方法。

【請求項 4】

前記データの前記使用は、前記メモリデバイスの起動後の特定の時間枠中に前記データがアクセスされたかどうかにも部分的に基づき、請求項 1 に記載の方法。

【請求項 5】

前記メモリデバイスの使用テーブルに、前記メモリデバイスの論理アドレスと関連付けられた前記使用を格納することをさらに含む、請求項 1 乃至 3 のいずれかに記載の方法。

【請求項 6】

前記第 1 のメモリセルアレイは、メモリセル当たり第 1 のビット数を格納するように構成された MLCメモリセルを備え、前記第 2 のメモリセルアレイは、メモリセル当たり第 2 のビット数を格納するように構成された MLCメモリセルを備え、前記第 2 のビット数は、前記第 1 のビット数よりも大きい、請求項 1 乃至 4 のいずれかに記載の方法。

10

【請求項 7】

前記使用を決定することは、将来の使用を予測することを含む、請求項 1 乃至 4 のいずれかに記載の方法。

【請求項 8】

前記論理アドレスに関連付けられた使用に少なくとも部分的に基づいて、前記第 2 のメモリセルアレイに格納されたデータを、前記第 1 のメモリセルアレイに移動させることをさらに含む、請求項 1 乃至 3 のいずれかに記載の方法。

【請求項 9】

20

前記論理アドレスに関連付けられた使用を決定することは、メモリ内の論理位置に関連付けられた決定されたデータの特性に少なくとも部分的に応じて、かつ、前記特性に少なくとも部分的に基づいて、前記使用を決定することと、前記データを、前記第 1 のメモリセルアレイおよび前記第 2 のメモリセルアレイのうちの 1 つに格納することとをさらに含む、請求項 1 に記載の方法。

【請求項 10】

前記データの前記特性は、前記データの使用の頻度である、請求項 9 に記載の方法。

【請求項 11】

メモリデバイスであって、

各メモリセルが第 1 の密度を有する、第 1 のメモリセルアレイと、

各メモリセルが前記第 1 の密度よりも高い第 2 の密度を有する、第 2 のメモリセルアレイと、

30

制御回路であって、前記制御回路は、前記メモリデバイスの論理アドレスの使用データを決定し、かつ、前記使用に少なくとも部分的に基づいて、前記第 1 のメモリセルアレイおよび前記第 2 のメモリセルアレイのうちの 1 つに、前記論理アドレスに関連付けられたデータを格納するように構成される、制御回路と、

を備え、

前記制御回路は、前記第 2 のメモリセルアレイ内の位置が利用可能である場合に、前記使用に少なくとも部分的に基づいて、データを前記第 1 のメモリセルアレイから前記第 2 のメモリセルアレイに移動させることにより、前記第 1 のメモリセルアレイ内に少なくとも特定の数のスペア位置を維持するよう、さらに構成される、メモリデバイス。

40

【請求項 12】

前記使用データは、前記論理アドレスで実行された書き込み動作の回数を含む、請求項 11 に記載のメモリデバイス。

【請求項 13】

前記使用データは、前記論理アドレス上で最も最近の書き込み動作が実行されてから経過した時間を前記使用データから決定できるように、データを含む、請求項 11 に記載のメモリデバイス。

【請求項 14】

前記制御回路は、前記第 1 のメモリセルアレイまたは前記第 2 のメモリセルアレイ上の

50

書き込み動作を選択的に実行し、各前記論理アドレスで実行される書き込み動作の回数に少なくとも部分的に基づいて、前記論理アドレスを物理的格納位置に割り当て、書き込み動作の前記回数が閾値を超える場合に、論理アドレスを前記第1のメモリセルアレイに再び割り当てるように、さらに構成される、請求項11または12に記載のメモリデバイス。

【請求項15】

前記制御回路は、前記第2のメモリセルアレイ内の位置が利用可能である場合に、実行された書き込み動作の回数が最も少ない論理アドレスに関連付けられたデータを、前記第2のメモリセルアレイに移動させることにより、または、特定の期間よりも長く書き込み動作を実行していない論理アドレスに関連付けられたデータを、前記第2のメモリセルアレイに移動させることにより、前記第1のメモリセルアレイ内に前記少なくとも特定の数のスベア位置を維持するように、さらに構成される、請求項11乃至13のいずれかに記載のメモリデバイス。

10

【請求項16】

データを前記第1のメモリセルアレイから前記第2のメモリセルアレイに移動させることは、

実行された書き込み動作の回数が最も少ない論理アドレスに関連付けられたデータを、前記第2のメモリセルアレイに移動させること、または、

特定の期間よりも長く書き込み動作を実行していない論理アドレスに関連付けられたデータを、前記第2のメモリセルアレイに移動させること、

20

をさらに含む、請求項1に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概してメモリデバイスに関し、特に、本開示は、シングルおよびマルチレベルのメモリセル格納の機能を有するメモリデバイスに格納されるデータの管理に関する。

【背景技術】

【0002】

メモリデバイスは、典型的には、コンピュータまたは他の電子デバイス内の、内部的な半導体集積回路として提供される。ランダムアクセスメモリ(RAM)、読み込み専用メモリ(ROM)、動的ランダムアクセスメモリ(DRAM)、同期型動的ランダムアクセスメモリ(SDRAM)、およびフラッシュメモリを含む、多くの異なる種類のメモリが存在する。

30

【0003】

フラッシュメモリデバイスは、広範囲な電子的利用のために不揮発性メモリの安価な供給源として開発されてきた。フラッシュメモリデバイスは、典型的には、高メモリ密度、高信頼性、および低電力消費量を実現する1トランジスタのメモリセルを使用する。フラッシュメモリが一般的に利用されるものには、パーソナルコンピュータ、パーソナルデジタルアシスタント(PDA)、デジタルカメラ、および携帯電話を含む。基本入力/出力システム(BIOS)等のプログラムコードおよびシステムデータは、典型的には、パーソナルコンピュータシステムで使用されるためにフラッシュメモリデバイスに格納される。

40

【0004】

フラッシュメモリは、典型的には、NORフラッシュおよびNANDフラッシュとして公知の2つの基本的なアーキテクチャのうちの1つを利用する。この名称は、デバイスを読み込むために使用される論理に由来している。NANDタイプのフラッシュメモリアレイのアーキテクチャでは、メモリアレイのフローティングゲートメモリセルは行および列のマトリクスで構成される。アレイのメモリセルは、さらに、典型的にはそれぞれ8、16、32またはそれ以上のストリングで相互に構成され、ここで、ストリングにおけるメモリセルは、多くの場合ビット線と称される、共通なソース線および列トランスファー線

50

の間を、ソースからドレインへと直列に相互接続される。次に、そのゲートに接続されるワード線を選択することにより、フローティングゲートメモリセルの行をアクティブ化する行デコーダによって、アレイにアクセスされる。さらに、ビット線は、現在実行されている動作によって、高くまたは低く駆動することができる。

【0005】

電子システムのパフォーマンスおよび複雑性が増加するにつれて、システム内の追加的なメモリの要件も増加している。しかし、システムのコストを低く抑えるためには、パーツ数は少なくしておくことが望ましい。これは、こうした技術をマルチレベルセル(MLC)として使用することで、集積回路のメモリ密度を増加させることにより実現できる。例えば、MLC NANDフラッシュメモリは、コスト効率性の高い不揮発性メモリである。

10

【0006】

マルチレベルメモリセルは、(例えば、ビットパターンで表される)データの状態を、メモリセルに格納される特定の範囲の閾値電圧(V_t)に割り当てる。シングルレベルメモリセル(SLC)により、各メモリセル上のシングルビットのデータの格納が可能になる。一方で、MLC技術は、セルに割り当てられる閾値電圧範囲の量およびメモリセルの寿命動作中に割り当てられる閾値電圧範囲の安定性に従って、セル毎に2ビット以上(例えば、2、4、8、16ビット)の格納を可能にする。Nビットからなるビットパターンを表すために使用される、 V_t 分散ウィンドウと称されることもある閾値電圧範囲(例えば、レベル)の数は、 2^N である。例えば、1ビットは2つのレベルで、2ビットは4つのレベルで、3ビットは8つのレベルであってもよい。

20

【0007】

例えば、セルは、それぞれ、2ビットで構成されるビットパターンに対応したデータの状態を表すために使用される、200mVの4つの異なる電圧範囲のうちの1つの範囲内の V_t に割り当ててもよい。典型的には、0.2V~0.4Vのデッドスペース(時にマージンと称される)は、 V_t 分散が重複しないように、各範囲内に保たれる。セルに格納される電圧が4つの V_t 分散のうちの1つめの範囲内である場合、この場合のセルは、論理の「11」状態を格納し、典型的には、セルの消去された状態と考えられる。電圧が、4つの V_t 分散のうちの2つめの範囲内である場合、この場合のセルは、論理の「10」状態を格納する。4つの V_t 分散のうちの3つめの分散内の電圧は、この場合のセルが論理の「00」状態を格納することを示す。最後に、4つめの V_t 分散に常駐する V_t は、論理の「01」状態がセル内に格納されることを示す。

30

【0008】

SLCまたはMLCメモリの使用に関連して、長所および短所が存在する。MLCメモリは、例えば、セル毎に1データビットを格納するために従来使用されてきたSLCメモリに対して、シングルメモリセル内にマルチデータビットを格納できるため、MLCメモリは、概して、メモリ密度に関してよりコスト効率が高いと考えられる。しかし、従来のSLCメモリは、従来のMLCメモリの回数よりも多くの回数(例えば、桁単位で)書き込むことができる。例えば、従来のMLCメモリの特徴として、データを10,000回程度、消去および再書き込みすると、メモリの読み込みおよび書き出しエラーが著しく起こりやすくなる、ということがある。他方で、従来のSLCメモリは、データの信頼性が低下し始めるまでに、典型的には100,000回程度、消去および再書き込みを行う場合がある。これらの密度およびパフォーマンス特性は、異なる種類のMLCアレイの間にもあてはまる。現在のところ、4および8のレベルを有するMLCデバイスが存在するが、より高密度のメモリの研究が行われている。より多くのレベルを有するMLCは、より少ないレベル(より低密度)を有するMLCよりも効率が高い(より高密度)が、これらのより高密度のデバイスは、より低密度のデバイスに対するパフォーマンスペナルティを有してもよい。SLC(2つのレベル)およびMLC(2つより多いレベル)で構築されるデバイスの場合は、それぞれ、それ自身の密度およびパフォーマンスのトレードオフを有する、複数のメモリアレイを有するデバイスとして一般化できる。一実施例として、M

40

50

LC (4つのレベル) アレイおよびMLC (8つのレベル) アレイで構築されるデバイスがある。SLC、MLC (4つのレベル) およびMLC (8つのレベル) 等の、2つよりも多いメモリアレイが存在する場合さえもある可能性がある。一般的な命名規則では、例えば0または1によって表される1ビットのデータを格納するために2つのレベルを利用するSLCメモリとして、SLCメモリをMLC (2つのレベル) メモリと称する。2データビットを格納するために構成されるMLCメモリは、MLC (4つのレベル) で表すことができ、3データビットはMLC (8つのレベル) 等で表すことができる。MLC (4つのレベル) メモリセルは、典型的には、例えば、メモリセル毎に格納されるビット数がより低いために、MLC (8つのレベル) メモリより低密度のメモリセルと称される。SLC (例えば、MLC (2つのレベル)) は、典型的には、MLC (4つのレベル) メモリより低密度のメモリと称される、等々というようになる。

10

【0009】

上記の理由から、および本明細書を読解および理解する際に当業者には公知となる、以下に記載の理由から、当該技術において、SLCおよびMLCメモリ等の異なる密度のメモリの利用を管理するように適合されるハイブリッドメモリデバイスには、各タイプのメモリに関連付けられる好適な動作特性を利用できることが求められている。

【図面の簡単な説明】

【0010】

【図1】本開示の一実施形態に従う、メモリモジュールの機能ブロック図である。

【図2】本開示の種々の実施形態に従う、複数の動作を示すフローチャートである。

20

【図3】本開示の一実施形態に従う、メモリデバイスの格納の一設定を図示する。

【図4】本開示の一実施形態に従う、データの移動動作を図示する。

【図5】本開示の一実施形態に従う、データの書き込み動作を図示する。

【図6】本開示の一実施形態に従う、少なくとも1つのメモリデバイスを有する電子システムの機能ブロック図である。

【発明を実施するための形態】

【0011】

以下の、発明を実施するための形態において、その一部を成す添付の図面を参照する。図面において、同様の数字は、いくつかの図における本質的に同様のコンポーネントを示す。これらの実施形態は、当業者が発明を実施することを可能にするように、十分詳細に記載されている。他の実施形態を利用してもよく、また、本発明の範囲から逸脱しない限り、構造的、論理的、および電子的な変更を加えてもよい。従って、以下の発明を実施するための形態は、制限的な意味で解釈すべきものではなく、本開示の範囲は、こうした特許請求の範囲が権利を与える同等物の全範囲と共に、添付の特許請求の範囲によってのみ定義される。

30

【0012】

上記のように、従来のSLCおよびMLCメモリは、これらに関連付けられる正および負の属性の両方を有する。SLCメモリはより高速な書き込み動作を可能にするものであり、MLCメモリと比較して、メモリセルの信頼性が低下し始めるまで持ちこたえることができる書き込み動作数はずっと多い。しかし、MLCメモリは、各メモリセル上にマルチデータビットを格納できるが、SLCは、セル毎にシングルビットのみを格納するために使用されるという点で、SLCメモリはMLCメモリほど効率的ではない。本開示の種々の実施形態は、SLCメモリに、頻繁に更新されるデータを格納し、MLCメモリに、それほど頻繁に更新されないデータを格納する。これは、メモリデバイスの効率性および信頼性を向上させるために使用可能である。SLCおよびMLCメモリの利用に関連して、いくつかの実施形態が開示されているが、種々の実施形態がそのように制限されるわけではない。例えば、一実施形態は、MLC (2つのレベル) メモリと称されることもあるSLCメモリと、MLC (4つのレベル) メモリとを利用してよい。別の実施形態は、MLC (4つのレベル) およびMLC (8つのレベル) メモリを利用してよい。さらに他の実施形態は、例えば同じメモリデバイス内の、SLC、MLC (4つのレベル) およ

40

50

びMLC(8つのレベル)メモリ等の3つ以上のメモリアレイを利用できる。本開示の種々の実施形態に従い、他の組み合わせも可能である。このように、実施形態は、メモリデバイス内の異なるレベル(例えば、密度)のメモリの組み合わせを利用できる。

【0013】

不揮発性メモリデバイス内のデータは、データがデバイスに物理的に常駐する場所を定義しない、論理ブロックアドレス(LBA)と称される抽象化によってアクセスできる。デバイスはさらに、物理的位置を定義するが、何のデータがこの位置に保たれるかを定義または示唆しない物理的ブロックアドレス(PBA)を有することができる。磁気ディスクデバイスでは、物理的ブロックアドレスは、特定のシリンダ、ヘッド、およびセクタに変換する。固体不揮発性メモリデバイスでは、物理的ブロックアドレスは、典型的には、特定のメモリアレイ内の特定のメモリブロックアドレスを指す。論理ブロックアドレスおよび物理的ブロックアドレスは、当業者に公知である。メモリデバイスは、LBAをその割り当てられるPBAにマップするルックアップテーブルを保守する。SLCおよびMLCメモリの両方を有する従来のメモリデバイスは、SLCメモリまたはMLCメモリのいずれかにデータを格納する。データは、SLCとMLCメモリとの間を移動しない。これは、メモリデバイス内に格納されるデータが、所与のLBAの使用(例えば、実行される書き込み動作数)に基づく等により、SLCとMLCとの間を移動できるようにする、本開示の種々の実施形態とは対照的である。この使用は、本開示の種々の実施形態に従い、メモリデバイスのLBAのために決定される(例えば、追跡される)および維持される。本開示の種々の実施形態はさらに、所与のLBAの使用を予測し、これに従って、これをSLCまたはMLCメモリに割り当ててもよい。例えば、多くのファイルシステムは、ファイル割り当てテーブル(FAT)等のLBAへファイルを参照するために使用されるデータ構造を保持し、こうした構造に関連付けられるLBAは、ファイル書き込み動作毎の書き込み動作の影響を受けやすくなる可能性がある。このため、FATに関連付けられるLBAは、最初に、MLCメモリではなく、SLCメモリに割り当てられてもよい。他の実施形態は、各LBAの実際の追跡された使用に応じて作用することにより、SLCまたはMLCメモリ内の所与のLBAの位置を調整する。本開示のいくつかの実施形態に従い、LBAは、LBAが最初に割り当てられた方法には関係なく、メモリデバイスの動作中に、LBAの実際の使用に基づいて、SLCとMLCメモリとの間を移動してもよい。

【0014】

図1は、本開示の一実施形態に従うメモリデバイスを図示する。図1のメモリデバイスは、本開示の種々の実施形態を中心とするために、簡略化されている。メモリデバイス100は、SLCまたはMLCのいずれか(または異なる密度のMLCの間)のメモリへのLBAの割り当ての管理を含む、本開示の種々の実施形態に従うメモリデバイス100の動作の制御および管理のためのコントローラ170を含む。コントローラ170は、例えば、個別論理またはステートマシンの形態を取ることができる。コントローラ170はさらに、プロセッサ110等のホストと通信するための種々の手段を組み込む。例えば、コントローラ170は、当業者に公知であるように、ユニバーサルシリアルバス(USB)、SATA、PATA、ATA8-ACS、SD、MMC、コンパクトフラッシュ、メモリスティック、IEEE 1394またはBA-NANDインターフェースを組み込んでSLCおよびMLCメモリの物理的磨耗レベル分けはさらに、コントローラ170によって処理できる。

【0015】

メモリデバイス100はさらに、SLCメモリ132のアレイおよびMLCメモリ134のアレイを含む。いくつかの実施形態では、SLC132およびMLC134メモリは、個別のフラッシュメモリチップであってもよく、一方で、SLCおよびMLCメモリは、1つのチップ上に含まれてもよい。メモリアレイ132および134はさらに、異なる密度のMLCメモリで構成されてもよい。アレイ132はMLC(4つのレベル)にしてもよく、アレイ134は、例えばMLC(8つのレベル)にしてもよい。図1に示されるSLC132およびMLC134メモリは、それぞれ、複数のバンクおよびメモリブロッ

10

20

30

40

50

クでさらに構成されてもよい。図1に示されるSLC132およびMLC134のメモリブロックは、それぞれ複数のメモリチップで構成できる。メモリデバイス100のSLCおよびMLCメモリの数量(例えば容量)は、等しくてもよい、または等しくなくてもよい。いくつかの実施形態(例えば、SLCおよびMLCメモリを含むシングルチップ)では、SLCアレイおよびMLCアレイのサイズは、所与の応用のために、SLC対MLCメモリの所望の数量に従って、割り当て可能にしてもよい。本開示に従う別の実施形態では、図1のメモリデバイスは、2つのSLCチップおよび2つのMLCチップを有する、双方向のインターリーブされたメモリデバイスであってもよい。本開示の種々の実施形態に従い、SLCおよびMLCチップの他の数量も可能である。

【0016】

図1のメモリデバイスはさらに、使用テーブル136を含む。使用テーブルは、メモリデバイス100の種々のLBAのために使用データ(例えば実行される書き込み動作)を格納するために、コントローラ170によって利用される。例えば、LBAで書き込み動作が実行されるたびに、そのLBAのために関連付けられる使用データが更新される。使用テーブル136はさらに、書き込みがされた回数に対して、所与のLBAが最後に書き込まれた時間を示す、使用情報(例えば、タイムスタンプ)を格納してもよい。例えば、LBAは、書き込みがされた累計の回数ではなく、特定のLBAが最後に書き込まれてからどれだけの時間が経過したか(例えば、分、日、月等)に基づいてマッピングされてもよい。タイムスタンプのLBAへの割り当てに加えて、LBAは、代わりに、時間グループに割り当てられてもよい。第1の時間グループに割り当てられるLBAは、今月に使用されたLBAを表してもよく、一方で、例えば、第2の時間グループに割り当てられるLBAが、先月に使用されたLBAを表してもよい。種々の実施形態に従うと、使用は、メモリデバイスの起動時または起動後の特定の時間枠中において、LBAが利用されるトラッキングをさらに含んでもよい。特定の時間枠はさらに、例えば、リセット動作の後に続くものでもよい。これらのLBAは、次に、典型的には、より高い密度(例えば、MLC(4つのレベル))のメモリよりも高速にアクセスできるより低密度(例えば、SLC)のメモリに割り当てられてもよい。これは、例えば、起動ローディング動作中のアクセス時間の短縮等の、スタートアップパフォーマンスを向上できる。使用テーブル136に格納される使用データは、個々のLBAの使用に制限されない。使用データはさらに、複数回の利用またはLBAの範囲に関して、格納されてもよい。使用テーブルは、所望の場合、クリアにすることもできる。例えば、メモリデバイス100に接続されるホスト110は、使用テーブル136のすべてまたは一部をクリアするように命令する特定のコマンドを送信してもよい。使用テーブルの一実施例が、図1のブロック136に示されている。

【0017】

使用テーブル136を、揮発性および不揮発性メモリ部分の一方または両方を有する集積回路デバイス等のスタンドアロンのコンポーネントに格納してもよい。揮発性および不揮発性メモリの両方を有する実施形態では、揮発性メモリは、メモリデバイスの動作中に現在の使用テーブルを維持できる。使用テーブルは、定期的に、揮発性メモリから不揮発性メモリへとコピーできる。現在の使用テーブル136はさらに、起動時に揮発性メモリにロードされ、メモリデバイスのパワーダウン中に不揮発性メモリに戻るように伝送されることができる。他の実施形態では、使用テーブル136のデータを、メモリデバイス100のメモリアレイ132/134に格納できる。例えば、使用テーブルデータは、メモリデバイス内のLBAに関連付けられるデータと共に、格納され(例えば補足され)てもよい。他の実施形態では、使用テーブルは、SLC132またはMLC134メモリのいずれかの専用の位置に格納されてもよい。

【0018】

図1は、さらに、プロセッサ110に連結されるメモリデバイス100を図示する。メモリデバイス100は、複数のバスおよび信号を含んでもよい、インターフェース174によって、プロセッサ110に連結される。例えば、プロセッサによって生成される制御信号は、制御バス172によって、メモリデバイスに連結できる。さらに、アドレスバス

10

20

30

40

50

142およびデータベース162も図示される。インターフェース174は、(例えばUSB、SATA、PATA等の)上記のインターフェースプロトコルのうちの1つに準拠する。

【0019】

図2は、本開示の実施形態の実施においてコントローラ170によって実行される種々のアクティビティのうちの一つのフローチャートを図示する。本開示の一つの実施形態では、メモリデバイスのコントローラは、LBAがメモリデバイス100内のどこに割り当てられるかを決定する(200)。上記のように、FATテーブルは、頻繁に使用される可能性がある。このため、本開示の一実施形態に従い、メモリデバイス100のコントローラ170は、FATに関連付けられるLBAを、SLC(例えば、MLC(2つのレベル))メモリに割り当ててもよい(214)。この実施形態に従うFAT LBAはさらに、SLCメモリに永続的に割り当てられ(例えば「ピン付け」)てもよい。他の実施形態では、コントローラは、FAT LBAをMLCメモリに割り当ててもよく(206)、コントローラ170は、使用に基づいて、FATテーブルを移動できる。このため、一実施形態に従い、全てのLBAを、最初にMLCメモリに書き込んでもよい(206)。他の実施形態では、全てのLBAは、最初にSLCメモリに割り当てられてもよい(214)。さらに他の実施形態は、そこにおいてSLCメモリへ実行される書き込み動作を有する全てのLBAを割り当ててもよい。これらの実施形態では、現在書き込まれているLBAがMLCメモリに既に割り当てられている場合に、コントローラ170は、書き込まれるLBAが、最終的にSLCまたはMLCメモリに割り当てられるべきであるかどうかを決定できる。

【0020】

コントローラはさらに、動作中のメモリデバイスのLBAで、使用テーブルデータを追跡および維持(例えば、更新)する(208/216)。MLCメモリに現在割り当てられるLBAの使用がいくつかの閾値を上回る場合(210)、コントローラは、LBAに関連付けられるデータを、SLCメモリに移動し(およびLBAをSLCメモリの位置に再び割り当て)ようとする(212)。一実施形態では、この閾値は、所与のLBAで実行される1000の書き込み動作であってもよい。しかし、実施形態は、単一の閾値に制限されない。例えば、閾値は、メモリ上で実行される全書き込み動作のうちの一部であってもよい(212)。MLCメモリに割り当てられる全てのLBAの使用が閾値に達しないままである場合、こうしたLBAは、引き続き、MLCメモリに割り当てられる。

【0021】

一実施形態に従い、コントローラによってLBAがSLCメモリに割り当てられるたびに(214)、またはMLCメモリに割り当てられるLBAがいくつかの閾値を上回るたびに(212)、十分な数のスペア位置がSLCメモリ内に保持されているかが決定される(218)。データ処理およびハウスキューピング機能をメモリデバイスで実行できるようにするために、スペア位置が必要とされる。SLCへの現在の書き込み動作の実行後にSLCに十分な領域が存在する場合、コントローラによるさらなるアクションは不要であり、LBAは、SLCメモリに割り当てられる。しかし、LBAのSLCメモリへの現在の割り当てにより、SLCメモリ内の残りのスペア位置の数が減少しすぎる場合には、コントローラは、SLCメモリ内のスペア位置の最小数を保存するために、本開示の種々の実施形態に従ってデータ管理機能を実行する。例えば、コントローラは、SLCに現在割り当てられる各LBAの使用データの見直しを行う。SLCメモリに現在割り当てられるLBAが、これに関連付けられる最小の使用数を有する場合、そのLBAに関連付けられるデータは、MLCメモリ(例えば、次のより高密度のメモリ)に移動される(220)。LBAの使用を表すためにタイムスタンプを利用する実施形態では、SLCメモリに割り当てられる、最も以前に使用されたLBAがMLCメモリに移動する。1つ以上の実施形態に従い、LBAで特定の期間において書き込み動作が行われていない場合、データは、より密度の高いメモリ(例えば、SLCからMLCへ)に移動してもよい。例えば、対応するLBAのタイムスタンプが、一ヶ月以上LBAが書き込まれていないことを示す場

10

20

30

40

50

合に、データは、MLC（4つのレベル）からMLC（8つのレベル）メモリへ移動してもよい。本開示の種々の実施形態に従い、他の期間も可能である。

【0022】

現在SLCメモリに割り当てられる最も使用されていないLBAに関連付けられるデータの、MLCメモリへの移動動作を実行することで(220)、SLCメモリへの現在のLBA書き込み動作が完了した後、スペア位置の十分な数量がSLCメモリに残るはずである。いくつかの実施形態に従うコントローラはさらに、SLCメモリに現在割り当てられる最も使用されていないLBAの使用が一定の数量を上回る場合に、SLCメモリへの書き込み動作が進行することを阻止してもよい。この状況において、SLCメモリに割り当てられないようにされたLBAは、代わりにMLCメモリに割り当てられてもよい。LBAに関連付けられるデータが、SLCからMLCへ(220)またはその逆へ(212)と移動する場合に、少なくとも本開示の一実施形態に従い、LBAに関連付けられる使用データは増分されない。

10

【0023】

コントローラ170はさらに、メモリデバイス上で物理的磨耗レベル分け動作を実行することができ、一方で、本開示の種々の実施形態に従い、MLCおよびSLCメモリ内またはこのMLCメモリとSLCメモリとの間において、LBAに関連付けられるデータ移動が実行される。例えば、MLCメモリに割り当てられるLBAは、さらにMLCメモリに配置される別のPBAに再び割り当てられてもよい。このため、LBAは、メモリ領域の同じ物理的メモリセルにおいて全書き込み動作を実行せずに、メモリ（例えばMLCまたはSLC）の所望の領域にとどまる。同様の物理的磨耗レベル分けはさらに、メモリのSLC領域で実行される。

20

【0024】

図3～図5は、本開示の一実施形態に従う、データ移動および書き込み動作を示す。図3は、メモリデバイス300の双方向のインターリーブされた実施形態を図示する。この構成により、大きなデータを、2つのメモリチップで共有できる。しかし、本開示に従うメモリデバイスは、双方向のインターリーブされた設定に制限されない。図3のメモリデバイス300は、コントローラ302、SLCメモリ306、MLCメモリ308および、SLCならびにMLCメモリをコントローラ304に結合させるデータバスを有するものとして示される。図3に示される実施形態では、SLCメモリ306は、2つのフラッシュSLCメモリ集積回路（例えばチップ）310/312を含む。図3に示されるメモリデバイス300のMLCメモリ308は、2つのフラッシュMLCメモリチップ314/316を含む。他の実施形態は、例えば、異なる数のSLCおよびMLCチップを有する。図3に示されるメモリデバイスは、本開示の実施形態を中心とするために簡略化されている。他のコンポーネントは、業者に公知であるようにメモリデバイス300に含まれてもよい。

30

【0025】

図3は、その割り当てられるLBAおよびそれぞれの各使用データと共に、SLCメモリ306内の位置322を示す。図1について記載されるように、使用データは、LBAに関連付けられる位置に格納されてもよく、または、異なる位置136に格納されてもよい。図3の実施形態は、4つのLBAがSLCメモリに以前に割り当てられた一実施形態を図示する。他の実施形態は、所与の時間においてMLCメモリに割り当てられるLBAを有するのみでもよい。図3に示される本実施形態では、スペアのSLC位置の最小数は2である。しかし、本開示の実施形態は、2つのスペアの位置を保つということに制限されない。

40

【0026】

図4は、図2のブロック214に示されるように、LBAがSLCメモリに割り当てられる動作を図示する。この実施例では、移動動作は、新しいデータのための余地を確保するために、かつ、SLCメモリ306内の必要な2つのスペアの位置を維持できるように実行される。再び図2を参照すると、使用数の最も低いLBAに関連付けられるデータは

50

、S L Cメモリ306における最小数のスペア位置を維持するために、M L Cメモリに移動される(220)。この実施例では、位置322に割り当てられる、L B A = 2 (U S A G E = 1を有する)に関連付けられるデータが、M L Cメモリ308へ移動する(418)。図5は、関連付けられるデータがS L Cメモリ306に書き込まれる、L B A = 7上の書き込み動作520を図示する。書き込み動作520および移動動作418は、いずれの順序で実行されてもよい。実施形態は、書き込み動作520の前に移動動作418が実行される必要がある、ということに制限されない。図5に示すように、2つの必要なスペアメモリ位置のうちの1つが、S L Cメモリ内において効率的に再配置されている。しかし、書き込み動作520の終了時に、2つの必要なスペアの位置は、まだS L Cメモリ306に存在するように示される。本開示の種々の実施形態に従い、図3～図5に示されるより多くのメモリ位置およびL B Aが可能であることを留意されたい。さらに、種々の実施形態に従う移動動作は、移動動作が望ましいことを決定するために使用されたL B Aと共に、多数のL B Aの移動を含んでもよい。例えば、いくつかの実施形態に従うと、メモリのいずれかのメモリセグメントが、複数の論理ブロック(例えば、4 L B A、8 L B A等)のアクセスと共に最も効率的に使用されるアーキテクチャを有する場合、種々の実施形態は、シングルL B AによってL B A使用が追跡される場合でも、これらの種々のサイズのL B Aのグループを移動してもよい。例えば、L B A = 1が移動されることが決定される場合、L B A 2、3、および4はさらに、本開示の種々の実施形態に従い、同じ動作の間、移動してもよい。

【0027】

再び図1を参照すると、本開示に従う実施形態は、メモリデバイスをプロセッサ110等のホストに結合させるための標準的なインターフェース174を有する、メモリデバイス100を組み込むことができる。ハードディスクドライブ(HDD)に適合されるもの等の種々の種類の標準的なインターフェースが存在する。例えば、S A T AおよびP A T Aが一般的なHDDインターフェースである。U S BおよびS Dインターフェース等、さらなる標準的なHDDに特化していないインターフェースもまた、当該技術に存在する。これらのおよび他の標準的なインターフェースおよびプロトコルを利用する本開示の実施形態は、これらのインターフェースを利用するために既に適合される現在存在するプロセッサおよびコントローラと共に使用可能である。

【0028】

本開示に従う一実施形態では、インターフェース174およびコントローラ170は、標準的なHDDインターフェースおよびプロトコルをエミュレートするように構成される。典型的には、HDDは、キャッシュメモリ(例えばR A M)および回転磁気媒体の両方を含む。典型的なHDDと相互作用するホストは、データをHDDデータキャッシュ内または磁気媒体上に格納する必要があるかどうかを決定する。例えば、F A Tは、F A Tが頻繁に更新される可能性があるため、多くの場合、ホストによってHDDデータキャッシュに格納される。更新の可能性が低いデータは、ホストによって磁気媒体上に格納される。本開示のいくつかの実施形態に従い、ホスト110は、メモリデバイス100が、典型的なHDDではなく、そのため、メモリデバイス100と通信する場合に標準的なHDDコマンドを利用することを認識しない。本開示の実施形態に従うと、コントローラ170は、ホストからのデータおよび命令を受信し、従って、S L C 132および/またはM L C 134メモリ内に格納を方向付けるように構成される。例えば、ホストがHDDデータキャッシュ内に格納されると考えるF A Tテーブルは、代わりに、コントローラ170によってS L Cメモリ132内に格納される。ホスト110が、HDD(例えばそれほど頻繁に更新されないデータ)の磁気媒体上に格納しようとするデータは、M L Cメモリ134上に格納される。本開示の種々の実施形態に従うコントローラ170は、次に、使用テーブル136を更新でき、図2を参照して記載されるもの等のL B A上の動作を実行できる。例えば、図2の決定ブロック210を参照すると、M L Cメモリ134に割り当てられるL B Aに関連付けられるデータを、L B Aの使用の値がある特定の値を上回る場合に、S L Cメモリ132(および、S L C内の対応する位置に再び割り当てられるL B A)

に移動可能である。

【0029】

R A M キャッシュメモリおよび回転磁気媒体を有する、上記の標準的なH D D インターフェースおよびプロトコルと同様の、別のH D D インターフェースおよびプロトコルが存在する。このインターフェースおよびプロトコルは、T 1 3 T e c h n i c a l C o m m i t t e e が管理する、「N o n V o l a t i l e C a c h e C o m m a n d P r o p o s a l f o r A T A 8 - A C S」に記載される。A T A 8 - A C S の提言は、回転媒体を有し、さらに、上記のように揮発性（例えば、R A M）キャッシュメモリの代わりに不揮発性キャッシュメモリをも有する、従来のH D D デバイスとのインターフェース接続について記載されている。本開示の種々の実施形態は、提言されたA T A 8 - A C S プロトコルも利用可能である。例えば、ホスト1 1 0 は、A T A 8 - A C S プロトコルに従い、ホスト1 1 0 が不揮発性キャッシュメモリであると考えられるものの中にデータが格納されるように命令する、不揮発性キャッシュコマンドの利用によって、指示してもよい。種々の実施形態のうちの一つ以上に従うコントローラ1 7 0 は、A T A 8 - A C S コマンドを解釈し、データをメモリデバイス1 0 0 のS L C（例えば、最も低密度）メモリ1 3 2 に方向付ける。ホスト1 1 0 が回転磁気媒体であると考えられるものに、ホスト1 1 0 が格納されるように方向付けるデータは、代わりに、メモリデバイス1 0 0 のM L C（例えば、より高密度）メモリ1 3 4 へと、コントローラ1 7 0 によって方向付けられる。A T A 8 - A C S プロトコルに従い、ホスト1 1 0 は、ホスト1 1 0 がメモリデバイスの不揮発性キャッシュメモリ部分であると考えられるものに、一つ以上のL B A をピン付けしてもよい。種々の実施形態に従い、これらのL B A は、S L C メモリ1 3 2、または本開示の実施形態に従うメモリデバイス1 0 0 の最も低密度のメモリにピン付けされる。

【0030】

本開示の他の実施形態では、ホスト1 1 0 は、メモリデバイス1 0 0 の真の特性（例えばフラッシュメモリ）を認識してもよい。この実施形態では、ホストは、メモリデバイスのために使用テーブルを保守でき、前述のように、かつ図2に示すように、種々の実施形態の種々の動作を実施するように、メモリデバイスコントローラ1 7 0 に命令できる。例えば、ホスト1 1 0 は、格納されるデータの特性に基づいて、メモリデバイスのS L C メモリ1 3 2 内にデータを格納するように、メモリデバイス1 0 0 に命令できる。例えば、ホスト1 1 0 は、F A T への頻繁な更新の可能性のために、メモリデバイス1 0 0 のS L C メモリ1 3 2 に格納されるように、メモリデバイス1 0 0 に対してF A T を割り当ててもよい（2 1 4）。ホスト1 1 0 はさらに、L B A が頻繁に使用され（例えば書き込まれない可能性のために、メモリデバイスのM L C メモリに格納されるように、データ2 0 6 を方向付けてもよい。格納されるデータと共に、ホストはさらに、メモリデバイス1 0 0 内のデータの意図された送信先（例えばS L C またはM L C）を示すコントローラ1 7 0 へ、インジケータ（例えばフラグ）を送信できる。

【0031】

種々の実施形態に従い、ホストは、全てのL B A をS L C メモリに割り当て、全てのL B A をM L C メモリに割り当て、または、所与のL B A が割り当てられるデータの特性に基づいて、動的に決定してもよい。例えば、データの特性は、所与のL B A に関連付けられるデータの使用の公知のまたは予想される頻度を指してもよい。L B A が、S L C、M L C に割り当てられるのであっても、または動的に割り当てられるのであっても、図2に示される動作は、本開示の種々の実施形態に従い、L B A 上で実行されてもよい。例えば、M L C メモリ1 3 4 への移動動作2 2 0 を、S L C メモリ1 3 2 内のスペアの位置を十分な数量維持する（2 1 8）ために行うことが可能である。これらの動作を実行するためのホストによる決定は、ホスト1 1 0 によって保守されるように、使用テーブルデータに基づいて行うことができる。ホスト1 1 0 はさらに、メモリデバイス1 0 0 に含まれるS L C およびM L C メモリの数量に関して、問い合わせることができる。本開示の実施形態はさらに、S L C 全体、M L C 全体またはS L C およびM L C メモリの両方の組み合わせとして構成できるメモリデバイスを利用してよい。ホストは、さらに、S L C およびM

ＬＣメモリの組み合わせとして構成されるデバイス内のＳＬＣおよびＭＬＣが指定されたメモリの間の区分に関して、問い合わせてもよい。

【 0 0 3 2 】

さらなる実施形態は、メモリデバイスコントローラ 1 7 0 またはホスト 1 1 0 が、使用テーブル 1 3 6 の利用の代わりにＳＬＣ 1 3 2 メモリへ方向付けられたポインタを維持できるようにする。ポインタは、当業者に公知である。これらの実施形態に従い、ＳＬＣ 1 3 2 メモリスペース内を進むシングルポインタが使用される。ＳＬＣメモリ 1 3 2 内に新しい位置が必要な場合、ポインタが参考にされ (c o n s u l t e d)、ポインタによって参照される位置に現在あるＳＬＣデータが、次に、ＭＬＣメモリ 1 3 4 に再マッピングおよび移動される。ポインタによって参照されるＳＬＣ位置は、ＳＬＣメモリ 1 3 2 内に格納される新しいデータで上書きされ、ポインタは、次のＳＬＣメモリ 1 3 2 位置に進む。これらの実施形態はさらに、メモリデバイスまたはホストが、ＳＬＣメモリ内に残ることが適当であると考えるＳＬＣ (例えば、ＦＡＴ) へ、データをピン付けしてもよい。

10

【 0 0 3 3 】

図 6 は、本開示の一実施形態に従う、少なくとも 1 メモリデバイスを有する電子システムの機能ブロック図である。図 6 に示されるメモリデバイス 6 0 0 は、プロセッサ 6 1 0 に連結される。プロセッサ 6 1 0 は、マイクロプロセッサまたはいくつかの他のタイプの制御回路にしてもよい。メモリデバイス 6 0 0 およびプロセッサ 6 1 0 は、電子システム 6 2 0 の一部を形成する。メモリデバイス 6 0 0 は、本開示の実施形態を理解するために役立つメモリデバイスの特徴を中心とするために、簡略化されている。

20

【 0 0 3 4 】

メモリデバイス 6 0 0 は、行および列のバンクに構成可能なメモリセルアレイ 6 3 0 を含む。メモリアレイ 6 3 0 は、異なる密度を有する少なくとも 2 つのメモリアレイ 6 3 2 / 6 3 4 を含む。メモリアレイセグメント 6 3 2 は、ＳＬＣまたはＭＬＣ (4 つのレベル) メモリであってもよく、メモリアレイセグメント 6 3 4 は、例えばＭＬＣ (8 つのレベル) メモリであってもよい。1 つ以上の実施形態に従うと、これらのメモリセルは、フラッシュメモリセルである。各アレイ 6 3 2 / 6 3 4 は、複数のバンクおよびメモリセルブロックで構成できる。

【 0 0 3 5 】

アドレスバッファ回路 6 4 0 は、アドレス入力接続 $A_0 \sim A_x$ 6 4 2 上に提供されるアドレス信号をラッチするために提供される。アドレス信号は、メモリアレイ 6 3 0 にアクセスするために、行デコーダ 6 4 4 および列デコーダ 6 4 6 によって受信および復号化される。当業者により、本記載の利点により、アドレス入力接続の数は、メモリアレイ 6 3 0 の密度およびアーキテクチャに依存することが理解される。つまり、アドレス数は、増加したメモリセル数および増加したバンクおよびブロック数の両方と共に増加する。

30

【 0 0 3 6 】

メモリデバイス 6 0 0 は、感知 / データキャッシュ回路 6 5 0 を使用してメモリアレイ列内の電圧または電流の変化を感知することで、メモリアレイ 6 3 0 内のデータを読み込む。一実施形態では、感知 / データキャッシュ回路 6 5 0 は、メモリアレイ 6 3 0 からのデータ行を読み込みおよびラッチするために、連結される。データ入力および出力バッファ回路 6 6 0 は、プロセッサ 6 1 0 との、複数のデータ接続 6 6 2 による双方向データ通信のために含まれる。書き込み回路 6 5 5 は、メモリアレイ 6 3 0 にデータを書き込むために提供される。

40

【 0 0 3 7 】

制御回路 6 7 0 は、使用テーブルブロック 6 6 0 に連結されてさらに示される。本開示の種々の実施形態に従う使用テーブル 6 6 0 は、メモリアレイ 6 3 0 のＬＢＡの使用に関するデータを格納する。使用テーブルブロック 6 6 0 は、図 6 に示すように、揮発性 6 7 4 および不揮発性 6 7 6 メモリの両方を利用する個別のメモリデバイスでもよい。しかし、本開示の種々の実施形態はそのように制限されない。他の実施形態は、ＬＢＡの使用データを格納するために、メモリアレイ 6 3 0 を利用してもよい。使用データは、メモリア

50

レイ 630 の専用の位置に常駐してもよい、または、メモリアレイ 630 内の LBA に対応する位置に格納されてもよい。

【0038】

制御回路 670 は、部分的には、本開示の種々の実施形態の特徴を実施するために構成される。一実施形態では、制御回路 670 はステートマシンを利用してもよい。1つ以上の実施形態に従い、制御回路 670、アドレス回路 640、入出力回路 660、行復号 644、書き込み/消去 655、列復号 646 および感知/データキャッシュ 650 の機能ブロックは、図 1 に示されるコントローラ 170 を含んでもよい。制御信号およびコマンドは、コマンドバス 672 を通じてメモリデバイス 600 へ、プロセッサ 610 によって送信可能である。コマンドバス 672 は、個別の信号にしてもよい、または、複数の信号（例えばコマンドバス）で構成してもよい。これらのコマンド信号 672 は、データ読み込み、データ書き込み（プログラム）、および消去動作を含む、メモリアレイ 630 上の動作の制御に使用される。コマンドバス 672、アドレスバス 642 およびデータバス 662 は、多数の標準的なインターフェース 678 を形勢するために、全てを組み合わせてもよい、または、部分的に組み合わせてもよい。例えば、メモリデバイス 600 およびプロセッサ 610 の間のインターフェース 678 は、ユニバーサルシリアルバス（USB）インターフェースにしてもよい。インターフェース 678 はさらに、多くのハードディスクドライブ（HDD）で使用される標準的なインターフェースにしてもよい。例えば、インターフェースは、SATA または PATA インターフェースの形態を取ってもよい。他の HDD インターフェースも、当業者に公知である。

10

20

【0039】

結論

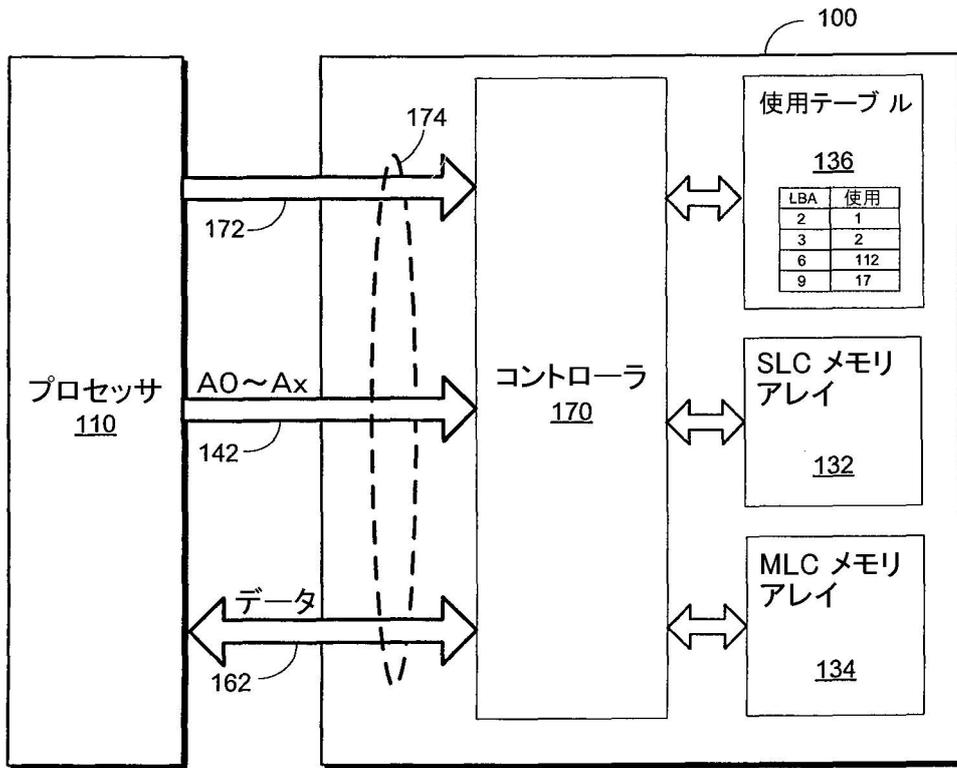
本開示の種々の実施形態は、SLC および MLC メモリの両方を有するハイブリッドメモリデバイスに格納されている論理ブロックアドレスの追跡された使用に基づいて、論理ブロックアドレスを管理する方法を示す。さらに、複数の論理ブロックアドレス管理動作を実行するために構成された装置が開示され、ハイブリッドメモリデバイスに格納される論理ブロックアドレスの追跡された使用に応じて動作が実行される。

【0040】

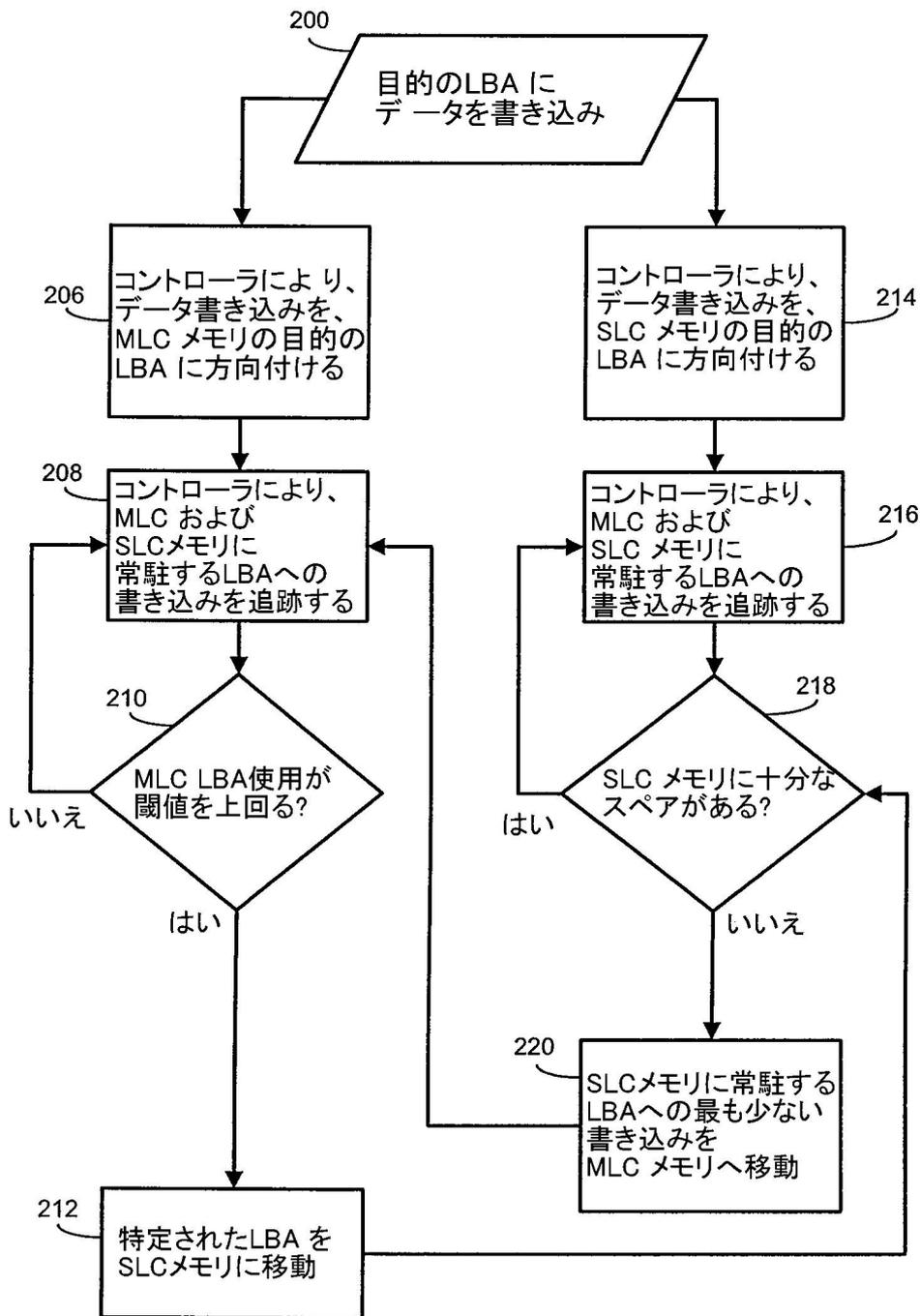
本明細書に特定の実施形態を図示および記述したが、当業者は、同じ目的を達成するために計画された任意の変形を、示されている特定の実施形態の代わりに利用できることを理解されよう。本願は、本発明のいずれかの適用または変更を含有することを意図する。従って、本発明は特許請求の範囲およびその同等物によってのみ制限されることが、明示的に意図されている。

30

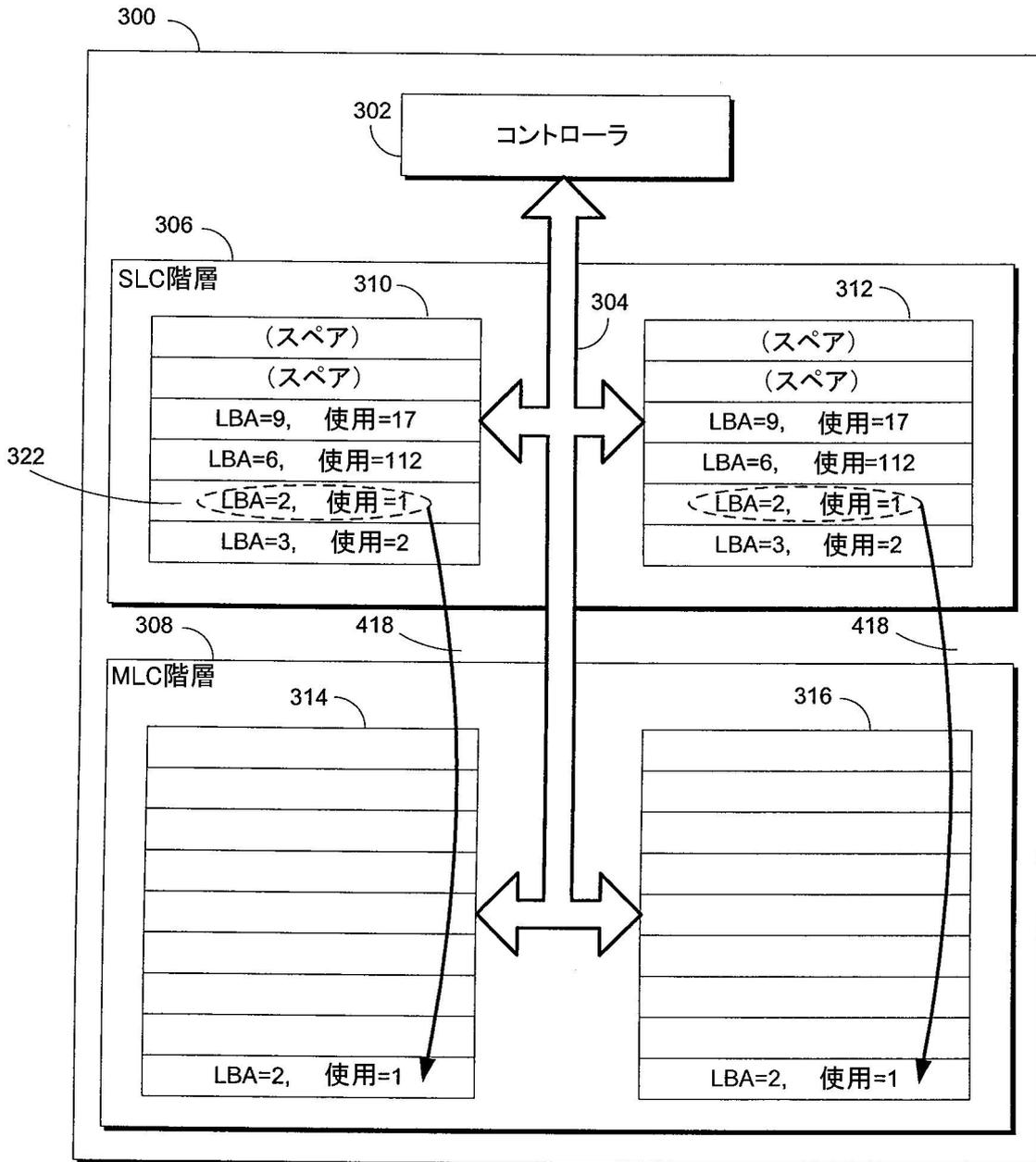
【図1】



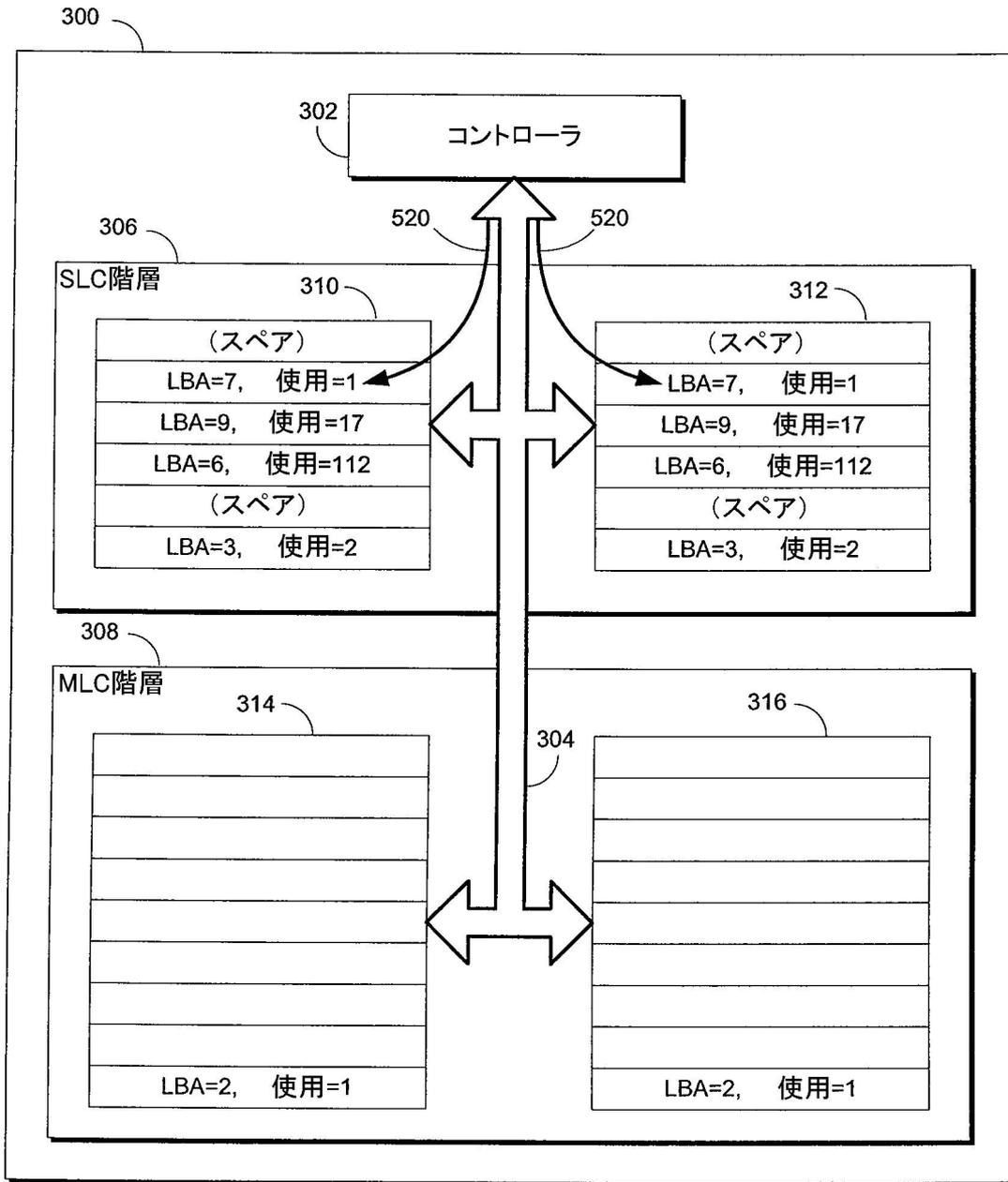
【図2】



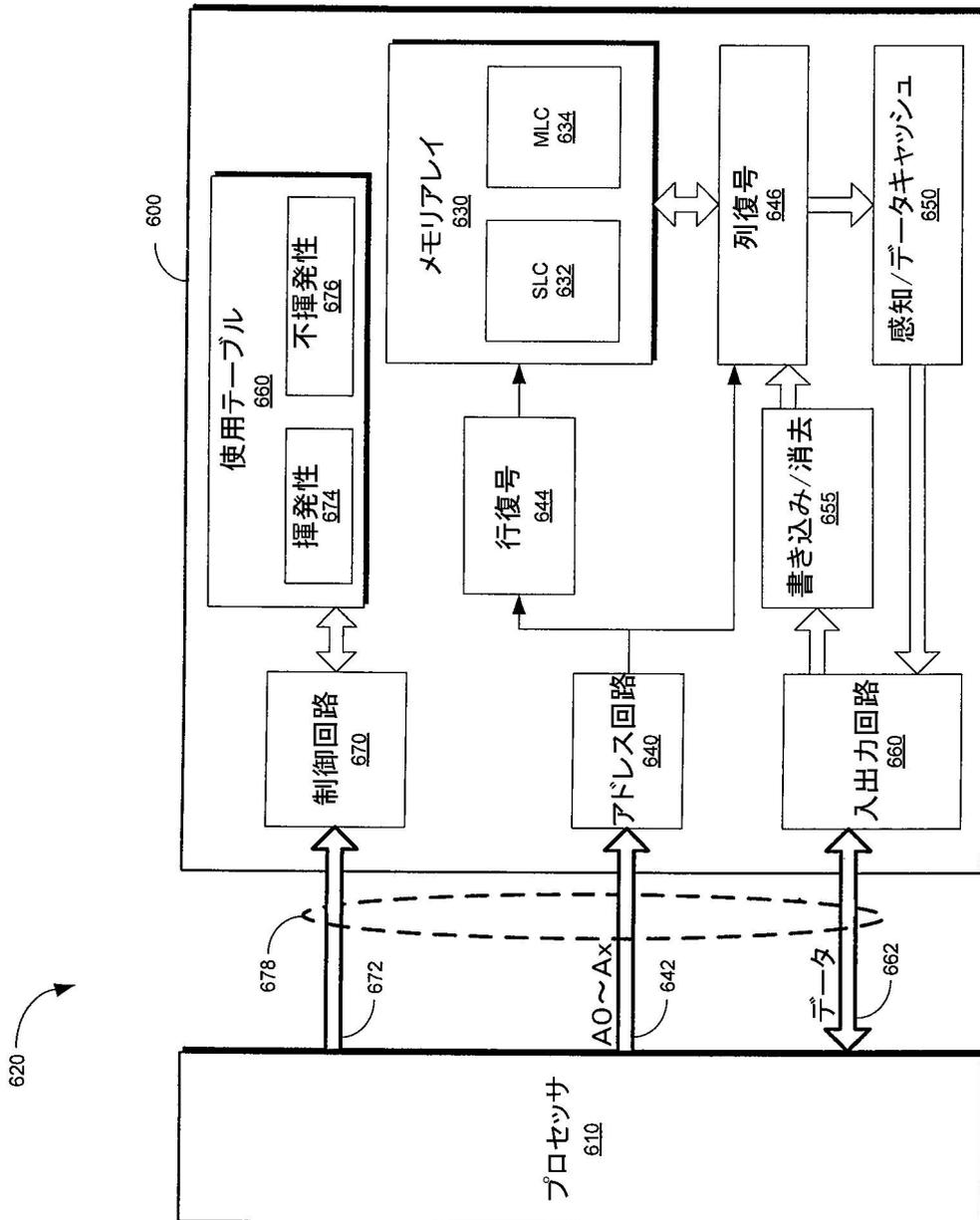
【図4】



【図5】



【図6】



フロントページの続き

- (74)代理人 100074099
弁理士 大菅 義之
- (72)発明者 ラドキ, ウィリアム ヘンリー
アメリカ合衆国, カリフォルニア州 95030, ロス ガトス, クレランド アベニュー 90
- (72)発明者 マーレイ, マイケル
アメリカ合衆国, カリフォルニア州 94041, マウンテン ビュー, フォックスボロ ドライ
ブ 385
- (72)発明者 フールイェルム, マーティン ラグナー
アメリカ合衆国, カリフォルニア州 95949, グラスバレー, ウルフ ロード 10042
B36
- (72)発明者 ゲルドマン, ジョン
アメリカ合衆国, カリフォルニア州 65030, ロス ガトス, ボンド コート 100

合議体

審判長 鈴木 匡明
審判官 飯田 清司
審判官 松本 貢

- (56)参考文献 特開2007-305210(JP, A)
特開2001-306393(JP, A)
特開2004-326523(JP, A)
特開2008-506189(JP, A)
特開2009-217630(JP, A)
特表2008-524747(JP, A)
特開平9-288896(JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/02