



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월10일
(11) 등록번호 10-2497583
(24) 등록일자 2023년02월03일

(51) 국제특허분류(Int. Cl.)

H01L 23/538 (2006.01) H01L 23/14 (2006.01)
H01L 23/373 (2006.01) H01L 23/488 (2006.01)
H01L 23/498 (2006.01) H01L 23/522 (2006.01)
H01L 23/525 (2006.01)

(52) CPC특허분류

H01L 23/5387 (2013.01)
H01L 23/142 (2013.01)

(21) 출원번호 10-2015-0149561

(22) 출원일자 2015년10월27일

심사청구일자 2020년08월26일

(65) 공개번호 10-2017-0049695

(43) 공개일자 2017년05월11일

(56) 선행기술조사문헌

KR1020150044329 A*

KR1020150073374 A*

US04783695 A*

US20130249106 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

임호혁

서울특별시 강동구 천호대로 1156-12, 101동 120
1호 (둔촌동, 광남캐스빌아파트)

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 20 항

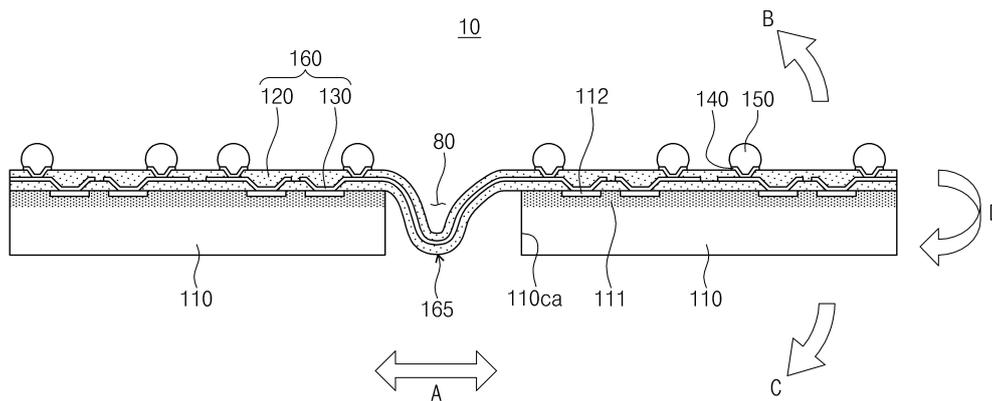
심사관 : 김기한

(54) 발명의 명칭 유연한 연결부를 갖는 반도체 장치 및 그 제조방법

(57) 요약

본 발명은 유연한 연결부를 갖는 반도체 장치 및 그 제조방법에 관한 것으로, 이격 영역을 사이에 두고 이격된 적어도 두 개의 반도체 칩들, 및 상기 반도체 칩들 상에 제공되고 상기 반도체 칩들과 전기적으로 연결된 재배선을 갖는 재배선층을 포함한다. 상기 재배선층은 상기 이격 영역에 제공되는 연결부를 포함한다. 상기 연결부는 상기 재배선층을 감싸는 그리고 상기 반도체 칩에 비해 유연한 유기막을 포함한다.

대표도 - 도1f



(52) CPC특허분류

H01L 23/3737 (2013.01)

H01L 23/488 (2013.01)

H01L 23/4985 (2013.01)

H01L 23/522 (2013.01)

H01L 23/525 (2013.01)

명세서

청구범위

청구항 1

서로 이격된 복수의 반도체 칩들, 이격 영역은 상기 복수의 반도체 칩들 중 서로 인접한 반도체 칩들 사이에 형성되고; 및

상기 반도체 칩들의 적어도 하나 상에 제공되고, 상기 반도체 칩들의 상기 적어도 하나와 전기적으로 연결된 적어도 하나의 재배선을 갖는 재배선층을 포함하고,

상기 재배선층은 상기 이격 영역에 제공되는 상기 재배선층의 일부 및 상기 적어도 하나의 재배선의 일부를 포함하는 연결부를 포함하고,

상기 연결부는 상기 이격 영역에서 상기 적어도 하나의 재배선 상에 배치되는 유기막을 포함하고,

상기 연결부는 상기 복수의 반도체 칩들의 하나가 상기 복수의 반도체 칩들의 다른 하나와 가까워지거나 멀어지도록 밴딩되고,

상기 반도체 칩들의 각각은 상기 이격 영역을 바라보는 측면들을 포함하고,

상기 연결부는 상기 반도체 칩들의 하면보다 높은 레벨에서 상기 반도체 칩들의 상기 측면들 사이에 위치하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 반도체 칩들의 각각은 회로층이 포함된 활성면과 그 반대면인 비활성면을 포함하고,

상기 재배선층은 상기 활성면 상에 제공된 반도체 장치.

청구항 3

제2항에 있어서,

상기 재배선층은 상기 반도체 칩들의 활성면들을 덮는 반도체 장치.

청구항 4

제2항에 있어서,

상기 반도체 칩들의 각각은 상기 회로층과 전기적으로 연결된 본딩 패드들을 포함하고,

상기 재배선층은:

상기 활성면 상에 제공되고, 상기 본딩 패드를 개방하는 제1 개구를 갖는 제1 유기막;

상기 제1 개구를 통해 상기 상기 본딩 패드와 전기적으로 연결된 상기 적어도 하나의 재배선; 그리고

상기 제1 유기막 상에 제공되고, 상기 적어도 하나의 재배선을 덮는 제2 유기막을 포함하는 반도체 장치.

청구항 5

제1항에 있어서,

상기 반도체 칩들의 각각은 상기 이격 영역을 바라보는 측면들을 포함하고,

상기 연결부는 상기 반도체 칩들의 측면들에 고정되지 않은 반도체 장치.

청구항 6

제1항에 있어서,

상기 재배선층 상에 제공되고, 상기 재배선과 전기적으로 연결되는 외부단자를 더 포함하는 반도체 장치.

청구항 7

제1항에 있어서,

상기 적어도 하나의 재배선은 상기 반도체 칩들을 전기적으로 연결하는 반도체 장치.

청구항 8

제1항에 있어서,

상기 연결부는 상기 복수의 반도체 칩들의 제 2 반도체 칩의 제 2 측면과 마주하는 상기 복수의 반도체 칩들의 제 1 반도체 칩의 제 1 측면과 직접적으로 접하는 반도체 장치.

청구항 9

서로 이격된 복수의 반도체 칩들, 이격 영역은 상기 복수의 반도체 칩들의 인접한 반도체 칩들 사이에 형성되고, 상기 반도체 칩들의 각각은 상기 이격 영역을 향하는 측면을 갖고; 및

재배선 및 상기 재배선을 감싸는 유연 절연막을 포함하는 재배선층을 포함하되,

상기 재배선층은 상기 복수의 반도체 칩들의 상기 인접한 반도체 칩들을 서로 연결하는 유연 연결부를 갖고,

상기 유연 연결부는 상기 반도체 칩들 사이의 상기 이격 영역에서 상기 반도체 칩들의 상기 측면들을 따라 연장되고, 상기 유연 연결부의 전체는 상기 반도체 칩들의 하면보다 높은 레벨에서 상기 반도체 칩들의 상기 측면들 사이에 위치하고, 상기 반도체 칩들의 하나는 상기 유연 연결부의 자유 밴딩에 의해 상기 반도체 칩들의 다른 하나와 가까워졌다 멀어졌다 하는 반도체 장치.

청구항 10

제9항에 있어서,

상기 반도체 칩들의 각각은 회로층이 포함된 활성면과 그 반대면인 비활성면을 포함하고,

상기 반도체 칩들의 각각은 상기 회로층과 전기적으로 연결된 본딩 패드들을 포함하고,

상기 적어도 하나의 본딩 패드는 상기 복수의 반도체 칩들의 각각의 상단에 배치되는 상기 회로층 상에 배치되고,

상기 재배선은 적어도 하나의 본딩 패드 상에 배치되는 반도체 장치.

청구항 11

제9항에 있어서,

상기 반도체 칩들 각각의 상기 하면 및 상기 이격 영역과 대향하는 상기 반도체칩들 각각의 측면 상에 배치되는 물딩막을 더 포함하는 반도체 장치.

청구항 12

회로층을 갖는 제 1 반도체 칩; 및

상기 제 1 반도체 칩의 상기 회로층 상에 배치되는 재배선층을 포함하되,

상기 재배선층은:

상기 회로층에 전기적으로 연결되는 재배선; 및

상기 재배선을 감싸는 절연층을 포함하고,

상기 절연층의 일부는 상기 제 1 반도체 칩의 측면을 덮고,

상기 재배선의 일부는 상기 절연층의 상기 일부 상에 배치되고,

상기 절연층은 상기 제 1 반도체 칩보다 더 유연하고,

상기 재배선층은 상기 제 1 반도체 칩의 상기 측면으로부터 제 2 반도체 칩으로 연장되어, 상기 제 1 및 제 2 반도체 칩들 사이의 거리가 상기 재배선층의 밴딩에 의해 변화되고,

상기 제 1 반도체 칩과 상기 제 2 반도체 칩은 상기 재배선층에 의해서만 연결되는 반도체 장치.

청구항 13

제12항에 있어서,

상기 절연층의 상기 일부는 상기 반도체 장치의 에지가 상승, 하강 또는 비틀리도록 구부러지는 반도체 장치.

청구항 14

제12항에 있어서,

상기 재배선층 상에 제공되고, 상기 재배선과 전기적으로 연결되는 외부 단자들을 더 포함하고,

평면적 관점에서 상기 외부 단자들의 적어도 하나는 상기 제 1 반도체 칩의 외측 상에서 정렬되는 반도체 장치.

청구항 15

제12항에 있어서,

상기 재배선은 상기 제 1 반도체 칩의 활성면을 덮는 반도체 장치.

청구항 16

제12항에 있어서,

상기 제 1 반도체 칩은 상기 회로층과 전기적으로 연결되는 본딩 패드들을 포함하고,

상기 절연층은:

상기 제 1 반도체 칩의 활성면 상에 배치되고, 상기 본딩 패드들을 노출시키는 제 1 개구들을 갖는 제 1 유기막; 및

상기 제 1 유기막 상에 배치되고, 상기 재배선을 덮는 제 2 유기막을 포함하는 반도체 장치.

청구항 17

제16항에 있어서,

상기 제 1 반도체칩의 상기 측면을 덮는 상기 재배선층의 상기 일부 내에서 상기 제 1 유기막, 상기 제 2 유기막 및 상기 재배선은 일체를 구성하는 반도체 장치.

청구항 18

지지판 상에 서로 이격된 적어도 두 개의 반도체 칩들을 제공하고;

상기 반도체 칩들 상에, 상기 반도체 칩들과 전기적으로 연결된 재배선들과 상기 재배선들을 감싸는 유기막을 포함하는 재배선층을 형성하고; 그리고

상기 지지판을 상기 반도체 칩들로부터 제거하는 것을 포함하고,

상기 재배선층은 상기 반도체 칩들 사이의 이격 영역을 지나가는 유연성 연결부를 포함하되,

상기 유연성 연결부의 전체는 상기 반도체 칩들의 하면보다 높은 레벨에서 상기 이격 영역을 향하는 상기 반도체 칩들의 측면들 사이에 위치하는 반도체 장치의 제조방법.

청구항 19

제18항에 있어서,

상기 재배선층을 형성하는 것은:

상기 반도체 칩들 상에 상기 반도체 칩들의 본딩 패드들을 개방하는 제1 개구들을 갖는 제1 유기막을 형성하고;
 상기 제1 유기막 상에 상기 제1 개구들을 통해 상기 본딩 패드들과 접촉되는 상기 재배선층을 형성하고; 그리고
 상기 제1 유기막 상에 상기 재배선층을 덮는 제2 유기막을 형성하는 것을;
 포함하는 반도체 장치의 제조방법.

청구항 20

제18항에 있어서,

상기 유연성 연결부는 상기 재배선층을 형성할 때 상기 이격 영역에서 형성되는 반도체 장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체에 관한 것으로, 보다 구체적으로는 유연한 연결부를 갖는 반도체 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 웨어러블 장치에 쓰이는 반도체 장치는 웨어러블 장치의 벤딩 특성을 지지하기 위해 유연성을 가지는 것이 유리하다. 그런데 실리콘 베이스의 칩을 유연하게 구성하는 것이 용이하지 않으므로 유연성을 확보할 수 있는 반도체 장치의 개선된 구조의 필요성이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 종래 기술에서 요구되는 필요에 부응하기 위해 안출된 것으로, 본 발명의 목적은 유연한 구조를 갖는 반도체 장치 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

[0004] 상기 목적을 달성하기 위한 본 발명에 따른 반도체 장치는 반도체 칩들을 전기적으로 연결하는 유연한 연결부를 갖는 것을 일 특징으로 한다.

[0005] 상기 특징을 구현할 수 있는 본 발명의 일 실시예에 따른 반도체 장치는: 이격 영역을 사이에 두고 이격된 적어도 두 개의 반도체 칩들; 및 상기 반도체 칩들 상에 제공되고, 상기 반도체 칩들과 전기적으로 연결된 재배선층을 갖는 재배선층을 포함할 수 있다. 상기 재배선층은 상기 이격 영역에 제공되는 연결부를 포함할 수 있다. 상기 연결부는 상기 재배선층을 감싸는 그리고 상기 반도체 칩에 비해 유연한 유기막을 포함할 수 있다.

[0006] 일 실시예의 장치에 있어서, 상기 반도체 칩은 회로층이 포함된 활성면과 그 반대면인 비활성면을 포함할 수 있다. 상기 재배선층은 상기 활성면 상에 제공될 수 있다.

[0007] 일 실시예의 장치에 있어서, 상기 재배선층은 상기 반도체 칩들의 활성면들을 전부 덮을 수 있다.

[0008] 일 실시예의 장치에 있어서, 상기 반도체 칩들은 상기 회로층과 전기적으로 연결된 본딩 패드들을 포함할 수 있다. 상기 재배선층은: 상기 활성면 상에 제공되고, 상기 본딩 패드를 개방하는 제1 개구를 갖는 제1 유기막; 상기 제1 개구를 통해 상기 본딩 패드와 전기적으로 연결된 상기 재배선; 그리고 상기 제1 유기막 상에 제공되고, 상기 재배선층을 덮는 제2 유기막을 포함할 수 있다.

[0009] 일 실시예의 장치에 있어서, 상기 반도체 칩들은 상기 이격 영역을 바라보는 측면들을 포함할 수 있다. 상기 연결부는 상기 반도체 칩들의 측면들에 고정되지 않을 수 있다.

[0010] 일 실시예의 장치에 있어서, 상기 재배선층 상에 제공되고 상기 재배선과 전기적으로 연결되는 외부단자를 더 포함할 수 있다.

- [0011] 일 실시예의 장치에 있어서, 상기 연결부는 상기 반도체 칩들을 전기적으로 연결하는 재배선을 포함할 수 있다.
- [0012] 상기 특징을 구현할 수 있는 본 발명의 일 실시예에 따른 반도체 장치는: 회로층을 갖는 그리고 물리적으로 서로 접촉되지 않은 적어도 두 개의 반도체 칩들; 및 상기 반도체 칩들의 회로층들 상에 제공되고, 상기 회로층들과 전기적으로 연결된 재배선층을 포함할 수 있다. 상기 재배선층은: 상기 회로층과 전기적으로 연결된 재배선; 및 상기 재배선을 감싸는 그리고 상기 반도체 칩들에 비해 연한 절연막을 포함할 수 있다. 상기 재배선층은 상기 적어도 두 개의 반도체 칩들 사이를 연결하는 연결부를 포함할 수 있다.
- [0013] 일 실시예의 장치에 있어서, 상기 재배선층의 절연막은 유기막을 포함할 수 있다.
- [0014] 일 실시예의 장치에 있어서, 상기 재배선층의 절연막은: 상기 회로층들 상에 제공된 제1 유기막; 및 상기 제1 유기막 상에 제공되고 상기 재배선을 덮는 제2 유기막을 포함할 수 있다. 상기 연결부는 상기 제1 및 제2 유기막들 사이에 제공된 금속 배선을 포함할 수 있다. 상기 금속 배선은 상기 반도체 칩들을 전기적으로 연결할 수 있다.
- [0015] 상기 특징을 구현할 수 있는 본 발명의 일 실시예에 따른 반도체 장치는: 이격 영역을 사이에 두고 이격된 적어도 두 개의 반도체 칩들; 및 상기 반도체 칩들 상에 제공된 재배선층을 포함할 수 있다. 상기 반도체 칩들은: 회로층이 포함된 상면과 그 반대면인 하면; 및 상기 상면을 통해 노출되고 상기 회로층과 전기적으로 연결된 본딩 패드를 포함할 수 있다. 상기 재배선층은: 상기 반도체 칩들의 상면들을 덮고 상기 본딩 패드들을 개방하는 제1 개구들을 갖는 제1 절연막; 상기 제1 절연막 상에 제공되고 상기 제1 개구들을 통해 상기 본딩 패드들과 접촉된 재배선들; 및 상기 제1 절연막 상에 제공되고 상기 재배선들을 덮는 제2 절연막을 포함할 수 있다. 상기 제1 및 제2 절연막들은 상기 반도체 칩들에 비해 연한 유기막을 포함할 수 있다. 상기 재배선층은 상기 이격 영역을 통과하는 연결부를 포함할 수 있다. 상기 연결부는 상기 반도체 칩들을 전기적으로 연결하는 금속 배선과 상기 금속 배선을 감싸는 상기 유기막을 포함할 수 있다. 상기 연결부는 상기 반도체 칩들 사이에서 자유롭게 벤딩될 수 있다.
- [0016] 일 실시예의 장치에 있어서, 상기 재배선과 접속되는 랜딩 패드들과 상기 랜딩 패드들과 접속되는 단자들을 더 포함할 수 있다. 상기 제2 절연막은 상기 재배선들을 개방하는 제2 개구들을 가지며, 상기 랜딩 패드들은 상기 제2 개구들을 통해 상기 재배선과 접속될 수 있다.
- [0017] 일 실시예의 장치에 있어서, 상기 반도체 칩들의 하면들 각각을 덮는 몰드막들을 더 포함할 수 있다.
- [0018] 일 실시예의 장치에 있어서, 상기 유기막은 폴리이미드를 포함할 수 있다.
- [0019] 상기 특징을 구현할 수 있는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법은: 회로층을 포함하며 상기 회로층과 전기적으로 연결된 본딩 패드들을 갖는 적어도 두 개의 반도체 칩들을 제공하고; 그리고 상기 반도체 칩들 상에 상기 본딩 패드들과 전기적으로 연결된 재배선층을 형성하는 것을 포함할 수 있다. 상기 재배선층을 형성하는 것은: 상기 반도체 칩들 상에 상기 본딩 패드들을 개방하는 제1 개구들을 갖는 제1 절연막을 형성하고; 상기 제1 절연막 상에 상기 제1 개구들을 통해 상기 본딩 패드들과 접속되는 재배선들을 형성하고; 그리고 상기 제1 절연막 상에 상기 재배선을 덮는 제2 절연막을 형성하는 것을 포함할 수 있다. 상기 반도체 칩들은 이격 영역을 사이에 두고 이격될 수 있다. 상기 제1 및 제2 절연막들은 상기 반도체 칩들에 비해 연한 유기막을 포함할 수 있다. 상기 재배선층은 상기 이격 영역을 지나가는 유연성 연결부를 포함할 수 있다.
- [0020] 일 실시예의 방법에 있어서, 상기 유연성 연결부는 상기 반도체 칩들을 전기적으로 연결하는 금속 배선과 상기 금속 배선을 감싸는 상기 유기막을 포함할 수 있다.
- [0021] 일 실시예의 방법에 있어서, 상기 반도체 칩들을 제공하는 것은 지지판 상에 이격 영역을 사이에 두고 서로 이격되는 상기 반도체 칩들을 제공하는 것을 포함할 수 있다.
- [0022] 일 실시예의 방법에 있어서, 상기 지지판은 상기 반도체 칩들이 제공되는 평평한 상면을 가질 수 있다.
- [0023] 일 실시예의 방법에 있어서, 상기 지지판은 상기 이격 영역을 채우는 돌출부를 포함할 수 있다.
- [0024] 일 실시예의 방법에 있어서, 상기 유연성 연결부는 상기 이격 영역을 바라보는 상기 반도체 칩들의 측면들에 고정되지 않을 수 있다.
- [0025] 일 실시예의 방법에 있어서, 상기 재배선층 상에 상기 재배선들과 전기적으로 연결되는 단자들을 제공하는 것을 더 포함할 수 있다.

- [0026] 일 실시예의 방법에 있어서, 상기 단자들을 제공하는 것은: 상기 제2 절연막을 에칭하여 상기 재배선을 개방하는 제2 개구들을 형성하고; 상기 제2 절연막 상에 상기 제2 개구들을 통해 상기 재배선들과 접속되는 랜딩 패드들을 형성하고; 그리고 상기 랜딩 패드 상에 솔더볼들을 형성하는 것을 포함할 수 있다.
- [0027] 상기 특징을 구현할 수 있는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법은: 지지판 상에 서로 이격된 적어도 두 개의 반도체 칩들을 제공하고; 상기 반도체 칩들 상에, 상기 반도체 칩들과 전기적으로 연결된 재배선들과 상기 재배선들을 감싸는 유기막을 포함하는 재배선층을 형성하고; 그리고 상기 지지판을 상기 반도체 칩들로부터 제거하는 것을 포함할 수 있다. 상기 재배선층은 상기 반도체 칩들 사이의 이격 영역을 지나가는 유연성 연결부를 포함할 수 있다.
- [0028] 일 실시예의 방법에 있어서, 상기 재배선층을 형성하는 것은: 상기 반도체 칩들 상에 상기 반도체 칩들의 본딩 패드들을 개방하는 제1 개구들을 갖는 제1 유기막을 형성하고; 상기 제1 유기막 상에 상기 제1 개구들을 통해 상기 본딩 패드들과 접속되는 상기 재배선들을 형성하고; 그리고 상기 제1 유기막 상에 상기 재배선을 덮는 제2 유기막을 형성하는 것을 포함할 수 있다.
- [0029] 일 실시예의 방법에 있어서, 상기 유연성 연결부는 상기 재배선층을 형성할 때 상기 이격 영역에서 형성될 수 있다.
- [0030] 일 실시예의 방법에 있어서, 상기 재배선층 상에 상기 재배선들과 전기적으로 연결되는 단자들을 형성하는 것을 더 포함할 수 있다. 상기 단자들은 상기 유연성 연결부 상에 형성되지 않을 수 있다.

발명의 효과

- [0031] 본 발명에 의하면, 반도체 칩들이 자유로운 벤딩이 가능한 유연한 연결부를 통해 전기적으로 연결되어 있기 때문에 비평평면 상에 장착될 수 있다. 이에 따라 본 실시예의 반도체 장치는 웨어러블 장치(wearable device)에 채택되어 사용될 수 있고 반복적인 벤딩 환경에서도 사용될 수 있다.

도면의 간단한 설명

- [0032] 도 1a는 본 발명의 실시예에 따른 반도체 장치를 도시한 단면도이다.
- 도 1b 내지 1d는 본 발명의 실시예들에 따른 반도체 장치들을 도시한 평면도들이다.
- 도 1e 및 1f는 본 발명의 실시예들에 따른 반도체 장치들의 휘어짐을 도시한 단면도들이다.
- 도 2a 및 2b는 본 발명의 실시예들에 따른 반도체 장치들을 도시한 단면도들이다.
- 도 3a 내지 3g는 본 발명의 실시예에 따른 반도체 장치의 제조방법을 도시한 단면도들이다.
- 도 4a 내지 4d는 본 발명의 실시예에 따른 반도체 장치의 제조방법을 도시한 단면도들이다.
- 도 5a 내지 5c는 본 발명의 실시예에 따른 반도체 장치의 제조방법을 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 본 발명에 따른 유연한 연결부를 갖는 반도체 장치 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명한다.
- [0034] 본 발명과 종래 기술과 비교한 이점은 첨부된 도면을 참조한 상세한 설명과 특허청구범위를 통하여 명백하게 될 것이다. 특히, 본 발명은 특허청구범위에서 잘 지적되고 명백하게 청구된다. 그러나, 본 발명은 첨부된 도면과 관련하여 다음의 상세한 설명을 참조함으로써 가장 잘 이해될 수 있다. 도면에 있어서 동일한 참조부호는 다양한 도면을 통해서 동일한 구성요소를 나타낸다.
- [0035] <반도체 장치의 일 예>
- [0036] 도 1a는 본 발명의 실시예에 따른 반도체 장치를 도시한 단면도이다. 도 1b 내지 1d는 본 발명의 실시예들에 따른 반도체 장치들을 도시한 평면도들이다. 도 1e 및 1f는 본 발명의 실시예들에 따른 반도체 장치들의 휘어짐을 도시한 단면도들이다.
- [0037] 도 1a를 참조하면, 반도체 장치(10)는 적어도 2개의 반도체 칩들(110)과 반도체 칩들(110)을 전기적으로 연결하는 유연한 연결부(165)를 포함할 수 있다. 반도체 칩들(110)은 이격 영역(80)을 사이에 두고 서로 이격되어 물

리적으로 접촉되지 있을 수 있다. 반도체 칩(110)은 메모리 칩, 로직 칩, 혹은 이들의 조합일 수 있다. 일례로, 반도체 칩(110)은 시스템-온-패키지(SiP) 혹은 시스템-온-칩(SoC)일 수 있다.

- [0038] 반도체 칩(110)은 상면(110a)과 그 반대면인 하면(110b)를 가질 수 있다. 반도체 칩(110)의 상면(110a)과 하면(110b) 중 어느 하나는 활성면일 수 있고 다른 하나는 비활성면일 수 있다. 일례로, 반도체 칩(110)의 상면(110a)은 하나 혹은 그 이상의 본딩 패드들(112) 그리고 본딩 패드들(112)에 전기적으로 연결된 회로층(111)이 제공된 활성면일 수 있다. 반도체 칩(110)의 하면(110b)은 비활성면일 수 있다.
- [0039] 반도체 장치(10)는 반도체 칩들(110)의 상면들(110a) 상에 제공된 연속적인 재배선층(160)을 포함할 수 있다. 재배선층(160)은 하나 혹은 그 이상의 재배선들(130)을 감싸는 유연성 절연막(120)을 포함할 수 있다. 예컨대, 반도체 칩(110)의 주요 구성성분은 실리콘을 포함할 수 있고, 유연성 절연막(120)은 반도체 칩(110)의 주요 구성성분에 비해 연한 물질, 가령 유기막(예: 폴리이미드)을 포함할 수 있다.
- [0040] 재배선(130)은 본딩 패드(112)에 전기적으로 연결될 수 있다. 예를 들어, 재배선(130)은 본딩 패드(112)에 접속되는 가령 구리(Cu)나 알루미늄(Al)과 같은 금속이나 합금을 포함할 수 있다. 재배선층(160)은 반도체 칩들(110)을 전기적으로 연결하는 연결부(165)를 포함할 수 있다. 연결부(165)에 포함된 재배선(130)은 반도체 칩들(110)을 서로 전기적으로 연결할 수 있다. 연결부(165)는 인접한 반도체 칩들(110) 사이의 이격 영역(80)을 지나가는 재배선층(160)의 일부일 수 있다.
- [0041] 반도체 장치(10)는 재배선층(160)에 전기적으로 연결되는 하나 혹은 그 이상의 외부단자들(150)을 포함할 수 있다. 일례로, 외부단자들(150)은 랜딩 패드들(140)에 접속되는 솔더볼들이나 솔더범프들을 포함할 수 있다.
- [0042] 도 1b를 참조하면, 재배선층(160)은 가령 반도체 칩들(110)의 상면들(110a)을 전부 덮을 수 있고, 연결부(165)는 평면적으로 볼 때 이격 공간(80)을 전부 혹은 거의 전부를 차지할 수 있다. 다른 예로 도 1c에 도시된 것처럼 연결부(165)는 평면적으로 볼 때 이격 공간(80)의 일부, 가령 센터를 차지할 수 있다. 또 다른 예로, 도 1d에서처럼, 복수개의 연결부들(165)이 평면적으로 볼 때 이격 공간(80)의 일부들 혹은 전부를 차지할 수 있다.
- [0043] 도 1e를 참조하면, 유연성 절연막(120)이 재배선들(130)을 감싸고 있으므로 연결부(165)는 반도체 칩들(110) 사이에서 자유롭게 휘어질 수 있다. 연결부(165)의 자유로운 휘어짐에 의해 반도체 칩들(110) 중에서 어느 하나는 다른 하나쪽으로 가까워지거나 혹은 다른 하나쪽으로부터 멀어질 수 있다(A).
- [0044] 다른 예로, 연결부(165)의 자유로운 휘어짐에 의해 반도체 칩들(110) 중에서 어느 하나는 다른 하나에 비해 높은 레벨로 상승하거나(B) 혹은 낮은 레벨로 하강할 수 있다(C). 또 다른 예로, 연결부(165)의 자유로운 휘어짐은 반도체 칩들(110) 중에서 적어도 어느 하나를 비트러지게 할 수 있다(D).
- [0045] 반도체 칩들(110)의 움직임은 상기 A 내지 D 중 어느 하나에 한정되지 아니하고 자유로울 수 있다. 가령, 반도체 칩들(110) 중에서 어느 하나는 다른 하나쪽으로 가까워지면서 비틀어지거나 상승할 수 있다. 이처럼, 반도체 장치(10)는 자유롭게 휘어짐(bending)이 가능한 연결부(165)를 포함하므로 가령 웨어러블 장치(wearable device)에 채택되어 사용될 수 있다.
- [0046] 반도체 칩들(110)에 인접한 연결부(165)의 일부들은 이격 영역(80)을 바라보는 반도체 칩들(110)의 측면들(110ca)에 고정되어 있을 수 있다. 가령, 연결부(165)의 양측 가장자리들은 반도체 칩들(110)의 측면들(110ca)에 접촉되어 있을 수 있고, 연결부(165)의 중심부는 자유롭게 휘어질 수 있다.
- [0047] 다른 예로, 도 1f에 도시된 것처럼, 연결부(165)는 반도체 칩들(110)의 측면들(110ca)에 고정되지 않을 수 있다. 이 경우, 연결부(165) 전체가 자유롭게 휘어질 수 있다.
- [0048] <반도체 장치의 다른 예>
- [0049] 도 2a 및 2b는 본 발명의 실시예들에 따른 반도체 장치들을 도시한 단면도들이다.
- [0050] 도 2a를 참조하면, 반도체 장치(10)는 반도체 칩들(110) 각각을 몰딩하는 몰드막(170)을 더 포함할 수 있다. 몰드막(170)은 반도체 칩(110)의 하면(110b)을 덮을 수 있고, 선택적으로 이격 영역(80)을 바라보지 않는 반도체 칩(110)의 측면(110cb)을 더 덮을 수 있다. 몰드막들(170)은 서로 연결되지 않으므로 반도체 칩들(110)의 움직임에 전혀 영향을 미치지 않을 수 있다. 연결부(165)는 도 1e에 도시된 것처럼 반도체 칩들(110)의 측면들(110ca)에 고정되거나 혹은 도 1f에서처럼 고정되지 않을 수 있다. 연결부(165)는 몰드막들(170)에 비해 연하거나 유연할 수 있다.
- [0051] 도 2b를 참조하면, 반도체 장치(20)는 자유롭게 휘어질 수 있는 에지(20e)를 포함할 수 있다. 반도체 장치(20)

는 상면(110a)과 하면(110b)을 갖는 반도체 칩(110)과, 반도체 칩(110)의 상면(110a) 상에 제공된 재배선층(160)을 포함할 수 있다. 반도체 칩(110)의 상면(110a)은 활성면일 수 있고, 하면(110b)은 비활성면일 수 있다. 재배선층(160)은 재배선(130)을 감싸는 유기막(120)을 포함할 수 있다.

- [0052] 재배선층(160)의 유기막(120)은 반도체 칩(110)의 측면들(110c)을 더 덮을 수 있다. 반도체 장치(20)의 에지(20e)는 상승(B), 하강(C), 비틀어짐(D), 혹은 이들의 조합과 같은 자유로운 휘어짐(bending)이 가능할 수 있다.
- [0053] <반도체 장치의 제조방법 예>
- [0054] 도 3a 내지 3g는 본 발명의 실시예에 따른 반도체 장치의 제조방법을 도시한 단면도들이다.
- [0055] 도 3a를 참조하면, 지지판(90) 상에 복수개의 반도체 칩들(110)을 제공할 수 있다. 반도체 칩들(110)은 이격 영역(80)을 사이에 두고 서로 이격될 수 있다. 지지판(90)은 실리콘 웨이퍼 혹은 글래스일 수 있다. 반도체 칩(110)은 상면(110a)과 하면(110b)을 갖는 메모리 칩, 로직 칩, 혹은 이들의 조합일 수 있다. 가령, 반도체 칩(110)은 시스템-온-패키지(SiP) 혹은 시스템-온-칩(SoC)일 수 있다.
- [0056] 반도체 칩(110)의 상면(110a)은 하나 혹은 그 이상의 본딩 패드들(112) 그리고 본딩 패드들(112)에 전기적으로 연결된 회로층(111)이 제공된 활성면일 수 있고, 반도체 칩(110)의 하면(110b)은 비활성면일 수 있다. 지지판(90)은 반도체 칩들(110)의 하면들(110b)과 접촉될 수 있다.
- [0057] 도 3b를 참조하면, 반도체 칩들(110)의 상면들(110a) 상에 하부 절연막(122)을 형성할 수 있다. 하부 절연막(122)은 이격 영역(80)에 의해 노출된 지지판(90) 상에도 형성될 수 있다. 하부 절연막(122)은 본딩 패드들(112)을 개방하는 개구들(122a)을 포함할 수 있다. 가령, 절연막의 코팅이나 증착 이후에 에칭 공정으로 개구들(122a)을 형성할 수 있다.
- [0058] 하부 절연막(122)은 반도체 칩(110) 혹은 반도체 칩(110)의 주요 구성성분(예: 실리콘)에 비해 연한 물질, 가령 폴리이미드와 같은 유기막을 포함할 수 있다. 유기막은 폴리이미드에 한정되지 아니하고, 가령 반도체 칩(110)의 주요 구성성분에 비해 연한 절연성 물질이면 그 종류를 불문한다. 가령, 유기막은 폴리비닐알코올(PVA), 폴리비닐피롤론(PVP), 폴리메틸메타아크릴레이트(PMMA) 등과 같은 폴리머를 포함할 수 있다.
- [0059] 도 3c를 참조하면, 본딩 패드들(112)에 전기적으로 연결되는 재배선들(130)을 형성할 수 있다. 가령 구리나 알루미늄과 같은 금속의 증착과 에칭으로 재배선들(130)을 형성할 수 있다. 재배선들(130)은 하부 절연막(122)의 개구들(122a)을 통해 본딩 패드들(112)과 접속되어 전기적으로 연결될 수 있다. 이격 영역(80)에서의 하나 혹은 그 이상의 재배선들(130)은 반도체 칩들(110)을 전기적으로 서로 연결할 수 있다.
- [0060] 도 3d를 참조하면, 하부 절연막(122) 상에 재배선들(130)을 덮는 상부 절연막(124)을 형성할 수 있다. 상부 절연막(124)은 가령 에칭 공정에 의해 형성된 개구들(124a)을 포함할 수 있다. 상부 절연막(124)의 개구들(124a)은 재배선들(130)의 일부들을 개방할 수 있다. 상부 절연막(124)은 하부 절연막(122)과 동일하거나 유사한 유기막을 포함할 수 있다. 하부 절연막(122)과 상부 절연막(124)은 재배선들(130)을 감싸는 유연성 절연막(120)을 구성할 수 있다. 이로써, 유연성 절연막(120)이 재배선들(130)을 감싸는 재배선층(160)이 형성될 수 있다.
- [0061] 도 3e를 참조하면, 금속과 같은 전도성 물질의 증착과 에칭으로 재배선들(130)과 전기적으로 연결되는 랜딩 패드들(140)을 형성할 수 있다. 랜딩 패드들(140)은 상부 절연막(124)의 개구들(124a)을 통해 재배선들(130)과 접속될 수 있다.
- [0062] 도 3f를 참조하면, 랜딩 패드들(140)과 전기적으로 연결되는 외부단자들(150)을 형성할 수 있다. 예컨대, 솔더의 제공과 리플로우 공정으로 랜딩 패드들(140)과 접속되는 솔더볼들과 같은 외부단자들(150)을 형성할 수 있다. 지지판(90)을 반도체 칩들(110)로부터 떼어내면 반도체 칩들(110)을 전기적으로 연결하는 유연한 연결부(165)를 포함하는 반도체 장치(10)가 구현될 수 있다. 연결부(165)는 이격 영역(80)을 바라보는 반도체 칩들(110)의 측면들(110ca)에 고정되거나 혹은 고정되지 않을 수 있다. 외부단자들(150)은 연결부(165) 상에선 형성되지 않을 수 있다.
- [0063] 도 3g를 참조하면, 선택적으로 반도체 칩들(110)을 물딩하는 몰드막들(170)을 더 형성할 수 있다. 몰드막(170)은 반도체 칩(110)의 하면(110b)을 덮을 수 있다. 다른 예로, 몰드막(170)은 이격 영역(80)을 바라보지 않는 반도체 칩(110)의 측면(110cb)을 더 덮을 수 있다. 일례에 따르면, 몰드막들(170)은 해당하는 반도체 칩들(110)을 덮되 서로 이어지지 않을 수 있다.

[0064] <반도체 장치의 제조방법 예>

[0065] 도 4a 내지 4d는 본 발명의 실시예에 따른 반도체 장치의 제조방법을 도시한 단면도들이다.

[0066] 도 4a를 참조하면, 지지판(90) 상에 반도체 칩들(110)을 제공할 수 있다. 지지판(90)은 반도체 칩들(110)의 이격 영역(80)을 채우는 돌출부(95)를 포함할 수 있다. 돌출부(95)의 상면(95a)은 반도체 칩들(110)의 상면들(110a)과 공면을 이룰 수 있다. 다른 예로, 돌출부(95)의 상면(95a)은 반도체 칩들(110)의 상면들(110a)보다 높거나 낮은 레벨에 있을 수 있다.

[0067] 도 4b를 참조하면, 도 3b 내지 3e에서 전술한 바와 동일하거나 유사한 공정으로 반도체 칩들(110)의 상면들(110a) 상에 유연성 절연막(120)이 재배선들(130)을 감싸는 재배선층(160) 그리고 랜딩 패드들(140)을 통해 재배선들(130)과 전기적으로 연결되는 외부단자들(150)을 형성할 수 있다.

[0068] 도 4c를 참조하면, 지지판(90)을 반도체 칩들(110)로부터 떼어내면 반도체 칩들(110)을 전기적으로 연결하는 유연한 연결부(165)를 포함하는 반도체 장치(10)가 구현될 수 있다. 연결부(165)는 반도체 칩들(110)의 측면들(110ca)에 부착되지 않을 수 있다.

[0069] 도 4d를 참조하면, 선택적으로 반도체 칩들(110)의 하면들(110b)을 덮는 몰드막들(170)을 더 형성할 수 있다. 몰드막(170)은 이격 영역(80)을 바라보지 않는 반도체 칩(110)의 측면(110cb)을 더 덮을 수 있다.

[0070] <반도체 장치의 제조방법 예>

[0071] 도 5a 내지 5c는 본 발명의 실시예에 따른 반도체 장치의 제조방법을 도시한 단면도들이다.

[0072] 도 5a를 참조하면, 지지판(90) 상에 반도체 칩(110)을 제공하고 반도체 칩(110)의 상면(110a) 상에 반도체 칩(110)에 비해 연한 물질, 가령 폴리이미드와 같은 유기막을 제공하여 하부 절연막(122)을 형성할 수 있다. 하부 절연막(122)은 본딩 패드들(112)을 개방하는 개구들(122a)을 포함할 수 있다. 일례에 따르면, 하부 절연막(122)은 반도체 칩(110)의 측면(110c)을 더 덮을 수 있다.

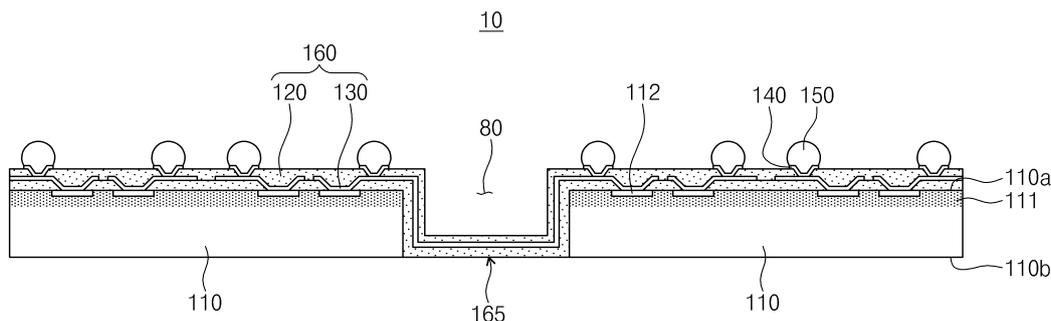
[0073] 도 5b를 참조하면, 하부 절연막(122) 상에 본딩 패드들(112)과 전기적으로 연결되는 재배선들(130)을 형성하고, 하부 절연막(122)과 동일하거나 유사한 물질로 재배선들(130)을 덮는 상부 절연막(124)을 형성할 수 있다. 이로써, 유연성 절연막(120)이 재배선들(130)을 감싸는 재배선층(160)이 형성될 수 있다. 상부 절연막(124)에 대한 예칭 공정으로 재배선들(130)의 일부들을 개방하는 개구들(124a)을 형성할 수 있고, 상부 절연막(124) 상에 개구들(124a)을 통해 재배선들(130)과 전기적으로 연결되는 랜딩 패드들(140)을 형성할 수 있다.

[0074] 도 5c를 참조하면, 랜딩 패드들(140)과 전기적으로 연결되는 외부단자들(150)을 형성할 수 있다. 지지판(90)을 반도체 칩(110)으로부터 떼어내면 본딩 가능한 유연한 에지(20e)를 포함하는 반도체 장치(20)가 구현될 수 있다.

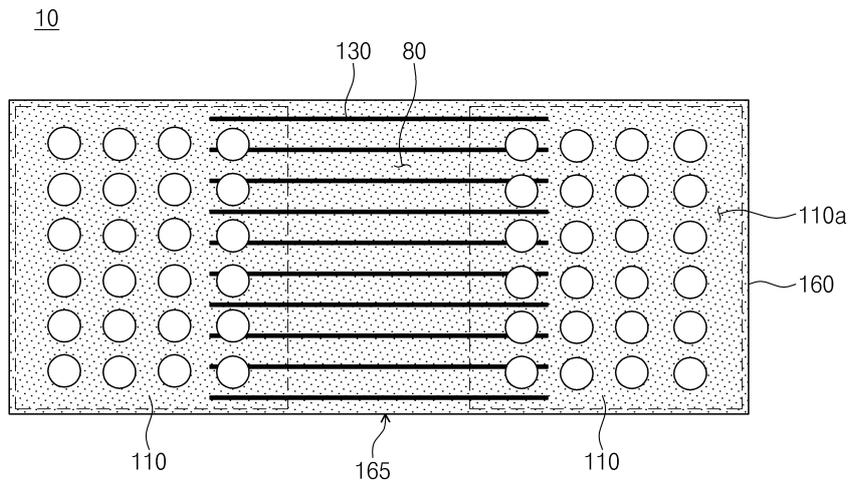
[0075] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

도면

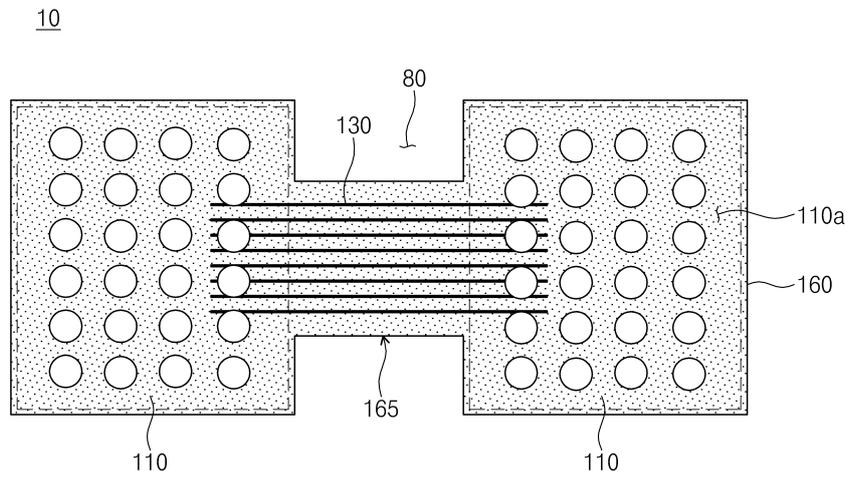
도면 1a



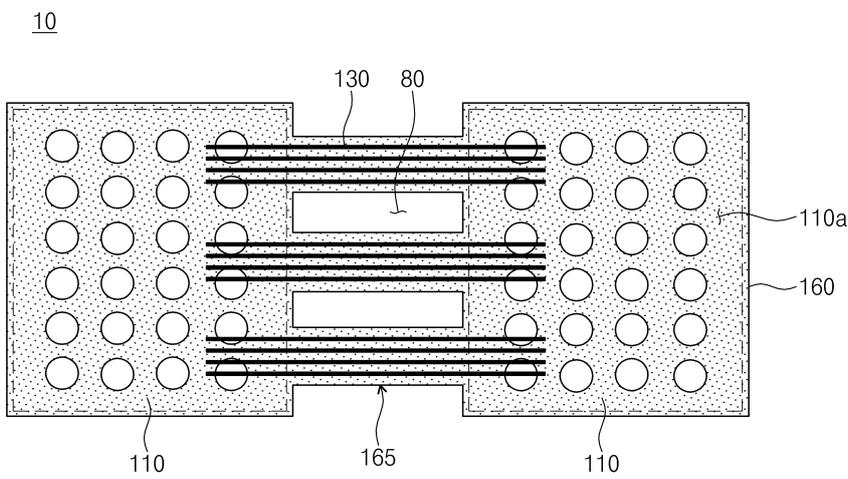
도면1b



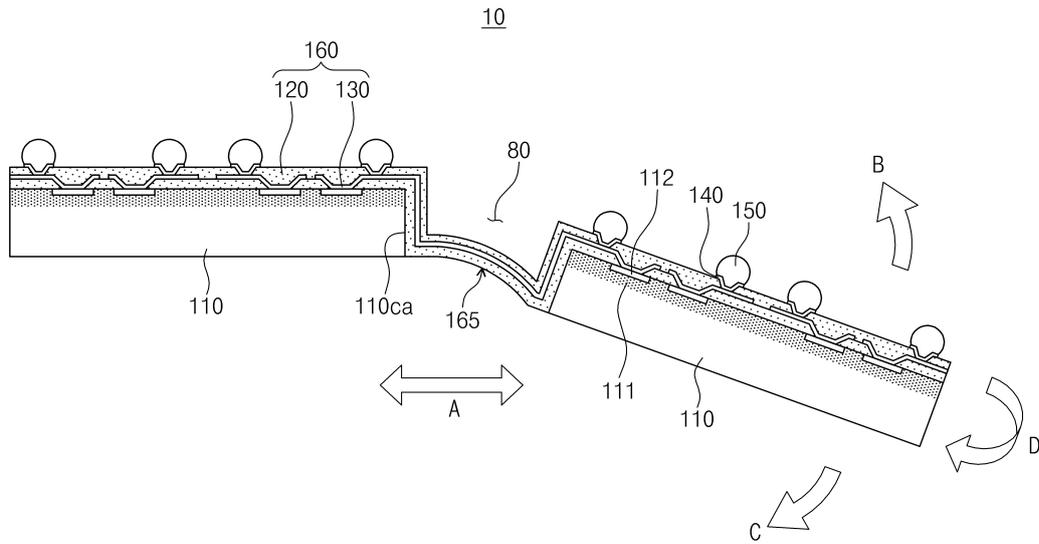
도면1c



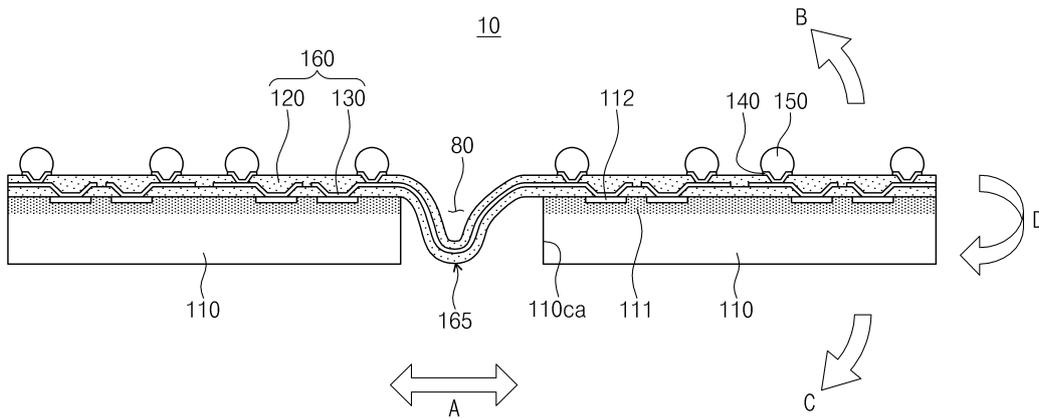
도면1d



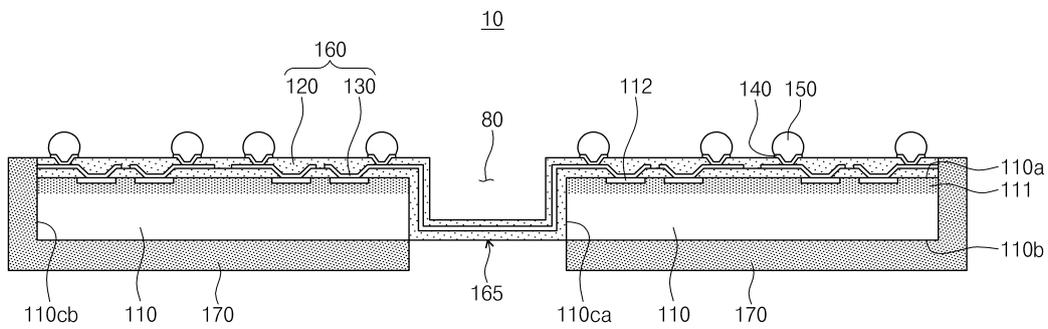
도면1e



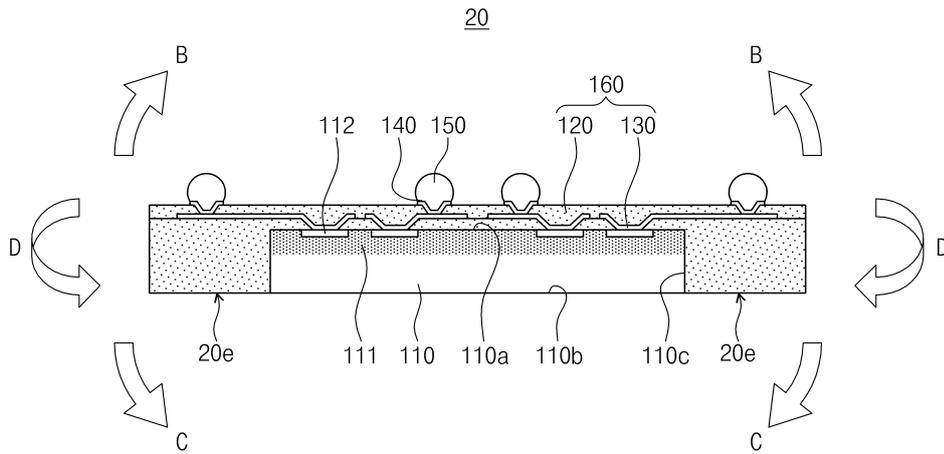
도면1f



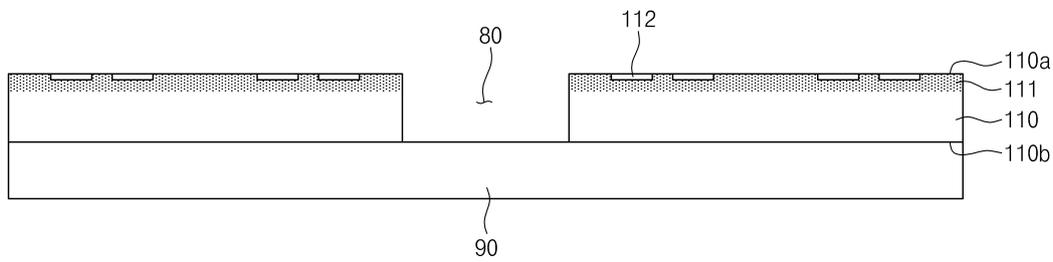
도면2a



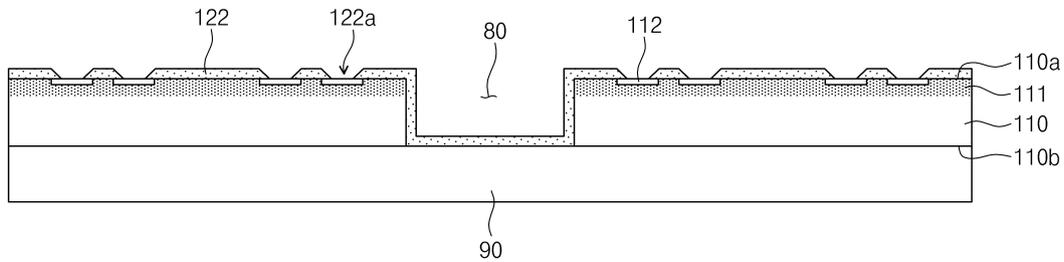
도면2b



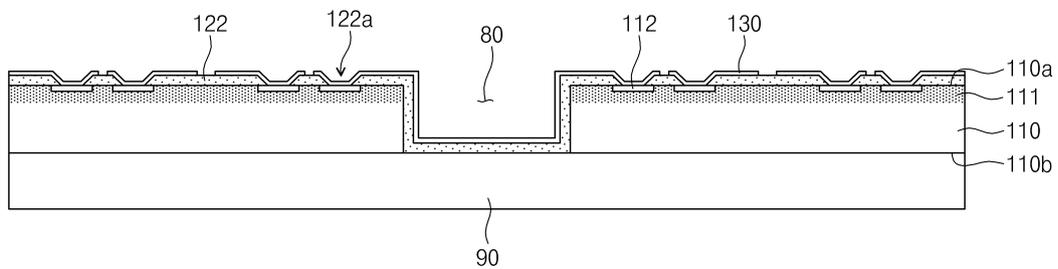
도면3a



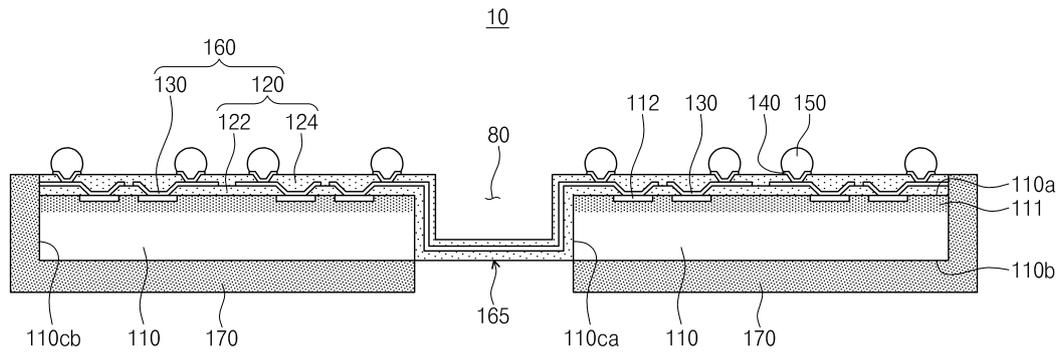
도면3b



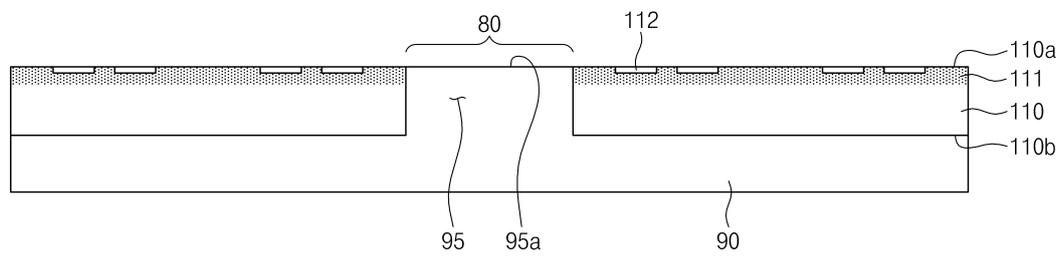
도면3c



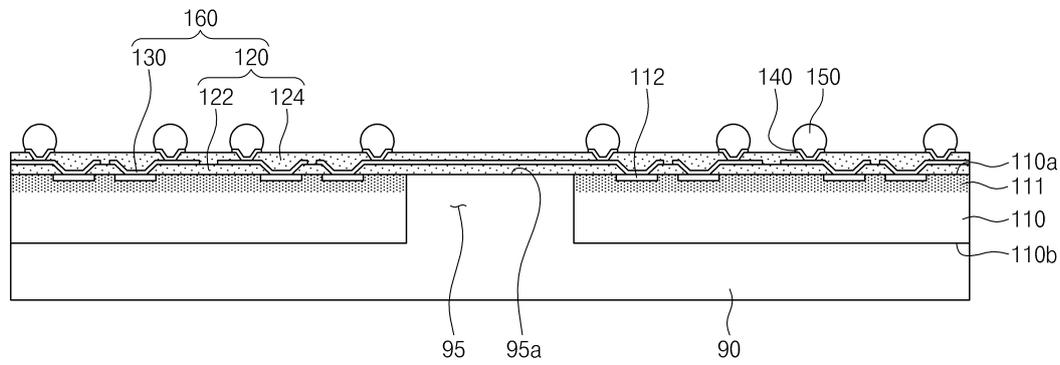
도면3g



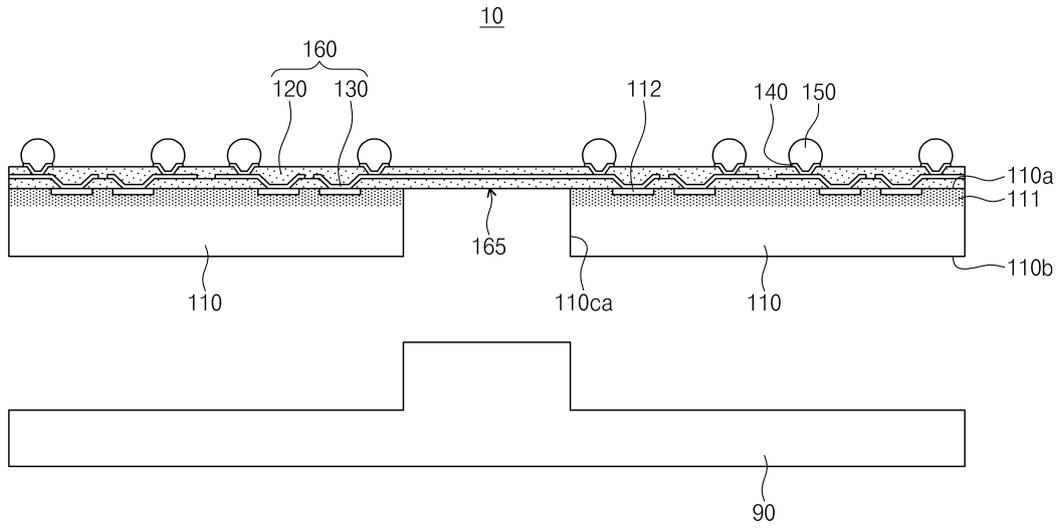
도면4a



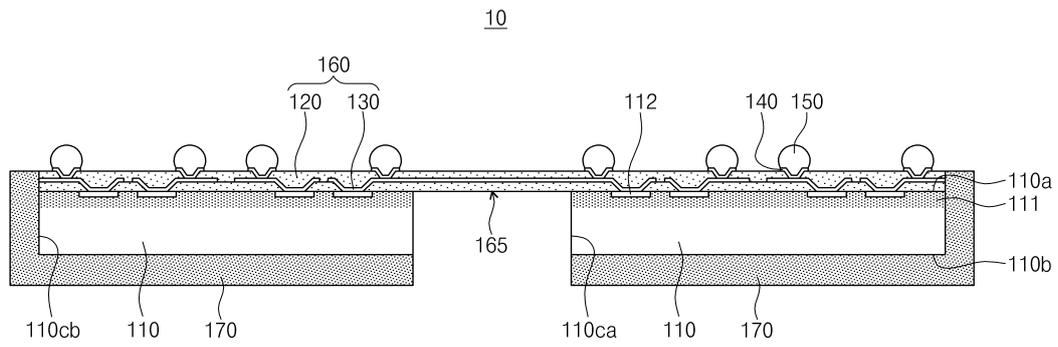
도면4b



도면4c



도면4d



도면5a

