



(12) 发明专利

(10) 授权公告号 CN 110010073 B

(45) 授权公告日 2021.01.26

(21) 申请号 201910339127.9

(51) Int.Cl.

(22) 申请日 2019.04.25

G09G 3/3233 (2016.01)

(65) 同一申请的已公布的文献号

审查员 勒海

申请公布号 CN 110010073 A

(43) 申请公布日 2019.07.12

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 福州京东方光电科技有限公司

(72) 发明人 陈芪飞 鹿堃 张晓哲 周星

柏玲 徐迪 徐东亮 任亮亮

卢姗 卢景洲 刘晓锋 宋冠男

马华平

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静 胡影

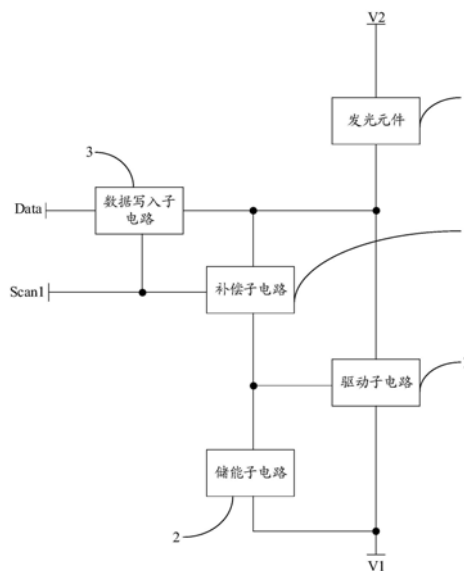
权利要求书2页 说明书12页 附图4页

(54) 发明名称

一种像素驱动电路及其驱动方法、显示装置

(57) 摘要

本发明公开一种像素驱动电路及其驱动方法、显示装置,涉及显示技术领域,为解决由于驱动薄膜晶体管的电学参数存在差异,以及随着显示装置显示时间的延长,部分电学参数发生不同程度的漂移,所导致的影响显示装置的显示质量的问题。所述像素驱动电路包括:驱动子电路、储能子电路、数据写入子电路和补偿子电路;数据写入子电路用于在写入补偿时段,在第一扫描信号输入端的控制下,控制导通电流数据信号输入端和驱动子电路的第一端之间的耦接;补偿子电路用于在写入补偿时段,在第一扫描信号输入端的控制下,控制导通驱动子电路的第一端和驱动子电路的控制端之间的耦接。本发明提供的像素驱动电路用于驱动发光元件发光。



CN 110010073 B

1. 一种像素驱动电路,用于驱动发光元件发光,其特征在于,包括:驱动子电路、储能子电路、数据写入子电路和补偿子电路;其中,

所述驱动子电路的控制端与所述储能子电路的第一端耦接,所述驱动子电路的第一端与所述发光元件耦接,所述驱动子电路的第二端与第一电平信号输入端耦接;

所述储能子电路的第二端与所述驱动子电路的第二端耦接;

所述数据写入子电路分别与第一扫描信号输入端、电流数据信号输入端和所述驱动子电路的第一端耦接,用于在写入补偿时段,在所述第一扫描信号输入端的控制下,控制导通所述电流数据信号输入端和所述驱动子电路的第一端之间的耦接;用于在发光时段,在所述第一扫描信号输入端的控制下,控制断开所述电流数据信号输入端和所述驱动子电路的第一端之间的耦接;

所述补偿子电路分别与所述第一扫描信号输入端、所述驱动子电路的第一端和所述驱动子电路的控制端耦接,用于在所述写入补偿时段,在所述第一扫描信号输入端的控制下,控制导通所述驱动子电路的第一端和所述驱动子电路的控制端之间的耦接;用于在所述发光时段,在所述第一扫描信号输入端的控制下,控制断开所述驱动子电路的第一端和所述驱动子电路的控制端之间的耦接;

所述驱动子电路包括第三晶体管,所述数据写入子电路包括第四晶体管,所述补偿子电路包括第五晶体管;

所述第四晶体管的栅极与所述第一扫描信号输入端耦接,所述第四晶体管的第一极与所述电流数据信号输入端耦接,所述第四晶体管的第二极与所述第三晶体管的第一极耦接;

所述第五晶体管的栅极与所述第一扫描信号输入端耦接,所述第五晶体管的第一极与所述第三晶体管的第一极耦接,所述第五晶体管的第二极与所述第三晶体管的栅极耦接。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述像素驱动电路还包括:

预充电子电路,所述预充电子电路分别与使能信号输入端、基准信号输入端和所述驱动子电路的控制端耦接,用于在预充电时段,在所述使能信号输入端的控制下,控制导通所述基准信号输入端和所述驱动子电路的控制端之间的耦接;用于在所述写入补偿时段和所述发光时段,在所述使能信号输入端的控制下,控制断开所述基准信号输入端和所述驱动子电路的控制端之间的耦接。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述预充电子电路包括第一晶体管,所述第一晶体管的栅极与所述使能信号输入端耦接,所述第一晶体管的第一极与所述基准信号输入端耦接,所述第一晶体管的第二极与所述驱动子电路的控制端耦接。

4. 根据权利要求1所述的像素驱动电路,其特征在于,所述像素驱动电路还包括:

发光控制子电路,所述发光控制子电路分别与第二扫描信号输入端、所述驱动子电路的第一端和所述发光元件耦接,用于在所述第二扫描信号输入端的控制下,控制导通或断开所述发光元件和所述驱动子电路的第一端之间的耦接。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述发光控制子电路包括第二晶体管,所述第二晶体管的栅极与所述第二扫描信号输入端耦接,所述第二晶体管的第一极与所述发光元件耦接,所述第二晶体管的第二极与所述驱动子电路的第一端耦接。

6. 根据权利要求1~5中任一项所述的像素驱动电路,其特征在于,所述储能子电路包

括储能电容,所述数据写入子电路包括第四晶体管,所述补偿子电路包括第五晶体管;其中,

所述第三晶体管的栅极与所述储能电容的第一极耦接,所述第三晶体管的第一极与所述发光元件耦接,所述第三晶体管的第二极与所述第一电平信号输入端耦接;

所述储能电容的第二极与所述第三晶体管的第二极耦接。

7. 一种显示装置,其特征在于,包括如权利要求1~6中任一项所述的像素驱动电路。

8. 一种像素驱动电路的驱动方法,其特征在于,所述像素驱动电路包括:驱动子电路、储能子电路、数据写入子电路和补偿子电路;所述数据写入子电路包括第四晶体管,所述补偿子电路包括第五晶体管;应用于如权利要求1~6中任一项所述的像素驱动电路,所述驱动方法包括:在每一显示周期,

在写入补偿时段,在第一扫描信号输入端的控制下,所述像素驱动电路中的数据写入子电路控制导通电流数据信号输入端和所述第三晶体管的第一极之间的耦接,所述像素驱动电路中的补偿子电路控制导通所述第三晶体管的第一极和所述第三晶体管的栅极之间的耦接,由所述电流数据信号输入端输入的电流数据信号为所述像素驱动电路中的储能子电路充电,当所述储能子电路的存储电压值大于所述驱动子电路对应的阈值电压,且达到存储阈值时,所述电流数据信号停止对所述储能子电路充电,并完全流过所述驱动子电路;

在发光时段,在所述第一扫描信号输入端的控制下,所述数据写入子电路控制断开所述电流数据信号输入端和所述第三晶体管的第一极之间的耦接,所述补偿子电路控制断开所述第三晶体管的第一极和所述第三晶体管的栅极之间的耦接,储能子电路控制所述驱动子电路产生与所述电流数据信号相同的漏电流信号。

9. 根据权利要求8所述的像素驱动电路的驱动方法,其特征在于,当所述像素驱动电路包括预充电子电路时,所述驱动方法还包括:在每一显示周期中,

在所述写入补偿时段之前的预充电时段,在使能信号输入端的控制下,所述预充电子电路控制导通基准信号输入端和所述驱动子电路的控制端之间的耦接,以对所述储能子电路进行预充电;

在所述写入补偿时段和所述发光时段,在所述使能信号输入端的控制下,所述预充电子电路控制断开所述基准信号输入端和所述驱动子电路的控制端之间的耦接。

10. 根据权利要求8或9所述的像素驱动电路的驱动方法,其特征在于,当所述像素驱动电路包括发光控制子电路时,所述驱动方法还包括:

在所述写入补偿时段之前的预充电时段和所述写入补偿时段,在第二扫描信号输入端的控制下,所述发光控制子电路控制断开所述发光元件和所述驱动子电路的第一端之间的耦接;

在所述发光时段,在所述第二扫描信号输入端的控制下,所述发光控制子电路控制导通所述发光元件和所述驱动子电路的第一端之间的耦接。

## 一种像素驱动电路及其驱动方法、显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素驱动电路及其驱动方法、显示装置。

### 背景技术

[0002] OLED(Organic Light-Emitting Diode,有机发光二极管)显示装置具有自发光、超薄、反应速度快、对比度高、视角广等诸多优点,是目前受到广泛关注的一种显示装置。而随着OLED显示装置的尺寸逐渐增大,在制作大尺寸的OLED显示装置时,由于受到制备工艺及材料的限制,显示装置各区域的驱动薄膜晶体管的阈值电压和迁移率等电学参数存在差异,这种差异会转化为OLED显示装置的电流差异和亮度差异,导致显示装置的显示亮度不均匀,影响显示装置的显示质量。而且随着显示装置显示时间的延长,不同区域的驱动薄膜晶体管的阈值电压会发生不同程度的漂移,从而进一步影响显示装置的显示质量。

### 发明内容

[0003] 本发明的目的在于提供一种像素驱动电路及其驱动方法、显示装置,用于解决由于驱动薄膜晶体管的电学参数存在差异,以及随着显示装置显示时间的延长,部分电学参数发生不同程度的漂移,所导致的影响显示装置的显示质量的问题。

[0004] 为了实现上述目的,本发明提供如下技术方案:

[0005] 本发明的第一方面提供一种像素驱动电路,用于驱动发光元件发光,包括:驱动子电路、储能子电路、数据写入子电路和补偿子电路;其中,

[0006] 所述驱动子电路的控制端与所述储能子电路的第一端耦接,所述驱动子电路的第一端与所述发光元件耦接,所述驱动子电路的第二端与第一电平信号输入端耦接;

[0007] 所述储能子电路的第二端与所述驱动子电路的第二端耦接;

[0008] 所述数据写入子电路分别与第一扫描信号输入端、电流数据信号输入端和所述驱动子电路的第一端耦接,用于在写入补偿时段,在所述第一扫描信号输入端的控制下,控制导通所述电流数据信号输入端和所述驱动子电路的第一端之间的耦接;用于在发光时段,在所述第一扫描信号输入端的控制下,控制断开所述电流数据信号输入端和所述驱动子电路的第一端之间的耦接;

[0009] 所述补偿子电路分别与所述第一扫描信号输入端、所述驱动子电路的第一端和所述驱动子电路的控制端耦接,用于在所述写入补偿时段,在所述第一扫描信号输入端的控制下,控制导通所述驱动子电路的第一端和所述驱动子电路的控制端之间的耦接;用于在所述发光时段,在所述第一扫描信号输入端的控制下,控制断开所述驱动子电路的第一端和所述驱动子电路的控制端之间的耦接。

[0010] 可选的,所述像素驱动电路还包括:

[0011] 预充电子电路,所述预充电子电路分别与使能信号输入端、基准信号输入端和所述驱动子电路的控制端耦接,用于在预充电时段,在所述使能信号输入端的控制下,控制导通所述基准信号输入端和所述驱动子电路的控制端之间的耦接;用于在所述写入补偿时段

和所述发光时段,在所述使能信号输入端的控制下,控制断开所述基准信号输入端和所述驱动子电路的控制端之间的耦接。

[0012] 可选的,所述预充电子电路包括第一晶体管,所述第一晶体管的栅极与所述使能信号输入端耦接,所述第一晶体管的第一极与所述基准信号输入端耦接,所述第一晶体管的第二极与所述驱动子电路的控制端耦接。

[0013] 可选的,所述像素驱动电路还包括:

[0014] 发光控制子电路,所述发光控制子电路分别与第二扫描信号输入端、所述驱动子电路的第一端和所述发光元件耦接,用于在所述第二扫描信号输入端的控制下,控制导通或断开所述发光元件和所述驱动子电路的第一端之间的耦接。

[0015] 可选的,所述发光控制子电路包括第二晶体管,所述第二晶体管的栅极与所述第二扫描信号输入端耦接,所述第二晶体管的第一极与所述发光元件耦接,所述第二晶体管的第二极与所述驱动子电路的第一端耦接。

[0016] 可选的,所述驱动子电路包括第三晶体管,所述储能子电路包括储能电容,所述数据写入子电路包括第四晶体管,所述补偿子电路包括第五晶体管;其中,

[0017] 所述第三晶体管的栅极与所述储能电容的第一极耦接,所述第三晶体管的第一极与所述发光元件耦接,所述第三晶体管的第二极与所述第一电平信号输入端耦接;

[0018] 所述储能电容的第二极与所述第三晶体管的第二极耦接;

[0019] 所述第四晶体管的栅极与所述第一扫描信号输入端耦接,所述第四晶体管的第一极与所述电流数据信号输入端耦接,所述第四晶体管的第二极与所述第三晶体管的第一极耦接;

[0020] 所述第五晶体管的栅极与所述第一扫描信号输入端耦接,所述第五晶体管的第一极与所述第三晶体管的第一极耦接,所述第五晶体管的第二极与所述第三晶体管的栅极耦接。

[0021] 基于上述像素驱动电路的技术方案,本发明的第二方面提供一种显示装置,包括上述像素驱动电路。

[0022] 基于上述像素驱动电路的技术方案,本发明的第三方面提供一种像素驱动电路的驱动方法,应用于上述像素驱动电路,所述驱动方法包括:在每一显示周期,

[0023] 在写入补偿时段,在第一扫描信号输入端的控制下,所述像素驱动电路中的数据写入子电路控制导通电流数据信号输入端和驱动子电路的第一端之间的耦接,所述像素驱动电路中的补偿子电路控制导通所述驱动子电路的第一端和所述驱动子电路的控制端之间的耦接,由所述电流数据信号输入端输入的电流数据信号为所述像素驱动电路中的储能子电路充电,当所述储能子电路的存储电压值大于所述驱动子电路对应的阈值电压,且达到存储阈值时,所述电流数据信号停止对所述储能子电路充电,并完全流过所述驱动子电路;

[0024] 在发光时段,在所述第一扫描信号输入端的控制下,所述数据写入子电路控制断开所述电流数据信号输入端和所述驱动子电路的第一端之间的耦接,所述补偿子电路控制断开所述驱动子电路的第一端和所述驱动子电路的控制端之间的耦接,储能子电路控制所述驱动子电路产生与所述电流数据信号相同的漏电流信号。

[0025] 可选的,当所述像素驱动电路包括预充电子电路时,所述驱动方法还包括:在每一

显示周期中，

[0026] 在所述写入补偿时段之前的预充电时段，在使能信号输入端的控制下，所述预充电电子电路控制导通基准信号输入端和所述驱动子电路的控制端之间的耦接，以对所述储能子电路进行预充电；

[0027] 在所述写入补偿时段和所述发光时段，在所述使能信号输入端的控制下，所述预充电电子电路控制断开所述基准信号输入端和所述驱动子电路的控制端之间的耦接。

[0028] 可选的，当所述像素驱动电路包括发光控制子电路时，所述驱动方法还包括：

[0029] 在所述预充电时段和所述写入补偿时段，在第二扫描信号输入端的控制下，所述发光控制子电路控制断开所述发光元件和所述驱动子电路的第一端之间的耦接；

[0030] 在所述发光时段，在所述第二扫描信号输入端的控制下，所述发光控制子电路控制导通所述发光元件和所述驱动子电路的第一端之间的耦接。

[0031] 本发明提供的技术方案中，包括：驱动子电路、储能子电路、数据写入子电路和补偿子电路；在写入补偿时段，数据写入子电路和补偿子电路能够控制由电流数据信号输入端输入的电流数据信号为储能子电路充电，当储能子电路的存储电压值大于驱动子电路对应的阈值电压，且达到存储阈值时，电流数据信号停止对储能子电路充电，并完全流过驱动子电路；在发光时段，数据写入子电路和补偿子电路能够控制电流数据信号停止写入驱动子电路的第一端以及存储子电路中，并通过储能子电路控制驱动子电路产生与电流数据信号相同的漏电流信号，使得发光元件实现与电流数据信号对应的发光亮度。

[0032] 因此，在将本发明提供的技术方案应用在显示装置中时，发光元件的发光亮度仅与电流数据信号输入端输入的电流数据信号相关，而与驱动子电路对应的阈值电压、发光元件接入的第二电平信号（电源信号）均无关，从而避免了由于像素驱动电路对应的电学参数存在差异，以及随着显示装置显示时间的延长，驱动子电路对应的阈值电压发生不同程度的漂移，所导致的影响显示装置的显示质量的问题；同时也避免了用于提供电源信号的电源线中寄生电阻对应产生的压降所引起的漏电流信号漂移问题，进而避免了由于电源线中寄生电阻对应产生的压降对发光元件的发光亮度产生影响，因此，将本发明提供的技术方案应用在显示装置中能够更好的保证显示装置显示的均一性。

[0033] 另外，由于在利用本发明提供的技术方案驱动发光元件发光时，控制了驱动子电路产生的漏电流信号与由电流数据信号输入端输入的电流数据信号相同，因此避免了驱动子电路产生Kink效应。

## 附图说明

[0034] 此处所说明的附图用来提供对本发明的进一步理解，构成本发明的一部分，本发明的示意性实施例及其说明用于解释本发明，并不构成对本发明的不当限定。在附图中：

[0035] 图1为本发明实施例提供的像素驱动电路的第一基本结构示意图；

[0036] 图2为本发明实施例提供的像素驱动电路的第二基本结构示意图；

[0037] 图3为本发明实施例提供的像素驱动电路的具体结构示意图；

[0038] 图4为本发明实施例提供的像素驱动电路的时序控制图。

[0039] 附图标记：

[0040] 1-驱动子电路， 2-储能子电路，

- |        |                  |                  |
|--------|------------------|------------------|
| [0041] | 3-数据写入子电路,       | 4-补偿子电路,         |
| [0042] | 5-预充电子电路,        | 6-发光控制子电路,       |
| [0043] | 7-发光元件,          | V1-第一电平信号输入端,    |
| [0044] | V2-第二电平信号输入端,    | Scan1-第一扫描信号输入端, |
| [0045] | Scan2-第二扫描信号输入端, | Data-电流数据信号输入端,  |
| [0046] | Pre-基准信号输入端,     | EN-使能信号输入端,      |
| [0047] | Cs-储能电容,         | T1-第一晶体管,        |
| [0048] | T2-第二晶体管,        | T3-第三晶体管,        |
| [0049] | T4-第四晶体管,        | T5-第五晶体管,        |
| [0050] | OLED-有机发光二极管,    | P1-预充电时段,        |
| [0051] | P2-写入补偿时段,       | P3-发光时段。         |

### 具体实施方式

[0052] 为了进一步说明本发明实施例提供的像素驱动电路及其驱动方法、显示装置,下面结合说明书附图进行详细描述。

[0053] 请参阅图1和图4所示,本发明实施例提供了一种像素驱动电路,用于驱动发光元件7发光,所述像素驱动电路包括:驱动子电路1、储能子电路2、数据写入子电路3和补偿子电路4;其中,驱动子电路1的控制端与储能子电路2的第一端耦接,驱动子电路1的第一端与发光元件7耦接,驱动子电路1的第二端与第一电平信号输入端V1耦接;储能子电路2的第二端与驱动子电路1的第二端耦接;数据写入子电路3分别与第一扫描信号输入端Scan1、电流数据信号输入端Data和驱动子电路1的第一端耦接,用于在写入补偿时段P2,在第一扫描信号输入端Scan1的控制下,控制导通电流数据信号输入端Data和驱动子电路1的第一端之间的耦接;用于在发光时段P3,在第一扫描信号输入端Scan1的控制下,控制断开电流数据信号输入端Data和驱动子电路1的第一端之间的耦接;补偿子电路4分别与第一扫描信号输入端Scan1、驱动子电路1的第一端和驱动子电路1的控制端耦接,用于在写入补偿时段P2,在第一扫描信号输入端Scan1的控制下,控制导通驱动子电路1的第一端和驱动子电路1的控制端之间的耦接;用于在发光时段P3,在第一扫描信号输入端Scan1的控制下,控制断开驱动子电路1的第一端和驱动子电路1的控制端之间的耦接。

[0054] 具体地,上述发光元件7的种类多种多样,示例性的,包括OLED,OLED可以以多种方式接入到像素驱动电路中,例如:OLED的阴极与驱动子电路1的第一端耦接,OLED的阳极与第二电平信号输入端V2耦接,该第二电平信号输入端V2可选为电源信号输入端。

[0055] 上述像素驱动电路应用在显示装置中时,在显示装置的每一显示周期中,像素驱动电路均包括写入补偿时段P2和发光时段P3,下面对像素驱动电路在这两个时段的具体工作过程进行详细说明。

[0056] 在写入补偿时段P2,第一扫描信号输入端Scan1输入第一扫描信号,此时第一扫描信号处于有效电平,在该第一扫描信号的控制下,像素驱动电路中的数据写入子电路3控制导通电流数据信号输入端Data和驱动子电路1的第一端之间的耦接,该电流数据信号输入端Data可接入由相应的电流源(如图3中的A)提供的电流数据信号 $I_{Data}$ ,从而使得该电流数据信号能够通过数据写入子电路3传输至驱动子电路1的第一端;同时,像素驱动电路中的

补偿子电路4控制导通驱动子电路1的第一端和驱动子电路1的控制端之间的耦接,使得传输至驱动子电路1的第一端的电流数据信号继续传输至驱动子电路1的控制端,而由于储能子电路2的一端与驱动子电路1的控制端耦接,因此传输至驱动子电路1的控制端的电流数据信号能够为像素驱动电路中的储能子电路2充电,充电的过程主要包括如下三个阶段:

[0057] 第一阶段,储能子电路2存储的电压值小于驱动子电路1对应的阈值电压,此时驱动子电路1处于非工作状态,没有电流信号流过驱动子电路1。

[0058] 第二阶段,储能子电路2存储的电压值等于驱动子电路1对应的阈值电压,此时驱动子电路1处于工作状态,由于储能子电路2的容量大于驱动子电路1对应的阈值电压,因此传输至驱动子电路1中的电流数据信号一部分继续为储能子电路2充电,电流数据信号的另一部分流过驱动子电路1。

[0059] 第三阶段,当储能子电路2充电达到其最大容量(即达到存储阈值)时,电流数据信号不再为储能子电路2充电,储能子电路2对应的存储电压不再增加,电流数据信号全部流过驱动子电路1,使得驱动子电路1产生的漏电流信号与电流数据信号相同。

[0060] 在发光时段P3,第一扫描信号输入端Scan1继续输入第一扫描信号,此时该第一扫描信号处于非有效电平,在该第一扫描信号的控制下,数据写入子电路3控制断开电流数据信号输入端Data和驱动子电路1的第一端之间的耦接,补偿子电路4同样控制断开驱动子电路1的第一端和驱动子电路1的控制端之间的耦接,使得由电流数据信号输入端Data提供的电流数据信号不会写入驱动子电路1的第一端以及存储子电路中;由于在写入补偿时段P2,储能子电路2中存储了能够使得驱动子电路1产生的漏电流信号与电流数据信号相同的存储电压值,因此在所述发光时段P3,储能子电路2能够控制驱动子电路1产生与电流数据信号相同的漏电流信号,从而控制接入该像素驱动电路中的发光元件7实现与电流数据信号相关的发光亮度。

[0061] 根据上述像素驱动电路的具体结构和工作过程可知,本发明实施例提供的像素驱动电路包括:驱动子电路1、储能子电路2、数据写入子电路3和补偿子电路4;在写入补偿时段P2,数据写入子电路3和补偿子电路4能够控制由电流数据信号输入端Data输入的电流数据信号为储能子电路2充电,当储能子电路2的存储电压值大于驱动子电路1对应的阈值电压,且达到存储阈值时,电流数据信号停止对储能子电路2充电,并完全流过驱动子电路1;在发光时段P3,数据写入子电路3和补偿子电路4能够控制电流数据信号停止写入驱动子电路1的第一端以及存储子电路中,并通过储能子电路2控制驱动子电路1产生与电流数据信号相同的漏电流信号,使得发光元件7实现与电流数据信号对应的发光亮度。

[0062] 因此,在将本发明实施例提供的像素驱动电路应用在显示装置中,利用本发明实施例提供的像素驱动电路驱动发光元件7发光时,发光元件7的发光亮度仅与电流数据信号输入端Data输入的电流数据信号相关,而与驱动子电路1对应的阈值电压、发光元件7接入的第二电平信号(电源信号)均无关,从而避免了由于像素驱动电路对应的电学参数存在差异,以及随着显示装置显示时间的延长,驱动子电路1对应的阈值电压发生不同程度的漂移,所导致的影响显示装置的显示质量的问题;同时也避免了用于提供电源信号的电源线中寄生电阻对应产生的压降所引起的漏电流信号漂移问题,进而避免了由于电源线中寄生电阻对应产生的压降对发光元件7的发光亮度产生影响,因此,在将本发明实施例提供的像素驱动电路应用在显示装置中时,能够更好的保证显示装置显示的均一性。



[0063] 另外,由于在利用本发明实施例提供的像素驱动电路驱动发光元件7发光时,控制了驱动子电路1产生的漏电流信号与由电流数据信号输入端Data输入的电流数据信号相同,因此避免了驱动子电路1产生Kink效应。需要说明,当驱动子电路1包括驱动晶体管时,Kink效应是指:在高的漏源电压下,漏极附近的载流子会产生雪崩倍增,从而使漏极电流(即上述提到的漏电流信号)随漏极电压而迅速增加。

[0064] 如图2所示,在一些实施例中,上述实施例提供的像素驱动电路还包括:预充电子电路5,所述预充电子电路5分别与使能信号输入端EN、基准信号输入端Pre和驱动子电路1的控制端耦接,用于在预充电时段P1,在使能信号输入端EN的控制下,控制导通基准信号输入端Pre和驱动子电路1的控制端之间的耦接;用于在写入补偿时段P2和发光时段P3,在使能信号输入端EN的控制下,控制断开基准信号输入端Pre和驱动子电路1的控制端之间的耦接。

[0065] 具体地,当上述实施例提供的像素驱动电路还包括预充电子电路5时,在每一显示周期中的写入补偿时段P2之前还包括预充电时段P1(如图4所示),上述充电子电路的具体工作过程如下:

[0066] 在预充电时段P1,基准信号输入端Pre输入基准信号 $V_{Pre}$ (该 $V_{Pre}$ 为直流电压信号),使能信号输入端EN输入使能信号,且在该预充电时段P1使能信号处于有效电平,在该使能信号的控制下,预充电子电路5控制导通基准信号输入端Pre和驱动子电路1的控制端之间的耦接,以将基准信号输入端Pre输入的基准信号传输至驱动子电路1的控制端,从而对于驱动子电路1的控制端连接的储能子电路2进行预充电。值得注意,基准信号输入端Pre输入的基准信号的电位可小于驱动子电路1对应的阈值电压的电位,以避免驱动子电路1在预充电时段P1处于工作状态,而导致发光元件7异常发光。

[0067] 在写入补偿时段P2和发光时段P3,使能信号输入端EN输入的使能信号处于非有效电平,在该使能信号的控制下,预充电子电路5控制断开基准信号输入端Pre和驱动子电路1的控制端之间的耦接,使得基准信号输入端Pre输入的基准信号停止为储能子电路2充电。

[0068] 设置上述实施例提供的像素驱动电路包括预充电子电路5,并通过该预充电子电路5在预充电时段P1为储能子电路2预充电,使得在进入写入补偿时段P2后,通过电流数据信号输入端Data输入的电流数据信号为储能子电路2充电,使储能子电路2的存储电压值大于驱动子电路1对应的阈值电压,并进一步达到存储阈值的时间缩短,因此,设置上述实施例提供的像素驱动电路包括预设子电路,不仅能够对储能子电路2实现复位,避免储能子电路2中残留的上一帧数据对本帧显示产生影响,而且,还实现了为储能子电路2进行预充电,有效缩短将驱动子电路1的漏电流信号复制为电流数据信号的时间,提升了像素驱动电路整体的响应速度,在将上述实施例提供的像素驱动电路应用在显示装置中时,更有利于提升显示装置的显示质量。

[0069] 如图3所示,上述预充电子电路5的具体结构多种多样,示例性的,预充电子电路5包括第一晶体管T1,第一晶体管T1的栅极与使能信号输入端EN耦接,第一晶体管T1的第一极与基准信号输入端Pre耦接,第一晶体管T1的第二极与驱动子电路1的控制端耦接。

[0070] 具体地,当预充电子电路5包括第一晶体管T1时,在预充电时段P1,基准信号输入端Pre输入基准信号,使能信号输入端EN输入使能信号,且在该预充电时段P1使能信号处于有效电平,在该使能信号的控制下,第一晶体管T1导通,从而导通基准信号输入端Pre和驱

动子电路1的控制端之间的耦接,以将基准信号输入端Pre输入的基准信号传输至驱动子电路1的控制端,从而对于驱动子电路1的控制端连接的储能子电路2进行预充电。

[0071] 在写入补偿时段P2和发光时段P3,使能信号输入端EN输入的使能信号处于非有效电平,在该使能信号的控制下,第一晶体管T1截止,从而断开基准信号输入端Pre和驱动子电路1的控制端之间的耦接,使得基准信号输入端Pre输入的基准信号停止为储能子电路2充电。

[0072] 上述实施例提供的像素驱动电路还包括:发光控制子电路6,发光控制子电路6分别与第二扫描信号输入端Scan2、驱动子电路1的第一端和发光元件7耦接,用于在第二扫描信号输入端Scan2的控制下,控制导通或断开发光元件7和驱动子电路1的第一端之间的耦接。

[0073] 具体地,当上述实施例提供的像素驱动电路还包括发光控制子电路6时,上述发光控制子电路6的具体工作过程如下:

[0074] 在预充电时段P1和写入补偿时段P2,第二扫描信号输入端Scan2输入第二扫描信号,且在这两个时段第二扫描信号处于非有效电平,在该第二扫描信号的控制下,发光控制子电路6控制断开发光元件7和驱动子电路1的第一端之间的耦接,使得发光元件7不会接入到像素驱动电路中。

[0075] 在发光时段P3,第二扫描信号处于有效电平,在该第二扫描信号的控制下,发光控制子电路6控制导通发光元件7和驱动子电路1的第一端之间的耦接,从而将发光元件7接入在像素驱动电路中,像素驱动电路中驱动子电路1产生的漏电流信号控制发光元件7的发光亮度。

[0076] 设置上述实施例提供的像素驱动电路包括发光控制子电路6,使得在预充电时段P1和写入补偿时段P2,即使驱动子电路1中产生相应的漏电流信号,该漏电流信号也不会使发光元件7发光,从而避免了发光元件7在预充电时段P1和写入补偿时段P2发生异常显示;而在发光时段P3,驱动子电路1中产生的漏电流信号能够控制发光元件7发光,从而实现显示装置的显示功能。

[0077] 进一步地,上述发光控制子电路6的具体结构多种多样,示例性的,发光控制子电路6包括第二晶体管T2,第二晶体管T2的栅极与第二扫描信号输入端Scan2耦接,第二晶体管T2的第一极与发光元件7耦接,第二晶体管T2的第二极与驱动子电路1的第一端耦接。

[0078] 具体地,当发光控制子电路6包括第二晶体管T2时,在预充电时段P1和写入补偿时段P2,第二扫描信号输入端Scan2输入第二扫描信号,且在这两个时段第二扫描信号处于非有效电平,在该第二扫描信号的控制下,第二晶体管T2截止,从而控制断开发光元件7和驱动子电路1的第一端之间的耦接,使得发光元件7不会接入到像素驱动电路中。

[0079] 在发光时段P3,第二扫描信号处于有效电平,在该第二扫描信号的控制下,第二晶体管T2导通,从而控制导通发光元件7和驱动子电路1的第一端之间的耦接,从而将发光元件7接入在像素驱动电路中,像素驱动电路中驱动子电路1产生的漏电流信号控制发光元件7的发光亮度。

[0080] 上述实施例提供的像素驱动电路中,驱动子电路1、储能子电路2、数据写入子电路3和补偿子电路4的具体结构均可以根据实际需要进行选择,示例性的,驱动子电路1包括第三晶体管T3,储能子电路2包括储能电容Cs,数据写入子电路3包括第四晶体管T4,补偿子电

路4包括第五晶体管T5;其中,第三晶体管T3的栅极与储能电容Cs的第一极耦接,第三晶体管T3的第一极与发光元件7耦接,第三晶体管T3的第二极与第一电平信号输入端V1耦接;储能电容Cs的第二极与第三晶体管T3的第二极耦接;第四晶体管T4的栅极与第一扫描信号输入端Scan1耦接,第四晶体管T4的第一极与电流数据信号输入端Data耦接,第四晶体管T4的第二极与第三晶体管T3的第一极耦接;第五晶体管T5的栅极与第一扫描信号输入端Scan1耦接,第五晶体管T5的第一极与第三晶体管T3的第一极耦接,第五晶体管T5的第二极与第三晶体管T3的栅极耦接。

[0081] 具体地,当像素驱动电路采用上述具体结构时,像素驱动电路的具体工作过程如下:

[0082] 在写入补偿时段P2,第一扫描信号输入端Scan1输入第一扫描信号,此时第一扫描信号处于有效电平,在该第一扫描信号的控制下,第四晶体管T4导通,从而控制导通电流数据信号输入端Data和驱动子电路1的第一端之间的耦接,该电流数据信号输入端Data可接入由相应的电流源提供的电流数据信号,从而使得该电流数据信号能够通过第四晶体管T4传输至第三晶体管T3的第一极;同时,第五晶体管T5导通,从而控制导通第三晶体管T3的第一极和第三晶体管T3的栅极之间的耦接,使得传输至第三晶体管T3的第一极的电流数据信号继续传输至第三晶体管T3的栅极,而由于储能电容Cs的一极与第三晶体管T3的栅极耦接,因此传输至第三晶体管T3的栅极的电流数据信号能够为储能电容充电,充电的过程主要包括如下三个阶段:

[0083] 第一阶段,储能电容存储的电压值小于第三晶体管T3对应的阈值电压,此时第三晶体管T3截止,没有电流信号流过第三晶体管T3。

[0084] 第二阶段,储能电容存储的电压值等于第三晶体管T3对应的阈值电压,此时第三晶体管T3导通,由于储能电容的容量大于第三晶体管T3对应的阈值电压,因此传输至第三晶体管T3的第一极的电流数据信号一部分继续为储能电容充电,电流数据信号的另一部分流过第三晶体管T3。

[0085] 第三阶段,当储能电容充电达到其最大容量(即达到存储阈值)时,电流数据信号不再为储能电容充电,电流数据信号全部流过第三晶体管T3,使得第三晶体管T3产生的漏电流信号与电流数据信号相同。

[0086] 在发光时段P3,第一扫描信号输入端Scan1继续输入第一扫描信号,此时该第一扫描信号处于非有效电平,在该第一扫描信号的控制下,第四晶体管T4截止,从而控制断开电流数据信号输入端Data和第三晶体管T3的第一极之间的耦接,同时第五晶体管T5截止,从而控制断开第三晶体管T3的第一极和第三晶体管T3的栅极之间的耦接,使得由电流数据信号输入端Data提供的电流数据信号不会写入第三晶体管T3的第一极以及存储电容中;由于在写入补偿时段P2,储能电容中存储了能够使得第三晶体管T3产生的漏电流信号与电流数据信号相同的存储电压值,因此在所述发光时段P3,储能电容能够控制第三晶体管T3工作饱和区,使得第三晶体管T3产生与电流数据信号相同的漏电流信号,从而控制接入该像素驱动电路中的发光元件7实现与电流数据信号相关的发光亮度。

[0087] 设置上述实施例提供的像素驱动电路包括上述具体结构,使得像素驱动电路能够以简单的电路结构,控制发光元件7的发光亮度仅与电流数据信号输入端Data输入的电流数据信号相关,而与驱动子电路1对应的阈值电压、发光元件7接入的第二电平信号(电源信

号)均无关,从而很好的保证了像素驱动电路所应用的显示装置能够实现较高的显示质量。同时,还避免了第三晶体管T3产生Kink效应。

[0088] 需要说明的是,上述实施例提供的第一晶体管T1至第五晶体管T5的具体类型可根据实际需要进行选择,示例性的,可选用P型薄膜晶体管或N型薄膜晶体管,上述各晶体管的第一极可对应源极,第二极可对应漏极;或者,上述各晶体管的第一极可对应漏极,第二极可对应源极。值得注意,本发明以各晶体管选用N型薄膜晶体管为例进行说明。

[0089] 本发明实施例还提供了一种显示装置,包括上述实施例提供的像素驱动电路。

[0090] 由于上述实施例提供的像素驱动电路在驱动发光元件7发光时,发光元件7的发光亮度仅与电流数据信号输入端Data输入的电流数据信号相关,而与驱动子电路1对应的阈值电压、发光元件7接入的第二电平信号(电源信号)均无关,从而避免了由于像素驱动电路对应的电学参数存在差异,以及随着显示装置显示时间的延长,驱动子电路1对应的阈值电压发生不同程度的漂移,所导致的影响显示装置的显示质量的问题;同时上述实施例提供的像素驱动电路也避免了用于提供电源信号的电源线中寄生电阻对应产生的压降所引起的漏电流信号漂移问题,进而避免了由于电源线中寄生电阻对应产生的压降对发光元件7的发光亮度产生影响,因此,本发明实施例提供的显示装置在包括上述实施例提供的像素驱动电路时,能够更好的保证显示装置显示的均一性,有效提升显示装置的显示质量。而且,由于上述实施例提供的像素驱动电路驱动发光元件7发光时,控制了驱动子电路1产生的漏电流信号与由电流数据信号输入端Data输入的电流数据信号相同,避免了驱动子电路1产生Kink效应,因此,本发明实施例提供的显示装置在包括上述实施例提供的像素驱动电路时,能够保证显示装置的信赖性,进一步提升显示装置的显示质量。

[0091] 另外,上述实施例提供的像素驱动电路还具有响应速度快、结构简单以及控制发光元件7仅在发光时段P3发光等优点,因此,本发明实施例提供的显示装置在包括上述实施例提供的像素驱动电路时,同样具有上述有益效果,此处不再赘述。

[0092] 需要说明的是,所述显示装置可以为:电视、显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件。

[0093] 本发明实施例还提供了一种像素驱动电路的驱动方法,应用于上述实施例提供的像素驱动电路,所述驱动方法包括:在每一显示周期,在写入补偿时段P2,在第一扫描信号输入端Scan1的控制下,像素驱动电路中的数据写入子电路3控制导通电流数据信号输入端Data和驱动子电路1的第一端之间的耦接,像素驱动电路中的补偿子电路4控制导通驱动子电路1的第一端和驱动子电路1的控制端之间的耦接,由电流数据信号输入端Data输入的电流数据信号为像素驱动电路中的储能子电路2充电,当储能子电路2的存储电压值大于驱动子电路1对应的阈值电压,且达到存储阈值时,电流数据信号停止对储能子电路2充电,并完全流过驱动子电路1;在发光时段P3,在第一扫描信号输入端Scan1的控制下,数据写入子电路3控制断开电流数据信号输入端Data和驱动子电路1的第一端之间的耦接,补偿子电路4控制断开驱动子电路1的第一端和驱动子电路1的控制端之间的耦接,储能子电路2控制驱动子电路1产生与电流数据信号相同的漏电流信号。

[0094] 具体地,在写入补偿时段P2,第一扫描信号输入端Scan1输入第一扫描信号,此时第一扫描信号处于有效电平,在该第一扫描信号的控制下,像素驱动电路中的数据写入子电路3控制导通电流数据信号输入端Data和驱动子电路1的第一端之间的耦接,该电流数据

信号输入端Data可接入由相应的电流源提供的电流数据信号,从而使得该电流数据信号能够通过数据写入子电路3传输至驱动子电路1的第一端;同时,像素驱动电路中的补偿子电路4控制导通驱动子电路1的第一端和驱动子电路1的控制端之间的耦接,使得传输至驱动子电路1的第一端的电流数据信号继续传输至驱动子电路1的控制端,而由于储能子电路2的一端与驱动子电路1的控制端耦接,因此传输至驱动子电路1的控制端的电流数据信号能够为像素驱动电路中的储能子电路2充电,充电的过程主要包括如下三个阶段:

[0095] 第一阶段,储能子电路2存储的电压值小于驱动子电路1对应的阈值电压,此时驱动子电路1处于非工作状态,没有电流信号流过驱动子电路1。

[0096] 第二阶段,储能子电路2存储的电压值等于驱动子电路1对应的阈值电压,此时驱动子电路1处于工作状态,由于储能子电路2的容量大于驱动子电路1对应的阈值电压,因此传输至驱动子电路1中的电流数据信号一部分继续为储能子电路2充电,电流数据信号的另一部分流过驱动子电路1。

[0097] 第三阶段,当储能子电路2充电达到其最大容量(即达到存储阈值)时,电流数据信号不再为储能子电路2充电,电流数据信号全部流过驱动子电路1,使得驱动子电路1产生的漏电流信号与电流数据信号相同。

[0098] 在发光时段P3,第一扫描信号输入端Scan1继续输入第一扫描信号,此时该第一扫描信号处于非有效电平,在该第一扫描信号的控制下,数据写入子电路3控制断开电流数据信号输入端Data和驱动子电路1的第一端之间的耦接,补偿子电路4同样控制断开驱动子电路1的第一端和驱动子电路1的控制端之间的耦接,使得由电流数据信号输入端Data提供的电流数据信号不会写入驱动子电路1的第一端以及存储子电路中;由于在写入补偿时段P2,储能子电路2中存储了能够使得驱动子电路1产生的漏电流信号与电流数据信号相同的存储电压值,因此在所述发光时段P3,储能子电路2能够控制驱动子电路1产生与电流数据信号相同的漏电流信号,从而控制接入该像素驱动电路中的发光元件7实现与电流数据信号相关的发光亮度。

[0099] 采用本发明实施例提供的驱动方法驱动上述实施例提供的像素驱动电路时,在写入补偿时段P2,数据写入子电路3和补偿子电路4能够控制由电流数据信号输入端Data输入的电流数据信号为储能子电路2充电,当储能子电路2的存储电压值大于驱动子电路1对应的阈值电压,且达到存储阈值时,电流数据信号停止对储能子电路2充电,并完全流过驱动子电路1;在发光时段P3,数据写入子电路3和补偿子电路4能够控制电流数据信号停止写入驱动子电路1的第一端以及存储子电路中,并通过储能子电路2控制驱动子电路1产生与电流数据信号相同的漏电流信号,使得发光元件7实现与电流数据信号对应的发光亮度。

[0100] 因此,在将上述实施例提供的像素驱动电路应用在显示装置中,采用本发明实施例提供的驱动方法驱动上述实施例提供的像素驱动电路时,发光元件7的发光亮度仅与电流数据信号输入端Data输入的电流数据信号相关,而与驱动子电路1对应的阈值电压、发光元件7接入的第二电平信号(电源信号)均无关,从而避免了由于像素驱动电路对应的电学参数存在差异,以及随着显示装置显示时间的延长,驱动子电路1对应的阈值电压发生不同程度的漂移,所导致的影响显示装置的显示质量的问题;同时也避免了用于提供电源信号的电源线中寄生电阻对应产生的压降所引起的漏电流信号漂移问题,进而避免了由于电源线中寄生电阻对应产生的压降对发光元件7的发光亮度产生影响,因此,在将上述实施例提

供的像素驱动电路应用在显示装置中,采用本发明实施例提供的驱动方法驱动上述实施例提供的像素驱动电路时,能够更好的保证显示装置显示的均一性。

[0101] 另外,采用本发明实施例提供的驱动方法驱动上述实施例提供的像素驱动电路时,控制了驱动子电路1产生的漏电流信号与由电流数据信号输入端Data输入的电流数据信号相同,因此避免了驱动子电路1产生Kink效应。

[0102] 在一些实施例中,当像素驱动电路包括预充电子电路5时,驱动方法还包括:在每一显示周期中,在写入补偿时段P2之前的预充电时段P1,在使能信号输入端EN的控制下,预充电子电路5控制导通基准信号输入端Pre和驱动子电路1的控制端之间的耦接,以对储能子电路2进行预充电;在写入补偿时段P2和发光时段P3,在使能信号输入端EN的控制下,预充电子电路5控制断开基准信号输入端Pre和驱动子电路1的控制端之间的耦接。

[0103] 具体地,在预充电时段P1,基准信号输入端Pre输入基准信号,使能信号输入端EN输入使能信号,且在该预充电时段P1使能信号处于有效电平,在该使能信号的控制下,预充电子电路5控制导通基准信号输入端Pre和驱动子电路1的控制端之间的耦接,以将基准信号输入端Pre输入的基准信号传输至驱动子电路1的控制端,从而对于驱动子电路1的控制端连接的储能子电路2进行预充电。值得注意,基准信号输入端Pre输入的基准信号的电位可小于驱动子电路1对应的阈值电压的电位,以避免驱动子电路1在预充电时段P1处于工作状态,而导致发光元件7异常发光。

[0104] 在写入补偿时段P2和发光时段P3,使能信号输入端EN输入的使能信号处于非有效电平,在该使能信号的控制下,预充电子电路5控制断开基准信号输入端Pre和驱动子电路1的控制端之间的耦接,使得基准信号输入端Pre输入的基准信号停止为储能子电路2充电。

[0105] 当上述实施例提供的像素驱动电路包括预充电子电路5,采用上述实施例提供的驱动方法驱动该像素驱动电路时,能够通过该预充电子电路5在预充电时段P1为储能子电路2预充电,使得在进入写入补偿时段P2后,通过电流数据信号输入端Data输入的电流数据信号为储能子电路2充电,使储能子电路2的存储电压值大于驱动子电路1对应的阈值电压,并进一步达到存储阈值的时间缩短,因此,采用上述实施例提供的驱动方法驱动上述实施例提供的像素驱动电路时,不仅能够对储能子电路2实现复位,避免储能子电路2中残留的上一帧数据对本帧显示产生影响,而且,还实现了为储能子电路2进行预充电,有效缩短将驱动子电路1的漏电流信号复制为电流数据信号的时间,提升了像素驱动电路整体的响应速度。

[0106] 在一些实施例中,当像素驱动电路包括发光控制子电路6时,驱动方法还包括:在预充电时段P1和写入补偿时段P2,在第二扫描信号输入端Scan2的控制下,发光控制子电路6控制断开发光元件7和驱动子电路1的第一端之间的耦接;在发光时段P3,在第二扫描信号输入端Scan2的控制下,发光控制子电路6控制导通发光元件7和驱动子电路1的第一端之间的耦接。

[0107] 具体地,在预充电时段P1和写入补偿时段P2,第二扫描信号输入端Scan2输入第二扫描信号,且在这两个时段第二扫描信号处于非有效电平,在该第二扫描信号的控制下,发光控制子电路6控制断开发光元件7和驱动子电路1的第一端之间的耦接,使得发光元件7不会接入到像素驱动电路中。

[0108] 在发光时段P3,第二扫描信号处于有效电平,在该第二扫描信号的控制下,发光控

制子电路6控制导通发光元件7和驱动子电路1的第一端之间的耦接,从而将发光元件7接入在像素驱动电路中,像素驱动电路中驱动子电路1产生的漏电流信号控制发光元件7的发光亮度。

[0109] 当上述实施例提供的像素驱动电路包括发光控制子电路6,采用上述实施例提供的驱动方法驱动该像素驱动电路时,使得在预充电时段P1和写入补偿时段P2,即使驱动子电路1中产生相应的漏电流信号,该漏电流信号也不会使发光元件7发光,从而避免了发光元件7在预充电时段P1和写入补偿时段P2发生异常显示;而在发光时段P3,驱动子电路1中产生的漏电流信号能够控制发光元件7发光,从而实现显示装置的显示功能。

[0110] 需要说明,本说明书中的各个实施例均采用递进的方式描述,各个实施例之间相同相似的部分互相参见即可,每个实施例重点说明的都是与其他实施例的不同之处。尤其,对于方法实施例而言,由于其基本相似于产品实施例,所以描述得比较简单,相关之处参见产品实施例的部分说明即可。

[0111] 除非另外定义,本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“耦接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电连接或信号连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0112] 可以理解,当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时,该元件可以“直接”位于另一元件“上”或“下”,或者可以存在中间元件。

[0113] 在上述实施方式的描述中,具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0114] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

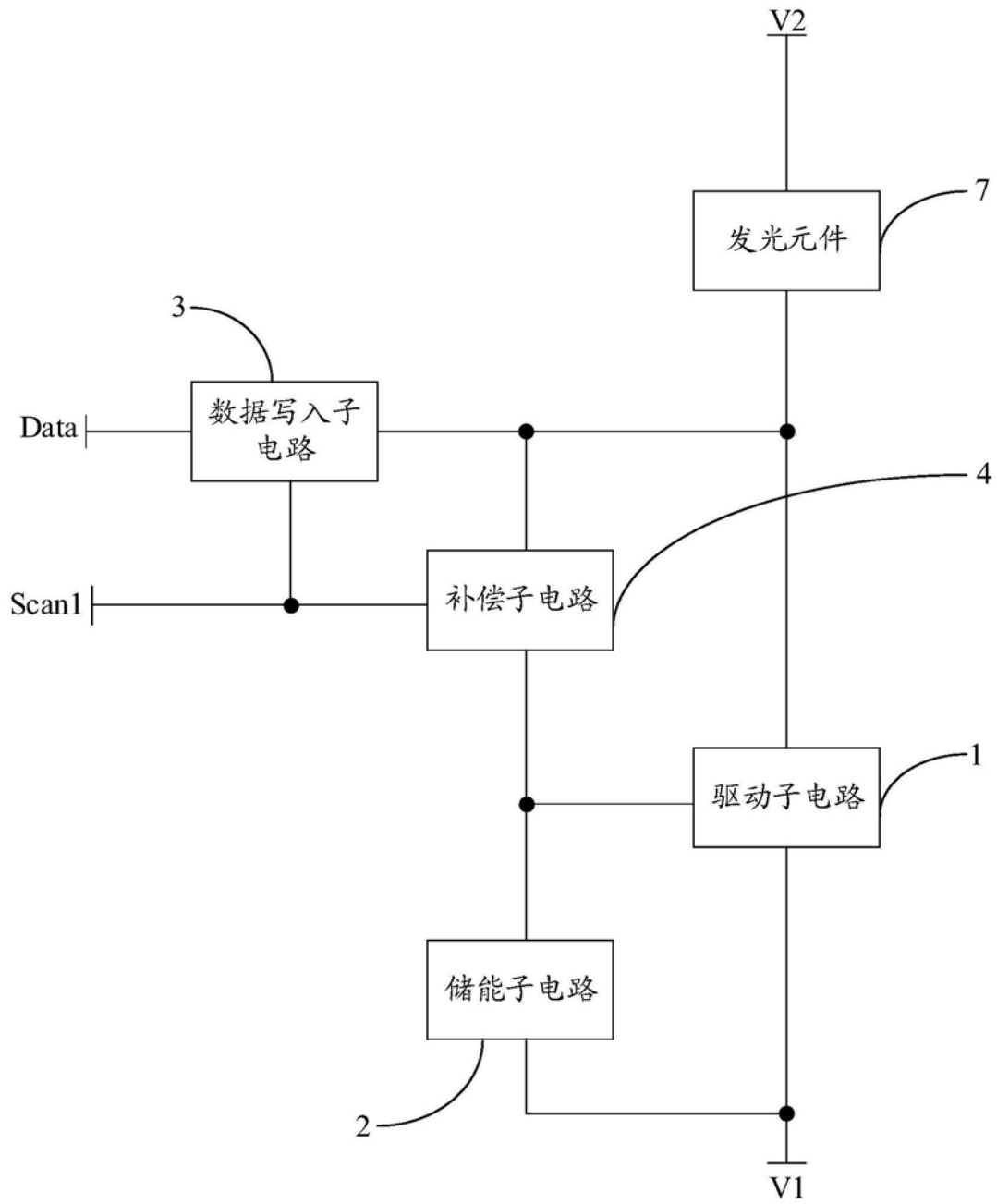


图1



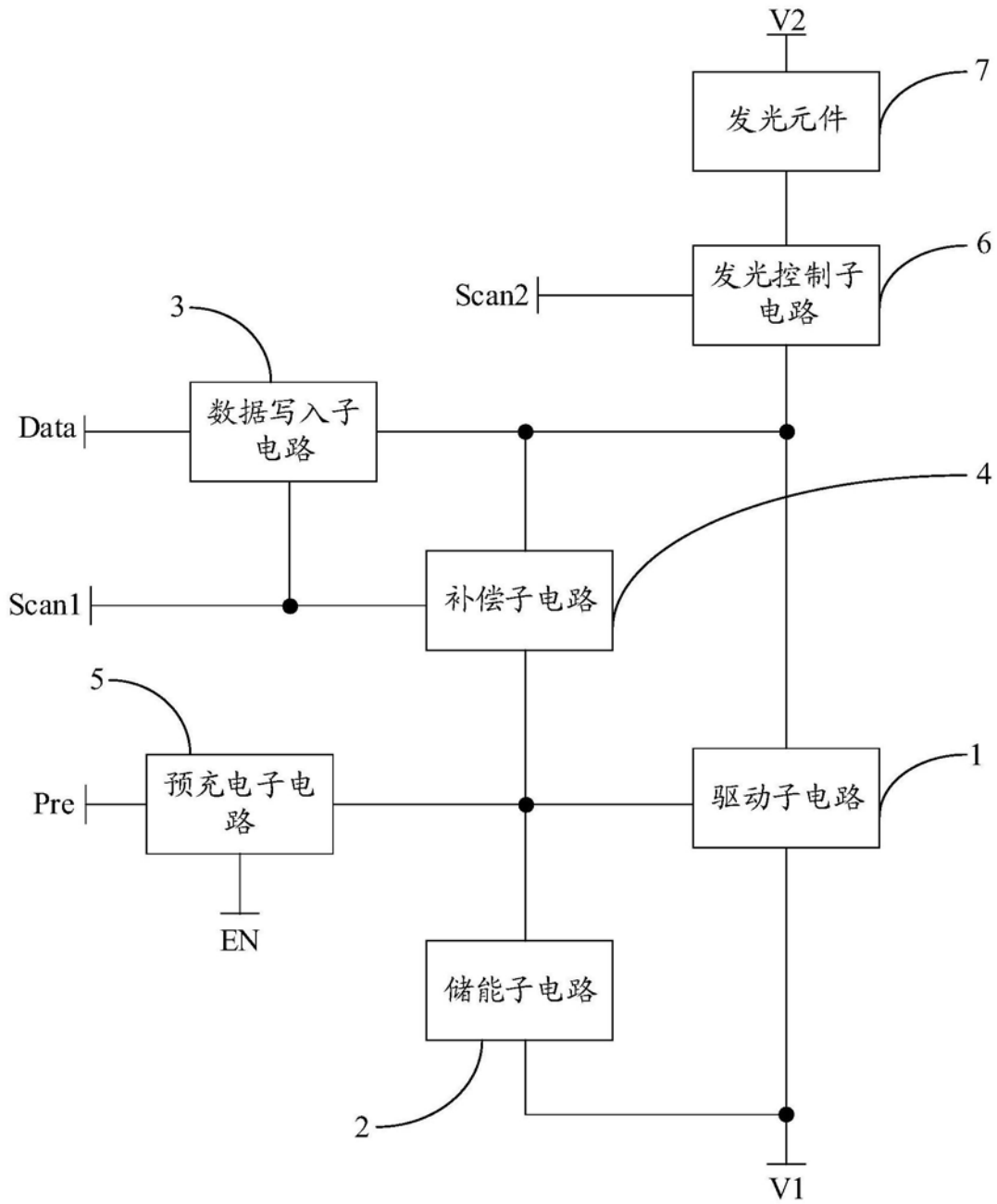


图2

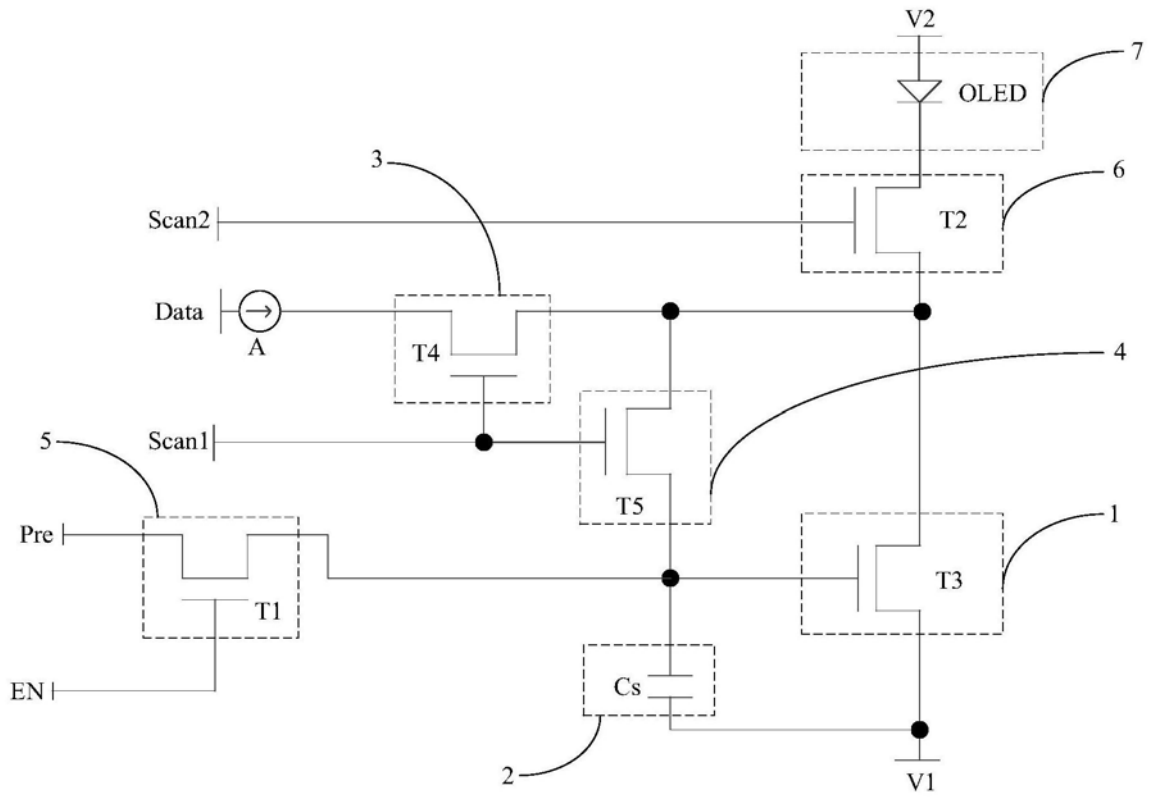


图3

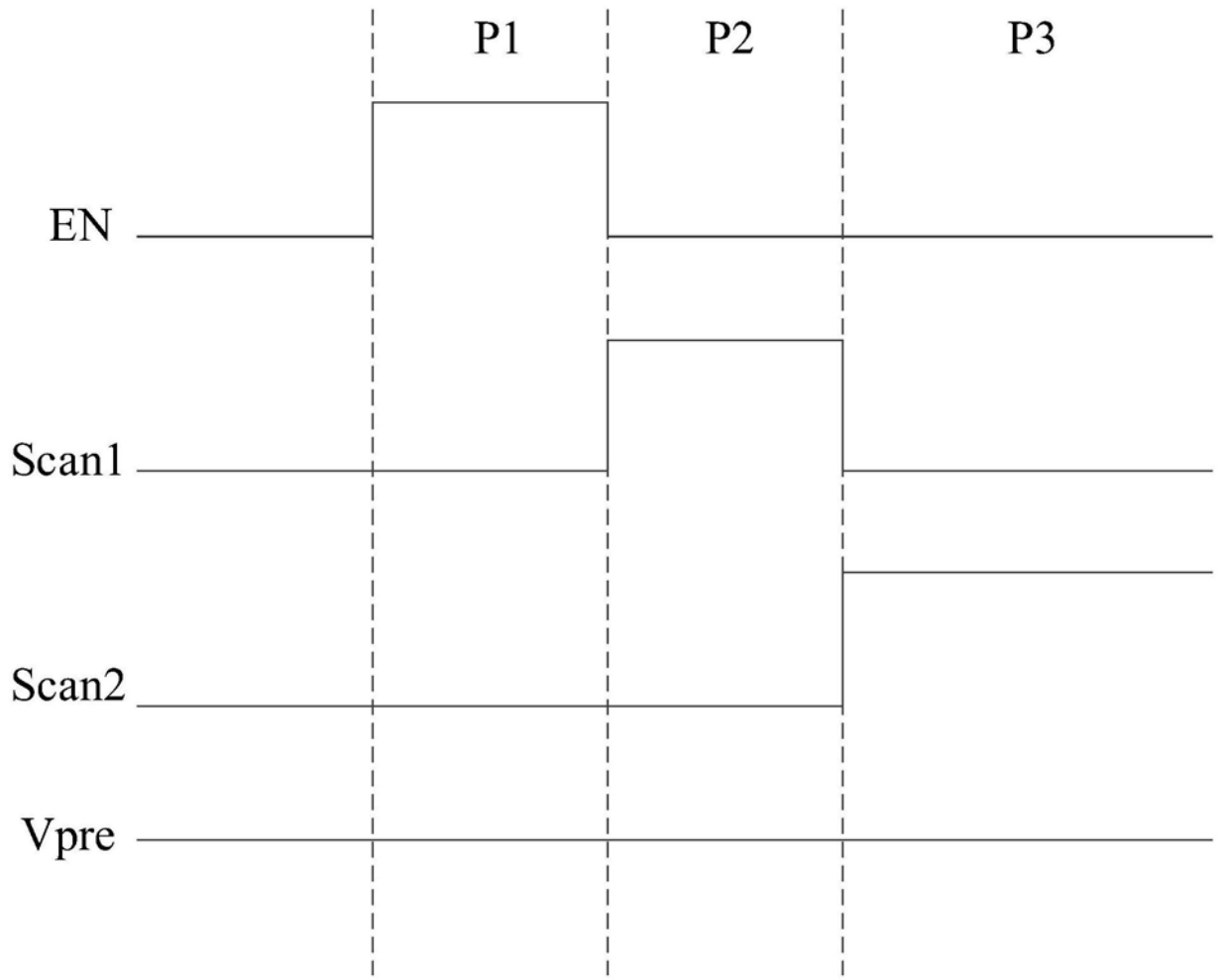


图4