

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-220163

(P2007-220163A)

(43) 公開日 平成19年8月30日(2007.8.30)

(51) Int. Cl. F I テーマコード (参考)
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 5 0 1 G
 G 1 1 C 11/22 5 0 1 J

審査請求 未請求 請求項の数 13 O L (全 18 頁)

(21) 出願番号	特願2006-36679 (P2006-36679)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成18年2月14日 (2006.2.14)	(74) 代理人	100079108 弁理士 稲葉 良幸
		(74) 代理人	100080953 弁理士 田中 克郎
		(74) 代理人	100093861 弁理士 大賀 眞司
		(72) 発明者	山村 光宏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

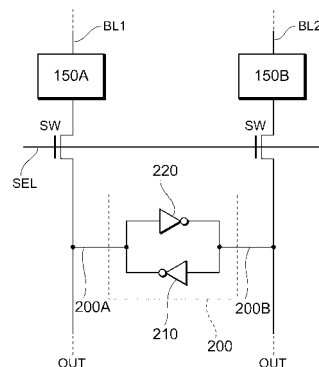
(54) 【発明の名称】 強誘電体メモリ装置

(57) 【要約】

【課題】構成が簡易で、高速に読み出し動作を行うことができる強誘電体メモリ装置を提供する。

【解決手段】強誘電体メモリ装置は、複数のビット線BLと、各ビット線BLに接続され、所定のデータを記憶する複数のメモリセルMCと、各ビット線BLに対応して設けられており、メモリセルMCから読み出されたデータを増幅する複数のセンスアンプ150と、各センスアンプ150にスイッチSWを介して接続され、センスアンプ150から出力されたデータをさらに増幅する複数のラッチ型センスアンプ200と、を備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数のビット線と、
各ビット線に接続され、所定のデータを記憶する複数のメモリセルと、
各ビット線に対応して設けられており、メモリセルから読み出されたデータを増幅する複数のセンスアンプと、
各センスアンプにスイッチを介して接続され、前記センスアンプから出力されたデータをさらに増幅する複数のラッチ型センスアンプと、
を備え、

10

前記センスアンプは、
ソースに第 1 の電圧が供給された第 1 の n 型 MOS トランジスタと、
前記第 1 の n 型 MOS トランジスタのドレインを、前記第 1 の電圧よりも高い正電圧である第 2 の電圧にプリチャージする第 1 のプリチャージ部と、
前記メモリセルに記憶されたデータが前記ビット線に読み出されたときに、当該ビット線の電圧に基づいて前記第 1 の n 型 MOS トランジスタの前記ソースと前記ドレインとの間の抵抗を制御して、前記第 2 の電圧にプリチャージされた前記ドレインの電圧を低下させるトランジスタ制御部と、
前記ドレインの電圧の低下に基づいて、前記ビット線の電圧を低下させる電圧制御部と

を有することを特徴とする強誘電体メモリ装置。

20

【請求項 2】

前記トランジスタ制御部は、
前記第 1 の n 型 MOS トランジスタのゲートを所定の正電圧にプリチャージする第 2 のプリチャージ部と、
前記ビット線と前記ゲートとの間に設けられた第 1 のキャパシタと、
を有することを特徴とする請求項 1 記載の強誘電体メモリ装置。

【請求項 3】

前記第 1 のキャパシタが強誘電体キャパシタであることを特徴とする請求項 2 記載の強誘電体メモリ装置。

【請求項 4】

前記第 2 のプリチャージ部は、前記ゲートを、前記第 1 の n 型 MOS トランジスタの閾値電圧にプリチャージすることを特徴とする請求項 2 又は 3 記載の強誘電体メモリ装置。

30

【請求項 5】

前記電圧制御部は、前記第 1 の n 型 MOS トランジスタのドレインと前記ビット線との間に設けられた第 2 のキャパシタを有することを特徴とする請求項 1 から 3 のいずれか 1 項記載の強誘電体メモリ装置。

【請求項 6】

前記第 2 のキャパシタが強誘電体キャパシタであることを特徴とする請求項 5 記載の強誘電体メモリ装置。

【請求項 7】

前記第 1 の電圧は、接地電圧であることを特徴とする請求項 1 から 6 のいずれか 1 項記載の強誘電体メモリ装置。

40

【請求項 8】

前記複数のセンスアンプのうち、第 1 のセンスアンプが前記ラッチ型センスアンプの第 1 の入力部に接続され、第 2 のセンスアンプが当該ラッチ型センスアンプの第 2 の入力部に接続されることを特徴とする請求項 1 から 7 のいずれか 1 項記載の強誘電体メモリ装置。

【請求項 9】

前記複数のセンスアンプのうち、第 1 のセンスアンプが前記複数のラッチ型センスアンプの複数の第 1 の入力部に共通接続され、複数の第 2 のセンスアンプが前記複数のラッチ

50

型センスアンプの複数の第2の入力部にそれぞれ接続されることを特徴とする請求項1から7のいずれか1項記載の強誘電体メモリ装置。

【請求項10】

前記第1及び第2のセンスアンプのそれぞれと、前記ラッチ型センスアンプとの間に設けられた電圧変換回路をさらに含むことを特徴とする請求項9記載の強誘電体メモリ装置。

【請求項11】

電圧発生回路をさらに含み、

前記電圧発生回路は、前記ラッチ型センスアンプの第1の入力部に第1のスイッチを介して接続され、かつ第2の入力部に第2のスイッチを介して接続され、

前記複数のセンスアンプのうち、第1のセンスアンプが前記ラッチ型センスアンプの前記第1の入力部に第3のスイッチを介して接続され、第2のセンスアンプが前記ラッチ型センスアンプの前記第2の入力部に第4のスイッチを介して接続され、

前記第1及び第4のスイッチが共にオン・オフ制御され、

前記第2及び第3のスイッチが共にオン・オフ制御されることを特徴とする請求項1から7のいずれか1項記載の強誘電体メモリ装置。

【請求項12】

前記複数のメモリセルは、第1及び第2のメモリセルアレイに設けられ、

前記第1のセンスアンプは、前記第1のメモリセルアレイに設けられるメモリセルから読み出されたデータを増幅し、

前記第2のセンスアンプは、前記第2のメモリセルアレイに設けられるメモリセルから読み出されたデータを増幅し、

前記複数のラッチ型センスアンプは、前記第1のメモリセルアレイと前記第2のメモリセルアレイの間の領域に設けられることを特徴とする請求項8から11のいずれか1項記載の強誘電体メモリ装置。

【請求項13】

電圧発生回路をさらに含み、

前記電圧発生回路がスイッチを介して前記複数のラッチ型センスアンプの複数の第1の入力部に共通接続され、前記複数のセンスアンプが前記複数のラッチ型センスアンプの複数の第2の入力部にそれぞれ接続されることを特徴とする請求項1から7のいずれか1項記載の強誘電体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体メモリ装置に関する。

【背景技術】

【0002】

従来データ記憶装置として、特開2002-133857号公報(特許文献1)に開示されたものがある。上記従来データ記憶装置は、データに基づいてメモリセルに蓄積された電荷を電荷蓄積手段へ転送し、電荷蓄積手段に蓄積された電荷により生ずる電圧を増幅することによりメモリセルに記憶されていたデータを読み出している。

【特許文献1】特開2002-133857号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上記従来データ記憶装置は、電荷転送手段等の回路規模が大きいため、多数の読み出し回路を配置することがきわめて困難であるため、同時に読み出せるビット数が制限されるという問題が生じていた。

【0004】

10

20

30

40

50

よって、本発明は、上記の課題を解決することのできる強誘電体メモリ装置を提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【課題を解決するための手段】

【0005】

(1)本発明の一形態によれば、
複数のビット線と、
各ビット線に接続され、所定のデータを記憶する複数のメモリセルと、
各ビット線に対応して設けられており、メモリセルから読み出されたデータを増幅する
複数のセンスアンプと、
各センスアンプにスイッチを介して接続され、前記センスアンプから出力されたデータを
さらに増幅する複数のラッチ型センスアンプと、
を備え、
前記センスアンプは、
ソースに第1の電圧が供給された第1のn型MOSトランジスタと、
前記第1のn型MOSトランジスタのドレインを、前記第1の電圧よりも高い正電圧で
ある第2の電圧にプリチャージする第1のプリチャージ部と、
前記メモリセルに記憶されたデータが前記ビット線に読み出されたときに、当該ビット
線の電圧に基づいて前記第1のn型MOSトランジスタの前記ソースと前記ドレインとの
間の抵抗を制御して、前記第2の電圧にプリチャージされた前記ドレインの電圧を低下さ
せるトランジスタ制御部と、
前記ドレインの電圧の低下に基づいて、前記ビット線の電圧を低下させる電圧制御部と
、
を有する。

10

20

【0006】

上記形態によれば、ビット線の電圧は、メモリセルに記憶されたデータに基づいて変化し、トランジスタ制御部は、第1のn型MOSトランジスタをオンし、さらにそのオン抵抗を制御することとなる。そして、第1のn型MOSトランジスタのオン抵抗は、ビット線の電圧の微小な変化によって大きく変化させることができる。従って、上記形態によれば、極めて簡易な構成で、第1のn型MOSトランジスタのドレイン電圧の低下量を、メモリセルに記憶されたデータに基づいて、大きく異ならせることができるので、回路規模やチップ面積が小さく、読み出しマージンが大きい強誘電体メモリ装置を提供することができる。

30

【0007】

また、上記形態によれば、電圧制御部がビット線の電圧の上昇を抑えるので、メモリセルにかかる電圧を高いまま維持することができる。従って、上記形態によれば、読み出しマージンをさらに大きくすることができる。

【0008】

さらに、センスアンプの出力にラッチ型センスアンプが設けられており、ラッチ型センスアンプは、センスアンプから出力されるデータをさらに増幅するので、さらに読み出しマージンの大きい強誘電体メモリ装置を提供することができる。

40

【0009】

(2)この強誘電体メモリ装置において、
前記トランジスタ制御部は、
前記第1のn型MOSトランジスタのゲートを所定の正電圧にプリチャージする第2のプリチャージ部と、
前記ビット線と前記ゲートとの間に設けられた第1のキャパシタと、
を有してもよい。

【0010】

上記形態によれば、メモリセルに記憶されたデータがビット線に読み出されて、当該ビ

50

ット線の電圧が上昇すると、第1のキャパシタは、所定の正電圧にプリチャージされた第1のn型MOSトランジスタのゲート電圧をさらに上昇させる。従って、上記形態によれば、極めて簡易な構成で、ビット線の電圧に基づいて第1のn型MOSトランジスタのオン抵抗を制御できるので、回路規模やチップ面積の小さい強誘電体メモリ装置を提供することができる。

【0011】

(3)この強誘電体メモリ装置において、
前記第1のキャパシタが強誘電体キャパシタであってもよい。

【0012】

上記形態によれば、容量を大きく保ちつつキャパシタ面積の縮小化を図ることができるので、回路規模やチップ面積をさらに小さくすることができる。 10

【0013】

(4)この強誘電体メモリ装置において、
前記第2のプリチャージ部は、前記ゲートを、前記第1のn型MOSトランジスタの閾値電圧にプリチャージしてもよい。

【0014】

上記形態によれば、ビット線の電圧変化が微小な場合であっても、第1のn型MOSトランジスタをオンさせて、さらにオン抵抗を制御することができる。

【0015】

(5)この強誘電体メモリ装置において、
前記電圧制御部は、前記第1のn型MOSトランジスタのドレインと前記ビット線との間に設けられた第2のキャパシタを有してもよい。 20

【0016】

上記形態によれば、極めて簡易な構成で、第1のn型MOSトランジスタのドレイン電圧の変化に基づいて、ビット線の電圧を変化させることができる。

【0017】

(6)この強誘電体メモリ装置において、
前記第2のキャパシタが強誘電体キャパシタであってもよい。

【0018】

上記形態によれば、容量を大きく保ちつつキャパシタ面積の縮小化を図ることができるので、回路規模やチップ面積をさらに小さくすることができる。 30

【0019】

(7)この強誘電体メモリ装置において、
前記第1の電圧は、接地電圧であってもよい。

【0020】

上記形態によれば、センスアンプにおいて使用する電圧の範囲を、接地電圧から所定の正電圧とすることができるので、高速かつ電圧制御が容易で、レベルシフト回路を不要とする強誘電体メモリ装置を提供することができる。

【0021】

(8)この強誘電体メモリ装置において、
前記複数のセンスアンプのうち、第1のセンスアンプが前記ラッチ型センスアンプの第1の入力部に接続され、第2のセンスアンプが当該ラッチ型センスアンプの第2の入力部に接続されてもよい。 40

【0022】

上記形態によれば、第1のセンスアンプの出力と、第2のセンスアンプの出力とを比較することにより、読み出し動作を行うことができる。

【0023】

(9)この強誘電体メモリ装置において、
前記複数のセンスアンプのうち、第1のセンスアンプが前記複数のラッチ型センスアンプの複数の第1の入力部に共通接続され、複数の第2のセンスアンプが前記複数のラッチ 50

型センスアンプの複数の第 2 の入力部にそれぞれ接続されてもよい。

【0024】

上記形態によれば、第 1 のセンスアンプの出力を参照電圧として各第 2 のセンスアンプの出力と比較することにより、読み出し動作を行うことができる。

【0025】

(10) この強誘電体メモリ装置において、

前記第 1 及び第 2 のセンスアンプのそれぞれと、前記ラッチ型センスアンプとの間に設けられた電圧変換回路をさらに含んでもよい。

【0026】

上記形態によれば、第 1 及び第 2 のセンスアンプに寄生する容量の大きさに依存することなく、所定電圧をラッチ型センスアンプに入力することができる。

10

【0027】

(11) この強誘電体メモリ装置において、

電圧発生回路をさらに含み、

前記電圧発生回路は、前記ラッチ型センスアンプの第 1 の入力部に第 1 のスイッチを介して接続され、かつ第 2 の入力部に第 2 のスイッチを介して接続され、

前記複数のセンスアンプのうち、第 1 のセンスアンプが前記ラッチ型センスアンプの前記第 1 の入力部に第 3 のスイッチを介して接続され、第 2 のセンスアンプが前記ラッチ型センスアンプの前記第 2 の入力部に第 4 のスイッチを介して接続され、

前記第 1 及び第 4 のスイッチが共にオン・オフ制御され、

20

前記第 2 及び第 3 のスイッチが共にオン・オフ制御されてもよい。

【0028】

上記形態によれば、電圧発生回路が生成する所定電圧を参照電圧としてセンスアンプの出力と比較することにより、読み出し動作を行うことができる。また、上記形態によれば、参照電圧が固定されるので、メモリセルのばらつきに影響して変動することがないため、読み出し動作のさらなる安定化を図ることができる。さらに、2 つのビット線についてラッチ型センスアンプが共有されるので、回路規模やチップ面積をさらに小さくすることができる。

【0029】

(12) この強誘電体メモリ装置において、

30

前記複数のメモリセルは、第 1 及び第 2 のメモリセルアレイに設けられ、

前記第 1 のセンスアンプは、前記第 1 のメモリセルアレイに設けられるメモリセルから読み出されたデータを増幅し、

前記第 2 のセンスアンプは、前記第 2 のメモリセルアレイに設けられるメモリセルから読み出されたデータを増幅し、

前記複数のラッチ型センスアンプは、前記第 1 のメモリセルアレイと前記第 2 のメモリセルアレイの間の領域に設けられてもよい。

【0030】

(13) この強誘電体メモリ装置において、

電圧発生回路をさらに含み、

40

前記電圧発生回路がスイッチを介して前記複数のラッチ型センスアンプの複数の第 1 の入力部に共通接続され、前記複数のセンスアンプが前記複数のラッチ型センスアンプの複数の第 2 の入力部にそれぞれ接続されてもよい。

【0031】

上記形態によれば、電圧発生回路が生成する所定電圧を参照電圧としてセンスアンプの出力と比較することにより、読み出し動作を行うことができる。また、上記形態によれば、参照電圧が固定されるので、メモリセルのばらつきに影響して変動することがないため、読み出し動作のさらなる安定化を図ることができる。

【発明を実施するための最良の形態】

【0032】

50

以下、図面を参照しつつ、発明の実施形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲に係る発明を限定するものではなく、また、実施形態の中で説明されている特徴の組み合わせのすべてが発明の解決手段に必須であるとは限らない。

【0033】

(参考例に係る第1の実施の形態)

図1は、本実施の形態に係る強誘電体メモリ装置を示す図である。強誘電体メモリ装置は、メモリセルアレイ110と、ワード線制御部120と、プレート線制御部130と、n型MOSトランジスタ140と、センスアンプ150と、基準電圧発生部170と、判定部180とを備えて構成される。

【0034】

また、強誘電体メモリ装置は、m本(mは正の整数)のワード線WL1~m及びプレート線PL1~mと、n本(nは正の整数)のビット線BL1~nと、ダミービット線DBLとを備えて構成される。

【0035】

メモリセルアレイ110は、アレイ状に配置されたm×n個のメモリセルMCを有する。メモリセルMCは、n型MOSトランジスタTRと、強誘電体キャパシタCとを有して構成される。

【0036】

n型MOSトランジスタTRは、ゲートがワード線WL1~mのいずれかに接続され、ソースがダミービット線DBL及びビット線BL1~nのいずれかに接続され、ドレインが強誘電体キャパシタCの一方端に接続されている。すなわち、n型MOSトランジスタTRは、ワード線WL1~mの電圧に基づいて、強誘電体キャパシタCの一方端を、ダミービット線DBL及びビット線BL1~nに接続するか否かを切り換える。

【0037】

強誘電体キャパシタCは、他方端がプレート線PL1~mのいずれかに接続されており、その一方端と他方端との電位差に基づいて、所定のデータを記憶し、また、記憶されたデータに基づいて所定量の電荷をダミービット線DBL及びビット線BL1~nに放出する。本実施形態において、強誘電体キャパシタCは、一方端(n型MOSトランジスタ側)の電位に対して、他方端(プレート線側)の電位が、その抗電圧より高くなった場合に"0"を記憶し、他方端の電位に対して、一方端の電位が、その抗電圧より高くなった場合に"1"を記憶する。

【0038】

ワード線制御部120は、ワード線WL1~mに接続されており、ワード線WL1~mの電圧を制御する。具体的には、ワード線制御部120は、強誘電体メモリ装置の外部から供給されたアドレス信号に基づいて、ワード線WL1~mのうちの所定のワード線WLの電位を、他のワード線WLの電位より高くして、当該所定のワード線WLに接続されたn個のメモリセルMCを選択する。

【0039】

プレート線制御部130は、プレート線PL1~mに接続されており、プレート線PL1~mの電圧を制御する。具体的には、プレート線制御部130は、アドレス信号に基づいて、プレート線PL1~mのうちの所定のプレート線PLの電位を、他のプレート線PLの電位より高くして、当該所定のプレート線PLを選択する。そして、プレート線制御部130は、当該所定のプレート線PLを選択する。

【0040】

n型MOSトランジスタ140は、ソースが接地されており、ドレインがダミービット線DBL及びビット線BL1~nに接続されている。また、n型MOSトランジスタ140は、ゲートに信号BLEQが供給されており、信号BLEQの電圧に基づいて、ダミービット線DBL及びビット線BL1~nを接地するか否かを切り換える。

【0041】

センスアンプ150は、第1のキャパシタの一例であるキャパシタ152と、n型MO

10

20

30

40

50

Sトランジスタ154及び156と、p型MOSトランジスタ158と、第2のキャパシタの一例であるキャパシタ160とを有して構成される。センスアンプ150は、ダミービット線DBL及びビット線BL1～nに対応してそれぞれ設けられており、メモリセルMCからデータが読み出されたときのダミービット線DBL及びビット線BL1～nの電圧を増幅して出力する。

【0042】

キャパシタ152は、その一方端がダミービット線DBL及びビット線BL1～nに接続されており、他方端がn型MOSトランジスタ154のゲートに接続されている。そして、キャパシタ152は、ダミービット線DBL及びビット線BL1～nの電圧の変化に基づいて、n型MOSトランジスタ154のゲート電圧を変化させる。

10

【0043】

n型MOSトランジスタ154は、ソースが接地されており、ドレインがセンスアンプ150の出力に接続されている。そして、n型MOSトランジスタ154は、そのゲート電圧に基づいてオン又はオフし、さらに、オン時には、ゲート電圧に基づいて、ソース・ドレイン間の抵抗を制御する。

【0044】

n型MOSトランジスタ156は、ソースがn型MOSトランジスタ154のゲートに接続されており、ドレインに、n型MOSトランジスタ154の閾値電圧付近の電圧 V_{th} が供給されている。そして、n型MOSトランジスタ156は、ゲートに供給される信号PREの電圧に基づいて、n型MOSトランジスタのゲートをその閾値電圧付近に充電する。

20

【0045】

p型MOSトランジスタ158は、ソースに第2の電圧の一例である、強誘電体メモリ装置の動作電圧VCCが供給されており、ドレインがn型MOSトランジスタ154のドレインに接続されている。そして、p型MOSトランジスタ158は、ゲートに供給される信号/PRE（信号PREの反転信号）に基づいて、n型MOSトランジスタ154のドレインを電圧VCCに充電する。

【0046】

キャパシタ160は、一方端がn型MOSトランジスタ154のドレインに接続されており、他方端がダミービット線DBL及びビット線BL1～nに接続されている。そして、キャパシタ160は、n型MOSトランジスタ154のドレイン電圧の変化に基づいて、ダミービット線DBL及びビット線BL1～nの電圧を変化させる。

30

【0047】

基準電圧発生部170及び判定部180は、それぞれ、p型MOSトランジスタ172及び182と、n型MOSトランジスタ174及び184とを有して構成される。そして、判定部180は、センスアンプ150の出力と基準電圧発生部170の出力とを比較して、メモリセルMCに記憶されたデータを判定する。

【0048】

具体的には、p型MOSトランジスタ172及び182は、ゲートにセンスアンプ150の出力、すなわち、n型MOSトランジスタ154のドレイン電圧が供給されており、ドレインがそれぞれn型MOSトランジスタ174及び184のドレインに接続されている。また、n型MOSトランジスタ174のゲートは、そのドレインに接続されており、さらに、n型MOSトランジスタ184は、ゲートがn型MOSトランジスタ174のゲート及びドレインと接続されており、ソースが接地されている。すなわち、p型MOSトランジスタ172及びn型MOSトランジスタ174と、p型MOSトランジスタ182及びn型MOSトランジスタ184とは、カレントミラーを構成している。

40

【0049】

図2は、本実施形態の強誘電体メモリ装置の動作を示すタイミングチャートである。図1及び図2を参照して、ワード線WL1及びプレート線PL1を選択して、ビット線BL1～nに接続されたメモリセルMCに記憶されたデータを読み出す場合を例に、本実施形

50

態の強誘電体メモリ装置の動作について説明する。

【0050】

以下の例において各信号がL論理を示すときの当該信号の電圧は接地電圧であり、各信号がH論理を示すときの当該信号電圧は、強誘電体メモリ装置の動作電圧であるVCC、VDD、又はVPPである。なお、各信号の電圧は、これに限られるものではなく、H論理を示すときの信号の電圧が、L論理を示すときの信号の電圧より高いものであればよい。

【0051】

まず、初期状態において、信号BLEQはH論理を示しており、各n型MOSトランジスタ140はオンし、ダミービット線DBL及びビット線BL1～nの電圧は、接地電圧となる。そして、信号BLEQがL論理となり、ダミービット線DBL及びビット線BL1～nは接地電圧にプリチャージされる。

10

【0052】

また、初期状態において、信号PREはH論理を示し、信号/PREはL論理を示しており、n型MOSトランジスタ156及びp型MOSトランジスタ158はオンし、n型MOSトランジスタ154のゲート電圧は、閾値電圧Vthとなり、ドレイン電圧はVCCとなる。そして、信号PREがL論理となり、信号/PREがH論理となって、n型MOSトランジスタ154のゲート及びドレインは、それぞれVth及びVCCにプリチャージされる。

【0053】

次に、ワード線制御部120は、ワード線WL1の電圧を上昇させて、ワード線WL1に接続されたメモリセルMCを構成するn型MOSトランジスタTRをオンさせる。これにより、ワード線WL1に接続されたメモリセルMCを構成する強誘電体キャパシタCは、ダミービット線DBL及びビット線BL1～nに接続される。

20

【0054】

次に、プレート線制御部130は、プレート線PL1の電圧をVCCに上昇させる。これにより、ワード線WL1に接続されたメモリセルMCを構成する強誘電体キャパシタCには、ダミービット線DBL及びビット線BL1～nの電圧を基準として、VCCがかかる。

【0055】

これにより、強誘電体キャパシタCに記憶されたデータに応じて、当該強誘電体キャパシタCから取り出された電荷が、ダミービット線DBL及びビット線BL1～nに放出されるので、各メモリセルMCに記憶されたデータに基づいて、ダミービット線DBL及びビット線BL1～nの電圧が上昇する。具体的には、メモリセルMCに記憶されたデータが"1"である場合のダミービット線DBL及びビット線BL1～nの電圧(図中点線)は、当該データが"0"である場合のダミービット線DBL及びビット線BL1～nの電圧(図中実線)よりも高くなる。

30

【0056】

メモリセルMCからデータが読み出されて、ダミービット線DBL及びビット線BL1～nの電圧、すなわち、キャパシタ152の一方端の電圧が上昇すると、キャパシタ152は、一方端の電圧に基づいて、他方端の電圧、すなわち、n型MOSトランジスタ154のゲート電圧Vgを上昇させる。

40

【0057】

n型MOSトランジスタ154のゲート電圧Vgは閾値電圧であるVthにプリチャージされているので、キャパシタ152の一方端の電圧が上昇すると、ゲート電圧VgはVthより高い電圧となり、n型MOSトランジスタ154がオンする。

【0058】

n型MOSトランジスタ154がオンすると、そのドレインは、n型MOSトランジスタ154のチャンネル抵抗(オン抵抗)を介して、接地されたソースと接続される。また、n型MOSトランジスタのチャンネル抵抗の大きさは、ゲート電圧Vgの大きさによって変

50

化する。すなわち、 n 型MOSトランジスタ154のチャネル抵抗の大きさは、メモリセルMCに記憶されたデータに応じて変化する。

【0059】

従って、 n 型MOSトランジスタ154のドレイン電圧 V_d は、メモリセルMCに記憶されたデータが"0"である場合に比して、当該データが"1"である場合の方が、大きく低下することとなる。すなわち、 n 型MOSトランジスタ154は、ゲート電圧 V_g の微小な変化を、ドレイン電圧 V_d を変化させることによって大きく増幅することができる。

【0060】

また、ドレイン電圧 V_d 、すなわち、キャパシタ160の一方端の電圧が低下すると、キャパシタ160は、当該低下に基づいて、その他方端、すなわち、ビット線 $BL1 \sim n$ の電圧上昇を抑える。これにより、ビット線 $BL1 \sim n$ とプレート線 $PL1$ との電位差、すなわち、強誘電体キャパシタCにかかる電圧を大きく保つことができるので、ビット線 $BL1 \sim n$ に放出される電荷量が増加させることができる。

【0061】

また、 n 型MOSトランジスタ154のドレイン電圧 V_d が変化すると、それに応じて、基準電圧発生部170及び判定部180のカレントミラーを構成する p 型MOSトランジスタ172及び182のゲート電圧が変化する。

【0062】

そして、本実施形態において、ダミービット線 DBL に接続された強誘電体キャパシタCには"0"が記憶されている。また、当該強誘電体キャパシタCの面積を他の強誘電体キャパシタCよりも大きく設定している。このため、当該強誘電体キャパシタCからダミービット線 DBL に放出される電荷量は、"0"が記憶された強誘電体キャパシタCからビット線 $BL1 \sim n$ に放出される電荷量よりも多い。従って、基準電圧発生部170の p 型MOSトランジスタ172のゲートには、ビット線 $BL1 \sim n$ に接続されたメモリセルMCに記憶されたデータが"0"である場合のドレイン電圧 V_d と、当該データが"1"である場合のドレイン電圧との間の電圧が、基準電圧として供給される。

【0063】

そして、判定部180は、 p 型MOSトランジスタ172のゲート電圧と、 p 型MOSトランジスタ182のゲート電圧とを比較して、メモリセルMCに記憶されたデータを判定する。具体的には、 p 型MOSトランジスタ182のゲート電圧が p 型MOSトランジスタ172のゲート電圧よりも高い場合、すなわち、ビット線 $BL1 \sim n$ に接続されたメモリセルMCに記憶されたデータが"0"である場合、判定部180の出力である p 型MOSトランジスタ182のドレイン電圧が上昇し、当該データが"1"である場合、当該ドレイン電圧は低下する。以上の動作により、本実施形態の強誘電体メモリ装置において、強誘電体キャパシタCに記憶されたデータが読み出される。

【0064】

本実施形態によれば、ビット線 $BL1 \sim n$ の電圧は、メモリセルMCに記憶されたデータに基づいて変化し、トランジスタ制御部の一例であるキャパシタ152及び n 型MOSトランジスタ156は、 n 型MOSトランジスタ154をオンし、さらにそのオン抵抗を制御することとなる。そして、 n 型MOSトランジスタ154のオン抵抗は、ビット線 $BL1 \sim n$ の電圧の微小な変化によっても大きく変化させることができる。従って、本実施形態によれば、極めて簡易な構成で、 n 型MOSトランジスタ154のドレイン電圧の低下量を、メモリセルMCに記憶されたデータに基づいて、大きく異ならせることができるので、回路規模やチップ面積が小さく、制御が簡単で高速かつ読み出しマージンが大きい強誘電体メモリ装置を提供することができる。もちろん、回路規模がきわめて小さいため、多数の読み出し回路を配置することで、同時に読み出せるビット数を増加させることができる。

【0065】

また、本実施形態によれば、電圧制御部がビット線 $BL1 \sim n$ の電圧の上昇を抑えるので、メモリセルMCにかかる電圧の低下を防ぐことができる。従って、本実施形態によれ

ば、読み出しマージンをさらに大きくすることができる。

【0066】

本実施形態によれば、メモリセルMCにかかる電圧が読み出し動作によって低下しないため、メモリセルMCに記憶されたデータがビット線BL1～nに十分に読み出される。このとき、当該ビット線BL1～nの電圧及びn型MOSトランジスタ154のゲート電圧はメモリセルMCに記憶されたデータが十分に読み出されるまで維持される。従って、本実施形態によれば、極めて簡易な構成で、メモリセルMCに記憶されたデータに基づいてドレイン電圧Vdを十分に低下させることができるので、回路規模やチップ面積の小さい強誘電体メモリ装置を提供することができる。また、ビット線BL1～nの電圧変化が微小な場合であっても、オン抵抗を制御することができる。

10

【0067】

本実施形態によれば、キャパシタ160を備えるので、極めて簡易な構成で、n型MOSトランジスタ154のドレイン電圧の変化に基づいて、ビット線BL1～nの電圧を変化させることができる。

【0068】

本実施形態によれば、センスアンプ150において使用する電圧の範囲を、強誘電体メモリ装置において使用する接地電圧から動作電圧VCCの範囲とすることができるので、高速かつ電圧制御が容易で、レベルシフト回路を不要とする強誘電体メモリ装置を提供することができる。

【0069】

本実施形態によれば、基準電圧発生部170を備えるので、参照電圧を生成する構成を有しなくてもメモリセルMCに記憶されたデータを判定でき、回路規模やチップ面積がさらに小さい強誘電体メモリ装置を提供することができる。

20

【0070】

(第2の実施の形態)

図3は、本発明の第2の実施の形態に係る強誘電体メモリ装置の一部を示す図であり、図4は、図3のラッチ型センスアンプの回路図である。本実施の形態は、上述した実施の形態と構成及び動作が重複するため、以下に異なる点について説明する。

【0071】

本実施の形態に係る強誘電体メモリ装置は、ラッチ型センスアンプ200をさらに含み、当該ラッチ型センスアンプ200は、上述したセンスアンプ150(図1参照)にスイッチSWを介して接続され、センスアンプ150から出力されたデータをさらに増幅する。詳しくは、ラッチ型センスアンプ200は、第1及び第2のインバータ210, 220が互いに入力と出力とが接続されて構成され、第1のインバータ210の出力と第2のインバータ220の入力に相当する第1の入力部200Aと、第1のインバータ210の入力と第2のインバータ220の出力に相当する第2の入力部200Bと、を有する。図4に示すように、第1のインバータ210は、n型MOSトランジスタ212のソースが接地され、p型MOSトランジスタ214のソースが動作電圧VCCに接続され、さらに各MOSトランジスタ212, 214のドレイン同士が接続されて構成されている。第2のインバータ220も同様に、n型MOSトランジスタ222のソースが接地され、p型MOSトランジスタ224のソースが動作電圧VCCに接続され、さらに各MOSトランジスタ222, 224のドレイン同士が接続されて構成されている。

30

40

【0072】

また、本実施の形態に係る強誘電体メモリ装置は、ビット線BL1から供給されるデータを増幅する第1のセンスアンプ150Aと、ビット線BL2から供給されるデータを増幅する第2のセンスアンプ150Bと、を含み、第1のセンスアンプ150AがスイッチSWを介してラッチ型センスアンプ200の第1の入力部200Aに接続され、第2のセンスアンプ150BがスイッチSWを介してラッチ型センスアンプ200の第2の入力部200Bに接続されている。第1及び第2のセンスアンプ150A, 150Bは、上述したセンスアンプ150と同一回路構成を有している。また、各スイッチSWは、例えばn

50

型MOSトランジスタであり、各n型MOSトランジスタのゲートにはセレクト線SELが共通接続されている。

【0073】

このように本実施の形態では、ダミービット線DBLに接続されるメモリセルのデータに基づいて参照電圧を生成する1T1C型の形態(上述した参考例)とは異なり、ビット線BL1に接続されるメモリセルのデータを、他のビット線BL2に接続されるメモリセルの反対データと比較することにより読み出し動作を行う2T2C型の形態を採用している。

【0074】

なお、本実施の形態及び以下に説明する実施の形態では、上述した基準電圧発生部170及び判定部180は省略することができる。

【0075】

次に、本実施の形態に係る強誘電体メモリ装置の動作を、データの読み出し動作を例として説明する。

【0076】

図3に示すように、セレクト線SELの信号がH論理を示すと各n型MOSトランジスタ(すなわちスイッチSW)がオンし、第1のセンスアンプ150Aから出力されるデータがラッチ型センスアンプ200の第1の入力部200Aに入力され、第2のセンスアンプ150Bから出力されるデータがラッチ型センスアンプ200の第2の入力部200Bに入力される。ラッチ型センスアンプ200では、第1及び第2のインバータ210, 220の動作電圧(VCC及び接地電圧)に基づいて、第1及び第2のセンスアンプ150A, 150Bの各出力電圧が増幅される。例えば、第1のセンスアンプ150Aのデータ“0”に対応する出力電圧(例えば1V)は、VCCにプルアップされ、第2のセンスアンプ150Bのデータ“1”に対応する出力電圧(例えば0.5V)は、0Vにプルダウンされる。こうして、ラッチ型センスアンプ200を設けることによって、さらに読み出しマージンが大きい強誘電体メモリ装置を提供することができる。

【0077】

また、ラッチ型センスアンプ200が動作し、増幅されたデータが出力されるときに、セレクト線SELの信号をL論理とし、各n型MOSトランジスタ(すなわちスイッチSW)をオフする。これによれば、ラッチ型センスアンプ200によって増幅されたデータが、第1及び第2のセンスアンプ150A, 150Bに逆入力されるのを回避し、センスアンプの誤動作等を防止することができる。

【0078】

(第3の実施の形態)

図5は、本発明の第3の実施の形態に係る強誘電体メモリ装置の一部を示す図であり、図6は、図5の電圧変換回路の一例を示す図である。本実施の形態においても、上述した全ての実施の形態と構成及び動作が重複するため、以下に異なる点について説明する。

【0079】

本実施の形態に係る強誘電体メモリ装置は、1T1C型であって、ダミービット線DBLに接続されるメモリセルのデータに基づいて参照電圧を生成する形態を採用する。詳しくは、強誘電体メモリ装置は、ダミービット線DBLから供給されるデータを増幅する第1のセンスアンプ150Aと、複数のビット線BL1, 2, ...から供給されるデータを増幅する複数の第2のセンスアンプ150Bと、を含む。第1のセンスアンプ150Aは、スイッチSWを介して、複数のラッチ型センスアンプ200の各第1の入力部200Aに共通接続され、一方、複数の第2のセンスアンプ150Bは、スイッチSWを介して、複数のラッチ型センスアンプ200の複数の第2の入力部200Bにそれぞれ接続されている。このように、本実施の形態では、1つの第1のセンスアンプ150Aに対して複数のラッチ型センスアンプ200が対応する一方で、1つの第2のセンスアンプ150Bに対して1つのラッチ型センスアンプ200が対応する。そのため、第1のセンスアンプ150Aの出力には、複数のラッチ型センスアンプ200が接続されることに起因する無視で

きない容量が寄生し、第1のセンスアンプ150Aによって所定電圧である参照電圧を生成することが難しい場合がある。

【0080】

そこで、本実施の形態では、第1及び第2のセンスアンプ150A, 150Bの出力側、すなわち第1及び第2のセンスアンプ150A, 150Bのそれぞれと、ラッチ型センスアンプ200との間に電圧変換回路(Vshift)230を設けている。具体的には、各電圧変換回路230は、第1及び第2のセンスアンプ150A, 150BのそれぞれとスイッチSWとの間に設けられる。これによれば、第1及び第2のセンスアンプ150Aの出力, 150Bの出力に寄生する容量の大きさに依存することなく、所定電圧をラッチ型センスアンプ200に入力することができる。

10

【0081】

図6に示す例では、電圧変換回路230は、p型MOSトランジスタ232のソースが動作電圧VCCに接続され、p型MOSトランジスタのドレインが抵抗成分234の一方に接続され、抵抗成分234の他方が接地されて構成されており、p型MOSトランジスタ232のゲートに入力部を有し、p型MOSトランジスタ232及び抵抗成分234の間に出力部を有する。なお、抵抗成分234は、抵抗器又はn型MOSトランジスタなど、定電流を生成できるものであれば限定されるものではない。

【0082】

次に、本実施の形態に係る強誘電体メモリ装置の動作を、データの読み出し動作を例として説明する。

20

【0083】

セレクト線SELの信号がH論理を示すと各n型MOSトランジスタ(すなわちスイッチSW)がオンし、第1のセンスアンプ150Aから出力されるデータが、電圧変換回路230を介して、複数のラッチ型センスアンプ200の複数の第1の入力部200Aにそれぞれ入力される。一方、第2のセンスアンプ150Bから出力されるデータは、電圧変換回路230を介して、ラッチ型センスアンプ200の第2の入力部200Bに入力される。ラッチ型センスアンプ200では、既に説明したように、その動作電圧(VCC及び接地電圧)に基づいて、第1及び第2のセンスアンプ150A, 150Bの各出力電圧が増幅される。こうして、ラッチ型センスアンプ200を設けることによって、さらに読み出しマージンが大きい強誘電体メモリ装置を提供することができる。

30

【0084】

また、ラッチ型センスアンプ200が動作し、増幅されたデータが出力されるときに、セレクト線SELの信号をL論理とし、各n型MOSトランジスタ(すなわちスイッチSW)をオフする。これによれば、ラッチ型センスアンプ200によって増幅されたデータが、第1及び第2のセンスアンプ150A, 150Bに逆入力されるのを回避し、センスアンプの誤動作等を防止することができる。

【0085】

(第4の実施の形態)

図7は、本発明の第4の実施の形態に係る強誘電体メモリ装置の一部を示す図であり、図8は、変形例を示す図である。本実施の形態においても、上述した全ての実施の形態と構成及び動作が重複するため、以下に異なる点について説明する。

40

【0086】

本実施の形態に係る強誘電体メモリ装置は、ダミービット線DBLに接続されるメモリセルのデータに基づいて参照電圧を生成する形態とは異なり、電圧発生回路(Vref発生回路)240に基づいて参照電圧を生成する1T1C型の形態を採用する。詳しくは、電圧発生回路240は、スイッチSWを介してラッチ型センスアンプ200に接続されている。図7に示す例では、電圧発生回路240は、スイッチSWを介して複数のラッチ型センスアンプ200の複数の第1の入力部200Aに共通接続され、一方、複数のビット線BL1, 2, ...から供給されるデータを増幅する複数のセンスアンプ150は、スイッチSWを介して複数のラッチ型センスアンプ200の複数の第2の入力部200Bにそれ

50

ぞれ接続されている。電圧発生回路240は、予め決められた所定電圧、すなわち、データ“0”及び“1”の略中間に対応する所定電圧（例えば0.75V）を発生するので、複数のラッチ型センスアンプ200に共通接続することによる寄生容量の問題が解消され、より安定して読み出し動作を行うことができる。さらに、参照電圧は固定であるため、メモリセルのばらつきに影響して変動することがなく、読み出し動作のさらなる安定化を図ることができる。

【0087】

図7に示す例では、1つのセンスアンプ150に対して1つのラッチ型センスアンプ200が対応しているが、変形例として、図8に示すように、1つのラッチ型センスアンプ200を第1及び第2のセンスアンプ150A, 150Bで共有することもできる。

10

【0088】

図8に示す例では、電圧発生回路240は、第1のスイッチSW1を介してラッチ型センスアンプ200の第1の入力部200Aに接続され、かつ第2のスイッチSW2を介してラッチ型センスアンプ200の第2の入力部200Bに接続されている。一方、第1のセンスアンプ150Aは、第3のスイッチSW3を介してラッチ型センスアンプ200の第1の入力部200Aに接続され、第2のセンスアンプ150Bは、第4のスイッチSW4を介してラッチ型センスアンプ200の第2の入力部200Bに接続されている。そして、各スイッチは、第1及び第4のスイッチSW1, 4が共にオン・オフ制御されるようにセレクト線SEL1により各n型MOSトランジスタのゲートが共通接続され、第2及び第3のスイッチSW2, 3が共にオン・オフ制御されるようにセレクト線SEL2により各n型MOSトランジスタのゲートが共通接続されている。こうして、セレクト線SEL1, 2の一方の信号をH論理とし他方をL論理とすることにより、ラッチ型センスアンプ200の一方に、電圧発生回路240から供給される所定電圧を入力し、他方に、センスアンプから供給されるデータを入力することができる。

20

【0089】

なお、同一のラッチ型センスアンプ200に対応する2つのビット線BL1, 2は、それぞれ異なるワード線が選択される場合にデータが読み出されるように設定する。すなわち、いずれかのワード線が選択される場合にビット線BL1から第1のセンスアンプ150Aにデータが供給され、図示しない他のワード線が選択される場合にビット線BL2から第2のセンスアンプ150Bにデータが供給されるように設定することができる。

30

【0090】

本実施の形態及び変形例に係る強誘電体メモリ装置の動作は、参照電圧の供給形態及びそれに伴う構成が異なる点を除き、第3の実施の形態で説明した内容を適用することができる。

【0091】

（第5の実施の形態）

図9及び図10は、本発明の第5の実施の形態に係る強誘電体メモリ装置を示す図であり、いずれも、複数のメモリセルが設けられた第1及び第2のメモリセル110A, 110Bを有する、いわゆるオープンビット線方式を採用した例を示す図である。

【0092】

本実施の形態に係る強誘電体メモリ装置では、第1のメモリセル110Aに設けられた各メモリセルから供給されるデータが、第1のセンスアンプ150A及びスイッチSWを介して、ラッチ型センスアンプ200の第1の入力部200Aに供給され、一方、第2のメモリセル110Bに設けられた各メモリセルから供給されるデータが、第2のセンスアンプ150B及びスイッチSWを介して、ラッチ型センスアンプ200の第2の入力部200Bに供給される。複数のラッチ型センスアンプ200は、第1及び第2のメモリセルアレイ110A, 110Bの間の領域に設けられている。

40

【0093】

図9に示す例では、1T1C型であって、ダミーメモリセルDMCのデータに基づいて参照電圧を生成する形態が示されている。具体的には、第1のメモリセルアレイ110A

50

には、複数のワード線 $W L 1 - 1 \sim 1 - m$ 及び複数のビット線に対応して複数のメモリセル $M C$ が設けられ、ダミーワード線 $D W L 1$ 及び複数のビット線に対応して複数のダミーメモリセル $D M C$ が設けられている。すなわち、いずれか1つのビット線には、複数のメモリセル $M C$ 及び1つのダミーメモリセル $D M C$ が接続されている。そして、各ビット線は、第1のセンスアンプ $1 5 0 A$ に接続されている。

【0094】

一方、第2のメモリセルアレイ $1 1 0 B$ には、複数のワード線 $W L 2 - 1 \sim 2 - m$ 及び複数のビット線に対応して複数のメモリセル $M C$ が設けられ、ダミーワード線 $D W L 2$ 及び複数のビット線に対応して複数のダミーメモリセル $D M C$ が設けられている。すなわち、いずれか1つのビット線には、複数のメモリセル $M C$ 及び1つのダミーメモリセル $D M C$ が接続されている。そして、各ビット線は、第2のセンスアンプ $1 5 0 B$ に接続されている。

10

【0095】

この強誘電体メモリ装置では、第1のメモリセルアレイ $1 1 0 A$ においてメモリセル $M C$ に記憶されているデータを選択する場合（すなわちワード線 $W L 1 - 1 \sim 1 - m$ のいずれかを選択する場合）には、第2のメモリセルアレイ $1 1 0 B$ においては、ダミーメモリセル $D M C$ に記憶されているデータを選択する（すなわちダミーワード線 $D W L 2$ を選択する）。これにより、第1のセンスアンプ $1 5 0 A$ には、読み出すべきデータ“0”又は“1”が供給され、一方で、第2のセンスアンプ $1 5 0 B$ には、参照すべきデータ“0”又は“1”の中間に対応する所定電圧が供給される。そして、第1及び第2のセンスアンプ $1 5 0 A$, $1 5 0 B$ の出力は、各スイッチ $S W$ を介して、ラッチ型センスアンプ $2 0 0$ に入力され、当該ラッチ型センスアンプ $2 0 0$ においてさらに増幅される。

20

【0096】

図10に示す強誘電体メモリ装置は、 $1 T 1 C$ 型であって、電圧発生回路 $2 4 0$ に基づいて参照電圧を生成する形態を有し、さらに、1つのラッチ型センスアンプ $2 0 0$ が第1及び第2のセンスアンプ $1 5 0 A$, $1 5 0 B$ により共有されている。すなわち、この強誘電体メモリ装置は、各センスアンプ $1 5 0 A$, $1 5 0 B$ には、互いに異なるメモリセルアレイ $1 1 0 A$, $1 1 0 B$ に属するメモリセル $M C$ のデータが供給される点を除き、図8に示す形態と同一形態を有している。なお、各スイッチ $S W 1 \sim 4$ の制御については、図8に示す形態において説明したとおりである。

30

【0097】

上記実施形態を通じて説明された実施例や応用例は、用途に応じて適宜に組み合わせて、又は変更若しくは改良を加えて用いることができ、本発明は上述した実施形態の記載に限定されるものではない。そのような組み合わせ又は変更若しくは改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0098】

例えば上記実施形態において、参照電圧をメモリセルに記憶されるデータに基づいて生成する場合、当該メモリセルの強誘電体キャパシタ C の面積を大きくして“0”を記憶してもよいし、当該メモリセルの強誘電体キャパシタ C の面積を小さくして“1”を記憶してもよい。また、第1の実施の形態において、当該メモリセルの強誘電体キャパシタ C の面積を他の強誘電体キャパシタ C の面積と等しくし、 p 型 $M O S$ トランジスタ $1 7 2$ の駆動能力を p 型 $M O S$ トランジスタ $1 8 2$ の駆動能力より大きくする、あるいは n 型 $M O S$ トランジスタ $1 7 4$ の駆動能力を n 型 $M O S$ トランジスタ $1 8 4$ の駆動能力より小さくしてもよい。

40

【0099】

また、例えば上記実施形態において、センスアンプ $1 5 0$ のキャパシタ $1 5 2$, $1 6 0$ のいずれか1つ又は両方を強誘電体キャパシタにしてもよい。これにより、容量を大きく保ちつつキャパシタ面積の縮小化を図ることができるので、回路規模やチップ面積をさらに小さくすることができる。

【0100】

50

また、例えば上記実施形態において、2T2C型の形態をオープンビット線方式に適用してもよい。その場合、一对の各メモリセルは互いに異なるメモリセルアレイに設けられる。

【図面の簡単な説明】

【0101】

【図1】第1の実施の形態に係る強誘電体メモリ装置を示す図である。

【図2】第1の実施の形態に係る強誘電体メモリ装置の動作を示すタイミングチャートである。

【図3】第2の実施の形態に係る強誘電体メモリ装置の一部を示す図である。

【図4】図3のラッチ型センスアンプの回路図である。

10

【図5】第3の実施の形態に係る強誘電体メモリ装置の一部を示す図である。

【図6】図5の電圧変換回路の一例を示す図である。

【図7】第4の実施の形態に係る強誘電体メモリ装置の一部を示す図である。

【図8】第4の実施の形態の変形例を示す図である。

【図9】第5の実施の形態に係る強誘電体メモリ装置を示す図である。

【図10】第5の実施の形態に係る強誘電体メモリ装置を示す図である。

【符号の説明】

【0102】

110 ...メモリセルアレイ 120 ...ワード線制御部 130 ...プレート線制御部

140 ... n型MOSトランジスタ 150 ...センスアンプ

20

150A ...第1のセンスアンプ 150B ...第2のセンスアンプ

152 ...キャパシタ 154, 156 ... n型MOSトランジスタ

158 ... p型MOSトランジスタ 160 ...キャパシタ 170 ...基準電圧発生部

172, 182 ... p型MOSトランジスタ

174, 184 ... n型MOSトランジスタ

180 ...判定部 200 ...ラッチ型センスアンプ 210 ...第1のインバータ

212, 222 ... n型MOSトランジスタ

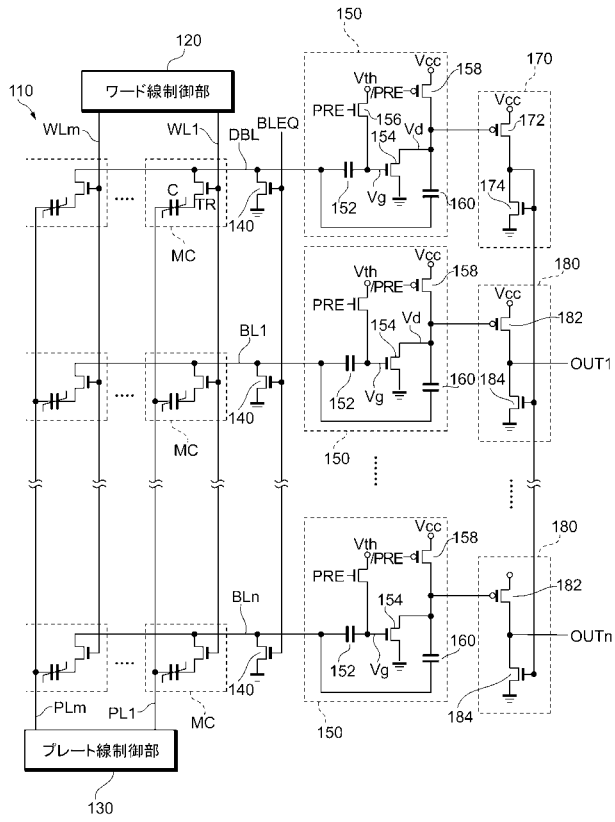
214, 224 ... p型MOSトランジスタ 220 ...第2のインバータ

230 ...電圧変換回路 232 ... p型MOSトランジスタ 234 ...抵抗成分

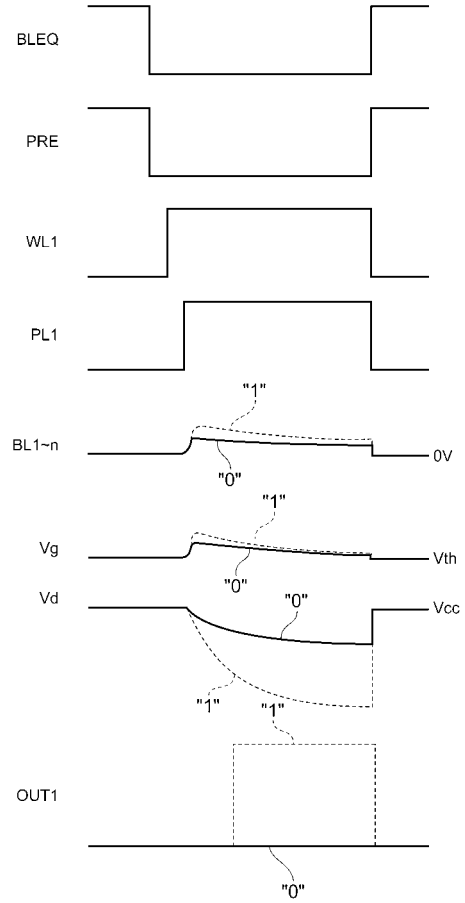
240 ...電圧発生回路

30

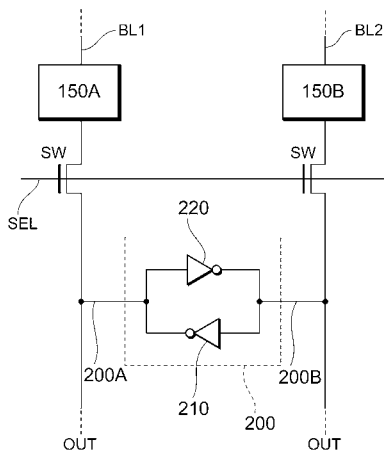
【図1】



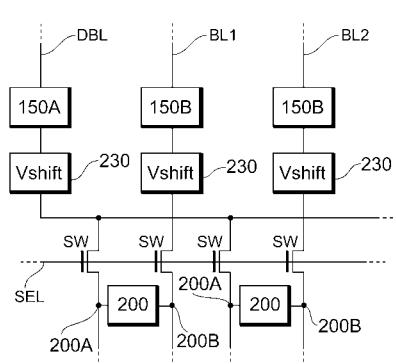
【図2】



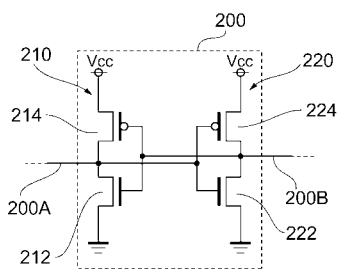
【図3】



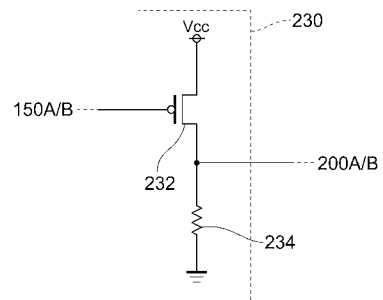
【図5】



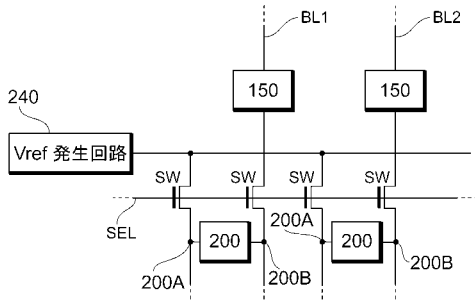
【図4】



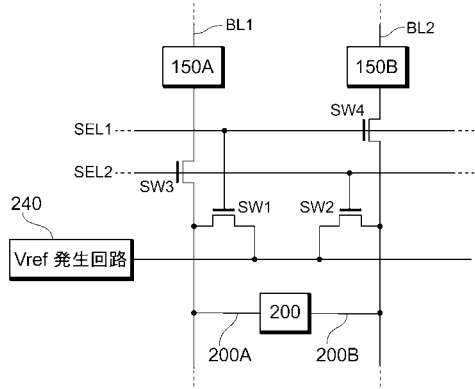
【図6】



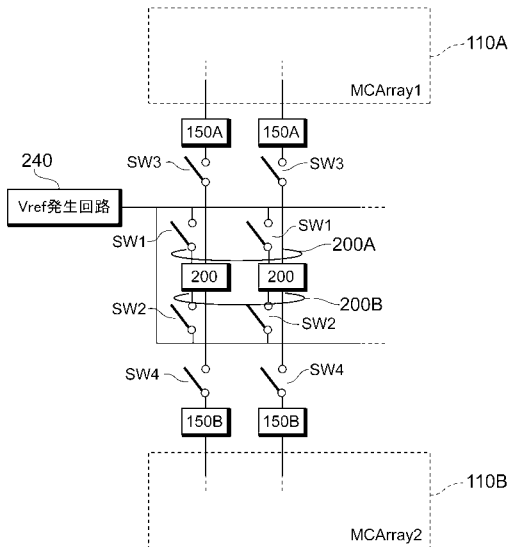
【 図 7 】



【 図 8 】



【 図 1 0 】



【 図 9 】

