

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁵ (11) 공개번호 특1994-0016782
H01L 27/08 (43) 공개일자 1994년07월25일

(21) 출원번호	특1993-0029703
(22) 출원일자	1993년12월24일
(30) 우선권주장	92204091.0 1992년12월28일 유럽(EP)
(71) 출원인	필립스 일렉트로닉스 엔. 브이. 프레데릭 얀 스미트 네델란드왕국 아인드호펜 그로네보드세베그 1
(72) 발명자	로버투스 데케르 네델란드왕국 아인드호펜 그로네보드세베그 1 마스 빌헬무스 코벨리스 네델란드왕국 아인드호펜 그로네보드세베그 1 그라베스테이진 헨기쿠스 고데프리두스 라파엘 네델란드왕국 아인드호펜 그로네보드세베그 1 베르스레젠 딕크 얀 네델란드왕국 아인드호펜 그로네보드세베그 1
(74) 대리인	김창세, 김영, 장성구

심사청구 : 없음

(54) 반도체 장치

요약

본 발명은 캐소코드 구조로 제1 및 제2의 바이폴라 트랜지스터(각각 T1, T2)가 마련된 반도체 몸체(1)를 갖는 반도체장치에 관한 것으로, 반도체 몸체(1)는 제1의 트랜지스터(T1)의 컬렉터 영역(10) 및 베이스 영역(11), 제1의 트랜지스터(T1)의 이미터 영역 및 제2의 트랜지스터(T2)의 이미터 영역(15)를 모두 형성하는 영역(12), 공간 전하 영역(13), 제2의 트랜지스터(T2)의 베이스 영역(14) 및 이미터 영역(15)을 순서대로 포함하고, 이들 영역은 서로 pn 접합을 형성하고 반도체 몸체(1)의 주면(2)에 평행하게 연장한다. 제 2 의 트랜지스터(T2)의 베이스 영역(14) 및 이미터 영역(15)은 반도체 몸체(1)의 주면(3)에 인접한다. 본 발명에 따르면, 제2의 트랜지스터(T2)의 컬렉터 영역(12)이기도 한 제1의 트랜지스터(T1)의 이미터 영역(12), 공간 전하 영역(13) 및 제2의 트랜지스터(T2)의 베이스 영역(14)내로 파고 들어간 또한 이들 영역과 횡방향에서 접경을 함몰부(4)를 이 주면(3)에 마련하고, 이 디프레션(4)에 제1의 트랜지스터(T1)의 베이스 영역(11)의 접속 전극을 마련한다. 이렇게 함으로써 본 발명에 따르면, 기생 트랜지스터에 의한 래치 업이 발생하지 않는다.

대표도

도1

명세서

[발명의 명칭]

반도체장치

[도면의 간단한 설명]

제1도는 캐소코드 구조의 2개 트랜지스터를 도시한 도면, 제2도는 제1의 실시예에 따른 캐소코드 구조의 2개 트랜지스터를 갖는 반도체 몸체를 도시한 도면, 제3도는 제2의 실시예에 따른 캐소코드 구조의 2개 트랜지스터를 갖는 반도체 몸체를 도시한 도면.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

서로 pn 접합을 형성하고 반도체 몸체의 주면에 평행하게 연장하는 컬렉터, 베이스 및 이미터 영역을 가

진 캐스코드 구조의 제1 및 제2바이폴라 트랜지스터가 반도체 몸체에 마련된 반도체장치로서, 상기 반도체 몸체는, 상기 제1트랜지스터의 컬렉터 영역을 형성하고, 제1의 주면에 접속 전극이 마련되어 있는 제1도전형의 반도체 기판과, 상기 기판에 인접하고, 상기 제1트랜지스터의 베이스 영역을 형성하며, 상기 제1도전형과 반대 도전형인 제2도전형을 갖는 제1반도체 영역과, 상기 제1반도체 영역에 인접하고, 상기 제1트랜지스터의 이미터 영역을 형성하며 상기 제2트랜지스터의 컬렉터 영역을 형성하는 상기 제1도전형의 제2반도체 영역과, 상기 제2반도체 영역에 인접하고, 상기 제2반도체 영역보다 더 약하게 도프된 상기 제1도전형의 제3반도체 영역과, 상기 반도체 몸체의 제2주면 및 상기 제3반도체 영역에 인접하고, 상기 제2트랜지스터의 베이스 영역을 형성하며, 접속 전극이 마련되어 있는 제4반도체 영역과, 상기 반도체 몸체의 상기 제2주면 및 상기 제4반도체 영역에 인접하고, 상기 제2트랜지스터의 이미터 영역을 형성하며, 접속 전극이 마련되어 있는 제5반도체 영역을 포함하는 반도체장치에 있어서, 상기 제2, 제3 및 제4 반도체 영역내로 파고 들어간 또한 이들 영역과 횡방향에서 접경을 이루는 함몰부를 상기 반도체 몸체의 상기 제2주면에 마련하고, 상기 제1트랜지스터의 베이스 영역을 형성하는 상기 제1반도체 영역의 접속 전극을 상기 함몰부에 마련한 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 제1, 제2, 제3 및 제4 반도체 영역을 에피택시에 의해 마련한 것을 특징으로 하는 반도체장치.

청구항 3

선행항들중의 어느 한 항에 있어서, 상기 함몰부는 상기 제1트랜지스터의 베이스 영역을 형성하는 상기 제1반도체 영역까지 아래로 연장하고, 상기 베이스 영역의 접속 전극은 상기 제1반도체 영역에 마련한 것을 특징으로 하는 반도체장치.

청구항 4

제3항에 있어서, 상기 제1함몰부 주위에 상기 기판까지 아래로 연장하는 제2함몰부를 마련한 것을 특징으로 하는 반도체장치.

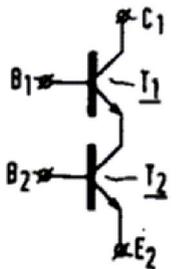
청구항 5

선행항들중의 어느 한 항에 있어서, 상기 트랜지스터 베이스 영역들중의 적어도 하나는 실리콘에 부가하여 게르마늄을 함유하는 것을 특징으로 하는 반도체장치.

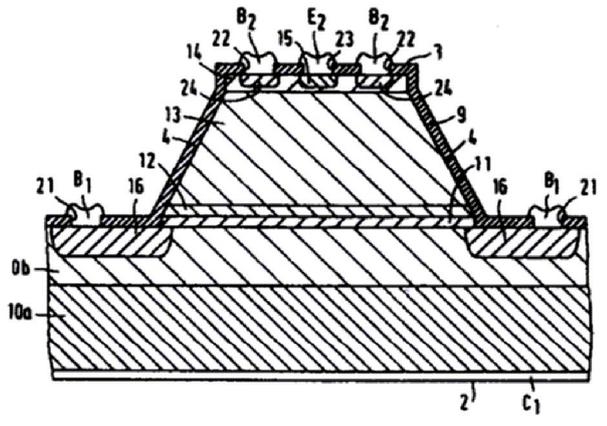
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

