

12)

DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 05.07.05.

30) Priorité :

43) Date de mise à la disposition du public de la demande : 12.01.07 Bulletin 07/02.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60) Références à d'autres documents nationaux apparentés :

71) Demandeur(s) : IROC TECHNOLOGIES Société anonyme — FR.

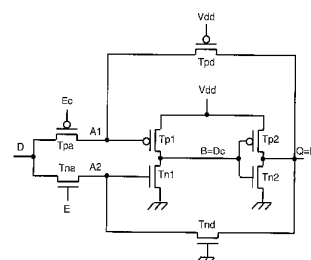
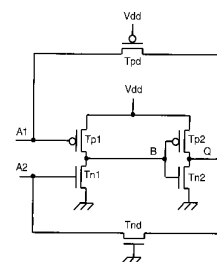
72) Inventeur(s) : NICOLAIDIS MICHEL et PEREZ RENAUD.

73) Titulaire(s) :

74) Mandataire(s) : CABINET HECKE.

54) CELLULE DE MEMORISATION DURCIE.

57) La cellule de mémorisation comportant des premier et second circuits inverseurs (Tp1, Tn1; Tp2, Tn2), connectés en boucle. Des premier et second transistors (Tpd, Tnd) de découplage, normalement bloqués, sont connectés respectivement entre une sortie (Q) du second circuit inverseur et des première et seconde entrées (A1, A2) du premier circuit inverseur. La cellule de mémorisation est ainsi protégée contre les perturbations transitoires dues à des particules ionisantes. Les grilles des transistors de découplage sont, de préférence, respectivement connectées à une tension d'alimentation (Vdd) pour les transistors de découplage de type P et à la masse pour les transistors de découplage de type N.



## Cellule de mémorisation durcie

### Domaine technique de l'invention

5

L'invention concerne une cellule de mémorisation protégée contre les perturbations transitoires, comportant des premier et second circuits inverseurs, connectés en boucle, et des premier et second transistors connectés respectivement entre une sortie du second circuit inverseur et des première et  
10 seconde entrées du premier circuit inverseur.

### État de la technique

15 Comme représenté à la figure 1, une cellule de mémorisation comporte classiquement deux inverseurs connectés en boucle. Ainsi, un premier inverseur 1 comportant une entrée A et une sortie B, un second inverseur 2 est connecté dans une boucle de contre-réaction. Son entrée est alors connectée à la sortie B du premier inverseur, tandis que sa sortie est connectée à l'entrée A du premier  
20 inverseur 1. L'information est stockée dans les deux nœuds (A et B) qui connectent la sortie d'un inverseur avec l'entrée de l'autre. Or l'état de la sortie d'un inverseur est déterminé par l'état de son entrée. Si cet état électrique se détériore à cause de courants de fuites, la cellule peut perdre l'information qu'elle est supposée de mémoriser. Ceci n'est pas le cas avec une cellule selon  
25 la figure 1, car la sortie de chaque inverseur est capable de fournir un courant capable de compenser les pertes dues à ces courants de fuite.

Cependant, des impulsions électriques transitoires, induites par des particules ionisantes frappant un nœud d'une cellule de mémorisation, peuvent se propager dans la boucle de contre-réaction de la cellule et inverser son état.

5 Pour se protéger contre ce phénomène, il a été proposé d'introduire des résistances dans la boucle de contre-réaction de la cellule, de façon à retarder la propagation de l'impulsion à travers la cellule. Un exemple d'une cellule de ce type est illustré à la figure 2. Une résistance R est introduite dans la boucle de contre-réaction, entre la sortie B1 du premier inverseur 1 et l'entrée B2 du  
10 second inverseur 2. Elle empêche une perturbation transitoire survenant sur la sortie B1 de se propager rapidement jusqu'à l'entrée A du premier inverseur 1.

Un autre exemple de cellule de ce type est illustré à la figure 3. Chaque inverseur est classiquement constitué par un circuit série avec un transistor Tp  
15 (Tp1 pour le premier inverseur ; Tp2 pour le second), de type P et un transistor Tn (Tn1 ; Tn2), de type N, connectés en série aux bornes d'une tension d'alimentation Vdd. Le point commun aux transistors Tp1 et Tn1 constitue la sortie B1 du premier inverseur. La sortie B1 est connectée, par l'intermédiaire d'une première résistance R1, à l'entrée B2 du second inverseur, c'est-à-dire  
20 aux grilles des transistors Tp2 et Tn2. Le point commun aux transistors Tp2 et Tn2 constitue la sortie Q du second inverseur. Celle-ci est connectée, par l'intermédiaire d'une seconde résistance R2, à l'entrée A du premier inverseur, c'est-à-dire aux grilles des transistors Tp1 et Tn1.

25 En fonctionnement normal, lorsque l'entrée B2 est à 1, le transistor Tn2 conduit et le transistor Tp2 est bloqué. La sortie Q et l'entrée A sont alors à 0, le transistor Tp1 est passant, tandis que le transistor Tn1 est bloqué et B1 est également à 1. Or, des particules ionisantes peuvent provoquer une impulsion transitoire sur le drain d'un transistor. Ainsi, le drain des transistors Tn1 ou Tp2

peut transitoirement passer respectivement à 0 et à 1, faisant passer respectivement B1 à 0 ou Q à 1. Inversement, en fonctionnement normal, si B2 est à 0, Tn2 est bloqué, Tp2 conducteur, Q et A à 1, Tp1 bloqué, Tn1 passant et B1 à 0. Une perturbation peut alors faire passer transitoirement le drain des transistors Tp1 ou Tn2 respectivement à 1 et à 0, faisant passer respectivement B1 à 1 ou Q à 0. En l'absence des résistances R1 et R2, ces perturbations à la sortie d'un inverseur sont directement transmises à l'entrée de l'autre inverseur. La présence des résistances R1 et R2 ralentit leur propagation et empêche la perte de l'information correcte dans la cellule de mémorisation. Ainsi, la charge déposée sur le nœud d'apparition de l'impulsion s'évacue vers les bornes d'alimentation, Vdd ou masse, de la cellule, avant que l'impulsion ne soit propagée à travers la boucle de contre-réaction et ne renverse l'état de l'autre nœud de la cellule.

Les résistances R1 et R2 peuvent être réalisées par un composant passif, par exemple en polysilicium à haute résistivité. Ceci permet de réaliser des résistances de valeur élevée en employant une surface de silicium faible. L'inconvénient majeur de cette technique est le fait qu'elle nécessite une étape supplémentaire dans le processus de fabrication, ce qui en augmente le coût.

Les résistances peuvent également être réalisées au moyen de transistors. Cependant, les drains de ces transistors constituent alors des nœuds sensibles susceptibles d'être le site de création des perturbations induites par les particules ionisantes. Dans le mode de réalisation de la figure 2, une perturbation peut alors être créée directement sur l'entrée B2 du second inverseur 2 et se propager sans obstacle jusqu'à l'entrée A et la sortie B1 du premier inverseur 1, renversant l'état de la cellule.

Dans le mode de réalisation illustré à la figure 4, le premier inverseur comporte deux entrées A1 et A2, sur lesquelles sont appliqués des signaux identiques. Des premier et second transistors longs Tpr et Tnr, respectivement de type P et de type N, sont connectés respectivement entre la sortie Q du second inverseur et les grilles des transistors Tp1 et Tn1, constituant respectivement les première et seconde entrées A1 et A2 du premier inverseur. Les grilles des transistors Tnr et Tpr sont respectivement connectées à la tension d'alimentation Vdd et à la masse et ces deux transistors sont, en conséquence, toujours conducteurs. La propagation d'une erreur transitoire de la sortie Q aux entrées A1 est retardée par les résistances constituées par les transistors Tpr et Tnr.

Ce mode de réalisation n'introduit pas d'étape supplémentaire dans le processus de fabrication, mais requiert l'utilisation de transistors Tpr et Tnr de grande longueur, pour réaliser une valeur de résistance suffisamment élevée pour retarder la propagation des erreurs. Par conséquent, il introduit une augmentation importante de la surface de la cellule. Une longueur égale à 10 fois la longueur minimale d'un transistor dans une technologie donnée peut, par exemple, être nécessaire pour obtenir une protection satisfaisante. Ceci a pour conséquence une augmentation très importante de la surface de la cellule, ce qui la rend inacceptable dans la grande majorité des applications.

### **Objet de l'invention**

L'invention a pour but une cellule de mémorisation ne présentant pas ces inconvénients. Elle a plus particulièrement pour but une cellule de mémorisation durcie, ayant un faible coût en surface.

Selon l'invention, ce but est atteint par le fait que les premier et second transistors sont des transistors de découplage, normalement bloqués.

5 Selon un premier développement de l'invention, les grilles des transistors de découplage sont, de préférence, respectivement connectées à une tension d'alimentation (Vdd) pour les transistors de découplage de type P et à la masse pour les transistors de découplage de type N.

10 Selon un autre développement de l'invention, la cellule comporte au moins un transistor de découplage de type P, ayant une grille connectée à une tension comprise entre une tension d'alimentation positive et la différence entre ladite tension d'alimentation et la tension de seuil dudit transistor de découplage de type P. La cellule comporte également, de préférence, au moins un transistor de découplage de type N, ayant une grille connectée à une tension comprise entre  
15 0 et la tension de seuil dudit transistor de découplage de type N.

La tension appliquée aux grilles des transistors de découplage de type P et N sont, de préférence, proches des tensions de seuil respectives des transistors de découplage de type P et de type N.

20

### **Description sommaire des dessins**

25 D'autres avantages et caractéristiques ressortiront plus clairement de la description qui va suivre de modes particuliers de réalisation de l'invention donnés à titre d'exemples non limitatifs et représentés aux dessins annexés, dans lesquels :

- Les figures 1 à 4 illustrent divers modes de réalisation d'une cellule de mémorisation selon l'art antérieur.
- La figure 5 représente un mode de réalisation particulier d'une cellule de mémorisation selon l'invention.
- 5 Les figures 6 à 9 représentent diverses variantes de réalisation de la cellule selon la figure 5.
- La figure 10 représente un mode particulier de réalisation d'une porte à trois états constituant un circuit inverseur de la cellule selon la figure 9.
- Les figures 11 à 16 illustrent l'utilisation de cellules selon l'invention pour réaliser différents types de cellules mémoire.
- 10 Les figures 17 et 18 représentent deux autres modes de réalisation d'une cellule de mémorisation selon l'invention.
- Les figures 19 et 20 illustrent deux modes de réalisation de bascules selon l'art antérieur.
- 15 Les figures 21 et 22 représentent deux modes de réalisation de bascules à consommation réduite selon l'invention.
- La figure 23 illustre un mode de réalisation d'un circuit d'horloge selon l'art antérieur.
- La figure 24 représente un mode de réalisation d'un circuit d'horloge commandant une bascule selon l'invention.
- 20 La figure 25 représente un autre mode de réalisation d'une bascule selon l'invention.

## 25 **Description de modes particuliers de réalisation**

La cellule de mémorisation selon la figure 5 se distingue de la cellule selon la figure 4 par le fait que les transistors Tpr et Tnr sont respectivement remplacés par des transistors de découplage Tpd et Tnd, respectivement de type P et de

type N. Pour cela, les grilles des transistors de découplage Tnd et Tpd sont respectivement connectées à la masse et à la tension d'alimentation Vdd. Les transistors de découplage Tpd et Tnd sont alors bloqués et introduisent des résistances extrêmement élevées dans la boucle de contre-réaction de la cellule. Par conséquent, les entrées A1 et A2 se trouvent dans un état de haute impédance. Dans cet état, leur potentiel reste inchangé dans le court terme, mais peut être dégradé très lentement par des courants de fuite. Les courants de fuite traversant les canaux des transistors sont néanmoins supérieurs aux courants de fuite traversant les oxydes de grille des transistors. Ainsi, les courants de fuite traversant les canaux des transistors de découplage Tpd et Tnd sont supérieurs aux courants de fuite traversant les oxydes de grille des transistors Tp1 et Tn1. Ainsi, si l'état électrique initial des nœuds constituant les entrées A1 et A2 du premier inverseur est identique à l'état électrique de la sortie Q du second inverseur, ces courants de fuite sont, avec les technologies actuelles, suffisants pour maintenir inchangé l'état des entrées A1 et A2. D'autre part, la résistance extrêmement élevée introduite par les transistors de découplage Tpd et Tnd, bloqués, dans la boucle de contre-réaction de la cellule empêche une impulsion transitoire survenue sur la sortie Q ou sur la sortie B de se propager jusqu'aux grilles des transistors Tp1 et Tn1 du premier inverseur. Ainsi, l'état de ces grilles n'est pas influencé par la perturbation et les sorties B et/ou Q sont rapidement ramenées à leur état correct.

Les drains des transistors de découplage Tpd et Tnd, connectés respectivement aux entrées A1 et A2, peuvent aussi être des sites de création d'impulsions transitoires par les particules ionisantes. Or, une impulsion transitoire sur le drain d'un transistor de type P est toujours une impulsion qui passe de 0 à 1, tandis qu'une impulsion transitoire sur le drain d'un transistor de type N est toujours une impulsion qui passe de 1 à 0. Ainsi, une impulsion transitoire produite sur le drain du transistor de découplage Tpd peut faire passer le



transistor Tp1 de l'état passant à l'état bloqué, mais jamais le contraire. De manière analogue, une impulsion transitoire produite sur le drain du transistor de découplage Tnd peut faire passer le transistor Tn1 de l'état passant à l'état bloqué, mais jamais le contraire. Dans une telle situation, la sortie B du premier

5 inverseur 1 se trouve dans un état de haute impédance et son état électrique ne change pas, au moins dans l'immédiat. Ainsi, l'effet de la perturbation reste confiné sur l'entrée A1 ou A2 concernée par la perturbation. Puis, l'entrée A1 ou A2 concernée par la perturbation est lentement ramenée dans son état électrique correct par le courant de fuite qui traverse le canal du transistor de

10 découplage correspondant, Tpd ou Tnd, toujours bloqué. Ce courant de fuite est largement supérieur au courant de fuite traversant l'oxyde de la grille du transistor Tp1 ou Tn1. Cependant, dans certaines situations, lorsque la sortie B est en haute impédance, son état électrique peut se dégrader lentement. Cette dégradation peut, en effet, être due aux courants de fuite traversant les canaux

15 des transistors Tp1 et Tn1, qui sont tous deux bloqués, ainsi qu'aux courants de fuite traversant les oxydes des grilles des transistors Tp2 et Tn2. Les courants de fuite traversant les canaux des transistors Tp1 et Tn1 bloqués sont alors prédominants et déterminent, le cas échéant, la vitesse de dégradation de l'état électrique de la sortie B. Or, ces courants circulent dans des directions

20 opposées. La vitesse de dégradation de la sortie B est donc déterminée par leur différence, qui reste inférieure au courant qui restaure l'entrée A1 ou A2. De plus, la capacité de la sortie B est égale à la somme des capacités de grille des transistors Tn2 et Tp2. Ainsi, elle est supérieure à la capacité de l'entrée A1 ou A2. Par conséquent, l'état de l'entrée du premier inverseur concernée par la

25 perturbation est restauré bien plus rapidement que l'état de la sortie B ne se dégrade. Ainsi, dans le cas d'une particule ionisante affectant l'entrée A1 ou A2, les courants de fuite restaurent automatiquement l'état électrique de la cellule.

Les transistors de découplage étant constamment bloqués, ils peuvent être très petits. La cellule de mémorisation selon la figure 5 est ainsi durcie, tout en minimisant l'augmentation de la surface de la cellule, grâce à l'utilisation des courants de fuite circulant entre la source et le drain de transistors de découplage, bloqués, introduits dans la boucle de contre-réaction de la cellule. En effet, le maintien à l'état bloqué des transistors de découplage de la boucle de contre-réaction pourrait conduire à la perte de l'information stockée dans la cellule. L'état de la cellule est cependant maintenu grâce aux courants de fuite circulant entre la source et le drain de ces transistors, qui sont suffisants pour compenser les courants de fuite de la cellule qui pourraient induire la perte de cette information.

La cellule de mémorisation selon la figure 5 peut être complétée par des circuits d'accès, de manière à réaliser des bascules sensibles au niveau (bascules transparentes), des bascules de type maître-esclave, des cellules mémoire pour des bandes de registres ("register files", en anglais), pour des cellules pour mémoire statique ou SRAM ("Static Random Access Memory") ou pour des cellules mémoire de configuration de circuits logiques intégrés programmables ou FPGA ("Field Programmable Gate Array").

La figure 6 représente une bascule transparente, de type D, ainsi réalisée. L'entrée D de la cellule constituant la bascule est connectée aux entrées A1 et A2 du premier inverseur, respectivement par l'intermédiaire de transistors d'accès Tpa et Tna, respectivement de type P et de type N. La sortie Q du second inverseur constitue la sortie de la bascule. La cellule est cadencée par un signal d'horloge E et son complément Ec, qui constituent des signaux de contrôle d'accès. Pour cela, le signal d'horloge E est appliqué sur la grille du transistor d'accès Tna, tandis que son complément Ec est appliqué sur la grille du transistor d'accès Tpa. Pendant le niveau haut du signal d'horloge E, la

bascule est en transparence, propageant sur sa sortie Q la valeur appliqué sur son entrée D. La sortie B du premier inverseur est alors égale au complément Dc de l'entrée D. Pendant le niveau bas de l'horloge E, la bascule est à l'état bloqué et mémorise la valeur présente sur son entrée D pendant le niveau haut du signal d'horloge E.

Dans certaines applications, le signal d'horloge E doit parfois être bloqué au niveau bas pendant certaines périodes de temps (état de maintien de la bascule ou "hold" en anglais), de façon à garder inchangé l'état de la bascule pendant ces périodes. Pendant ces périodes de blocage, les courants de fuite qui traversent les canaux des transistors d'accès Tpa et Tna peuvent alors concurrencer les courants de fuite qui passent à travers le canal des transistors de découplage Tpd et Tnd et servent au rafraîchissement des entrées A1 et A2 du premier inverseur. Pour éviter d'éventuels problèmes liées à cette situation, la configuration de la cellule de mémorisation peut être modifiée comme représenté sur la figure 7. Dans cette variante de réalisation, les transistors d'accès Tpa et Tna ne sont pas connectés entre l'entrée D de la cellule et les entrées A1 et A2 du premier inverseur, mais entre l'entrée D et la sortie Q du second inverseur. De cette façon, les courants de fuite des transistors d'accès Tpa et Tna n'influencent pas l'état électrique des grilles des transistors Tp1 et Tn1. D'autre part, les grilles des transistors de découplage Tnd et Tpd ne sont pas connectées à la masse et à la tension d'alimentation Vdd, mais, respectivement, au signal d'horloge E et à son complément Ec. Les transistors de découplage Tpd et Tnd sont ainsi à l'état passant quand le signal d'horloge E est au niveau haut, permettant alors d'imposer la valeur de l'entrée D sur la bascule. Par contre, ils sont toujours bloqués pendant le niveau bas du signal d'horloge E, permettant ainsi de protéger la valeur mémorisée dans la bascule contre les perturbations dues à des particules ionisantes.

Les deux transistors d'accès Tpa et Tpa n'étant pas connectés sur les grilles des transistors Tp1 et Tn1 du premier inverseur, les impulsions transitoires induites par des particules touchant ces transistors n'influencent pas la valeur mémorisée dans la cellule. Par conséquent, il est possible de  
5 supprimer l'un de ces transistors d'accès. Cette modification est illustrée à la figure 8, dans laquelle le transistor d'accès Tpa a été supprimé.

Dans une cellule selon les figures 7 ou 8, une nouvelle valeur présente à l'entrée D de la cellule peut entrer en conflit avec la valeur de la sortie Q du  
10 second inverseur 2. Ce conflit peut induire un délai supplémentaire pour le temps d'écriture de la cellule et, de plus, augmenter la consommation électrique pendant une phase d'écriture de la cellule. Pour éviter ces problèmes, dans la cellule illustrée à la figure 9, le second inverseur 2 est remplacé par un circuit  
inverseur constitué par une porte 3 à 3 états (1, 0 et haute impédance), qui est  
15 contrôlée par le signal d'horloge E et par son complément Ec, de manière à ce que la sortie de cette porte se trouve dans l'état de haute impédance lorsque le signal d'horloge E est au niveau haut, c'est-à-dire, lorsqu'une écriture est effectuée dans la cellule. Ceci permet d'éliminer le conflit mentionné ci-dessus.

Sur la figure 9, les transistors d'accès Tpa et/ou Tna constituant les circuits  
20 d'accès de la cellule sont également remplacés par une porte 3 de transmission, inverseuse, à 3 états. Cette porte est contrôlée par le signal d'horloge E et par son complément Ec, de manière à ce que la porte constituant le circuit d'accès soit en haute impédance lorsque la porte constituant le second inverseur  
25 transmet et se comporte comme un simple inverseur, et inversement. Ceci permet d'améliorer la qualité du signal appliqué sur l'entrée D de la bascule, améliorant ainsi ses performances (vitesse, consommation). La cellule comportant alors 3 circuits inverseurs (première porte, premier inverseur et

seconde porte) successifs, le signal de sortie de la cellule est alors constitué par le complément  $D_c$  du signal présent sur son entrée  $D$ .

Comme représenté à la figure 10, une porte 3 à 3 états peut être constituée par un circuit série comportant successivement deux transistors  $T_{p'}$  et  $T_p$ , de type P, et deux transistors  $T_n$  et  $T_{n'}$ , de type N, en série entre deux bornes d'alimentation, par exemple  $V_{dd}$  et la masse sur la figure 10. Les grilles des transistors  $T_{p'}$  et  $T_{n'}$  sont connectées à l'entrée de l'inverseur (entrée B par exemple pour le second inverseur). Le point commun aux deux transistors centraux  $T_p$  et  $T_n$  constitue la sortie de l'inverseur (sortie Q par exemple pour le second inverseur). Les première et seconde entrées de contrôle sont constituées respectivement par les grilles des transistors  $T_p$  et  $T_n$ . Sur la figure 9, la première entrée de contrôle du second inverseur et la seconde entrée de contrôle de la première porte reçoivent le signal d'horloge  $E$ , tandis que la seconde entrée de contrôle du second inverseur et la première entrée de contrôle de la première porte reçoivent son complément  $E_c$ .

Deux bascules transparentes, par exemple du type illustré à la figure 6, peuvent être connectées en série pour former une bascule maître-esclave. Il est alors nécessaire d'invertir le signal d'horloge  $E$  et son complément  $E_c$  dans la bascule esclave. Comme illustré à la figure 11, il est également possible d'utiliser des bascules différentes pour réaliser la partie maître et la partie esclave d'une bascule maître-esclave. Dans le mode de réalisation particulier de la figure 11, la bascule maître est constituée par une bascule transparente selon la figure 9. La sortie B du premier inverseur de la bascule maître est connectée à l'entrée d'une cellule selon la figure 6, constituant la partie esclave. Les transistors d'accès  $T'_{na}$  et  $T'_{pa}$  de la partie esclave sont respectivement connectés aux entrées  $A'1$  et  $A'2$  de son premier inverseur  $T'_{p1}$ ,  $T'_{n1}$ , en série avec son second inverseur  $T'_{p2}$ ,  $T'_{n2}$ . La sortie  $Q'=D$  de son second inverseur

est connectée respectivement aux entrées A'1 et A'2 par l'intermédiaire des transistors de découplage T'pd et T'nd, normalement bloqués. Le signal d'horloge E et son complément Ec sont respectivement appliqués aux grilles des transistors d'accès T'pa et T'na de la partie esclave. La cellule selon la figure 6 est mieux adaptée à la réalisation de la partie esclave, dans le cas où, pendant les périodes de blocage de l'état de la bascule maître-esclave, celle-ci ne se trouve jamais dans la situation dans laquelle les transistors d'accès de la partie esclave sont bloqués et les courants de fuite traversant leurs canaux dégradent l'état électrique des entrées A'1 et A'2. Ceci est le cas si le blocage de l'état de la bascule maître-esclave est réalisé en forçant le signal d'horloge E au niveau bas. Dans ce cas, les transistors T'pa et T'na se trouvent normalement dans l'état passant et le problème des courants de fuite agissant quand ces transistors sont bloqués ne se présente pas.

Diverses autres configurations de bascules transparentes et de bascules maître-esclave peuvent être réalisées en utilisant comme base la cellule de la figure 5.

L'arrangement des transistors de la cellule de la figure 6 peut également être utilisé pour réaliser des cellules mémoire. Dans le mode de réalisation particulier de la figure 12, les transistors d'accès Tna et Tpa constituent une porte d'écriture et leurs grilles sont respectivement connectées à une ligne de mot d'écriture LmE et à une ligne de mot d'écriture complémentaire LmEc. L'entrée D de la cellule est connectée à une ligne de bit d'écriture LbE. Une porte de lecture, indépendante de la porte d'écriture, est constituée par un autre transistor d'accès Tna1, de type N, connecté entre la sortie Q de la cellule et une ligne de bit de lecture LbL. La grille du transistor d'accès Tna1 est connectée à une ligne de mot de lecture LmL. Pour effectuer une lecture, un amplificateur de lecture (non représenté) est activé et provoque le passage à 1 de la ligne de mot de lecture. La valeur stockée dans la cellule est alors

transmise à la ligne de bit de lecture LbL par le transistor d'accès Tna1. Pour effectuer une écriture, la valeur à écrire est appliquée, par un amplificateur d'écriture (non représenté) sur la ligne de bit d'écriture et, en conséquence, sur l'entrée D de la cellule, tandis que les lignes de mot d'écriture et de mot d'écriture complémentaire passent respectivement à 1 et à 0.

La cellule de la figure 12 est plus particulièrement adaptée à la réalisation de mémoires ayant des portes de lecture et d'écriture indépendantes, par exemple de mémoires du type bande de registres ("register file ") effectuant dans le même cycle la lecture d'un mot et l'écriture d'un autre mot, ainsi qu'à la réalisation d'une mémoire de configuration de circuits du type FPGA.

Pour augmenter la vitesse d'écriture, il est possible d'utiliser un deuxième amplificateur d'écriture, qui est connecté sur la ligne de bit de lecture LbL lors d'une écriture, la ligne de mot de lecture LmL étant activée en même temps que la ligne de mot d'écriture LmE et la ligne de mot d'écriture complémentaire LmEc. L'état de la sortie Q de la cellule est ainsi modifié sans attendre la propagation de la valeur à écrire par la ligne de bit d'écriture. Ceci présente néanmoins l'inconvénient de ne pas permettre d'effectuer simultanément une opération d'écriture sur un mot et une opération de lecture sur un autre mot. Ainsi, ce type de réalisation ne permet pas d'effectuer dans le même cycle la lecture d'un mot de la mémoire et l'écriture d'un autre mot. Néanmoins, même sans cette modification, la cellule de la figure 12 permet d'effectuer des écritures rapides. En effet, les transistors de découplage Tpd et Tnd évitent le conflit entre la valeur générée par le seconde inverseur sur sa sortie Q et la nouvelle valeur appliquée à partir de la porte d'écriture sur les entrées A1 et A2 du premier inverseur. Ils permettent ainsi une écriture rapide. En ce qui concerne la vitesse de lecture, Il est possible de rajouter une ligne de bit de lecture complémentaire LbLc (non représentée), ainsi qu'un transistor Tna1c de type N

(non représenté), connecté entre la sortie B du premier inverseur et la ligne de bit de lecture complémentaire LbLc et commandé par la ligne de mot de lecture LmL. Un amplificateur différentiel peut alors être connecté sur deux lignes de bit de lecture portant des valeurs complémentaires pour effectuer des lectures très rapides.

La cellule selon la figure 13 se distingue de la cellule de la figure 12 par l'introduction d'un transistor d'accès Tna2 supplémentaire à la sortie Q de la cellule. Le transistor d'accès Tna2, de type N, est connecté en série avec le transistor d'accès Tna1 entre la masse et la ligne de bit de lecture LbL. La grille du transistor d'accès Tna2 est connectée directement à la sortie Q de la cellule. Préalablement à une lecture, la ligne de bit de lecture LbL est préchargée à la valeur 1. Ainsi, quand la lecture est effectuée en activant la ligne de mot de lecture LmL, la ligne de bit de lecture LbL reste à 1 si la valeur de la sortie Q de la cellule est 0. En effet, dans ce cas, le transistor Tna2 est bloqué. Par contre, la ligne LbL passe à 0 si la valeur de la sortie Q de la cellule est à 1, car, dans ce cas, les transistors Tna2 et Tna1 sont passants.. Bien que cette cellule, comme la cellule de la figure 12, utilise des lignes de mot séparées pour la lecture ou l'écriture, une ligne de mot commune peut aussi être utilisée, mais la possibilité de lire un mot et d'écrire dans un autre mot simultanément est alors perdue.

Dans la cellule représentée à la figure 12, une deuxième porte de lecture (non représentée) peut être ajoutée pour réaliser une mémoire possédant une porte d'écriture et deux portes de lecture indépendantes. Ce type de mémoire permet d'effectuer, dans le même cycle, l'écriture d'un mot et la lecture de deux autres mots. Ce type de mémoire est en particulier adapté à la réalisation de bandes de registres utilisées dans les parties opératives ("data path" en anglais) des microprocesseurs. Pour réaliser une deuxième porte de lecture dans la figure



12, une deuxième ligne de bit de lecture LbL2 et un deuxième transistor d'accès Tna2, connecté entre la sortie Q de la cellule et la deuxième ligne de bit de lecture LbL2 et contrôlé par une deuxième ligne de mot de lecture LmL2, peuvent être ajoutés. De façon analogue, une deuxième porte de lecture peut être ajoutée dans la figure 13.

Une simulation soignée des cellules des figures 12 et 13 doit être réalisée pour vérifier que les courants de fuite traversant les transistors d'accès Tpa et Tna ne dégradent pas l'état électrique des entrées A1 et A2. Une cellule qui n'est pas sensible à ce problème est représentée à la figure 14. Dans cette cellule mémoire, basée sur la variante de la figure 8, les grilles des transistors de découplage Tnd et Tpd sont respectivement connectées à la ligne de mot d'écriture LmE et à la ligne de mot d'écriture complémentaire LmEc. Comme sur la figure 12, l'entrée D de la cellule est connectée à la ligne de bit d'écriture, tandis que la sortie Q de la cellule est connectée à la ligne de bit de lecture par l'intermédiaire du transistor d'accès Tna1, dont la grille est connectée à la ligne de mot de lecture LmL. Ainsi, les deux transistors de découplage, normalement bloqués, sont passants pendant une opération d'écriture.

Un inconvénient des cellules des figures 12 à 14 est qu'elles utilisent une ligne de mot d'écriture LmE et une ligne de mot d'écriture complémentaire LmEc. Ceci nécessite un grand nombre de lignes d'interconnexions. Bien que ce ne soit pas un handicap important, car les technologies des circuits intégrés actuels permettent un grand nombre de niveaux d'interconnexions, il peut être intéressant de disposer de cellules ne nécessitant qu'une seule ligne de mot d'écriture si ce problème devient un handicap.

La figure 15 représente une telle cellule, qui se distingue de la cellule selon la figure 14 par le fait que le premier transistor de découplage Tpd, de type P, est

remplacé par un transistor de découplage Tnd1, de type N. Le transistor de découplage Tnd1 peut ainsi être contrôlé par la ligne de mot d'écriture LmE, comme le second transistor de découplage Tnd, ce qui permet de supprimer la ligne de mot d'écriture complémentaire LmEc. Cependant, quand la valeur

5 correcte de la sortie Q, est, comme les entrées A1 et A2, égale à 1, une particule ionisante affectant le drain du transistor de découplage Tnd1 peut produire une impulsion transitoire passant de 1 à 0 sur l'entrée A1 et provoquer le passage du transistor Tp1 à l'état passant. En l'absence de précautions particulières, cette perturbation peut alors se propager aux sorties B et Q des

10 premier et second inverseurs et peut modifier l'état de la cellule. Cette propagation est néanmoins contrecarrée par le fait que l'entrée A2 reste à 1 et que le courant traversant le transistor Tn1 s'oppose à cette propagation. Ce courant devrait, en principe, maintenir l'état correct de la cellule, car, à l'état passant, le courant traversant un transistor de type N est supérieur au courant

15 traversant un transistor de type P de même dimension. Une augmentation de la largeur du canal du transistor Tn1, diminuant sa résistance, peut éventuellement améliorer la situation.

Une autre solution, plus robuste, consiste à introduire, dans le premier

20 inverseur, en série entre les transistors Tp1 et Tn1, un transistor supplémentaire Tp1', de type P (en pointillé sur la figure 15). La sortie B du premier inverseur est alors prise sur le noeud qui connecte les drains des transistors Tn1 et Tp1'. La grille du transistor Tp1' est connectée à l'entrée A2, c'est-à-dire au drain du second transistor de découplage Tnd. L'état de cette entrée A2 n'étant pas

25 affecté par une particule ionisante frappant l'entrée A1, le transistor Tp1' reste bloqué et empêche la propagation d'une perturbation produite sur l'entrée A1.

De façon similaire, il est possible de réaliser une cellule dans laquelle les deux transistors de découplage sont de type P, mais cette solution est moins

avantageuse que celle qui utilise deux transistors de découplage de type N. En effet, dans ce cas, pour obtenir une bonne protection contre les particules frappant le transistor de découplage de type P connecté sur la grille du transistor Tn1, le courant qui parcourt, à l'état passant, le transistor Tp1, de type P, du premier inverseur doit être supérieur au courant qui parcourt, à l'état passant, le transistor Tn1, de type N du premier inverseur. Il est également possible d'introduire, dans le premier inverseur, un transistor supplémentaire, de type N, en série entre les transistors Tp1 et Tn1 et dont la grille est connectée à l'entrée A1, c'est-à-dire au drain du premier transistor de découplage Tpd.

10

Un inconvénient d'une cellule dans laquelle les deux transistors de découplage sont de même type est qu'une impulsion transitoire amenant la sortie Q au-delà des limites du potentiel des lignes d'alimentation peut se propager à la fois sur l'entrée A1 et sur l'entrée A2. À titre d'exemple, si dans la cellule de la figure 15, la sortie Q et les entrées A1 et A2 sont à 1, une impulsion transitoire faisant passer la sortie Q à une tension négative  $V_q$  telle que  $-V_q > V_{Tn}$ ,  $V_{Tn}$  étant la tension de seuil des transistors de découplage Tnd et Tnd1, se propage jusqu'aux entrées A1 et A2 et, ensuite, sur l'ensemble de la cellule, renversant ainsi son état. Cette situation nécessite l'action de particules ionisantes relativement énergétiques pour amener la tension de la sortie Q de la cellule à une telle valeur négative  $V_q$  ( $-V_q > V_{Tn}$ ) et la maintenir pendant un temps suffisant pour changer la valeur des entrées A1 et A2 à travers les transistors Tnd1 et Tnd. L'action d'une telle charge est, de plus, limitée par les diodes parasites formées par les drains/sources des transistors de type N connectés sur la sortie Q et par leurs puits de type P. Ces diodes absorbent tout excès de charge négative qui amène la tension de la sortie Q à une valeur négative  $V_q$ , telle que  $-V_q$  soit supérieure à leur tension de seuil. Par conséquent, l'utilisation de transistors de découplage (Tnd, Tnd1) du même type, comme sur la figure

15

20

25

15, permet de réduire la complexité de la cellule, mais apporte une protection moindre.

5 Les cellules des figures 12 à 15 utilisent, en lecture, une seule ligne de bit de lecture LbL. Ceci est un inconvénient pour les mémoires de grande taille, dans lesquelles les capacités des lignes de bit sont importantes et leur chargement ou leur déchargement par la cellule en phase de lecture peut nécessiter un temps important. Dans ce cas, l'utilisation d'amplificateurs de lecture différentiels (non représentés) connectés sur une ligne de bit Lb et une ligne de bit complémentaire Lbc, comme représenté à la figure 16, permet de réduire le temps de la lecture. La figure 16 se distingue de la figure 15 par le fait que les lignes de bit de lecture LbL, de bit d'écriture LbE et de mot d'écriture LmE sont respectivement remplacées par la ligne de bit Lb, la ligne de bit complémentaire Lbc et une ligne de mot Lm. La ligne de mot de lecture LmL est supprimée et la grille du transistor Tna1 est connectée à la ligne de mot Lm. De plus, le transistor d'accès Tna est connecté entre l'entrée D de la cellule et la sortie B du premier inverseur et non à la sortie Q du second inverseur. Pendant une écriture, les amplificateurs d'écriture sont connectés à la ligne de bit Lb et à la ligne de bit complémentaire Lbc et la ligne de mot Lm est mise à 1.

10

15

20

25

Préalablement à une lecture, la ligne de bit Lb et la ligne de bit complémentaire Lbc sont préchargées à une valeur proche de  $V_{dd}/2$ . Pendant la lecture, la ligne de mot Lm est mise à 1 et l'amplificateur différentiel de lecture, connecté à la ligne de bit Lb et à la ligne de bit complémentaire Lbc, détermine la valeur lue dans la cellule. Nous avons vu précédemment que l'utilisation de transistors de découplage du même type aboutit à une protection moindre. Pour obtenir une cellule plus robuste, le transistor de découplage Tnd1, de type N, de la figure 16 peut être remplacé par un transistor de découplage Tpd, de type P. Dans ce cas, une ligne de mot complémentaire Lmc est utilisée pour commander la grille du transistor de découplage Tpd.

Un autre inconvénient de la cellule selon la figure 16 est lié au fait que, pendant une phase de lecture, la ligne de bit complémentaire Lbc est connectée à la sortie B du premier inverseur. Si une impulsion transitoire a affecté l'entrée A1 ou A2 et mis la sortie B du premier inverseur dans l'état de haute impédance peu de temps avant la lecture (de façon à ce que la cellule n'ait pas eu le temps de restaurer l'état électrique de l'entrée ou de la sortie affectée), la connexion de la ligne de bit complémentaire Lbc à la sortie B peut avoir des effets néfastes, tels qu'un mauvais résultat de lecture ou un renversement de l'état de la cellule.

Une telle situation est, néanmoins, rare dans une mémoire de taille importante, car la probabilité de lire une cellule dans un temps donné est inversement proportionnelle au nombre des mots de la mémoire. De plus, pendant une lecture, la ligne de mot Lm met à l'état passant les deux transistors de découplage Tnd et Tnd1. Ainsi, la sortie B peut ramener les entrées A1 et/ou A2 à leur état correct et renforcer l'état de la cellule. Le résultat final dépend de caractéristiques électriques du circuit, comme la taille des transistors de la cellule, les capacités des entrées A1, A2 et sorties B, Q, des inverseurs et des lignes de bit Lb, Lbc, du potentiel de précharge, du niveau des alimentations et du dimensionnement des amplificateurs de lecture. Une simulation précise du circuit est nécessaire pour évaluer sa sensibilité à ce phénomène et un re-dimensionnement du circuit peut éventuellement être nécessaire pour améliorer sa robustesse.

La cellule de mémorisation selon la figure 17 se distingue de la cellule selon la figure 5 par l'application périodique de signaux de rafraîchissement, de préférence complémentaires, sur les grilles des transistors de découplage Tpd et Tnd. L'état mémorisé dans la cellule est alors maintenu en utilisant un signal de rafraîchissement qui ramène périodiquement à l'état passant, pour une courte durée, les transistors de découplage, normalement bloqués.

Dans le mode particulier de réalisation représenté à la figure 17, un signal de rafraîchissement  $S_r$  est appliqué sur la grille du transistor de découplage  $T_{nd}$  et son complément  $S_{rc}$  sur la grille du transistor de découplage  $T_{pd}$ . Les signaux de rafraîchissement  $S_r$  et  $S_{rc}$  sont des signaux périodiques, de faible fréquence, qui maintiennent les transistors de découplage  $T_{nd}$  et  $T_{pd}$  bloqués pendant la grande majorité du temps et ne les débloquent simultanément, périodiquement, que pendant de courts intervalles de rafraîchissement. La commande des transistors de découplage par des signaux de rafraîchissement permet notamment d'utiliser les arrangements des transistors de n'importe quelle des cellules selon les figures 5 à 16 sans avoir à se préoccuper si les courants de fuite, notamment ceux des transistors d'accès, peuvent altérer l'état de la cellule. D'autre part, l'utilisation de ces signaux de rafraîchissement permet de réduire la probabilité d'effectuer une lecture lorsque la sortie  $Q$  de la cellule se trouve en haute impédance à cause d'une perturbation affectant l'entrée  $A_1$  ou  $A_2$ .

Le signal de rafraîchissement périodique  $S_r$  prend la valeur 1 pendant un court intervalle de temps à l'intérieur de sa période  $T$ . La durée de cet intervalle de temps est calculée en fonction du temps nécessaire pour que l'état de la sortie  $Q$  de la cellule restaure un état dégradé de l'entrée  $A_2$ . Cette restauration est réalisée par l'intermédiaire du courant qui traverse le canal du transistor de découplage  $T_{nd}$ , qui se trouve dans l'état passant pendant cet intervalle de temps. La période  $T$  du signal de rafraîchissement peut être déterminée à partir de diverses considérations.

Tout d'abord, si les courants de fuite tendent à dégrader l'état de l'entrée  $A_2$ , la période  $T$  sera inférieure au temps nécessaire à ces courants pour modifier l'état logique de l'entrée  $A_2$ . D'autre part, dans les variantes de réalisation dans

lesquelles une ligne de bit est connectée à la sortie B du premier inverseur pendant les opérations de lecture, comme dans la figure 16, la période T peut être sélectionnée de façon à réduire la probabilité d'effectuer une lecture pendant que la sortie B du premier inverseur se trouve en état de haute impédance à cause d'une perturbation affectant l'entrée A2. Dans ce cas, la

5 période T est déterminée de manière à ce que la probabilité de lire un mot mémoire donné à l'intérieur d'une période T reste faible. Par exemple, dans une mémoire comportant 500.000 mots, en supposant qu'une lecture est effectuée, en moyenne, dans un cycle sur deux, chaque mot est lu, en moyenne, une fois

10 tous les 1.000.000 de cycles. Ainsi, si la période T a alors une durée de 1000 cycles, la probabilité mentionnée ci-dessus est très faible. Le signal de rafraîchissement Src a des caractéristiques similaires. La même période et le même intervalle de rafraîchissement (la plus petite des deux périodes et le plus grand des deux intervalles de rafraîchissement) peuvent être utilisés pour les

15 deux signaux de rafraîchissement, ce qui permet d'utiliser pour le signal de rafraîchissement Src le complément du signal Sr.

Les signaux de rafraîchissement peuvent être utilisés pour le contrôle des transistors de découplage dans tout type de cellule, par exemple du type

20 bascule transparente ou maître-esclave, cellule mémoire SRAM, cellule mémoire ayant une porte de lecture et une porte d'écriture, notamment dans les cellules selon les figures 6 à 9 et 11 à 16. Si les deux transistors de découplage sont identiques, comme sur les figures 15 et 16, ils sont alors contrôlés par un signal de rafraîchissement unique, appliqué sur la grille des deux transistors de

25 découplage. Dans le cas d'une bascule utilisant des signaux de rafraîchissement, il n'est utile d'activer ces signaux que lorsque le fonctionnement de la bascule est bloqué par blocage des signaux d'horloge qui la cadencent (état de maintien ou "hold" en anglais). Ce type de blocage est activé par des signaux qui forcent les signaux d'horloge au niveau bas ou haut

pendant un certain nombre de cycles. Ces signaux peuvent alors être utilisés pour bloquer les signaux de rafraîchissement lorsque les horloges ne sont pas bloquées, ce qui représente généralement la grande majorité du temps.

5 Tandis que, dans la cellule de mémorisation selon la figure 5, le blocage permanent des transistors de découplage est assuré par la connexion de leurs grilles à la tension d'alimentation Vdd ou à la masse, il est également possible d'assurer le blocage d'un transistor de découplage de type N par toute tension Vn inférieure à sa tension de seuil VTn ( $V_n < V_{Tn}$ ), et le blocage d'un transistor  
 10 de découplage de type P par toute tension Vp telle que  $V_{dd} - V_p$  soit inférieure à sa tension de seuil VTp, en d'autres termes  $V_p > V_{dd} - V_{Tp}$ . Pour augmenter les courants de fuite des transistors bloqués Tpd et Tnd, la tension Vp choisie est inférieure à Vdd et la tension Vn supérieure à 0, soit  $V_{dd} > V_p > V_{dd} - V_{Tp}$  et  $0 < V_n < V_{Tn}$ . Les tensions Vn et Vp appliquées sur les grilles des transistors de  
 15 découplage peuvent être obtenues par tout moyen approprié. Une telle cellule de mémorisation, à potentiels dégradés, est illustrée à la figure 18

Dans une cellule selon la figure 18, les courants restaurant l'état correct des entrées A1 et A2 sont plus élevés que les courants de fuite traversant les  
 20 transistors de découplage bloqués d'une cellule selon la figure 5, ce qui résout les problèmes liés à la faiblesse de ces courants. En effet, si la tension appliquée à la grille d'un transistor NMOS est inférieure à la tension de seuil de ce transistor, ce transistor est bloqué. Dans cet état, le seul courant entre sa source et son drain est un courant de fuite.

25 La valeur de ce courant de fuite dépend de la tension appliquée sur la grille du transistor NMOS. Plus cette tension est proche à la tension de seuil du transistor, plus ce courant est grand. Une augmentation de 80mV de la tension appliquée sur la grille du transistor NMOS multiplie son courant de fuite source-



drain approximativement d'un facteur de 10, à condition que cette tension demeure inférieure à sa tension de seuil. À titre d'exemple, dans une technologie dans laquelle la tension de seuil  $V_{Tn}$  des transistors NMOS est de 0,5V, la tension de seuil  $V_{Tp}$  des transistors PMOS de 0,56mV et la tension d'alimentation  $V_{dd}$  de 1,8V, l'application d'une tension  $V_n$  de 0,4V sur la grille du transistor de découplage  $T_{nd}$  de la figure 18 multiplie approximativement par 100.000 le courant de fuite source-drain de ce transistor par rapport au courant de fuite source-drain du transistor de découplage  $T_{nd}$  de la figure 5. Ainsi, si dans la figure 5 le courant de fuite du transistor de découplage  $T_{nd}$  met 300 $\mu$ s pour restaurer la valeur du nœud A2, la durée de cette restauration dans la figure 18 sera approximativement de 3ns seulement. L'utilisation d'un transistor de découplage  $T_{nd}$  commandé par une tension  $V_n$  inférieure à sa tension de seuil  $V_{Tn}$ , mais proche de cette tension de seuil, écarte donc tout danger que le courant de fuite source-drain d'un transistor d'accès  $T_{na}$  dégrade le niveau du nœud A2. Ce type de solution est donc plus particulièrement adapté à des cellules du type représenté aux figures 6, 12 et 13 pour lesquelles ce danger existe. Par ailleurs, si le niveau du nœud A2 est dégradé suite à l'impact d'une particule ionisante, l'utilisation d'un transistor de découplage  $T_n$  commandé par une tension  $V_n$ , inférieure à sa tension de seuil  $V_{Tn}$  mais proche de cette tension de seuil, restaure la valeur correcte de ce nœud dans un très court intervalle de temps. Ainsi, si la cellule fait partie d'une mémoire, la probabilité qu'elle soit lue avant que la valeur du nœud A2 soit restaurée devient très faible. Ce type de solution est donc également plus particulièrement adapté à une cellule de mémoire du type représenté à la figure 16, pour laquelle une telle lecture pourrait produire une valeur erronée.

Une relation analogue existe entre la tension de seuil  $V_{Tp}$  et le courant de fuite source-drain d'un transistor PMOS. L'utilisation d'un transistor de découplage  $T_{pd}$  commandé par une tension  $V_p$  telle que  $V_{dd}-V_p$  soit inférieure à sa tension

de seuil  $V_{Tp}$ , mais proche de cette tension de seuil, permet de résoudre les mêmes types de problèmes en ce qui concerne le nœud A1.

5 Comme décrit précédemment, les courants de fuite source-drain des transistors de découplage  $T_{pd}$  et  $T_{nd}$  sont de plusieurs ordres de grandeur supérieurs aux courants de fuite source-drain des transistors d'accès  $T_{na}$  et  $T_{pa}$ . Les transistors d'accès peuvent donc être connectés aux entrées A1 et A2 du premier inverseur, comme sur les figures 6, 12 et 13 et dans la partie esclave de la figure 11, sans que les courants de fuite de ces transistors d'accès puissent  
10 dégrader l'état électrique de ces entrées. Ceci a pour avantage un temps d'accès réduit par rapport aux cellules des figures 7 à 9, 14 et 15 et de la partie maître de la figure 11.

15 Un autre avantage de la bascule de la figure 6, par rapport aux bascules des figures 7 à 9, et de la partie maître de la figure 11, est constitué par une réduction de la consommation électrique de la cellule. En effet, dans la cellule 6, le signal d'horloge E et son complément  $E_c$  commandent deux transistors ( $T_{pa}$  et  $T_{na}$ ), tandis que dans les cellules selon les figures 7 à 9, et dans la partie maître de la figure 11, le signal d'horloge E et son complément  $E_c$  commandent  
20 quatre transistors ( $T_{pa}$ ,  $T_{na}$ ,  $T_{pd}$  et  $T_{nd}$ ), pour les figures 7, 9 et la partie maître de la figure 11, et 3 transistors pour la figure 8. Il en résulte une consommation électrique moindre pour la cellule de la figure 6.

25 La consommation électrique de la cellule de la figure 6 est également réduite par rapport à la consommation d'une bascule conventionnelle. En effet, lors d'un accès d'une bascule conventionnelle, il est nécessaire de déconnecter de la sortie Q du deuxième inverseur 2 l'entrée A du premier inverseur 1 de la cellule, sur laquelle sont connectés les transistors d'accès  $T_{pa}$  et  $T_{na}$ , afin d'éviter un conflit entre la valeur stockée dans la cellule et la nouvelle valeur à mettre en

mémoire. Un tel conflit réduit la vitesse de la bascule et augmente sa consommation électrique. Un inverseur d'entrée supplémentaire 4 (en pointillé sur la figure 19) peut être connecté à l'entrée D de la cellule, pour s'assurer que le signal appliqué sur les sources des transistors d'accès Tpa et Tna est de bonne qualité. Comme représenté à la figure 19, cette déconnexion est classiquement effectuée par des transistors de déconnexion Tpx et Tnx, insérés en parallèle entre la sortie Q du deuxième inverseur 2 et l'entrée A du premier. Le signal d'horloge E, appliqué sur la grille du transistor d'accès Tna, et son complément Ec, appliqué sur la grille du transistor d'accès Tpa, sont alors appliqués respectivement aux grilles des transistors de déconnexion Tpx et Tpn. Dans une variante de réalisation connue, illustrée à la figure 20, cette déconnexion peut également être réalisée par l'utilisation d'une porte 3 à trois états, du type représenté aux figures 9 et 10, pour constituer le second inverseur 2. La porte 3 est alors contrôlée par le signal d'horloge E et son complément Ec. Le conflit est évité en bloquant les transistors de déconnexion Tpx et Tnx ou en commandant la porte à trois états dans l'état de haute impédance lors de chaque écriture dans la bascule. Mais cette commande est aussi source de consommation électrique. Les bascules conventionnelles représentées aux figures 19 et 20 ont donc une consommation électrique supérieure à la consommation des bascules selon la figure 6.

Selon un autre objet de l'invention, la consommation d'une cellule, comportant des premier et second inverseurs connectés en boucle, est réduite par l'insertion de deux transistors de découplage Tpd et Tnd entre la sortie Q du deuxième inverseur 2 et l'entrée A du premier inverseur, comme représenté à la figure 21. Les grilles des transistors de découplage Tpd et Tnd sont respectivement commandées par des tensions Vp et Vn, telles que  $V_{dd} > V_p > V_{dd} - V_{Tp}$  et  $0 < V_n < V_{Tn}$ , les tensions Vn et  $V_{dd} - V_p$  étant, de préférence, respectivement proches des tensions de seuil  $V_{Tn}$  et  $V_{Tp}$

respectives des transistors de découplage Tnd et Tpd. L'objectif principal de ces transistors de découplage n'est alors pas d'assurer une protection contre les effets des particules ionisantes mais de réduire la consommation des bascules conventionnelles.

5

Dans une variante de réalisation, un des transistors de découplage peut être supprimé. Sur la figure 22, par exemple, un seul transistor de découplage Tnd, dont la grille est contrôlée par la tension Vn, inférieure à la tension de seuil VTn, est connecté entre la sortie Q et l'entrée A. La protection contre les perturbations n'est alors pas optimale, mais la consommation est réduite.

10

L'utilisation de transistors Tpr et Tnr, commandés à l'état passant, comme dans la cellule de la figure 4 permet d'augmenter davantage les courants qui maintiennent l'état électrique des nœuds A1 et A2. Cependant, ceci nécessite des transistors de grande longueur. Selon un autre objet de l'invention, il est possible de remédier partiellement à cet inconvénient en appliquant à la grille du transistors Tpr de la cellule de la figure 4 une tension Vp supérieure à 0V, mais telle que  $V_{dd}-V_p$  soit supérieure à la tension de seuil  $V_{Tp}$  du transistor Tpr, soit  $0 < V_p < V_{dd}-V_{Tp}$ . Simultanément, la tension appliquée à la grille du transistor Tnr est une tension Vn, supérieure à sa tension de seuil VTn, mais inférieure à la tension d'alimentation Vdd, soit  $V_{Tn} < V_n < V_{dd}$ . Les transistors Tpr et Tnr ne sont alors pas bloqués et laissent passer des courants plus importants que les courants de fuite source-drain des transistors de découplage Tpd et Tnd des figures 5 et 18. La résistance des transistors Tpr et Tnr dépend respectivement des valeurs des tensions  $V_{dd}-V_p$  et Vn. Plus ces valeurs sont faibles, plus les résistances de ces transistors sont importantes. Il est ainsi possible d'obtenir des résistances plusieurs fois supérieures aux résistances des transistors Tpr et Tnr de la figure 4, qui sont commandés, selon l'art antérieur, par des tensions respectivement égales à 0V et à Vdd. Cette augmentation de résistance peut

15

20

25

suffire pour obtenir une protection suffisante contre les impulsions transitoires produites par les particules ionisantes, même si les transistors Tpr et Tnr ont une taille minimale. La cellule occupe alors une surface bien plus faible que la surface occupée par la cellule se la figure 4, commandée selon l'art antérieur.

5 Dans certains technologies de fabrication de circuits intégrés et/ou dans certains environnements radiatifs, la protection obtenue en utilisant de tels transistors Tpr et Tnr, de taille minimale, peut être insuffisante. Il est alors possible d'augmenter la longueur des transistors Tnr et/ou Tpr pour augmenter leur résistance. Mais cette augmentation reste inférieure à celle requise pour les

10 transistors Tpr et Tnr selon l'art antérieur de la figure 4. Ce type de cellule, utilisant des transistors Tpr et/ou Tnr contrôlés par des potentiels dégradés, peut également être utilisé pour réaliser divers types de bascules et de cellules mémoire.

15 Ainsi, de manière générale, le maintien de la grille du transistor (Tnr ou Tnd), de type N introduit dans la boucle de contre-réaction à un niveau inférieur à Vdd et de la grille du transistor (Tpr ou Tpd), de type P introduit dans la boucle de contre-réaction à un niveau supérieur à zéro permet d'améliorer la résistance de la cellule aux perturbations provoquées par des particules ionisantes.

20 Le niveau des tensions électriques appliquées sur les grilles des transistors introduits entre la sortie Q du second inverseur et l'entrée A ou les entrées A1 et A2 du premier inverseur, et/ou leurs longueurs, peuvent être choisis de façon à obtenir le meilleur compromis entre la résistance face aux perturbations induites

25 par les particules ionisantes, les problèmes liés à la faiblesse des courants de restauration de l'état des entrées, le coût en surface de la cellule, sa consommation électrique et sa vitesse.

Dans un circuit complexe, une branche du signal d'horloge E et une branche de son complément Ec peuvent être utilisées pour commander de nombreuses bascules. Dans ce cas, les capacités électriques commandées par ces branches sont importantes et un circuit amplificateur ("buffer" en anglais) puissant est utilisé sur chacune de ces branches pour lui permettre de commander ces nombreuses bascules. En raison de la grande capacité de chaque branche, la charge injectée sur celle-ci par une particule ionisante frappant son amplificateur associé ne peut pas modifier de façon significative sa tension électrique. D'autre part, cette charge est très rapidement évacuée par le puissant circuit amplificateur de la branche. Ainsi, les particules ionisantes frappant le circuit d'horloge ne peuvent pas induire d'erreurs dans les bascules.

Dans d'autres réalisations connues, comme illustré à la figure 23, à chaque bascule sont associés deux inverseurs 5 et 6, en série, qui génèrent localement, à partir d'une branche principale du signal d'horloge E, respectivement des signaux d'horloge Ec1 et E1, destinés à commander la bascule. Dans ce cas, les capacités des sous-branches fournissant les signaux d'horloge Ec1 et E1 sont petites et les inverseurs 5 et 6 associés sont de taille réduite. Les particules ionisantes frappant les transistors des inverseurs 5 et 6 peuvent alors modifier de façon significative les tensions des signaux E1 et/ou Ec1. Ils peuvent alors connecter de façon intempestive la bascule sur son entrée D et altérer la valeur stockée dans la bascule.

Selon un autre objet de l'invention, illustré à la figure 24, les bascules sont protégées contre ces perturbations, grâce à l'utilisation d'une première paire d'inverseurs, 5 et 6, qui fournit un premier signal d'horloge E1 et son complément Ec1, et d'une deuxième paire d'inverseurs, 7 et 8, qui fournit, de manière analogue, un second signal d'horloge E2 et son complément Ec2. Deux sous-branches distinctes sont ainsi associées à chaque bascule. Le premier

signal d'horloge E1 et son complément Ec1 sont alors appliqués aux grilles des transistors d'accès, respectivement de type N (Tna) et de type P (Tpa), dans une cellule selon les figures 7 ou 8 ou contrôlent la porte 3 d'accès connectée à l'entrée de la bascule de la figure 9. Dans les figures 7 à 9, le second signal d'horloge E2 et son complément Ec2 sont alors appliqués aux grilles des transistors de découplage, respectivement de type N (Tnd) et de type P (Tpd). Dans ce cas, si l'un des inverseurs d'une des sous-branches est touché par une particule ionisante, les inverseurs de l'autre sous-branche associée à la même bascule ne sont pas affectés. La bascule ne peut donc pas être connectée de façon intempestive sur son entrée.

Dans certains circuits, les bascules ne sont jamais mises en état de maintien ("hold") pendant des périodes dans lesquelles elles contiennent des valeurs utiles. En d'autres termes, tant qu'elles contiennent des valeurs utiles, elles sont connectées une fois par cycle d'horloge sur leur entrée D pour recevoir une nouvelle valeur. Dans ce cas, une valeur est stockée dans une bascule pendant un intervalle de temps très court, correspondant à une fraction de la période d'horloge. Il est alors possible d'utiliser une bascule dynamique, qui stocke la donnée dans une petite capacité constituée par la grille des transistors d'un inverseur. Selon un autre objet de l'invention, une bascule dynamique peut être protégée contre les particules ionisantes. Comme illustré à la figure 25, cette bascule dynamique comporte un inverseur 1, constitué, comme le premier inverseur 1 de la cellule selon la figure 6, d'un transistor Tp1 (PMOS) en série avec un transistor Tn1 (NMOS) entre Vdd et la masse. La sortie B de cet inverseur constitue la sortie de la cellule. Comme sur la figure 6, la source d'un transistor d'accès Tpa (PMOS) est connectée à l'entrée D de la cellule et son drain à la grille A1 du transistor Tp1, tandis qu'un transistor d'accès Tna (NMOS) est connecté par sa source à l'entrée D et par son drain à la grille A2 du transistor Tn1 (NMOS). Le signal d'horloge E et son complément Ec sont

respectivement appliqués sur les grilles des transistors d'accès Tna et Tpa. La sortie B de la cellule prend la valeur égale au complément Dc de la valeur présente sur l'entrée D au moment où le signal d'horloge E est égal à 1. Comme sur la figure 19, un inverseur d'entrée supplémentaire 4 (en pointillé sur la figure 5 25) peut être connecté à l'entrée D de la cellule, pour s'assurer que le signal appliqué sur les sources des transistors d'accès Tpa et Tna est de bonne qualité. Dans ce cas, la sortie B de la bascule prend la valeur de l'entrée D au moment où le signal d'horloge E est égal à 1. Une perturbation touchant un des transistors, Tp1 ou Tn1, de l'inverseur 1 peut modifier la valeur de sa sortie B, 10 mais les valeurs des grilles A1, A2 des transistors Tp1 et Tn1 de l'inverseur 1 ne sont pas affectées. L'inverseur 1 régénère alors la valeur correcte sur sa sortie B. Si le transistor d'accès Tpa est touché, la seule erreur possible est le passage d'un 0 à 1. Dans ce cas, le transistor Tp1 de l'inverseur 1 se bloque. L'inverseur 1 se trouve alors dans l'état de haute impédance et préserve la 15 valeur correcte de sa sortie B. Une situation similaire survient si le transistor d'accès Tna est touché. Les valeurs stockées dans la cellule sont donc protégées contre les perturbations induites par les particules ionisantes.



## Revendications

1. Cellule de mémorisation protégée contre les perturbations transitoires, comportant des premier et second circuits inverseurs (1, 2), connectés en boucle, et des premier et second transistors connectés respectivement entre une sortie (Q) du second circuit inverseur et des première et seconde entrées (A1, A2) du premier circuit inverseur, cellule caractérisée en ce que les premier et second transistors sont des transistors de découplage (Tpd, Tnd, Tnd1), normalement bloqués.
2. Cellule selon la revendication 1, caractérisée en ce que les transistors de découplage (Tpd, Tnd, Tnd1) ont chacun une grille sur laquelle sont appliqués périodiquement des signaux de rafraîchissement (Src, Sr), destinés à les débloquer périodiquement.
3. Cellule selon la revendication 1, caractérisée en ce que les transistors de découplage (Tpd, Tnd, Tnd1) ont des courants de fuite suffisants pour maintenir les première et seconde entrées (A1, A2) du premier circuit inverseur dans le même état logique que la sortie du second circuit inverseur.
4. Cellule de mémorisation selon l'une quelconque des revendications 1 à 3, caractérisée en ce que les premier et second circuits inverseurs comportent chacun un circuit série comportant un transistor (Tp1; Tp2) de type P et un transistor (Tn1; Tn2) de type N ayant un point commun constituant respectivement les sorties (B, Q) des premier et second circuits inverseurs, les transistors (Tp2, Tn2) du circuit série du second inverseur ayant chacun une grille connectée à la sortie (B) du premier circuit inverseur, le premier transistor de découplage (Tpd, Tnd1) ayant une source connectée à la sortie (Q) du

second circuit inverseur et un drain connecté à la grille du transistor de type P du premier circuit inverseur, le second transistor de découplage (Tnd) ayant une source connectée à la sortie (Q) du second circuit inverseur et un drain connecté à la grille du transistor de type P du premier circuit inverseur.

5

5. Cellule de mémorisation selon la revendication 4, caractérisée en ce que les premier et second transistors de découplage (Tpd, Tnd) sont respectivement des transistors de type P et de type N.

10

6. Cellule de mémorisation selon la revendication 4, caractérisée en ce que les premier et second transistors de découplage (Tnd1, Tnd) sont des transistors de type N.

15

7. Cellule de mémorisation selon la revendication 6, caractérisée en ce que, à l'état passant, le transistor (Tn1) de type N du premier circuit inverseur est parcouru par un courant supérieur au courant qui parcourt, à l'état passant, le transistor (Tp1) de type P du premier inverseur.

20

8. Cellule de mémorisation selon l'une des revendications 6 et 7, caractérisée en ce que le premier circuit inverseur comporte un transistor supplémentaire, de type P, connecté en série entre les transistors, respectivement de type P et N du premier circuit inverseur, et comportant une grille connectée au drain du second transistor de découplage (Tnd).

25

9. Cellule de mémorisation selon la revendication 4, caractérisée en ce que les premier et second transistors de découplage sont des transistors de type P.

10. Cellule de mémorisation selon la revendication 9, caractérisée en ce que, à l'état passant, le transistor (Tp1) de type P du premier inverseur est parcouru

par un courant supérieur au courant qui parcourt, à l'état passant, le transistor (Tn1) de type N du premier circuit inverseur.

- 5      **11.** Cellule de mémorisation selon l'une des revendications 9 et 10, caractérisée en ce que le premier circuit inverseur comporte un transistor supplémentaire, de type N, connecté en série entre les transistors, respectivement de type P et N du premier circuit inverseur, et comportant une grille connectée au drain du premier transistor de découplage (Tpd).
- 10     **12.** Cellule de mémorisation selon l'une quelconque des revendications 1 à 11, caractérisée en ce qu'elle comporte des premier et second transistors d'accès (Tpa, Tna), respectivement connectés entre une entrée (D) de la cellule et les entrées (A1, A2) du premier inverseur.
- 15     **13.** Cellule de mémorisation selon une des revendications 1 à 11, caractérisée en ce qu'elle comporte au moins un transistor d'accès (Tpa, Tna), connecté entre une entrée (D) de la cellule et la sortie (Q) du second inverseur.
- 20     **14.** Cellule de mémorisation selon une des revendications 12 et 13, caractérisée en ce qu'un signal de contrôle d'accès (E) est appliqué sur la grille des transistors d'accès (Tna) de type N, et un signal de contrôle d'accès complémentaire (Ec) est appliqué sur la grille des transistors d'accès (Tpa) de type P.
- 25     **15.** Cellule de mémorisation selon la revendications 13, caractérisée en ce que un signal de contrôle d'accès (E) est appliqué sur la grille des transistors d'accès (Tna) et des transistors de découplage (Tnd) de type N et un signal de contrôle d'accès complémentaire (Ec) sur la grille des transistors d'accès (Tpa) et des transistors de découplage (Tpd) de type P.

- 5 **16.** Cellule de mémorisation selon une des revendications 1 à 11, caractérisée en ce qu'elle comporte un circuit d'accès, constitué par une porte (3) à trois états, connectée entre une entrée (D) de la cellule et la sortie (Q) du second inverseur.
- 10 **17.** Cellule de mémorisation selon la revendication 16 caractérisée en ce que la porte (3) à trois états est contrôlé par des premier et second signaux de contrôle d'accès ( $E_c$ ,  $E$ ), respectivement appliqués sur les grilles des premier et second transistors de découplage ( $T_{pd}$ ,  $T_{nd}$ ).
- 15 **18.** Cellule de mémorisation du type maître-esclave, caractérisée en ce qu'elle comporte une cellule maître constituée par une cellule selon l'une quelconque des revendications 1 à 17 et une cellule esclave constituée par une cellule selon l'une quelconque des revendications 1 à 17.
- 20 **19.** Cellule selon la revendication 1, caractérisée en ce qu'elle comporte au moins un transistor de découplage de type P, ayant une grille connectée à une tension d'alimentation positive ( $V_{dd}$ ).
- 25 **20.** Cellule selon la revendication 1, caractérisée en ce qu'elle comporte au moins un transistor de découplage de type N, ayant une grille connectée à la masse.
- 21.** Cellule selon la revendication 1, caractérisée en ce qu'elle comporte au moins un transistor de découplage ( $T_{pd}$ ) de type P, ayant une grille connectée à une tension ( $V_p$ ) comprise entre une tension d'alimentation positive ( $V_{dd}$ ) et la différence ( $V_{dd}-V_{Tp}$ ) entre ladite tension d'alimentation et la tension de seuil ( $V_{Tp}$ ) dudit transistor de découplage de type P.

**22.** Cellule selon la revendication 21, caractérisée en ce que la tension ( $V_p$ ) appliquée à la grille du transistor de découplage ( $T_{pd}$ ) de type P est proche de la tension de seuil ( $V_{Tp}$ ) dudit transistors de découplage ( $T_{pd}$ ) de type P.

5

**23.** Cellule selon l'une quelconque des revendications 1, 21 et 22, caractérisée en ce qu'elle comporte au moins un transistor de découplage de type N, ayant une grille connectée à une tension  $V_n$  comprise entre 0 et la tension de seuil ( $V_{Tn}$ ) dudit transistor de découplage de type N.

10

**24.** Cellule selon la revendication 23, caractérisée en ce que la tension ( $V_n$ ) appliquée à la grille du transistor de découplage ( $T_{nd}$ ) de type N est proche de la tension de seuil ( $V_{Tn}$ ) dudit transistors de découplage ( $T_{nd}$ ) de type N.

1/16

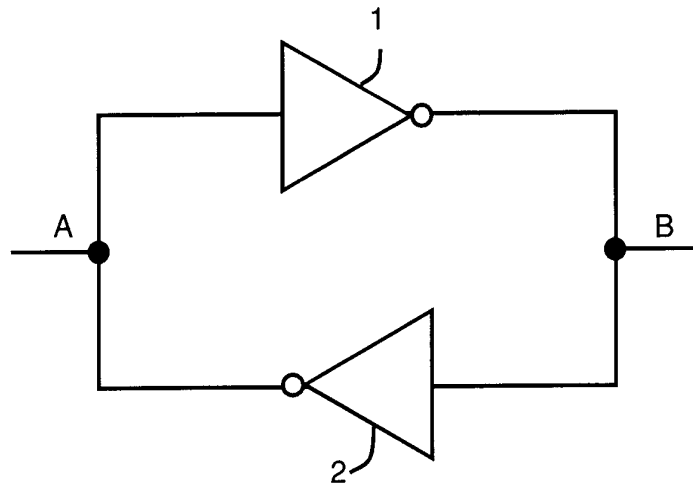


Figure 1 (art antérieur)

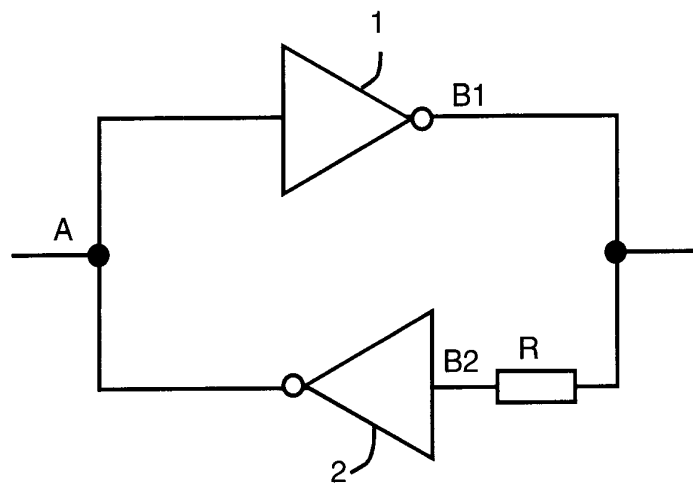


Figure 2 (art antérieur)

2/16

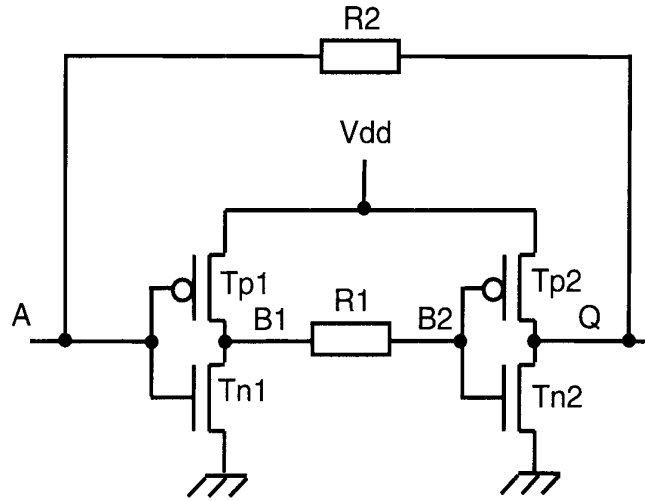


Figure 3 (art antérieur)

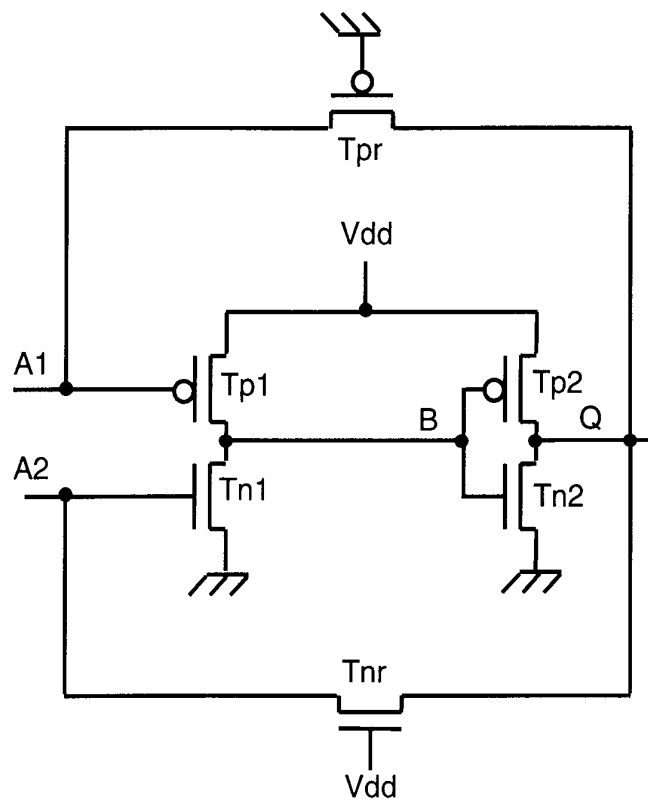


Figure 4 (art antérieur)

3/16

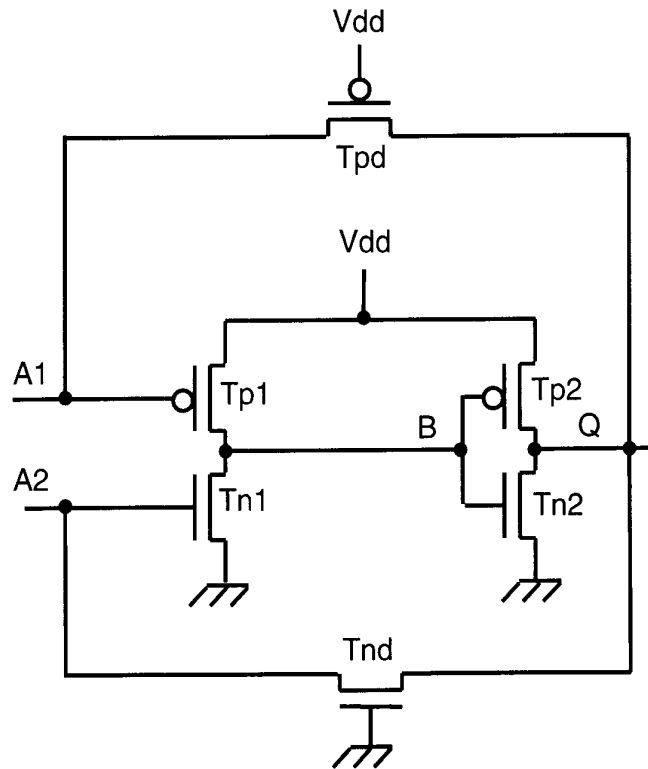


Figure 5

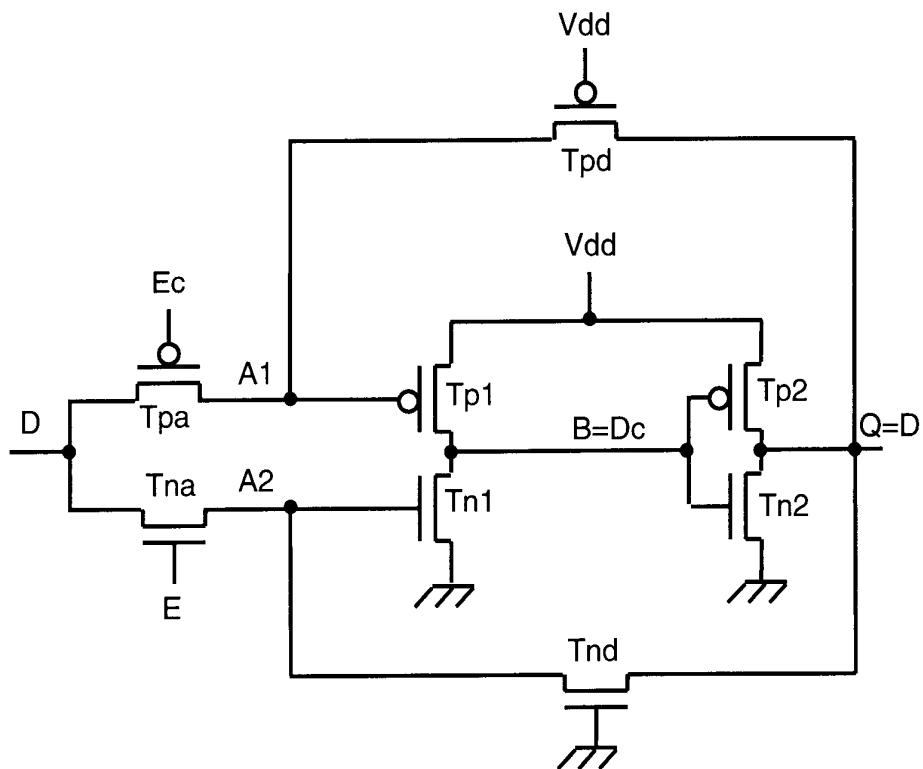


Figure 6



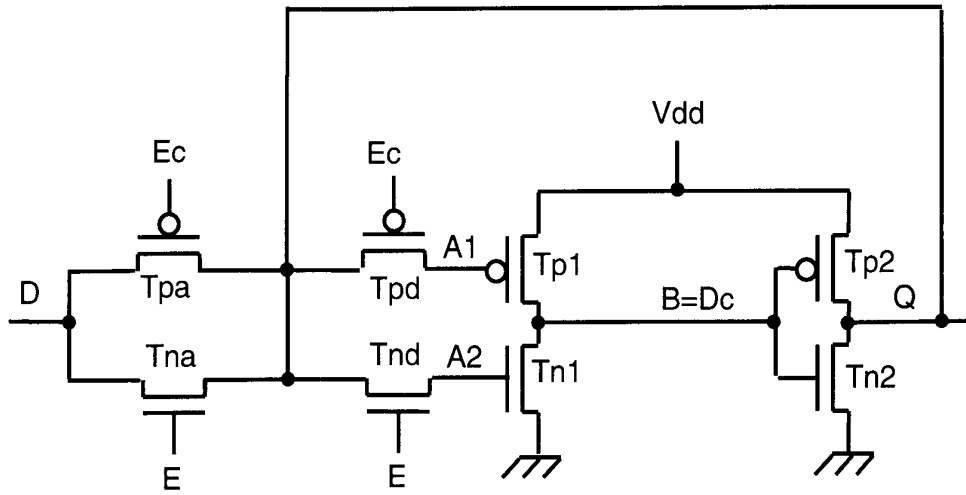


Figure 7

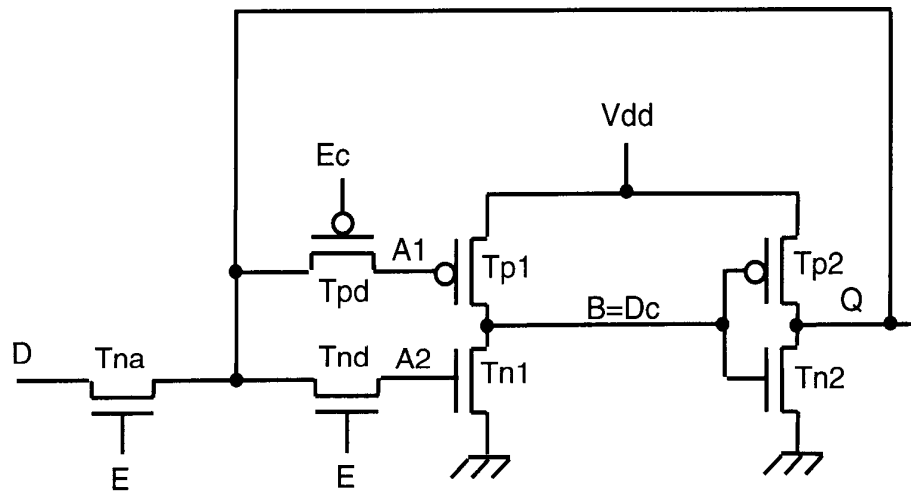


Figure 8

5/16

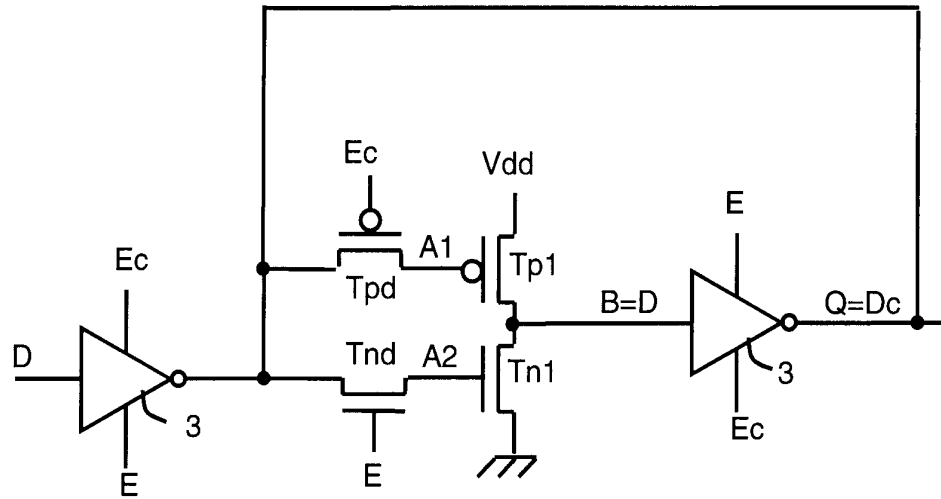


Figure 9

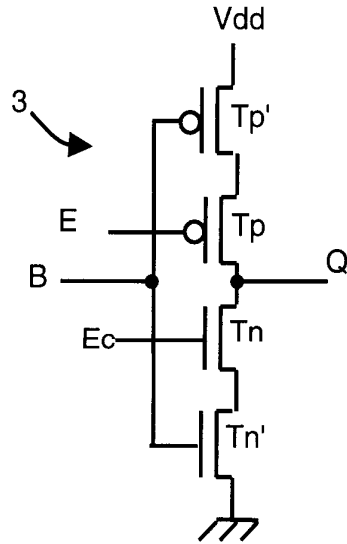


Figure 10

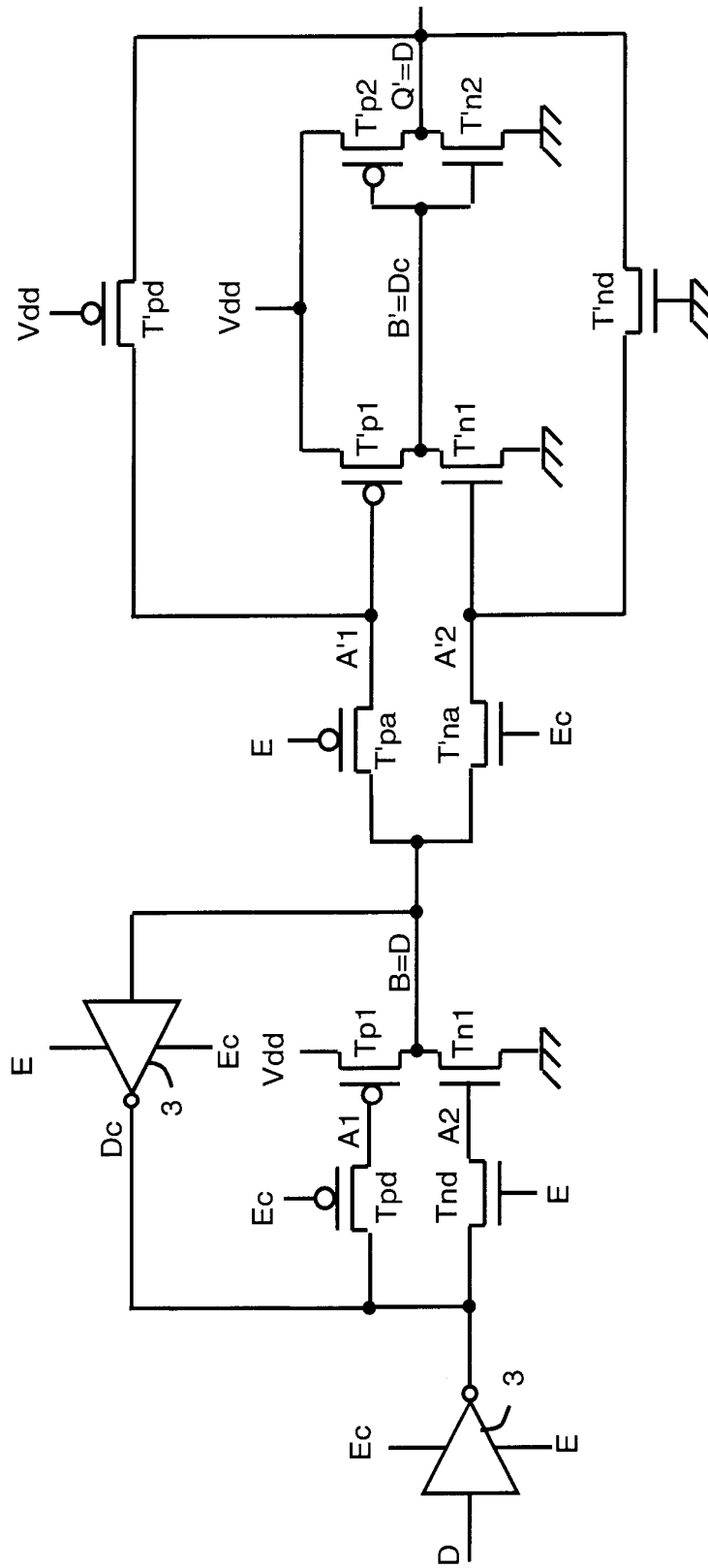


Figure 11

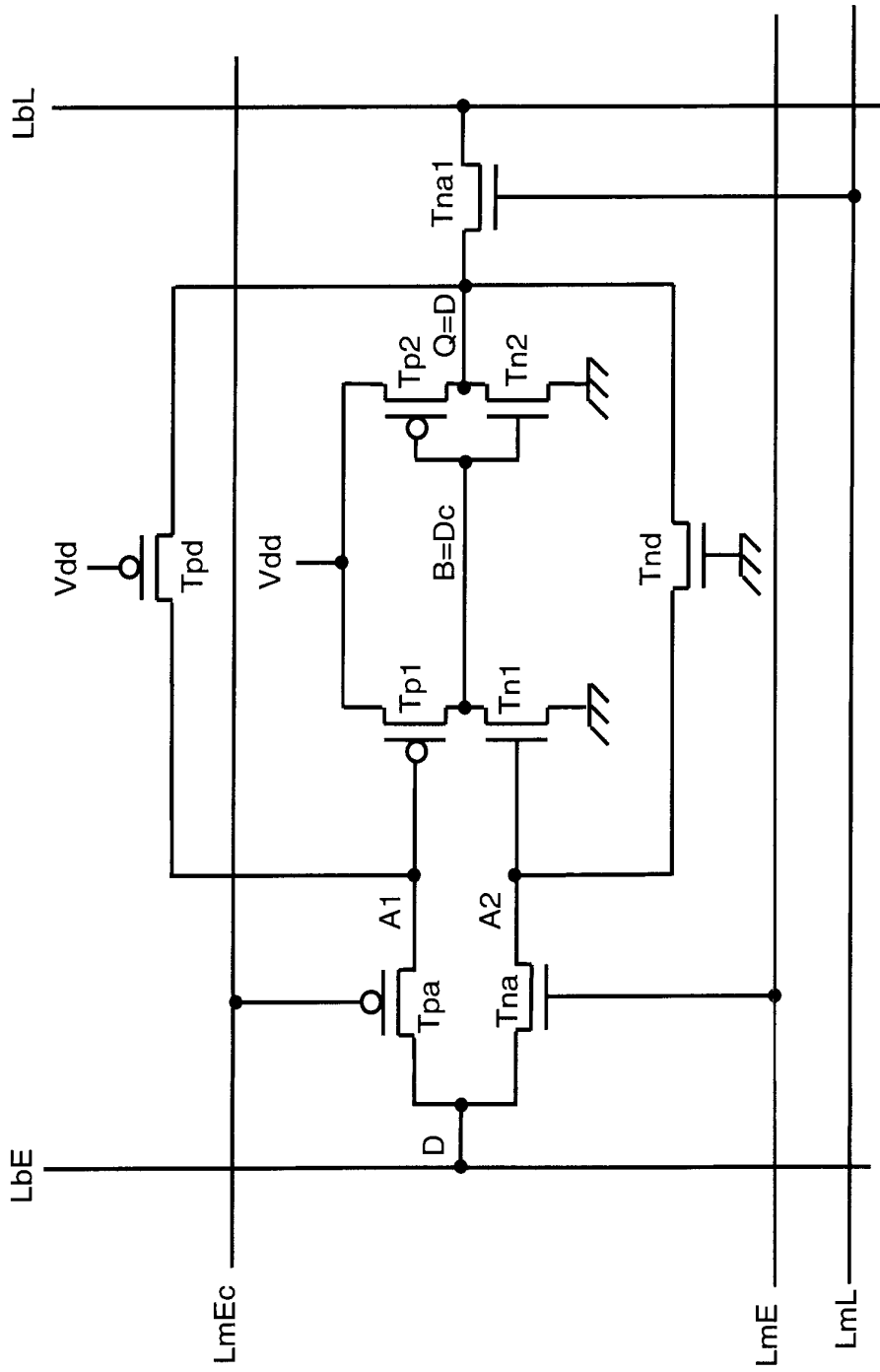


Figure 12

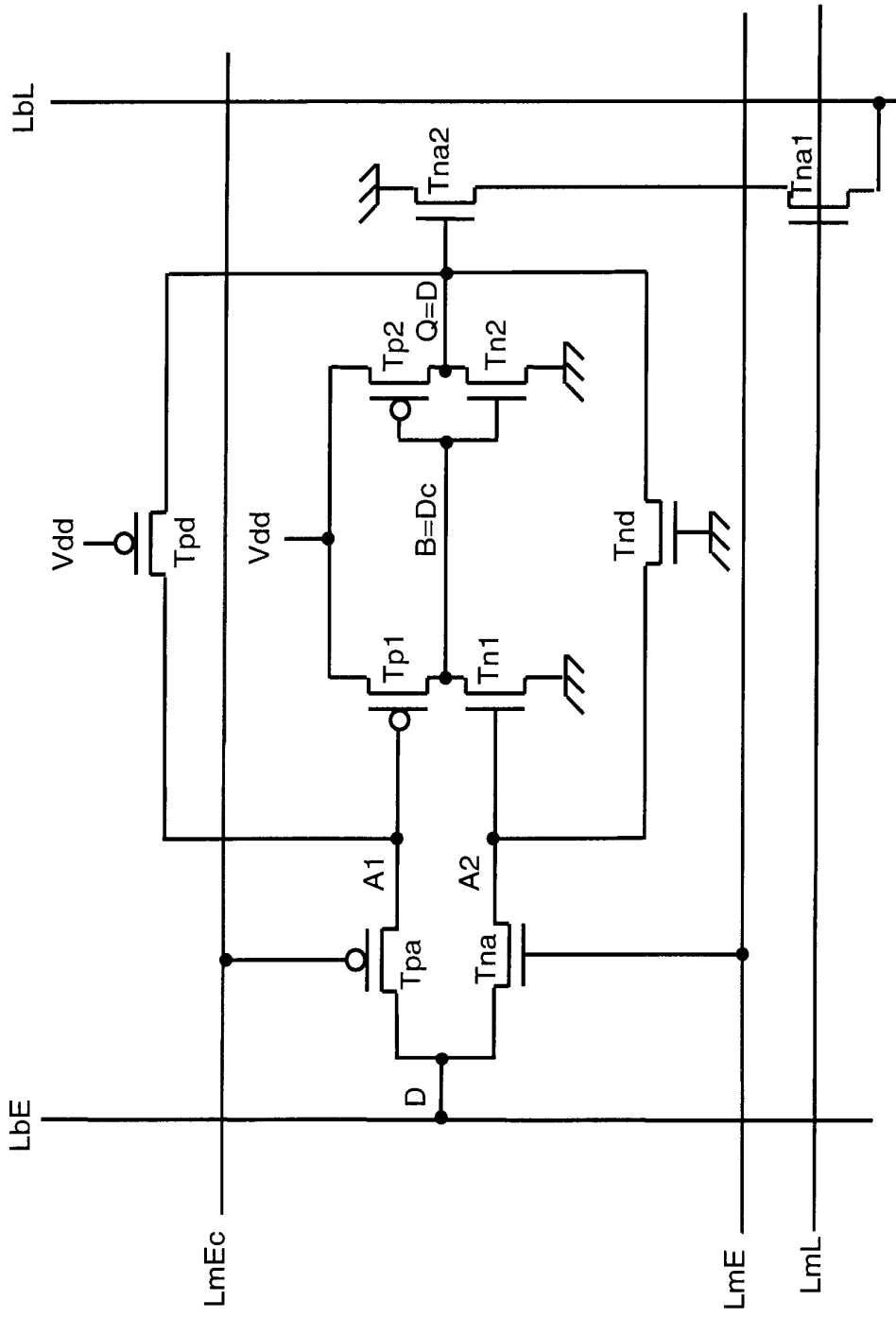


Figure 13

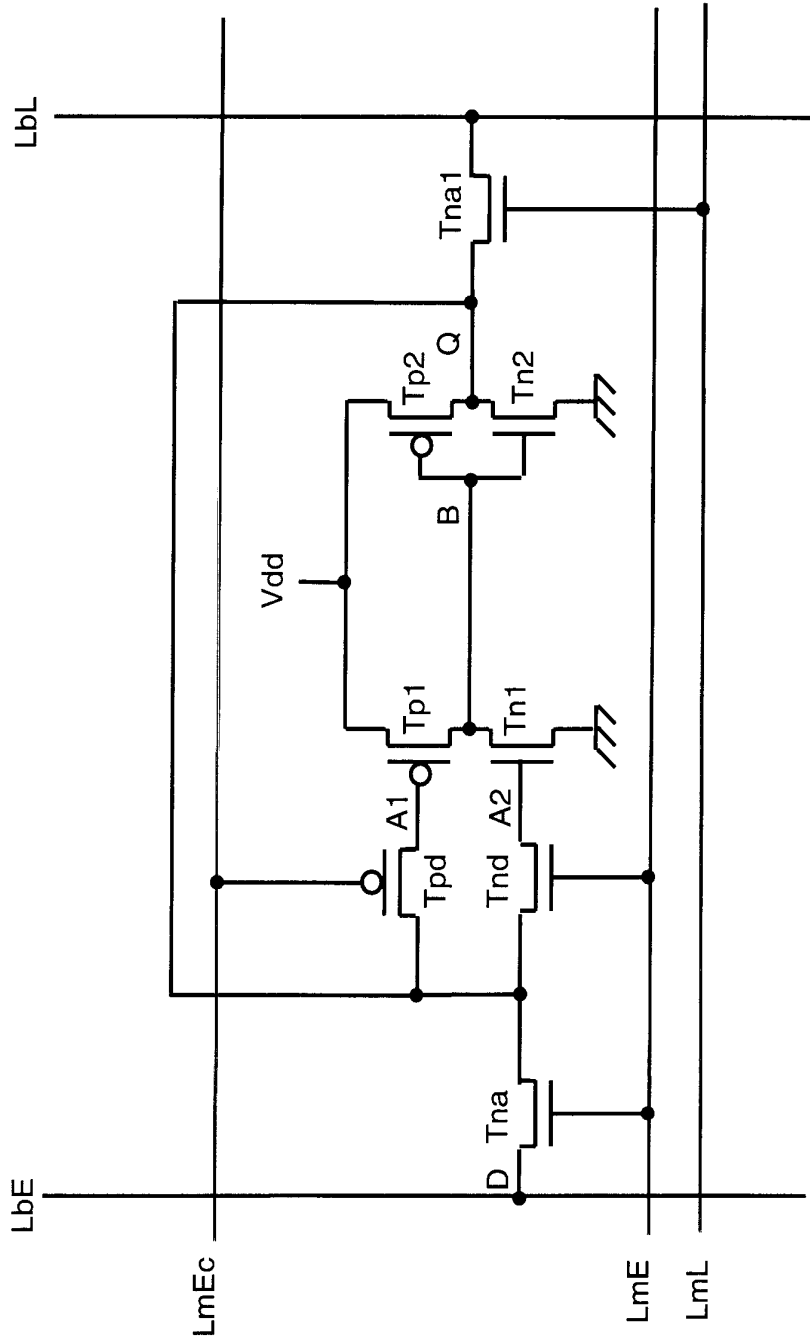


Figure 14

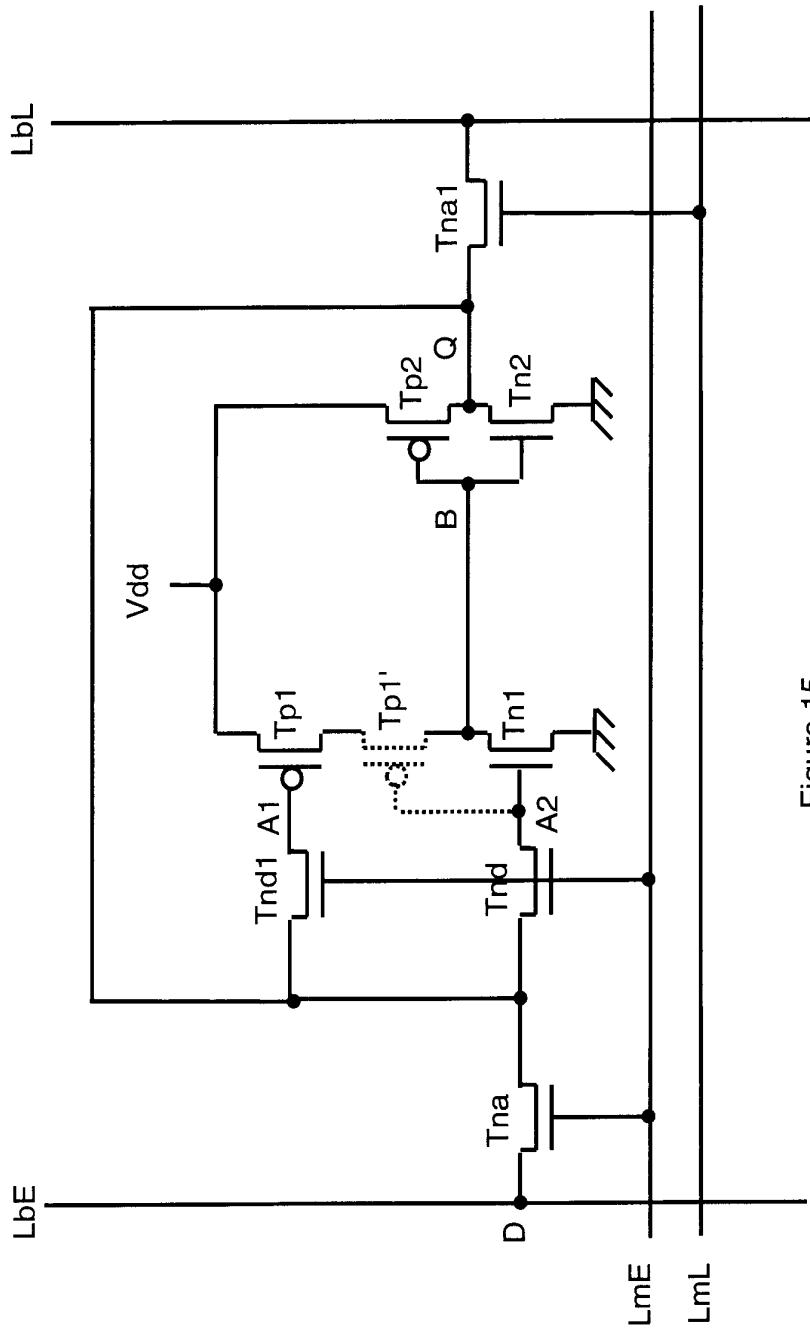


Figure 15

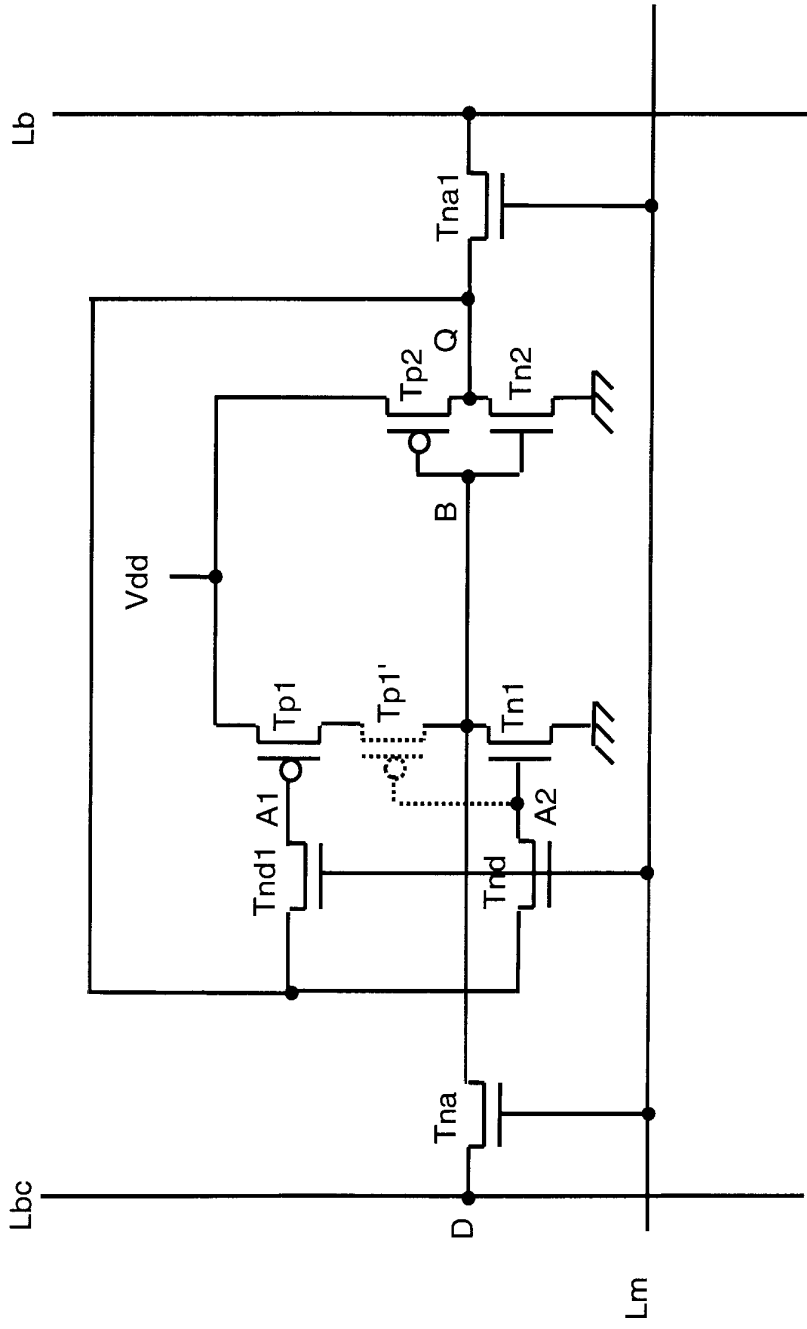


Figure 16



12/16

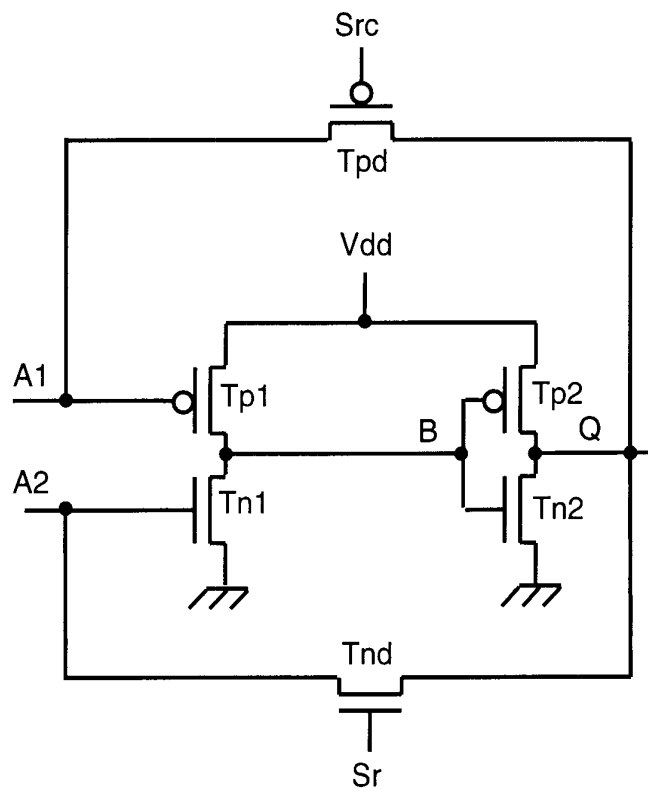


Figure 17

13/16

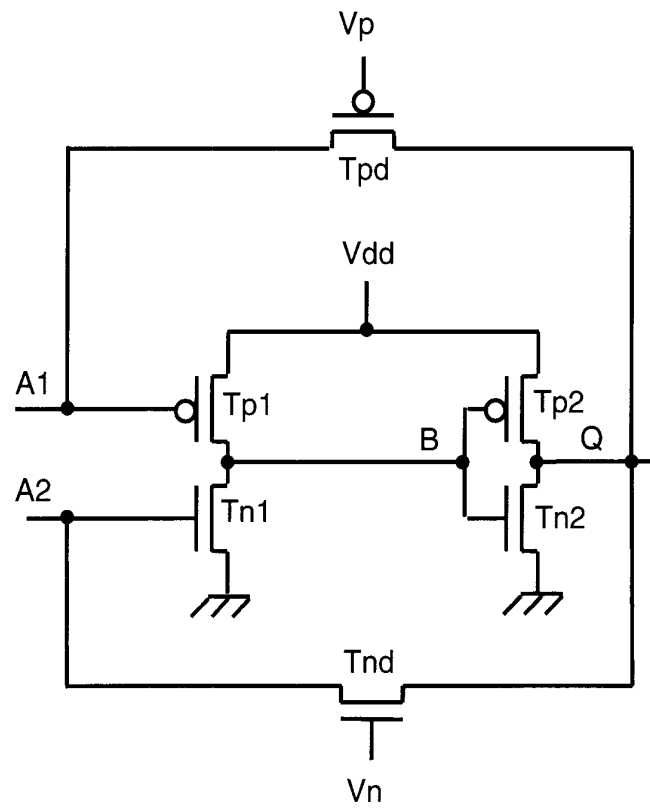


Figure 18

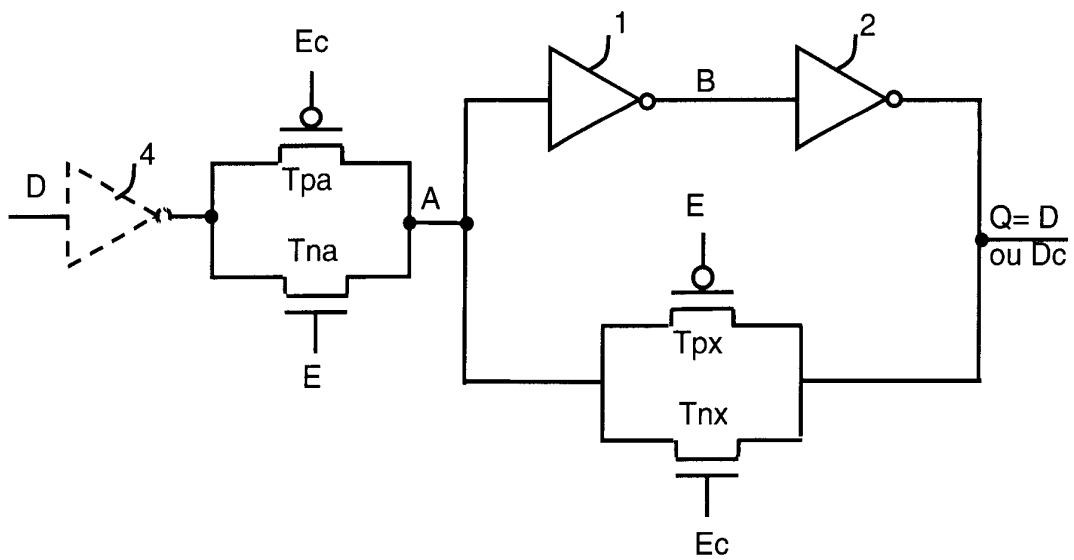


Figure 19 (art antérieur)

14/16

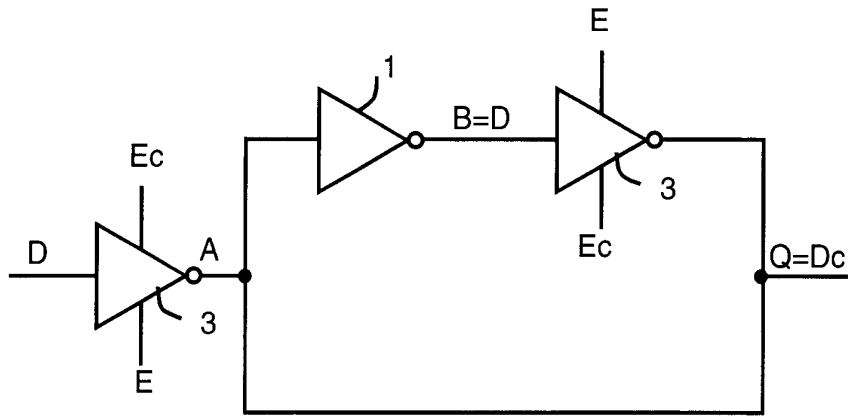


Figure 20 (art antérieur)

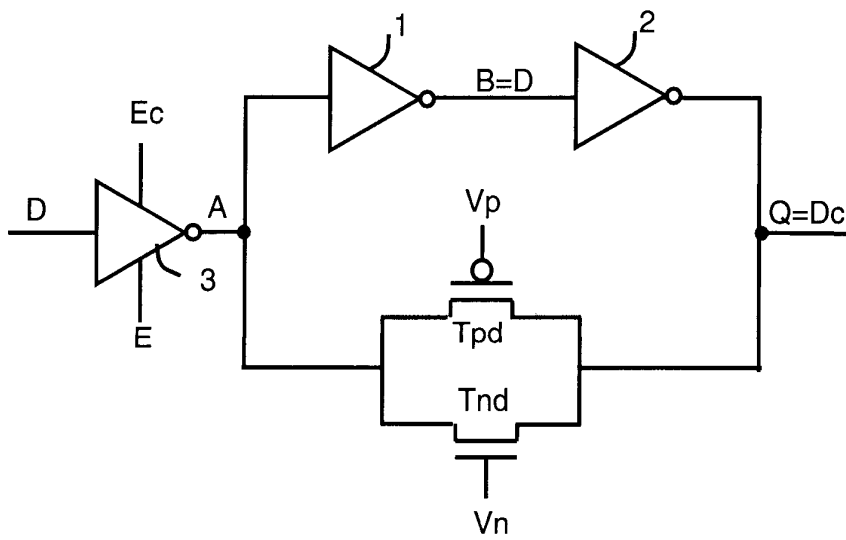


Figure 21

15/16

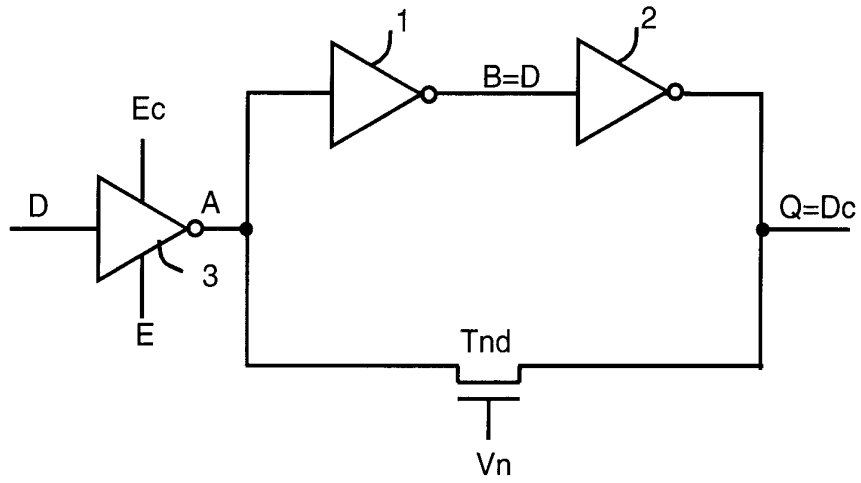


Figure 22

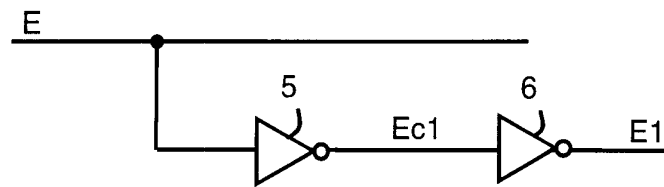


Figure 23 (art antérieur)

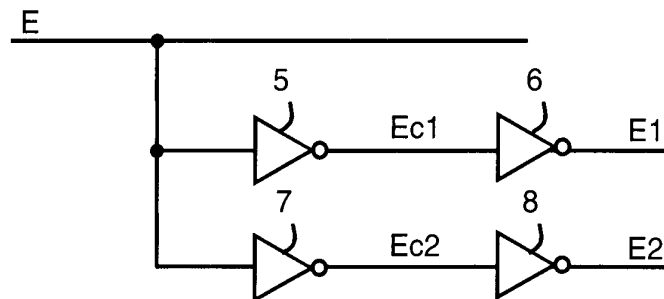


Figure 24

16/16

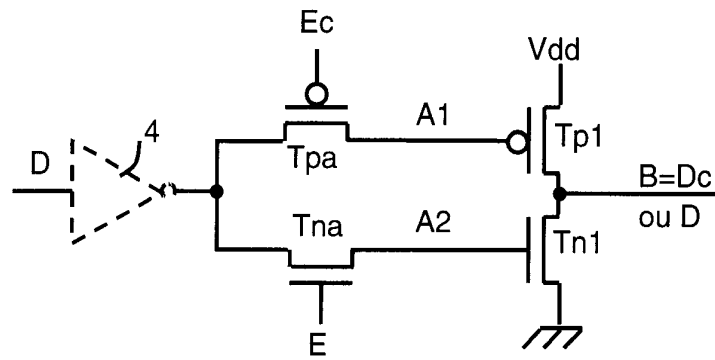


Figure 25



**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 669249  
FR 0507147

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X A	WO 01/10026 A (LOCKHEED MARTIN CORPORATION) 8 février 2001 (2001-02-08) * page 10, ligne 4 - page 12, ligne 19; figure 2 *	1-15, 18-24 16,17	H03K19/003 H01L23/552
X A	US 5 525 923 A (BIALAS, JR. ET AL) 11 juin 1996 (1996-06-11) * colonne 2, ligne 41 - colonne 3, ligne 29; figure 4 *	1-15, 18-24 16,17	
X A	US 5 631 863 A (FECHNER ET AL) 20 mai 1997 (1997-05-20) * colonne 3, ligne 65 - colonne 5, ligne 39; figure 4 * * colonne 5, ligne 63 - colonne 7, ligne 39 *	1-15, 18-24 16,17	
X A	US 2004/165417 A1 (LESEA AUSTIN H) 26 août 2004 (2004-08-26) * alinéa [0024] - alinéa [0034]; figures 2,3,5 *	1-15, 18-24 16,17	DOMAINES TECHNIQUES RECHERCHÉS (IPC)  H03K G11C
Date d'achèvement de la recherche		Examineur	
21 avril 2006		Kassner, H	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... &amp; : membre de la même famille, document correspondant</p>	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0507147 FA 669249**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 21-04-2006

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 0110026 A	08-02-2001	AU 4165400 A EP 1203450 A1	19-02-2001 08-05-2002
US 5525923 A	11-06-1996	AUCUN	
US 5631863 A	20-05-1997	AUCUN	
US 2004165417 A1	26-08-2004	CA 2482631 A1 EP 1527457 A2 JP 2005523625 T WO 03090229 A2 US 6735110 B1 US 2004165418 A1	30-10-2003 04-05-2005 04-08-2005 30-10-2003 11-05-2004 26-08-2004